



Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 03 D 13/00

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	DD H 03 D / 341 736 2	(22)	18.06.90	(44)	24.10.91
(31)	367836	(32)	19.06.89	(33)	US
(71)	siehe (73)				
(72)	Sauer, Donald J., US				
(73)	RCA LICENSING CORPORATION, Two Independence Way, Princeton, New Jersey 08540, US				
(74)	Hübner, Neumann, Radwer, Rechtsanwalt und Patentanwälte, Frankfurter Allee 286, O - 1130 Berlin, DE				

(54) Vergleichsschaltungsanordnung

(55) Fernsehsignal; Analog-Digital-Wandler;
Vergleichsschaltung; automatische Nullstellung;
Verstärker; Source-Schaltung; Kaskadenschaltung
(57) Die Erfindung betrifft eine
Vergleichsschaltungsanordnung, die vorteilhafterweise in
Analog-Digital-Wandler zur Umwandlung von
Fernsehsignalen eingesetzt wird. Die erfindungsgemäße
Schaltungsanordnung besitzt einen ersten und zweiten
Verstärker in Source-Schaltung, die in einer
Kaskadenschaltung direkt miteinander verbunden sind.
Jeder der Verstärker in Source-Schaltung besitzt
entsprechende Schaltkreise für die automatische
Nulleinstellung, und das Eingangssignal wird einem
Eingangsanschluß des ersten Verstärkers in
Source-Schaltung über einen Kondensator zugeführt. Die
Schaltkreise für die automatische Nulleinstellung, die mit
dem zweiten Verstärker (Ausgangsverstärker) verbunden
sind, sind in effektiver Weise vom Eingangsanschluß des
Ausgangsverstärkers getrennt. Fig. 2

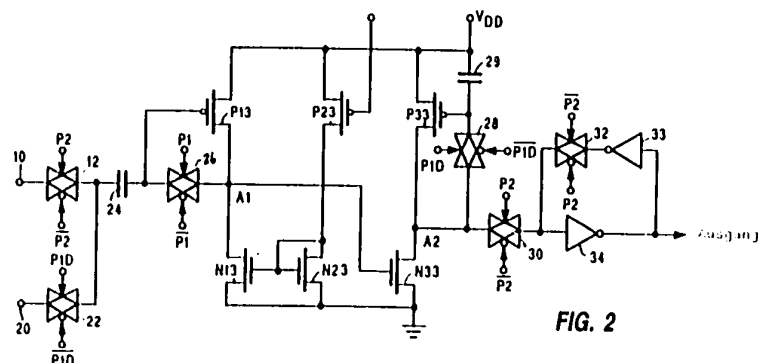


FIG. 2

Patentansprüche:

1. Vergleichsschaltungsanordnung, bestehend aus einem ersten und einem zweiten Signaleingangsanschluß für die Zuführung einer Signalspannung bzw. einer Bezugsspannung, einem Kondensator mit einem ersten und zweiten Anschluß, einem ersten Schalter zur abwechselnden Verbindung des ersten und des zweiten Signaleingangsanschlusses mit dem ersten Anschluß des Kondensators, einem ersten Umkehrverstärker mit einem Eingangsanschluß, der mit dem zweiten Anschluß des Kondensators verbunden ist, und einem Ausgangsanschluß, einem zweiten Schalter zum abwechselnden Verbinden und Trennen der Eingangs- und Ausgangsanschlüsse des ersten Umkehrverstärkers, **dadurch gekennzeichnet**, daß ein zweiter Umkehrverstärker mit einem Eingangsanschluß, der direkt mit dem Ausgangsanschluß des ersten Umkehrverstärkers verbunden ist und einem Ausgangsanschluß vorhanden ist und einer Vorrichtung zur selektiven automatischen Nullstellung des zweiten Umkehrverstärkers, wobei die Vorrichtung zur automatischen Nullstellung keine Verbindung mit dem Eingangsanschluß des zweiten Umkehrverstärkers hat.
2. Vergleichsschaltungsanordnung nach Anspruch 1, weiterhin **dadurch gekennzeichnet**, daß der zweite Umkehrverstärker besteht aus einem ersten Transistor, der eine erste und zweite Elektrode mit einem Hauptleitungsweg dazwischen sowie eine Steuerelektrode besitzt, die mit dem Ausgangsanschluß des ersten Umkehrverstärkers verbunden ist, einem zweiten Transistor, der eine erste und eine zweite Elektrode mit einem Hauptleitungsweg dazwischen sowie eine Steuerelektrode besitzt, und wobei die Hauptleitungswege des ersten und des zweiten Transistors in Reihe geschaltet sind, eine Verbindung zwischen dem ersten und dem zweiten Transistor den Ausgangsanschluß des zweiten Umkehrverstärkers bildet und wobei die Vorrichtung zur automatischen Nullstellung des zweiten Umkehrverstärkers einen dritten Schalter zum abwechselnden Verbinden und Trennen des Ausgangsanschlusses des zweiten Umkehrverstärkers und der Steuerelektrode des zweiten Transistors besitzt.
3. Vergleichsschaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß die Vorrichtung zur automatischen Nullstellung des zweiten Umkehrverstärkers darüber hinaus einen Kondensator besitzt, der zwischen der Steuerelektrode des zweiten Transistors und einer Stelle mit feststehender Spannung geschaltet ist.
4. Vergleichsschaltungsanordnung nach Anspruch 2 oder 3, **dadurch gekennzeichnet**, daß der dritte Schalter so ausgelegt ist, daß er den Ausgangsanschluß des zweiten Umkehrverstärkers mit der Steuerelektrode des zweiten Transistors im wesentlichen gleichzeitig mit der Verbindung des Eingangs- und des Ausgangsanschlusses des ersten Umkehrverstärkers durch den zweiten Schalter verbindet, wobei jedoch der dritte Schalter so ausgelegt ist, daß er den Ausgangsanschluß des zweiten Umkehrverstärkers mit dem Steuerelektrodenanschluß des zweiten Transistors für die Dauer eines Intervalls verbindet, wonach der zweite Schalter den Eingangs- und den Ausgangsanschluß des ersten Umkehrverstärkers trennt.
5. Vergleichsschaltungsanordnung nach Anspruch 2, 3 oder 4, weiterhin **dadurch gekennzeichnet**, daß der erste und der zweite Transistor komplementäre Leitungstransistoren sind.

Hierzu 4 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die vorliegende Erfindung betrifft eine Vergleichsschaltungsanordnung, wie sie bei einer Analog-Digital-Vergleichsschaltung angewendet wird.

Charakteristik des bekannten Standes der Technik

Die Digitalschaltungstechnik ist soweit entwickelt worden, daß es möglich ist, damit zu beginnen, eine digitale Signalverarbeitung bei elektronischen Konsumgeräten anzuwenden. Zum Beispiel beginnen die Hersteller damit, Fernsehempfänger und Videokassettenrekorder einzuführen, bei denen eine Digitalelektronik verwendet wird, um die Empfangsgeräte mit speziellen Besonderheiten wie z. B. Standbild oder Bild-im-Bild, zusätzlich auszustatten. Damit eine digitale Signalverarbeitung erfolgen kann, ist es zuerst notwendig, das empfangene Fernsehsignal in ein digitales Format umzuwandeln. Diese Aufgabe übernimmt ein Analog-Digital-Wandler (ADW). Es ist bei der digitalen Fernsehsignalverarbeitung wünschenswert, das Fernsehsignal mit einer Geschwindigkeit abzutasten, die dem Vierfachen der Farbhilfsträgerfrequenz (etwa 14,32 MHz) entspricht, und das Signal in ein PCM-Format mit einer kleinsten Auflösung von 8 Bits umzuwandeln. Es gibt bipolare

Analog-Digital-Wandler (ADW), die mit diesen Geschwindigkeiten und dieser Auflösung zufriedenstellend arbeiten. Die Technik, die jedoch für die Durchführung der digitalen Signalverarbeitung in elektronischen Geräten gewählt wird, ist die MOSFET-Technik. Der Grund dafür ist, daß MOSFET-Technik eine dichte Packung der Bauelemente mit geringer Verlustleistung zuläßt. Es stehen gegenwärtig in MOS-Technik ausgeführte Analog-Digital-Wandler, die den bisherigen Stand der Technik verkörpern und mit einer kleinsten Auflösung von 8 Bits und 14 MHz arbeiten; zur Verfügung, wobei jedoch die Produktionsausbeuten dieser Geräte relativ gering sind. Ein Beispiel für einen typischen MOS-ADW wird in der US-PS 4691 189 beschrieben, die hier als Bezugnahme mit aufgenommen wird. Es sind zahlreiche Varianten dieser Art von ADW entwickelt worden, um entweder seine Arbeitsgeschwindigkeit oder seine Umwandlungslinearität zu verbessern. Diese Ausführungen liefern jedoch kein Gerät mit einer zufriedenstellenden Leistung bzw. Produktionsausbeute für die Fernsehbildsignalverarbeitung. Bei den ADW der Art, wie sie in der US-PS 4691 189 beschrieben wird, wird eine Kompromißlösung zwischen Leistung und Produktionsausbeute dadurch gefunden, daß die Transistoren äußerst klein gewählt werden, um die Packungsdichte und dadurch die Produktionsausbeute zu vergrößern. Wenn jedoch Transistorgeräte kleiner hergestellt werden, dann gewinnen die Streukapazitäten zunehmend an Bedeutung, wobei die Streukapazitäten die Schaltungsleistung beeinträchtigen. Außerdem neigen die Streukapazitäten in MOS-Schaltkreisen dazu, nichtlinear mit der angelegten Spannung und infolgedessen nicht vollständig vorhersagbar zu sein. Die Vergleichsschaltungsanordnung, die in der US-PS 4691 189 beschrieben wird und von der ein Teil in Fig. 1 gezeigt wird, besitzt zwei Umkehrverstärkerstufen I1 und I2, die kapazitiv in einer Kaskadenschaltung gekoppelt sind (C2) und jeweils Schalterschaltkreise (TG 1, TG 2) für die automatische Nulleinstellung während eines Teils jeder Abtastperiode besitzen. Mit der Zwischenstufenkopplungskapazität C2 ist eine Streukapazität zwischen einer ihrer Kondensatorelektroden und dem Schaltkreissubstrat verbunden, wobei die Streukapazität genauso groß wie die Kopplungskapazität selbst ist. Diese Streukapazität verlängert die Ansprechzeit am Ausgang des ersten Umkehrverstärkers und damit die Ansprechzeit der Vergleichsschaltung.

In der Vergleichsschaltungsausführung gemäß der US-PS 4691 189 sind die Umkehrverstärker I1 und I2 mit komplementären Feldeffekttransistoren (FET) in Gate-Schaltung ausgeführt, wobei die Leitungswege zwischen ihren Drain- und Sourceelektroden seriell zwischen den Zuführungsspannungen verbunden sind. Die Schalter für die automatische Nulleinstellung sind so angeordnet, daß sie die Ausgangsanschlüsse der Umkehrverstärker mit ihren entsprechenden Eingangsanschlüssen unmittelbar vor jedem Signalabtastungsintervall verbinden. Diese Form der automatischen Nulleinstellung läßt die Umkehrverstärker gegenüber sehr schwachen Veränderungen der Eingangsspannung empfindlich werden (eine wünschenswerte Eigenschaft für diese Art von Vergleichsschaltung).

Bei jeder Vergleichsschaltung in ADW, und es kann 256 Vergleichsschaltungen in einem mit einer kleinsten Auflösung von 8 Bits arbeitenden ADW geben, weisen wenigstens alle zweiten Umkehrverstärker I2 eine gesättigte Ausgangsspannung in jeder Abtastperiode auf, wodurch eine beträchtliche Spannungsänderung während der automatischen Nulleinstellung erforderlich ist. Es wird festzustellen sein, daß die Geschwindigkeit, mit der die Umkehrverstärker eine automatische Nulleinstellung vornehmen können, durch den Streukondensator in der Schaltung, z. B. durch die Streukapazitäten zwischen C1 und C2 und dem Substrat und durch die Streukapazitäten zwischen den Schalterschaltkreisen für die automatische Nulleinstellung (TG 1, TG 2) und dem Substrat, nachteilig beeinflusst wird.

Die vorliegende Erfindung betrifft eine Vergleichsschaltungsanordnung, die einen ersten und einen zweiten Verstärker in Source-Schaltung besitzt, die in einer Kaskadenschaltung direkt miteinander verbunden sind. Jeder der Verstärker in Source-Schaltung besitzt entsprechende Schaltkreise für die automatische Nulleinstellung, und das Eingangssignal wird einem Eingangsanschluß des ersten Verstärkers in Source-Schaltung über einen Kondensator zugeführt. Die Schaltkreise für die automatische Nulleinstellung, die mit dem zweiten Verstärker (Ausgangsverstärker) verbunden sind, sind in effektiver Weise vom Eingangsanschluß des Ausgangsverstärkers getrennt.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden. In den dazugehörigen Zeichnungen zeigen

Fig. 1: ein Schaltbild der Vergleichsschaltung nach dem bisherigen Stand der Technik.

Fig. 2: ein Schaltbild der Vergleichsschaltungsanordnung gemäß der vorliegenden Erfindung.

Fig. 3: die Taktsignalwellenformen, die bei der Beschreibung der Funktionsweise der Schaltungsanordnung von Fig. 2 nützlich sind.

Fig. 4: eine Musterschaltungsanordnung zur Erzeugung der Taktsignale, die in Fig. 3 gezeigt werden.

Es wird jetzt unter Bezugnahme auf die Schaltungsanordnung nach dem bisherigen Stand der Technik von Fig. 1 eine kurze Beschreibung ihrer Funktionsweise gegeben. Während der ersten Hälfte jeder Abtastperiode schließen die Schalterschaltkreise TG 1 und TG 2 die Eingangs- bzw. Ausgangsanschlüsse der Umkehrverstärker I1 und I2 kurz. Dadurch wird die Eingangsspannung jedes Verstärkers in der Mitte seines dynamischen Betriebsbereiches geschaffen. Diese Spannungen werden auf den entsprechenden Elektroden der Kondensatoren C1 und C2 gespeichert. Zur gleichen Zeit werden die Schalterschaltkreise TG 1 und TG 2 geschlossen. Dabei wird der Schalterschaltkreis TGR ebenfalls geschlossen, wodurch eine Bezugsspannung der Eingangselektrode des Kondensators C1 zugeführt wird. Die Schalterschaltkreise TG 1, TG 2 und TGR werden dann gleichzeitig unterbrochen. Die Verstärker I1 und I2 besitzen einen beträchtlichen Verstärkungsgrad und werden jetzt bei einem instabilen Arbeitspunkt vorgespannt.

Der Schalterschaltkreis TGS wird dann geschlossen, wodurch die Eingangsspannung der Elektrode des Kondensators C1 zugeführt wird. Wenn die Eingangsspannung nur geringfügig höher (niedriger) als die Bezugsspannung ist, dann wird die Ausgangsspannung des Umkehrverstärkers I2 im wesentlichen auf seinen positiven (negativen) Ausgangssättigungspegel gebracht und anschließend in der Latch-Schaltung für die Dauer einer Abtastperiode gespeichert. Eine ausführlichere Beschreibung der Funktionsweise dieser Schaltung ist der US-PS 4691 189 zu entnehmen.

Es wird jetzt auf die Schaltungsanordnung von Fig. 2 Bezug genommen, die ähnlich wie die Schaltungsanordnung von Fig. 1 arbeitet, jedoch für eine schnellere Betriebsgeschwindigkeit ausgelegt ist. Die Bestandteile 12, 22, 26, 28, 30 und 32 in Fig. 2 sind Schalterschaltkreise und können mit den Gate-Elektroden von komplementären Transistoren, wie z. B. die Schalterschaltkreise TG 1 und TG 2 in Fig. 1, ausgeführt sein.

Das zu vergleichende Eingangssignal wird über einen Anschluß 10 einem Schalterschaltkreis 12 zugeführt. Das Bezugssignal, mit dem das Eingangssignal zu vergleichen ist, wird über einen Anschluß 20 einem Schalterschaltkreis 22 zugeführt. Die Schalterschaltkreise 12 und 22 werden durch im wesentlichen gegenphasige Taktsignale P 2 und P 1 D so gesteuert, daß sie abwechselnd das Eingangs- und das Ausgangssignal einer ersten Elektrode eines Eingangskondensators 24 zuführen. Eine zweite Elektrode des Kondensators 24 ist mit der Gate-Elektrode eines p-Transistors P 13 verbunden, der als Verstärker in Source-Schaltung A 1 vorgespannt ist. Die Drain-Elektrode eines n-Transistors N 13, der als Konstantstromquelle vorgespannt ist, ist mit der Drain-Elektrode des Transistors P 13 verbunden und bildet eine Lastimpedanz für den Verstärker. Die Verbindungsstelle zwischen den Transistoren N 13 und P 13 ist der Ausgangsanschluß des Verstärkers in Source-Schaltung. Ein Schalterschaltkreis 26 ist zwischen den Eingangs- und Ausgangsanschlüssen des Verstärkers in Source-Schaltung geschaltet. Der Schalterschaltkreis 26 wird durch ein Taktsignal P 1 so gesteuert, daß eine automatische Nullstellung der Verstärkerstufe im wesentlichen gleichzeitig mit der Übertragung des Bezugssignals durch den Schalterschaltkreis 22 in den Kondensator 24 erfolgt. Angaben über die relative Zeitsteuerung der Taktsignale P 1, P 2 und P 1 D sind Fig. 3 zu entnehmen.

Die Vorspannung für den n-Transistor N 13 wird durch einen p-Transistor P 23 und einen n-Transistor N 23 erhalten, deren entsprechenden Hauptleitungsweg zwischen den Zuführungsspannungen in Reihe geschaltet sind. Der Transistor N 23 ist als Haupttransistor eines Stromspiegelverstärkers geschaltet, während der Transistor N 13 als Nebentransistor angeschlossen ist. Die Steuerelektrode des Transistors P 23 wird mit einer Spannung vorgespannt, die etwa in der Mitte zwischen den Zuführungsspannungen liegt. Das Verhältnis der Gegenwirkleiwerte P 23/N 23 der Transistoren P 23 und N 23 ist gleich dem Verhältnis der Gegenwirkleiwerte P 13/N 13 der Transistoren P 13 und N 13.

Der Ausgangsanschluß des Verstärkers A 1 ist mit der Steuerelektrode eines weiteren n-Transistors N 33 verbunden, der als Verstärker in Source-Schaltung A 2 geschaltet ist. Der Lastkreis für den Transistor N 33 wird durch einen p-Transistor P 33 geschaffen, dessen Leitungsweg zwischen Drain- und Source-Elektrode mit dem Leitungsweg zwischen Drain- und Source-Elektrode des Transistors N 33 zwischen den Zuführungsspannungen V_{DD} und Erde in Reihe geschaltet ist. Die Verbindung zwischen den Transistoren P 33 und N 33 bildet einen Ausgangsanschluß des Verstärkers A 2.

Die Steuerelektrode des Transistors P 33 ist mit dem Ausgangsanschluß des Verstärkers A 2 durch den Schalterschaltkreis 28 verbunden. Der Schalterschaltkreis wird durch das Taktsignal P 1 D gesteuert. Während der Intervalle, in denen der Schalterschaltkreis 26 die Eingangs- und Ausgangsanschlüsse des Verstärkers A 1 miteinander verbindet, damit die automatische Nullstellung des Verstärkers A 1 erfolgt, verbindet Schalterschaltkreis 28 den Ausgangsanschluß des Verstärkers A 2 mit der Gate-Elektrode des Transistors P 33, damit die automatische Nullstellung des Verstärkers A 2 erfolgt. Ein Kondensator 29 ist zwischen der Steuerelektrode des Transistors P 33 und einer Stelle mit feststehender Spannung, wie z. B. mit der Zuführungsspannung V_{DD} oder dem Erdpotential, geschaltet. Der Kondensator 29 kann in die Schaltungsanordnung aufgenommen werden oder aus einer Streukapazität bestehen. Der Kondensator 29 wird verwendet, um die Vorspannung für die automatische Nullstellung zu speichern und diese der Steuerelektrode des Transistors P 33 zuzuführen, wenn der Schalterschaltkreis 28 unterbrochen wird.

Die Schaltungsbestandteile 30, 32, 33 und 34, die mit dem Ausgangsanschluß des Verstärkers A 2 verbunden sind, bilden einen herkömmlichen Latch-Schaltkreis, in dem die Ergebnisse jedes Vergleiches für einen Zeitraum gespeichert werden, der wenigstens der Hälfte der folgenden Abtastperiode entspricht.

Die Schalterschaltkreise 26 und 28 können nominell durch dieselben Taktsignale gesteuert werden. In einer bevorzugten Ausführungsform bleibt der Schalterschaltkreis 28 jedoch für eine kurze Zeit nach der Unterbrechung des Schalterschaltkreises 26 geschlossen. Der Grund dafür wird im folgenden beschrieben. Nehmen wir an, daß die Kondensatoren 24 und 29 den gleichen Kapazitätswert besitzen und die Transistoren P 13 und P 33 komplementär zu den Transistoren N 13 und N 33 sind. Unter diesen Umständen werden die Transistoren P 13, P 33 und N 33 einen gleich großen Verstärkungsgrad aufweisen. Nehmen wir außerdem an, daß die Schalterschaltkreise 26 und 28 in ihrem Aufbau gleich sind. Die Schalterschaltkreise 26 und 28 werden aufgrund der inhärenten Streukapazitäten zwischen ihren Steuerelektroden und ihren entsprechenden Eingangs- bzw. Ausgangsanschlüssen einen Teil der Taktsignaleinschwingüberspannungen den Steuerelektroden der Transistoren P 13 und P 33 zuführen, wenn die Schalterschaltkreise nach Abschluß des automatischen Nullstellungsintervalls unterbrochen werden. Nehmen wir an, daß der Verstärkungsgrad des Verstärkers A 1, der Verstärkungsgrad des Verstärkers A 2 gegenüber den Spannungen, die der Steuerelektrode des Transistors N 33 zugeführt, und der Verstärkungsgrad des Verstärkers A 2 gegenüber den Signalen, die dem Transistor P 33 zugeführt werden, jeweils „-A“ ist. Nehmen wir außerdem an, daß die Schalterschaltkreise 26 und 28 gleichzeitig eine Spannung ΔV den Steuerelektroden der Transistoren P 13 und P 33 infolge von Taktsignaleinschwingüberspannungen zuführen. Die Spannung ΔV führt zu einer Änderung der einer automatischen Nullstellung unterzogenen Ausgangsspannungen der Verstärker A 1 und A 2, die gleich $-\Delta V$ bzw. $\Delta V(A - 1) \sim \Delta V A^2$ ist. Eine der Folgen dieser Spannungsänderung ist, daß zumindest bei Ausgangsspannungsschwingungen in die entgegengesetzte Richtung aufgrund eines Signalvergleiches der Ausgang am Verstärker A 2 eine zusätzliche Spannungsschwingung von $\Delta V A^2$ Volt durchlaufen muß, wodurch die Ansprechzeit des Schaltkreises verzögert wird. Eine zweite Folge ist eine Verringerung der Empfindlichkeit.

In alternativer Weise wird der Verstärker A 2 dann, wenn der Schalterschaltkreis 28 im eingeschalteten Zustand gehalten wird, während der Schalterschaltkreis 26 ausgeschaltet ist, eine automatische Nullstellung trotz einer Änderung der einer automatischen Nullstellung unterzogenen Spannung des Verstärkers A 1 vornehmen. Danach kommt es dann, wenn der Schalterschaltkreis 28 unterbrochen wird, nur zu einer Änderung von $-\Delta V$ bei der einer automatischen Nullstellung unterzogenen Ausgangsspannung des Verstärkers A 2. Bei dieser Funktionsweise werden die Ansprechzeit und die Empfindlichkeit des Schaltungssystems in einem beträchtlich geringeren Ausmaß nachteilig beeinflusst.

Der Eingang des Verstärkers A 2 ist direkt mit dem Ausgang des Verstärkers A 1 verbunden, wodurch zwei bedeutende Vorteile gegenüber der kapazitiven Kopplung der bisherigen Schaltung von Fig. 1 erreicht werden. Einmal wird die Streukapazität gegenüber Erde (d. h. gegenüber dem Substrat) am Ausgangsanschluß des Verstärkers A 1 verringert, wodurch die Ansprechzeit

der Schaltungsanordnung verkürzt wird. Zum anderen stellt die Steuerelektrode des Transistors N33 (und der Transistoren N21 und P21 in Fig. 1) eine kapazitive Last C für den Ausgang des Verstärkers A1 (I1) dar. Wenn der Verstärker A1 (durch eine Kapazität C_c) kapazitiv mit dem Transistor N13 gekoppelt wäre, dann käme es zu einer Teilung der Ausgangsspannung V_{A1} vom Verstärker A1. Die Spannung, die dem Transistor N13 zugeführt wird, würde auf $V_{A1}C_c/(C_c + C)$ verringert werden, wobei diese Verringerung zu einer unerwünschten Verlängerung der Ansprechzeit und Verringerung der Empfindlichkeit der Schaltung führen würde. Damit bietet die Beseitigung des Kopplungskondensators zwischen den Verstärkerstufen beträchtliche Vorteile. Ein weiterer Vorteil der vorliegenden Erfindung besteht in der Anordnung des für die automatische Nullstellung verantwortlichen Schalterschaltkreises 28. Es ist bei der Schaltungsanordnung nach dem bisherigen Stand der Technik zu beachten, daß während des automatischen Nullstellungsintervalls der Ausgang des Verstärkers I2 über die Schalterschaltkreise TG1 und TG2 sowie über den Kondensator C2 mit dem Eingang des Verstärkers I1 verbunden ist. Diese Verbindung kann zu einer Rückkopplung an den beiden Verstärkern führen, wodurch die Ansprechzeit für die automatische Nullstellung des Schaltungssystems nach dem bisherigen Stand der Technik verlängert wird. In der Ausführungsform von Fig. 2 ist eine Rückkopplung ausgeschlossen, da kein Schaltungsweg zwischen dem Eingangsanschluß des Verstärkers A1 und dem Ausgangsanschluß des Verstärkers A2 vorhanden ist.

Bei der Schaltungsanordnung von Fig. 2 können mehrere Veränderungen vorgenommen werden. Zum Beispiel kann der Ausgang des Verstärkers A1 mit der Steuerelektrode des Transistors P3 verbunden und der Schalterschaltkreis 28 zwischen dem Ausgang des Verstärkers A2 und der Steuerelektrode des Transistors N33 geschaltet sein.

In alternativer Weise kann der Eingang des Verstärkers A1 mit dem Transistor N13 verbunden sein, wobei der Transistor P13 als Stromquellenlastbauelement dient. Nehmen wir außerdem an, daß eine große Anzahl der Schaltkreise der Vergleichsschaltungsanordnung nach Fig. 2 wie in einem Flash-ADW mit einem gemeinsamen Eingangsanschluß verbunden sind. In diesem Fall wird jeder der Eingangsanschlüsse 20 mit einer anderen Bezugsspannung verbunden sein, die in einem Bereich, der von der Erd- bis zur Zuführungsspannung reicht, schrittweise zunimmt. Nehmen wir an, daß der Durchschnitts- oder Gleichspannungswert des Signals, das dem gemeinsamen Eingangsanschluß zugeführt wird, der Hälfte der Zuführungsspannung entspricht. In diesem Fall ist es wünschenswert, alle Vergleichsschaltungen, die mit Bezugsspannungen verbunden sind, die höher als die Hälfte der Zuführungsspannung sind, wie es in Bild 2 gezeigt wird, und alle Vergleichsschaltungen, die mit Bezugsspannungen verbunden sind, die niedriger als die Hälfte der Zuführungsspannung sind, komplementär zu der Schaltungsanordnung von Fig. 2 oder umgekehrt auszulegen. (Die Bezeichnung „komplementär“ bedeutet, daß die Eingänge der Verstärker A1 und A2 mit den Steuerelektroden der Transistoren N13 bzw. P33 usw. verbunden sind.)

In einer noch weiteren Ausführungsform kann der erste Umkehrverstärker A1 in der Schaltungsanordnung von Fig. 2 durch einen Umkehrverstärker, wie z.B. durch den Verstärker I1, der in der Schaltungsanordnung von Fig. 1 gezeigt wird, ersetzt werden. Bei diesem Ausführungsbeispiel ist die Steuer- oder Gate-Elektrode des Transistors N33 direkt mit der Verbindungsstelle zwischen den Transistoren P11 und N11 verbunden, so daß die Transistoren P23 und N23 nicht mehr erforderlich sind.

Fig. 3 zeigt die bevorzugte Zeitsteuerung der Taktsignale, die zur Steuerung der Schalterschaltkreise zugeführt werden. Es ist wünschenswert, daß die Taktsignale P1 und P2 gegenphasige, sich nicht überdeckende Signale sind.

Fig. 4 zeigt eine Musterschaltungsanordnung zur Erzeugung von Taktsignalen, wie sie in Fig. 3 gezeigt werden. Fachleute auf dem Gebiet der Schaltungsprojektierung werden ohne weiteres die Funktionsweise dieser Schaltungsanordnung verstehen, so daß sie deshalb nicht ausführlich beschrieben wird. Es genügt, wenn hier festgestellt wird, daß das verzögerte Signal P1D dadurch entsteht, daß eine verzögerte Version des Signals P1 erzeugt wird. In Fig. 4 wird diese Verzögerung über die inhärente Verzögerung von in Reihe geschalteten Gate-Schaltkreisen (z.B. 4-Phasenumkehrschaltkreisen) erreicht.

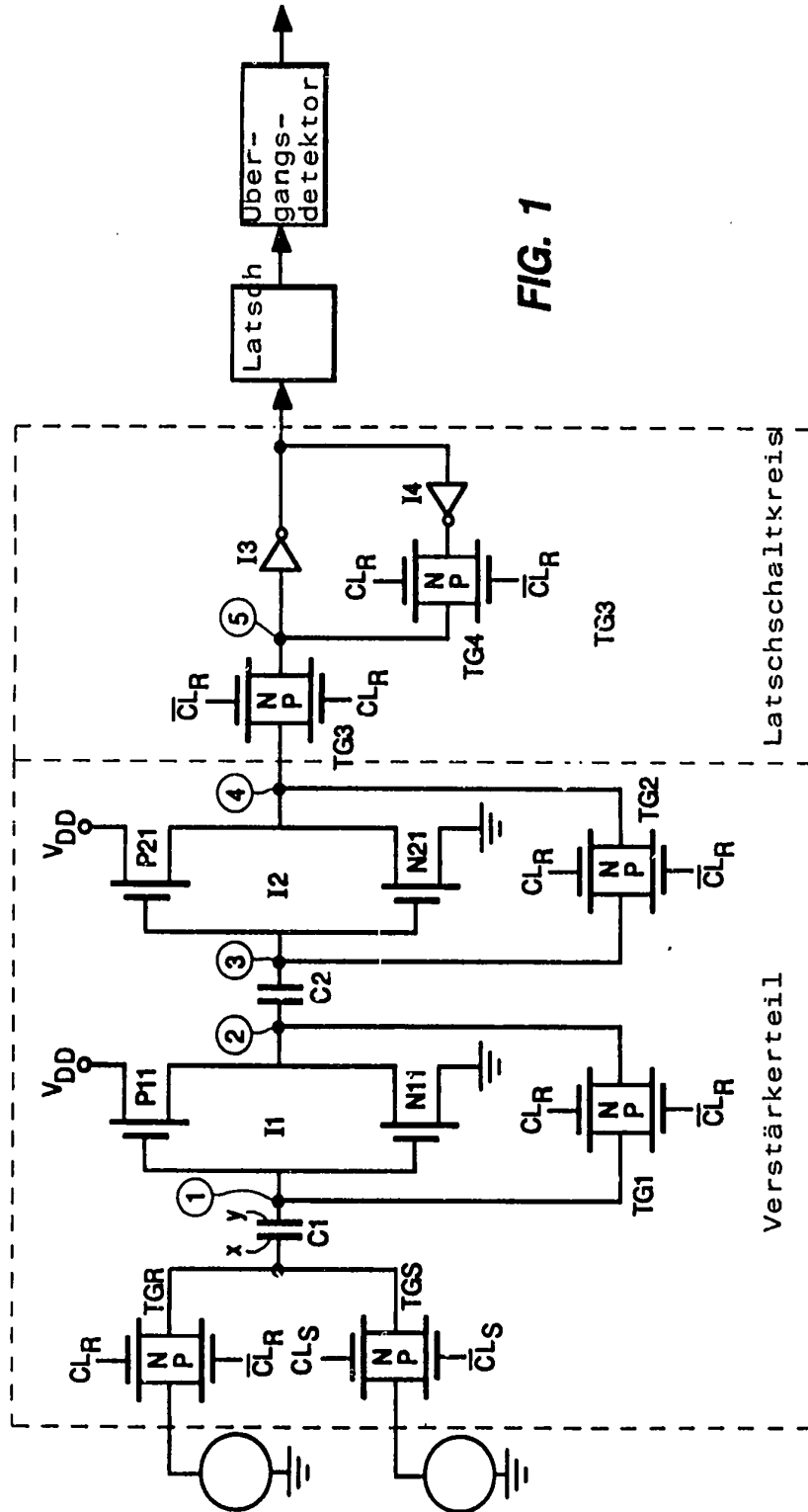


FIG. 1

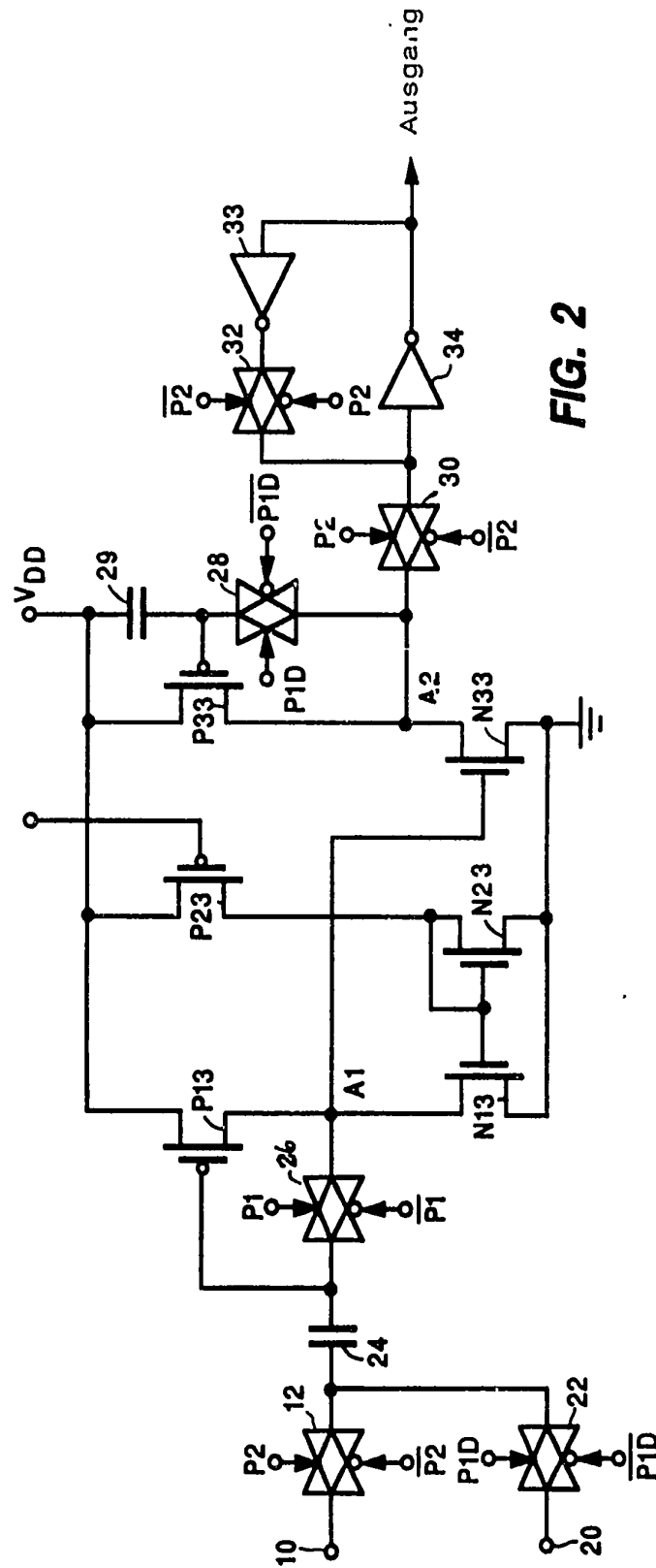


FIG. 2

10 990

295289

-7-

FIG. 3

