

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月9日(09.08.2012)



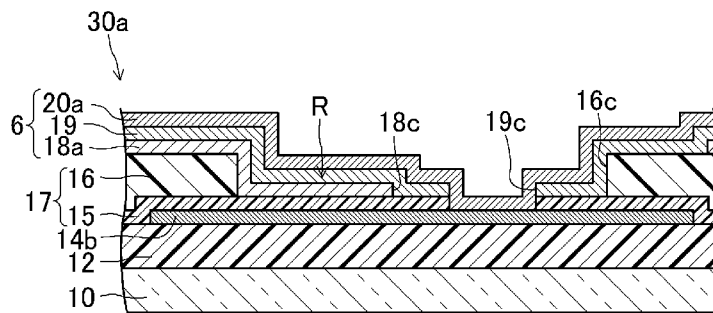
(10) 国際公開番号
WO 2012/105180 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/000420
 - (22) 国際出願日: 2012年1月24日(24.01.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-018806 2011年1月31日(31.01.2011) JP
 - (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 原 義仁
(HARA, Yoshihito). 中田 幸伸 (NAKATA,
Yukinobu).
 - (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: LIQUID CRYSTAL DISPLAY PANEL, PRODUCTION METHOD FOR SAME, AND ARRAY SUBSTRATE AND PRODUCTION METHOD FOR SAME

(54) 発明の名称: 液晶表示パネル及びその製造方法、並びにアレイ基板及びその製造方法

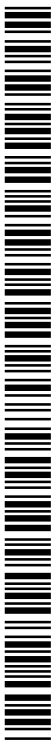
[図5]



(57) Abstract: A liquid crystal display panel comprising: a plurality of switching elements each disposed in an auxiliary pixel in a transparent substrate (10) and having a source electrode and a drain electrode (14b) arranged therein so as to be mutually apart; an interlayer insulating membrane (17) disposed so as to cover each switching element and wherein an inorganic insulating membrane (15) and an organic insulating membrane (16) are laminated in order; a capacitance electrode (18a) disposed on top of the interlayer insulating membrane (17); a capacitance insulating membrane (19) disposed so as to cover the capacitance electrode (18a); and a plurality of pixel electrodes (20a) disposed on top of the capacitance insulating membrane (19), facing the capacitance electrode (18a) and configuring auxiliary capacitors (6) for each auxiliary pixel, and connected to the drain electrode (14b) in each switching element in an insulated state from the capacitance electrode (18a). The drain electrode (14b) and the capacitance electrode (18a) comprise connecting regions (R) that mutually overlap via the inorganic insulating membrane (15) exposed from the organic insulating membrane (16).

(57) 要約:

[続葉有]



WO 2012/105180 A1



透明基板（１０）に各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極（１４ｂ）を有する複数のスイッチング素子と、各スイッチング素子を覆うように設けられ、無機絶縁膜（１５）及び有機絶縁膜（１６）が順に積層された層間絶縁膜（１７）と、層間絶縁膜（１７）上に設けられた容量電極（１８ａ）と、容量電極（１８ａ）を覆うように設けられた容量絶縁膜（１９）と、容量絶縁膜（１９）上に設けられ、容量電極（１８ａ）に対向して各副画素毎に補助容量（６）を構成し、容量電極（１８ａ）と絶縁状態で各スイッチング素子のドレイン電極（１４ｂ）にそれぞれ接続された複数の画素電極（２０ａ）とを備え、ドレイン電極（１４ｂ）及び容量電極（１８ａ）が有機絶縁膜（１６）から露出する無機絶縁膜（１５）を介して互いに重なる接続領域（Ｒ）を備えている。

明 細 書

発明の名称：

液晶表示パネル及びその製造方法、並びにアレイ基板及びその製造方法 技術分野

[0001] 本発明は、液晶表示パネル及びその製造方法、並びにアレイ基板及びその製造方法に関し、特に、液晶表示パネル及びそれを構成するアレイ基板における黒点化による欠陥修正技術に関するものである。

背景技術

[0002] 液晶表示パネルは、例えば、画像の最小単位である各副画素毎に薄膜トランジスタ（Thin Film Transistor、以下、「TFT」とも称する）などが設けられたTFTアレイ基板と、TFTアレイ基板に対向するように設けられた対向基板と、TFTアレイ基板及び対向基板の間に設けられた液晶層とを備えている。

[0003] TFTアレイ基板は、例えば、互いに平行に延びるように設けられた複数のゲート線と、各ゲート線の間それぞれ設けられ、互いに平行に延びるように配置された複数の容量線と、各ゲート線及び各容量線を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上に各ゲート線と直交する方向に互いに平行に延びるように設けられた複数のソース線と、各ゲート線及び各ソース線の交差部分毎にそれぞれ設けられた複数のTFTと、各TFT及び各ソース線を覆うように設けられた層間絶縁膜と、層間絶縁膜上にマトリクス状に設けられ、各TFTにそれぞれ接続された複数の画素電極とを備えている。

[0004] TFTは、例えば、ガラス基板などの透明基板に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上に互いに離間するように設けられたソース電極及びドレイン電極とを備えている。ここで、ゲート電極は、例えば、各ゲート線が側方に突出した部分である。ま

た、ソース電極は、例えば、各ソース線が側方に突出した部分である。さらに、ドレイン電極は、層間絶縁膜に形成されたコンタクトホールを介して画素電極に接続されていると共に、ゲート絶縁膜を介して容量線と重なることにより、補助容量を構成している。

[0005] 液晶表示パネルでは、各副画素毎に設けられたTFTにおいて、例えば、ソース電極及びドレイン電極の間に導電性を有する異物や膜残りなどが介在すると、ソース電極及びドレイン電極が短絡するおそれがある。そうになると、その副画素の画素電極には、ソース線からの表示信号が常に入力されるので、その副画素が輝点として検出され易くなってしまふ。そのため、輝点が検出された副画素では、例えば、ドレイン電極を切断すると共に、切断されたドレイン電極の画素電極に接続された側とゲート線又は容量線とを接続することにより、輝点を黒点化する欠陥修正が行われることになる。

[0006] 例えば、特許文献1には、データバスライン（ソース線）からのデータ信号（表示信号）が印加されない欠陥画素の画素電極を有するTFT方式の液晶表示装置において、ゲートバスライン（ゲート線）に接続されているTFTのゲート電極の部分に、光エネルギーを照射し、そのゲート電極と欠陥画素の画素電極とをドレイン電極を介して電氣的に接続し、欠陥画素の画素電極にゲートバスラインの走査信号を入力する、欠陥画素の修正方法が開示されている。

[0007] ここで、特許文献1のように、ドレイン電極とゲート線とを電氣的に接続する修正方法では、液晶層の階調特性によっては輝点が黒点化せずに、中間調の輝点として検出される場合があるので、液晶表示パネルの製造では、ドレイン電極と容量線とを電氣的に接続して黒点化する修正方法が主流になっている。

先行技術文献

特許文献

[0008] 特許文献1：特開平9-179143号公報

発明の概要

発明が解決しようとする課題

[0009] ところで、上述した構成のTFTアレイ基板では、各副画素に配置された遮光性の容量線により、低開口率になってしまうので、容量線を代わりに、層間絶縁膜及び各画素電極の間に透明な容量電極及び絶縁膜を順に配置させることにより、容量電極と、各画素電極と、それらの間の絶縁膜とにより補助容量を構成して、開口率を向上させた高開口率のTFTアレイ基板が提案されている。

[0010] しかしながら、この高開口率のTFTアレイ基板では、層間絶縁膜が、比較的薄い無機絶縁膜と比較的厚い有機絶縁膜とを順に積層した積層膜により構成されていると、黒点化による欠陥修正を行う際に、透明基板側から接続箇所レーザー光を照射しても、ドレイン電極と容量線に相当する容量電極とを電気的に接続することが困難である。これは、レーザー光の照射により、ドレイン電極の金属が層間絶縁膜中に飛散しても、層間絶縁膜を構成する有機絶縁膜が比較的厚いので、ドレイン電極の金属が容量線に相当する容量電極に到達しないためと考えられる。これに対して、上述した低開口率のTFTアレイ基板では、透明基板側から接続箇所レーザー光を照射すると、容量線の金属が比較的薄いゲート絶縁膜中に飛散してドレイン電極に到達することにより、ドレイン電極と容量線とが電気的に接続されて、黒点化による欠陥修正を行うことができる。

[0011] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、黒点化による欠陥修正において、ドレイン電極と容量電極とを確実に接続することにある。

課題を解決するための手段

[0012] 上記目的を達成するために、本発明は、ドレイン電極及び容量電極の間の層間絶縁膜が無機絶縁膜及び有機絶縁膜を順に積層して形成され、ドレイン電極及び容量電極が有機絶縁膜から露出する無機絶縁膜を介して互いに重なる接続領域を備えるようにしたものである。

[0013] 具体的に本発明に係る液晶表示パネルは、複数の副画素と、互いに対向す

るように設けられたアレイ基板及び対向基板と、上記アレイ基板及び対向基板の間に設けられた液晶層とを備え、上記アレイ基板が、透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、上記層間絶縁膜上に設けられた容量電極と、上記容量電極を覆うように設けられた容量絶縁膜と、上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極とを備えた液晶表示パネルであって、上記アレイ基板には、上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なる接続領域が設けられていることを特徴とする。

[0014] 上記の構成によれば、アレイ基板において、ドレイン電極及び容量電極の間の層間絶縁膜が無機絶縁膜及び有機絶縁膜を順に積層して形成され、ドレイン電極及び容量電極が有機絶縁膜から露出する無機絶縁膜を介して互いに重なる接続領域を備えているので、ドレイン電極及び容量電極が互いに重なる接続領域には、ドレイン電極及び容量電極の間を電氣的に絶縁する絶縁膜として、比較的厚い有機絶縁膜が配置されずに、比較的薄い無機絶縁膜だけが配置される。そのため、ソース電極及びドレイン電極の間で短絡が発生した副画素が輝点として検出された場合には、例えば、その短絡が発生した副画素において、ドレイン電極にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が層間絶縁膜（無機絶縁膜及び有機絶縁膜）中を飛散して、ドレイン電極が切断されると共に、ドレイン電極及び容量電極が無機絶縁膜を介して互いに重なる接続領域にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が比較的薄い無機絶縁膜中を飛散して容量電極に容易に到達するので、切断されたドレイン電極の画素電極に接続された側と容量電極とが確実に接続される。これにより、短絡が発生した副画素では、画素電極が容量電極の電位（例えば、接地電位）に固定されて

、輝点が黒点化されるので、液晶表示パネルの黒点化による欠陥修正において、ドレイン電極と容量電極とが確実に接続される。

[0015] 上記各画素電極には、上記接続領域に重なるように開口部が設けられていてもよい。

[0016] 上記の構成によれば、各画素電極には、例えば、液晶層の配向を規制するための構造体として、接続領域に重なるように開口部が設けられているので、接続領域に対するレーザー光の照射による画素電極の損傷が抑制される。

[0017] 上記アレイ基板の上記接続領域では、上記透明基板上にゲート絶縁膜、上記ドレイン電極、無機絶縁膜、容量電極、容量絶縁膜及び各画素電極が順に積層されていてもよい。

[0018] 上記の構成によれば、アレイ基板の接続領域では、画素電極（最上層）／容量絶縁膜／容量電極／無機絶縁膜／ドレイン電極／ゲート絶縁膜／透明基板（最下層）の積層構造を有しているので、ドレイン電極及び容量電極が確実に接続可能な基板構造が具体的に構成される。

[0019] また、本発明に係る液晶表示パネルの製造方法は、複数の副画素と、互いに対向するように設けられたアレイ基板及び対向基板と、上記アレイ基板及び対向基板の間に設けられた液晶層とを備え、上記アレイ基板が、透明基板上に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、上記層間絶縁膜上に設けられた容量電極と、上記容量電極を覆うように設けられた容量絶縁膜と、上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極とを備え、上記アレイ基板には、上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なる接続領域が設けられた液晶表示パネルを製造する方法であって、上記複数の副画素において、上記ソース電極及びドレイン電極の間で短絡が発生した

副画素を検出する検出工程と、上記検出工程で短絡が検出された副画素において、上記ドレイン電極にレーザー光を上記透明基板側から照射して該ドレイン電極を切断すると共に、上記接続領域にレーザー光を上記透明基板側から照射して、該切断されたドレイン電極の上記各画素電極に接続された側と上記容量電極とを接続する修正工程とを備えることを特徴とする。

[0020] 上記の方法によれば、アレイ基板において、ドレイン電極及び容量電極の間の層間絶縁膜が無機絶縁膜及び有機絶縁膜を順に積層して形成され、ドレイン電極及び容量電極が有機絶縁膜から露出する無機絶縁膜を介して互いに重なる接続領域を備えているので、ドレイン電極及び容量電極が互いに重なる接続領域には、ドレイン電極及び容量電極の間を電氣的に絶縁する絶縁膜として、比較的厚い有機絶縁膜が配置されずに、比較的薄い無機絶縁膜だけが配置される。そのため、検出工程において、例えば、点灯検査により、ソース電極及びドレイン電極の間で短絡が発生した副画素が輝点として検出された場合には、修正工程において、その短絡が発生した副画素において、ドレイン電極にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が層間絶縁膜（無機絶縁膜及び有機絶縁膜）中を飛散して、ドレイン電極が切断されると共に、ドレイン電極及び容量電極が無機絶縁膜を介して互いに重なる接続領域にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が比較的薄い無機絶縁膜中を飛散して容量電極に容易に到達するので、切断されたドレイン電極の画素電極に接続された側と容量電極とが確実に接続される。これにより、短絡が発生した副画素では、画素電極が容量電極の電位（例えば、接地電位）に固定されて、輝点が黒点化されるので、液晶表示パネルの黒点化による欠陥修正において、ドレイン電極と容量電極とが確実に接続される。

[0021] 上記修正工程では、上記接続領域の端部及び該端部に隣接する該接続領域の外部に上記レーザー光を照射してもよい。

[0022] 上記の方法によれば、修正工程では、接続領域の端部及びそれに隣接する接続領域の外部にレーザー光を照射することにより、レーザー光の照射が接

続領域だけに集中しないので、ドレイン電極の金属の過度の飛散が抑制され、ドレイン電極と容量電極とがいったん確実に接続される。

[0023] また、本発明に係るアレイ基板は、複数の副画素と、透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、上記層間絶縁膜上に設けられた容量電極と、上記容量電極を覆うように設けられた容量絶縁膜と、上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極とを備えたアレイ基板であって、上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なる接続領域を備えていることを特徴とする。

[0024] 上記の構成によれば、ドレイン電極及び容量電極の間の層間絶縁膜が無機絶縁膜及び有機絶縁膜を順に積層して形成され、ドレイン電極及び容量電極が有機絶縁膜から露出する無機絶縁膜を介して互いに重なる接続領域を備えているので、ドレイン電極及び容量電極が互いに重なる接続領域には、ドレイン電極及び容量電極の間を電氣的に絶縁する絶縁膜として、比較的厚い有機絶縁膜が配置されずに、比較的薄い無機絶縁膜だけが配置される。そのため、ソース電極及びドレイン電極の間で短絡が発生した副画素が検出された場合には、例えば、その短絡が発生した副画素において、ドレイン電極にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が層間絶縁膜（無機絶縁膜及び有機絶縁膜）中を飛散して、ドレイン電極が切断されると共に、ドレイン電極及び容量電極が無機絶縁膜を介して互いに重なる接続領域にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が比較的薄い無機絶縁膜中を飛散して容量電極に容易に到達するので、切断されたドレイン電極の画素電極に接続された側と容量電極とが確実に接続される。これにより、短絡が発生した副画素では、画素電極が容量電極

の電位（例えば、接地電位）に固定されて、黒点化されるので、アレイ基板の黒点化による欠陥修正において、ドレイン電極と容量電極とが確実に接続される。

[0025] また、本発明に係るアレイ基板の製造方法は、複数の副画素と、透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、上記層間絶縁膜上に設けられた容量電極と、上記容量電極を覆うように設けられた容量絶縁膜と、上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極と、上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なるように設けられた接続領域とを備えたアレイ基板を製造する方法であって、上記複数の副画素において、上記ソース電極及びドレイン電極の間で短絡が発生した副画素を検出する検出工程と、上記検出工程で短絡が検出された副画素において、上記ドレイン電極にレーザー光を上記透明基板側から照射して該ドレイン電極を切断すると共に、上記接続領域にレーザー光を上記透明基板側から照射して、該切断されたドレイン電極の上記各画素電極に接続された側と上記容量電極とを接続する修正工程とを備えることを特徴とする。

[0026] 上記の方法によれば、ドレイン電極及び容量電極の間の層間絶縁膜が無機絶縁膜及び有機絶縁膜を順に積層して形成され、ドレイン電極及び容量電極が有機絶縁膜から露出する無機絶縁膜を介して互いに重なる接続領域を備えているので、ドレイン電極及び容量電極が互いに重なる接続領域には、ドレイン電極及び容量電極の間を電氣的に絶縁する絶縁膜として、比較的厚い有機絶縁膜が配置されずに、比較的薄い無機絶縁膜だけが配置される。そのため、検出工程において、光学的検査や電荷検出法による検査により、ソース電極及びドレイン電極の間で短絡が発生した副画素が検出された場合には、

修正工程において、その短絡が発生した副画素において、ドレイン電極にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が層間絶縁膜（無機絶縁膜及び有機絶縁膜）中を飛散して、ドレイン電極が切断されると共に、ドレイン電極及び容量電極が無機絶縁膜を介して互いに重なる接続領域にレーザー光を透明基板側から照射することにより、ドレイン電極の金属が比較的薄い無機絶縁膜中を飛散して容量電極に容易に到達するので、切断されたドレイン電極の画素電極に接続された側と容量電極とが確実に接続される。これにより、短絡が発生した副画素では、画素電極が容量電極の電位（例えば、接地電位）に固定されて、黒点化されるので、アレイ基板の黒点化による欠陥修正において、ドレイン電極と容量電極とが確実に接続される。

発明の効果

[0027] 本発明によれば、ドレイン電極及び容量電極の間の層間絶縁膜が無機絶縁膜及び有機絶縁膜を順に積層して形成され、ドレイン電極及び容量電極が有機絶縁膜から露出する無機絶縁膜を介して互いに重なる接続領域を備えているので、黒点化による欠陥修正において、ドレイン電極と容量電極とを確実に接続することができる。

図面の簡単な説明

[0028] [図1]図1は、実施形態1に係る液晶表示パネルの断面図である。

[図2]図2は、実施形態1に係る液晶表示パネルを構成するTFTアレイ基板の各副画素の平面図である。

[図3]図3は、図2中のIII-III線に沿ったTFTアレイ基板の断面図である。

[図4]図4は、TFTアレイ基板の各副画素に設けられた接続領域及びその近傍を拡大した平面図である。

[図5]図5は、図4中のV-V線に沿ったTFTアレイ基板の断面図である。

[図6]図6は、修正工程における液晶表示パネルの断面図である。

[図7]図7は、図6の液晶表示パネルの修正工程後の断面図である。

[図8]図8は、実施形態2に係る液晶表示パネルを構成するTFTアレイ基板の各副画素に設けられた接続領域及びその近傍を拡大した平面図である。

[図9]図9は、実施形態3に係る液晶表示パネルを構成するTFTアレイ基板の各副画素に設けられた接続領域及びその近傍を拡大した平面図である。

[図10]図10は、図9中のX-X線に沿ったTFTアレイ基板の断面図である。

[図11]図11は、実施形態4に係る修正工程におけるTFTアレイ基板の断面図である。

発明を実施するための形態

[0029] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0030] 《発明の実施形態1》

図1～図7は、本発明に係る液晶表示パネル及びその製造方法の実施形態1を示している。具体的に、図1は、本実施形態の液晶表示パネル50の断面図である。また、図2は、液晶表示パネル50を構成するTFTアレイ基板30aの各副画素Pの平面図であり、図3は、図2中のIII-III線に沿ったTFTアレイ基板30aの断面図である。さらに、図4は、TFTアレイ基板30aの各副画素Pに設けられた接続領域R及びその近傍を拡大した平面図であり、図5は、図4中のV-V線に沿ったTFTアレイ基板30aの断面図である。

[0031] 液晶表示パネル50は、図1に示すように、互いに対向するように設けられたTFTアレイ基板30a及び対向基板40と、TFTアレイ基板30a及び対向基板40の間に設けられた液晶層45と、TFTアレイ基板30a及び対向基板40を互いに接着すると共に、TFTアレイ基板30a及び対向基板40の間に液晶層45を封入するために枠状に設けられたシール材46とを備えている。ここで、液晶表示パネル50では、図1に示すように、対向基板40から突出するTFTアレイ基板30aの表面に端子領域Tが規定さえ、シール材46の内側に表示領域Dが規定されている。そして、表示

領域Dでは、複数の副画素P（図2参照）がマトリクス状に配列されている。

[0032] TFTアレイ基板30aは、図2及び図3に示すように、透明基板10と、透明基板10上に互いに平行に延びるように設けられた複数のゲート線11と、各ゲート線11を覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に各ゲート線11と直交する方向に互いに平行に延びるように設けられた複数のソース線14と、各ゲート線11及び各ソース線14の交差部分毎、すなわち、各副画素P毎にそれぞれ設けられた複数のTFT5と、各TFT5及び各ソース線14を覆うように設けられた層間絶縁膜17と、層間絶縁膜17上に設けられた容量電極18aと、容量電極18aを覆うように設けられた容量絶縁膜19と、容量絶縁膜19上にマトリクス状に設けられ、各TFT5にそれぞれ接続された複数の画素電極20aと、各画素電極20aを覆うように設けられた配向膜（不図示）とを備えている。

[0033] TFT5は、図2及び図3に示すように、透明基板10上に設けられたゲート電極11aと、ゲート電極11aを覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上にゲート電極11aに重なるように島状に設けられた半導体層13と、半導体層13上に互いに離間するように設けられたソース電極14a及びドレイン電極14bとを備えている。

[0034] ゲート電極11aは、図2に示すように、各ゲート線11が各副画素P毎に側方に突出した部分である。なお、本実施形態では、各ゲート線11の側方に突出した部分からなるゲート電極11aを例示したが、このゲート電極は、線状に延びるゲート線11の一部であってもよい。

[0035] 半導体層13は、例えば、チャネル領域を有する真性アモルファスシリコン層（不図示）と、チャネル領域が露出するように真性アモルファスシリコン層上に設けられ、ソース電極14a及びドレイン電極14bにそれぞれ接続されたn⁺アモルファスシリコン層（不図示）とを備えている。なお、本実施形態では、半導体層13として、アモルファスシリコンを例示したが、半導体層13は、例えば、ポリシリコンやIn-Ga-Zn-O系などの酸化

物半導体であってもよい。

- [0036] ソース電極 14 a は、図 2 に示すように、各ソース線 14 が各副画素 P 毎に側方に突出した部分である。なお、本実施形態では、各ソース線 14 の側方に突出した部分からなるソース電極 14 a を例示したが、このソース電極は、線状に延びるソース線 14 の一部分であってもよい。
- [0037] ドレイン電極 14 b は、図 2 及び図 3 に示すように、容量電極 18 a と絶縁状態で、すなわち、容量電極 18 a を覆う容量絶縁膜 19 に形成されたコンタクトホール 19 c を介して、画素電極 20 a に接続されている。
- [0038] 容量電極 18 a は、図 3～図 5 に示すように、全ての副画素 P にわたって一体に形成され、各副画素 P 毎に、ドレイン電極 14 b と画素電極 20 a との接続部分で開口部 18 c を有している。そして、容量電極 18 a は、図 3 及び図 5 に示すように、容量絶縁膜 19 を介して、画素電極 20 a に対向することにより、各副画素 P 毎に補助容量 6 を構成している。また、容量電極 18 a は、図 4 に示すように、後述する有機絶縁膜 16 の開口部 16 c の図中左中部に突出している。
- [0039] 層間絶縁膜 17 は、図 3 及び図 5 に示すように、透明基板 10 側に設けられた無機絶縁膜 15 と、無機絶縁膜 15 に積層された有機絶縁膜 16 とを備えている。ここで、有機絶縁膜 16 は、図 3～図 5 に示すように、ドレイン電極 14 b と画素電極 20 a との接続部分において開口部 16 c を有し、開口部 16 c では、無機絶縁膜 15 が有機絶縁膜 16 から露出している。そして、有機絶縁膜 16 の開口部 16 c では、図 4 及び図 5 に示すように、ドレイン電極 14 b、及び容量電極 18 a の突出部分が無機絶縁膜 15 を介して互いに重なることにより、接続領域 R（図 4 中のハッチング部分参照）が構成されている。また、接続領域 R では、図 5 に示すように、画素電極 20 a（最上層）／容量絶縁膜 19／容量電極 18 a／無機絶縁膜 15／ドレイン電極 14 b／ゲート絶縁膜 12／透明基板 10（最下層）の積層構造を有している。なお、図 4 では、図中全面に配置する画素電極（20 a）が省略されている。

[0040] 対向基板40は、例えば、透明基板（不図示）と、透明基板上に格子状に設けられたブラックマトリクス（不図示）と、ブラックマトリクスの各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの複数の着色層（不図示）と、ブラックマトリクス、各着色層を覆うように設けられた共通電極（不図示）と、共通電極上に柱状に設けられた複数のフォトスペーサ（不図示）と、共通電極及び各フォトスペーサを覆うように設けられた配向膜（不図示）とを備えている。

[0041] 液晶層45は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0042] 上記構成の液晶表示パネル50は、TFTアレイ基板30a上の各画素電極20aと対向基板40上の共通電極との間に配置する液晶層45に各副画素P毎に所定の電圧を印加して、液晶層45の配向状態を変えることにより、各副画素Pにパネル内を透過する光の透過率を調整して、画像を表示するように構成されている。

[0043] 次に、本実施形態の液晶表示パネル50aの製造方法について、図6及び図7を用いて説明する。ここで、本実施形態の液晶表示パネル50aの製造方法は、TFTアレイ基板製造工程、対向基板製造工程、液晶注入工程、検出工程及び修正工程を備える。なお、図6は、修正工程における液晶表示パネル50の断面図であり、図7は、図6の液晶表示パネル50に対して、修正工程を行った後の液晶表示パネル50aの断面図である。

[0044] <TFTアレイ基板製造工程>

まず、ガラス基板やプラスチック基板などの透明基板10の基板全体に、例えば、スパッタリング法により、モリブデン膜（厚さ150nm程度）などを成膜した後に、そのモリブデン膜に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、ゲート線11及びゲート電極11aを形成する。なお、本実施形態では、モリブデン膜を用いてゲート線11及びゲート電極11aを形成する方法を例示したが、例えば、アルミニウム膜、タングステン膜、タンタル膜、クロム膜、チタン膜、銅膜など

の金属膜、その合金膜や金属窒化膜、又はそれらの積層膜を用いて、ゲート線 1 1 及びゲート電極 1 1 a を形成してもよい。

[0045] 続いて、ゲート線 1 1 及びゲート電極 1 1 a が形成された基板全体に、例えば、プラズマ CVD (Chemical Vapor Deposition) 法により、窒化シリコン膜 (厚さ 100 nm ~ 600 nm 程度) を成膜して、ゲート絶縁膜 1 2 を形成する。なお、本実施形態では、窒化シリコン膜を用いて、ゲート絶縁膜 1 2 を形成する方法を例示したが、例えば、酸化シリコン膜 (SiO_x)、酸化窒化シリコン膜 (SiO_xN_y 、 $x > y$)、窒化酸化シリコン膜 (SiN_xO_y 、 $x > y$) などの単層膜、又はそれらの積層膜を用いて、ゲート絶縁膜 1 2 を形成してもよい。

[0046] そして、ゲート絶縁膜 1 2 が形成された基板全体に、例えば、プラズマ CVD 法により、真性アモルファスシリコン膜 (厚さ 100 nm 程度) 及びリンがドーパされた n^+ アモルファスシリコン膜 (厚さ 50 nm 程度) を順に成膜した後に、真性アモルファスシリコン膜及び n^+ アモルファスシリコン膜の積層膜に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、半導体層形成部 (1 3) を形成する。

[0047] さらに、半導体層形成部 (1 3) が形成された基板全体に、例えば、スパッタリング法により、チタン膜 (厚さ 20 nm ~ 150 nm 程度) 及びアルミニウム膜 (厚さ 50 nm ~ 400 nm 程度) などを順に成膜した後に、その金属積層膜に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、ソース線 1 4、ソース電極 1 4 a 及びドレイン電極 1 4 b を形成する。なお、本実施形態では、チタン膜及びアルミニウム膜の金属積層膜を用いて、ソース線 1 4、ソース電極 1 4 a 及びドレイン電極 1 4 b を形成する方法を例示したが、例えば、アルミニウム膜、タングステン膜、モリブデン膜、タンタル膜、クロム膜、チタン膜、銅膜などの金属膜、その合金膜や金属窒化膜、又はそれらの積層膜を用いて、ソース線 1 4、ソース電極 1 4 a 及びドレイン電極 1 4 b を形成してもよい。

[0048] 続いて、ソース電極 1 4 a 及びドレイン電極 1 4 b をマスクとして、上記

半導体層形成部のn⁺アモルファスシリコン膜をエッチングすることにより、チャンネル領域を形成して、半導体層13及びそれを備えたTFE5を形成する。

[0049] そして、TFE5が形成された基板全体に、例えば、プラズマCVD法により、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などの無機絶縁膜(15)を厚さ300nm程度で成膜する。

[0050] さらに、無機絶縁膜(15)が成膜された基板全体に、例えば、スピコート法又はスリットコート法により、感光性のアクリル樹脂などからなる感光性樹脂膜を厚さ2.0μm~4.0μm程度に塗布した後に、その感光性樹脂膜に対して、露光、現像及びベークを行うことにより、開口部16cを有する有機絶縁膜16を形成する。

[0051] 続いて、有機絶縁膜16が形成された基板全体に、例えば、スパッタリング法により、ITO(Indium Tin Oxide)膜などの透明導電膜を厚さ50nm~200nm程度で成膜した後に、その透明導電膜に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、開口部18cを有する容量電極18aを形成する。

[0052] そして、容量電極18aが形成された基板全体に、例えば、プラズマCVD法により、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などの無機絶縁膜を厚さ300nm程度で成膜した後に、その無機絶縁膜(19)及び先に成膜した無機絶縁膜(15)に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、無機絶縁膜15及び有機絶縁膜16からなる層間絶縁膜17、並びにコンタクトホール19cを有する容量絶縁膜19を形成する。

[0053] さらに、層間絶縁膜17及び容量絶縁膜19が形成された基板全体に、例えば、スパッタリング法により、ITO膜などの透明導電膜を厚さ50nm~200nm程度で成膜した後に、その透明導電膜に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行うことにより、画素電極20aを形成する。

[0054] 最後に、画素電極 20a が形成された基板全体に、例えば、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0055] 以上のようにして、TFTアレイ基板 30a を製造することができる。

[0056] <対向基板製造工程>

まず、ガラス基板やプラスチック基板などの透明基板の基板全体に、例えば、スピンコート法又はスリットコート法により、黒色に着色された感光性樹脂を塗布した後に、その塗布膜に対して、露光、現像及びベーキングを行うことにより、ブラックマトリクスを厚さ 1.0 μm 程度に形成する。

[0057] 続いて、上記ブラックマトリクスが形成された基板全体に、例えば、スピンコート法又はスリットコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布した後に、その塗布膜に対して、露光、現像及びベーキングを行うことにより、選択した色の着色層（例えば、赤色層）を厚さ 2.0 μm 程度に形成する。そして、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層（例えば、緑色層及び青色層）を厚さ 2.0 μm 程度に形成する。

[0058] そして、上記各着色層が形成された基板全体に、例えば、スパッタリング法により、ITO 膜などの透明導電膜を厚さ 50 nm ~ 200 nm 程度で成膜することにより、共通電極を形成する。

[0059] さらに、上記共通電極が形成された基板全体に、例えば、スピンコート法又はスリットコート法により、感光性のアクリル樹脂などからなる感光性樹脂膜を塗布した後に、その感光性樹脂膜に対して、露光、現像及びベーキングを行うことにより、フォトスペーサを厚さ 4.0 μm 程度に形成する。

[0060] 最後に、上記フォトスペーサが形成された基板全体に、例えば、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0061] 以上のようにして、対向基板 40 を製造することができる。

[0062] <液晶注入工程>

まず、例えば、上記対向基板製造工程で製造された対向基板40の表面に、UV (ultraviolet) 硬化及び熱硬化の併用型樹脂などからなるシール材46を枠状に印刷した後に、シール材46の内側に液晶材料を滴下する。

[0063] 続いて、上記液晶材料が滴下された対向基板40と、上記TFTアレイ基板製造工程で製造されたTFTアレイ基板30aとを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0064] さらに、上記貼合体に挟持されたシール材46にUV光を照射した後に、その貼合体を加熱することによりシール材46を硬化させる。

[0065] 最後に、上記シール材46を硬化させた貼合体を、例えば、ダイシングにより分断することにより、その不要な部分を除去する。

[0066] 以上のようにして、液晶表示パネル50（検査前）を製造することができる。

[0067] <検出工程>

上記製造された液晶表示パネル50において、各ゲート線11に、バイアス電圧 $-10V$ 、周期 16.7 msec 、パルス幅 $50\text{ }\mu\text{sec}$ の $+15V$ のパルス電圧のゲート検査信号を入力して、全ての副画素PのTFT5をオン状態にすると共に、各ソース線14に、 16.7 msec 毎に極性が反転する $\pm 2V$ の電位のソース検査信号を入力することにより、各TFT5を介して画素電極20aにソース検査信号を入力する。そして、同時に、対向基板40の共通電極に直流で $-1V$ の電位の共通電極検査信号を入力することにより、TFTアレイ基板30aの各画素電極20aと対向基板40の共通電極との間に配置する液晶層45に電圧を印加して、各画素電極20aにより構成される各副画素Pが点灯状態になる。このとき、例えば、ノーマリブラックモード（電圧無印加時に黒表示）の液晶表示パネル50では、表示画面が黒表示から白表示となる。ここで、膜残りなどにより、ソース電極14a及びドレイン電極14bの間で短絡S（図2中の2点鎖線参照）が発生した副画素Pでは、TFT5のオン／オフ制御に関係せず、画素電極20aに

ソース検査信号が常に入力されるので、その副画素Pは、黒表示の表示画面において輝点として検出される。

[0068] <修正工程>

上記検出工程で短絡Sが検出された場合には、その検出された副画素Pにおいて、図2及び図6に示すように、ドレイン電極14bのX部にレーザー光Lを照射することにより、ドレイン電極14bをX部で切断すると共に、接続領域RのY部にレーザー光Lを照射することにより、切断されたドレイン電極14bの画素電極20aに接続された側と容量電極18aとを接続する。ここで、図7の修正工程後の液晶表示パネル50aでは、互いに接続されたドレイン電極14b及び容量電極18aの符号をそれぞれ14ba及び18aaとし、それらの間に配置する無機絶縁膜15の符号を15aとし、それらを備えたTFTアレイ基板30aの符号を30aaとしている。また、レーザー光Lは、例えば、YAG (Yttrium Aluminium Garnet) レーザーなどから、 $2.5\mu\text{m} \times 2.5\mu\text{m}$ 程度のスポットサイズで出力されたものである。なお、接続領域Rは、その大きさが $5\mu\text{m} \times 5\mu\text{m}$ 程度以上あれば、接続領域Rにレーザー光を照射して、修正可能である。

[0069] 以上のようにして、黒点化による欠陥修正が行われた液晶表示パネル50aを製造することができる。

[0070] 以上説明したように、本実施形態の液晶表示パネル50(50a)及びその製造方法によれば、TFTアレイ基板30aにおいて、ドレイン電極14b及び容量電極18aの間の層間絶縁膜17が無機絶縁膜15及び有機絶縁膜16を順に積層して形成され、ドレイン電極14b及び容量電極18aが有機絶縁膜16から露出する無機絶縁膜15を介して互いに重なる接続領域Rを備えているので、ドレイン電極14b及び容量電極18aが互いに重なる接続領域Rには、ドレイン電極14b及び容量電極18aの間を電氣的に絶縁する絶縁膜として、比較的厚い有機絶縁膜16が配置されずに、比較的薄い無機絶縁膜15だけが配置される。そのため、検出工程において、点灯検査により、ソース電極14a及びドレイン電極14bの間で短絡Sが発生

した副画素Pが輝点として検出された場合には、修正工程において、その短絡Sが発生した副画素Pにおいて、ドレイン電極14bにレーザー光Lを透明基板10側から照射することにより、ドレイン電極14bの金属が層間絶縁膜17（無機絶縁膜15及び有機絶縁膜16）中を飛散して、ドレイン電極14bが切断されると共に、ドレイン電極14b及び容量電極18aが無機絶縁膜15を介して互いに重なる接続領域Rにレーザー光Lを透明基板10側から照射することにより、ドレイン電極14bの金属が比較的薄い無機絶縁膜15中を飛散して容量電極18aに容易に到達するので、切断されたドレイン電極14bの画素電極20aに接続された側と容量電極18aとを確実に接続することができる。これにより、短絡Sが発生した副画素Pでは、画素電極20aが容量電極18aの電位（例えば、接地電位）に固定されて、輝点を黒点化することができるので、液晶表示パネル50（50a）の黒点化による欠陥修正において、ドレイン電極14b（14ba）と容量電極18a（18aa）とを確実に接続することができる。

[0071] 《発明の実施形態2》

図8は、本実施形態の液晶表示パネルを構成するTFTアレイ基板30bの各副画素Pに設けられた接続領域R及びその近傍を拡大した平面図である。ここで、図8では、図4と同様に、図中全面に配置する画素電極（20a）が省略されている。なお、以下の各実施形態において、図1～図7と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0072] 上記実施形態1では、レーザー光Lを照射するY部の大部分が接続領域Rに含まれる液晶表示パネル50（50a）の製造方法を例示したが、本実施形態では、レーザー光Lを照射するY部の一部分が接続領域Rに含まれる液晶表示パネルの製造方法を例示する。

[0073] 本実施形態の液晶表示パネルは、互いに対向するように設けられたTFTアレイ基板30b（図8参照）及び対向基板40（図1参照）と、TFTアレイ基板30b及び対向基板40の間に設けられた液晶層45（図1参照）と、TFTアレイ基板30b及び対向基板40を互いに接着すると共に、T

F T アレイ基板 30 b 及び対向基板 40 の間に液晶層 45 を封入するために枠状に設けられたシール材 46 (図 1 参照) とを備えている。

[0074] T F T アレイ基板 30 b は、透明基板 10 (図 3 参照) と、透明基板 10 上に互いに平行に延びるように設けられた複数のゲート線 11 (図 2 参照) と、各ゲート線 11 を覆うように設けられたゲート絶縁膜 12 (図 3 参照) と、ゲート絶縁膜 12 上に各ゲート線 11 と直交する方向に互いに平行に延びるように設けられた複数のソース線 14 (図 2 参照) と、各ゲート線 11 及び各ソース線 14 の交差部分毎にそれぞれ設けられた複数の T F T 5 (図 2 及び図 3 参照) と、各 T F T 5 及び各ソース線 14 を覆うように設けられた層間絶縁膜 17 (図 3 参照) と、層間絶縁膜 17 上に設けられた容量電極 18 b (図 8 参照) と、容量電極 18 b を覆うように設けられた容量絶縁膜 19 (図 3 参照) と、容量絶縁膜 19 上にマトリクス状に設けられ、各 T F T 5 にそれぞれ接続された複数の画素電極 20 a (図 2 及び図 3 参照) と、各画素電極 20 a を覆うように設けられた配向膜 (不図示) とを備えている。

[0075] T F T アレイ基板 30 b では、図 8 に示すように、容量電極 18 b が有機絶縁膜 16 の開口部 16 c の図中左下部に突出している。そして、有機絶縁膜 16 の開口部 16 c では、図 8 に示すように、ドレイン電極 14 b、及び容量電極 18 b の突出部分が無機絶縁膜 15 を介して互いに重なることにより、接続領域 R (図中のハッチング部分参照) が構成されている。

[0076] 本実施形態の T F T アレイ基板 30 b 及びそれを備えた液晶表示パネルは、上記実施形態 1 の T F T アレイ基板製造工程において、容量電極 18 a のパターン形状を変更すれば、製造することができる。そして、製造された T F T アレイ基板 30 b を備えた液晶表示パネルに対して、上記実施形態 1 と同様に、検出工程を行い、短絡 S が検出された場合には、修正工程を行うことになる。具体的に、その修正工程では、短絡 S が検出された副画素 P において、上記実施形態 1 と同様に、図 2 に示すように、ドレイン電極 14 b の X 部にレーザー光 L を照射することにより、ドレイン電極 14 b を X 部で切

断すると共に、図8に示すように、接続領域Rの図中右上部及びそれに隣接する接続領域Rの外部を含むY部にレーザー光Lを照射することにより、切断されたドレイン電極14bの画素電極20aに接続された側と容量電極18bとを接続する。

[0077] 以上説明したように、本実施形態のTFTアレイ基板30bを備えた液晶表示パネル及びその製造方法によれば、上記実施形態1と同様に、TFTアレイ基板30bにおいて、ドレイン電極14b及び容量電極18bの間の層間絶縁膜17が無機絶縁膜15及び有機絶縁膜16を順に積層して形成され、ドレイン電極14b及び容量電極18bが有機絶縁膜16から露出する無機絶縁膜15を介して互いに重なる接続領域Rを備えているので、液晶表示パネルの黒点化による欠陥修正において、ドレイン電極14bと容量電極18bとを確実に接続することができる。

[0078] また、本実施形態のTFTアレイ基板30bを備えた液晶表示パネル及びその製造方法によれば、修正工程では、接続領域Rの端部及びそれに隣接する接続領域Rの外部にレーザー光Lを照射することにより、レーザー光Lの照射が接続領域Rだけに集中しないので、ドレイン電極14bの金属の過度の飛散を抑制することができ、ドレイン電極14bと容量電極18bとをいっそう確実に接続することができる。

[0079] 《発明の実施形態3》

図9は、本実施形態の液晶表示パネルを構成するTFTアレイ基板30cの各副画素Pに設けられた接続領域R及びその近傍を拡大した平面図であり、図10は、図9中のX-X線に沿ったTFTアレイ基板30cの断面図である。

[0080] 上記各実施形態では、接続領域Rに画素電極20aが重なっているTFTアレイ基板30a及び30bを例示したが、本実施形態では、接続領域Rに画素電極20bが重なっていないTFTアレイ基板30cを例示する。

[0081] 本実施形態の液晶表示パネルは、互いに対向するように設けられたTFTアレイ基板30c（図9及び図10参照）及び対向基板40（図1参照）と

、TFTアレイ基板30c及び対向基板40の間に設けられた液晶層45（図1参照）と、TFTアレイ基板30c及び対向基板40を互いに接着すると共に、TFTアレイ基板30c及び対向基板40の間に液晶層45を封入するために枠状に設けられたシール材46（図1参照）とを備えている。

[0082] TFTアレイ基板30cは、図9及び図10に示すように、透明基板10と、透明基板10上に互いに平行に延びるように設けられた複数のゲート線11（図2参照）と、各ゲート線11を覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に各ゲート線11と直交する方向に互いに平行に延びるように設けられた複数のソース線14（図2参照）と、各ゲート線11及び各ソース線14の交差部分毎にそれぞれ設けられた複数のTFT5（図2及び図3参照）と、各TFT5及び各ソース線14を覆うように設けられた層間絶縁膜17と、層間絶縁膜17上に設けられた容量電極18bと、容量電極18bを覆うように設けられた容量絶縁膜19と、容量絶縁膜19上にマトリクス状に設けられ、各TFT5にそれぞれ接続された複数の画素電極20bと、各画素電極20bを覆うように設けられた配向膜（不図示）とを備えている。

[0083] TFTアレイ基板30cでは、図9に示すように、容量電極18bが有機絶縁膜16の開口部16cの図中左下部に突出している。そして、有機絶縁膜16の開口部16cでは、図9及び図10に示すように、ドレイン電極14b、及び容量電極18bの突出部分が無機絶縁膜15を介して互いに重なることにより、接続領域R（図9中のハッチング部分参照）が構成されている。

[0084] また、TFTアレイ基板30cでは、図9及び図10に示すように、接続領域Rに重なるように、画素電極20bの開口部20cが設けられている。ここで、画素電極20bの開口部20cは、液晶層45の配向を規制するための構造体として機能するよう構成されている。

[0085] 本実施形態のTFTアレイ基板30c及びそれを備えた液晶表示パネルは、上記実施形態1のTFTアレイ基板製造工程において、容量電極18a及

び画素電極 20 a のパターン形状を変更すれば、製造することができる。そして、製造された TFT アレイ基板 30 c を備えた液晶表示パネルに対して、上記実施形態 1 と同様に、検出工程を行い、短絡 S が検出された場合には、修正工程を行うことになる。具体的に、その修正工程では、短絡 S が検出された副画素 P において、上記実施形態 1 と同様に、図 2 に示すように、ドレイン電極 14 b の X 部にレーザー光 L を照射することにより、ドレイン電極 14 b を X 部で切断すると共に、図 9 に示すように、接続領域 R の図中右上部及びそれに隣接する接続領域 R の外部を含む Y 部にレーザー光 L を照射することにより、切断されたドレイン電極 14 b の画素電極 20 b に接続された側と容量電極 18 b とを接続する。

[0086] 以上説明したように、本実施形態の TFT アレイ基板 30 c を備えた液晶表示パネル及びその製造方法によれば、上記実施形態 1 及び 2 と同様に、TFT アレイ基板 30 c において、ドレイン電極 14 b 及び容量電極 18 b の間の層間絶縁膜 17 が無機絶縁膜 15 及び有機絶縁膜 16 を順に積層して形成され、ドレイン電極 14 b 及び容量電極 18 b が有機絶縁膜 16 から露出する無機絶縁膜 15 を介して互いに重なる接続領域 R を備えているので、液晶表示パネルの黒点化による欠陥修正において、ドレイン電極 14 b と容量電極 18 b とを確実に接続することができる。

[0087] また、本実施形態の TFT アレイ基板 30 c を備えた液晶表示パネル及びその製造方法によれば、修正工程では、接続領域 R の端部及びそれに隣接する接続領域 R の外部にレーザー光 L を照射することにより、レーザー光 L の照射が接続領域 R だけに集中しないので、ドレイン電極 14 b の金属の過度の飛散を抑制することができ、ドレイン電極 14 b と容量電極 18 b とをいっそう確実に接続することができる。

[0088] また、本実施形態の TFT アレイ基板 30 c を備えた液晶表示パネル及びその製造方法によれば、各画素電極 20 b には、液晶層 45 の配向を規制するための構造体として、接続領域 R に重なるように開口部 20 c が設けられているので、接続領域 R に対するレーザー光 L の照射による画素電極 20 b

の損傷を抑制することができる。

[0089] 《発明の実施形態4》

図11は、本発明に係るTF Tアレイ基板及びその製造方法の実施形態を示している。具体的に、図11は、本実施形態の修正工程におけるTF Tアレイ基板30aの断面図である。

[0090] 上記各実施形態では、パネル状態で検出工程及び修正工程を行う液晶表示パネル及びその製造方法を例示したが、本実施形態では、基板状態で検出工程及び修正工程を行うTF Tアレイ基板30a及びその製造方法を例示する。

[0091] 本実施形態のTF Tアレイ基板30aは、上記実施形態1のTF Tアレイ基板30aと同一であるが、上記実施形態2のTF Tアレイ基板30bや上記実施形態3のTF Tアレイ基板30cであってもよい。

[0092] 本実施形態のTF Tアレイ基板30aは、例えば、CCD (Charge Coupled Device) カメラによる光学的検査や電荷検出法による検査により、ソース電極14a及びドレイン電極14bの間で短絡Sが発生した副画素Pが検出することにより、検出工程を行い、短絡Sが検出された場合には、修正工程を行うことになる。具体的に、その修正工程では、短絡Sが検出された副画素Pにおいて、ドレイン電極14bのX部(図2参照)にレーザー光Lを照射することにより、ドレイン電極14bをX部で切断すると共に、図11に示すように、接続領域RのY部(図4参照)にレーザー光Lを照射することにより、切断されたドレイン電極14bの画素電極20aに接続された側と容量電極18aとを接続する(図7中のTF Tアレイ基板30aa参照)。

[0093] 以上説明したように、本実施形態のTF Tアレイ基板30a及びその製造方法によれば、ドレイン電極14b及び容量電極18aの間の層間絶縁膜17が無機絶縁膜15及び有機絶縁膜16を順に積層して形成され、ドレイン電極14b及び容量電極18aが有機絶縁膜16から露出する無機絶縁膜15を介して互いに重なる接続領域Rを備えているので、ドレイン電極14b及び容量電極18aが互いに重なる接続領域Rには、ドレイン電極14b及

び容量電極 18 a の間を電氣的に絶縁する絶縁膜として、比較的厚い有機絶縁膜 16 が配置されずに、比較的薄い無機絶縁膜 15 だけが配置される。そのため、検出工程において、光学的検査や電荷検出法による検査により、ソース電極 14 a 及びドレイン電極 14 b の間で短絡 S が発生した副画素 P が検出された場合には、修正工程において、その短絡 S が発生した副画素 P において、ドレイン電極 14 b にレーザー光 L を透明基板 10 側から照射することにより、ドレイン電極 14 b の金属が層間絶縁膜 17 (無機絶縁膜 15 及び有機絶縁膜 16) 中を飛散して、ドレイン電極 14 b が切断されると共に、ドレイン電極 14 b 及び容量電極 18 a が無機絶縁膜 15 を介して互いに重なる接続領域 R にレーザー光 L を透明基板 10 側から照射することにより、ドレイン電極 14 b の金属が比較的薄い無機絶縁膜 15 中を飛散して容量電極 18 a に容易に到達するので、切断されたドレイン電極 14 b の画素電極 20 a に接続された側と容量電極 18 a とを確実に接続することができる。これにより、短絡 S が発生した副画素 P では、画素電極 20 a が容量電極 18 a の電位 (例えば、接地電位) に固定されて、黒点化されるので、TFT アレイ基板 30 a の黒点化による欠陥修正において、ドレイン電極 14 b と容量電極 18 a とを確実に接続することができる。

[0094] なお、上記各実施形態では、ドレイン電極 14 b を切断する修正方法を例示したが、ソース電極 14 a が切断可能な構造であれば、ドレイン電極 14 b を切断する代わりに、ソース電極 14 a をその基部で切断してもよい。

[0095] また、上記各実施形態では、スイッチング素子として、TFT を例示したが、本発明は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの他の 3 端子のスイッチング素子にも適用することができる。

[0096] また、上記各実施形態では、各画素が 3 つの副画素 (赤、緑及び青) を有する液晶表示パネルを例示したが、本発明は、各画素が 4 つ以上の副画素 (例えば、赤、緑、青及び白や赤、緑、青及び黄など) を有する液晶表示パネルにも適用することができる。

[0097] また、上記各実施形態では、複数の副画素がマトリクス状に配列されたア

レイ基板及びそれを備えた液晶表示パネルを例示したが、本発明は、複数の副画素がデルタ状に配列されたアレイ基板及びそれを備えた液晶表示パネルにも適用することができる。

[0098] また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたTFTアレイ基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶTFTアレイ基板にも適用することができる。

産業上の利用可能性

[0099] 以上説明したように、本発明は、黒点化による欠陥修正において、ドレイン電極と容量電極とを確実に接続するので、補助容量を有する表示パネルについて有用である。

符号の説明

[0100]	L	レーザー光
	P	副画素
	R	接続領域
	S	短絡
	5	TFT (スイッチング素子)
	6	補助容量
	10	透明基板
	12	ゲート絶縁膜
	14 a	ソース電極
	14 b	ドレイン電極
	15, 15 a	無機絶縁膜
	16	有機絶縁膜
	17	層間絶縁膜
	18 a, 18 b	容量電極
	19	容量絶縁膜
	20 a, 20 b	画素電極

20c 開口部
30a, 30aa, 30b, 30c TFTアレイ基板
40 対向基板
45 液晶層
50, 50a 液晶表示パネル

請求の範囲

[請求項1]

複数の副画素と、
互いに対向するように設けられたアレイ基板及び対向基板と、
上記アレイ基板及び対向基板の間に設けられた液晶層とを備え、
上記アレイ基板が、
透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、
上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、
上記層間絶縁膜上に設けられた容量電極と、
上記容量電極を覆うように設けられた容量絶縁膜と、
上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極とを備えた液晶表示パネルであって、
上記アレイ基板には、上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なる接続領域が設けられていることを特徴とする液晶表示パネル。

[請求項2]

請求項1に記載された液晶表示パネルにおいて、
上記各画素電極には、上記接続領域に重なるように開口部が設けられていることを特徴とする液晶表示パネル。

[請求項3]

請求項1に記載された液晶表示パネルにおいて、
上記アレイ基板の上記接続領域では、上記透明基板上にゲート絶縁膜、上記ドレイン電極、無機絶縁膜、容量電極、容量絶縁膜及び各画素電極が順に積層されていることを特徴とする液晶表示パネル。

[請求項4]

複数の副画素と、
互いに対向するように設けられたアレイ基板及び対向基板と、

上記アレイ基板及び対向基板の間に設けられた液晶層とを備え、
上記アレイ基板が、
透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、
上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、
上記層間絶縁膜上に設けられた容量電極と、
上記容量電極を覆うように設けられた容量絶縁膜と、
上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極とを備え、
、
上記アレイ基板には、上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なる接続領域が設けられた液晶表示パネルを製造する方法であって、
上記複数の副画素において、上記ソース電極及びドレイン電極の間で短絡が発生した副画素を検出する検出工程と、
上記検出工程で短絡が検出された副画素において、上記ドレイン電極にレーザー光を上記透明基板側から照射して該ドレイン電極を切断すると共に、上記接続領域にレーザー光を上記透明基板側から照射して、該切断されたドレイン電極の上記各画素電極に接続された側と上記容量電極とを接続する修正工程とを備えることを特徴とする液晶表示パネルの製造方法。

[請求項5]

請求項4に記載された液晶表示パネルの製造方法において、
上記修正工程では、上記接続領域の端部及び該端部に隣接する該接続領域の外部に上記レーザー光を照射することを特徴とする液晶表示パネルの製造方法。

[請求項6]

複数の副画素と、

透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、

上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、

上記層間絶縁膜上に設けられた容量電極と、

上記容量電極を覆うように設けられた容量絶縁膜と、

上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極とを備えたアレイ基板であって、

上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なる接続領域を備えていることを特徴とするアレイ基板。

[請求項7]

複数の副画素と、

透明基板に上記各副画素毎にそれぞれ設けられ、各々、互いに離間するように配置されたソース電極及びドレイン電極を有する複数のスイッチング素子と、

上記各スイッチング素子を覆うように設けられ、無機絶縁膜及び有機絶縁膜が順に積層された層間絶縁膜と、

上記層間絶縁膜上に設けられた容量電極と、

上記容量電極を覆うように設けられた容量絶縁膜と、

上記容量絶縁膜上に設けられ、上記容量電極に対向して上記各副画素毎に補助容量を構成し、該容量電極と絶縁状態で上記各スイッチング素子のドレイン電極にそれぞれ接続された複数の画素電極と、

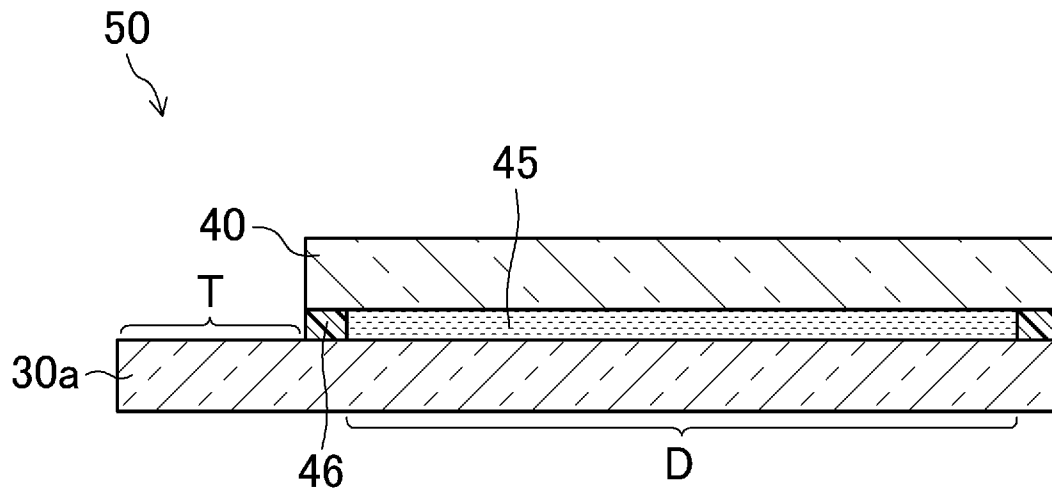
上記ドレイン電極及び容量電極が上記有機絶縁膜から露出する上記無機絶縁膜を介して互いに重なるように設けられた接続領域とを備え

たアレイ基板を製造する方法であって、

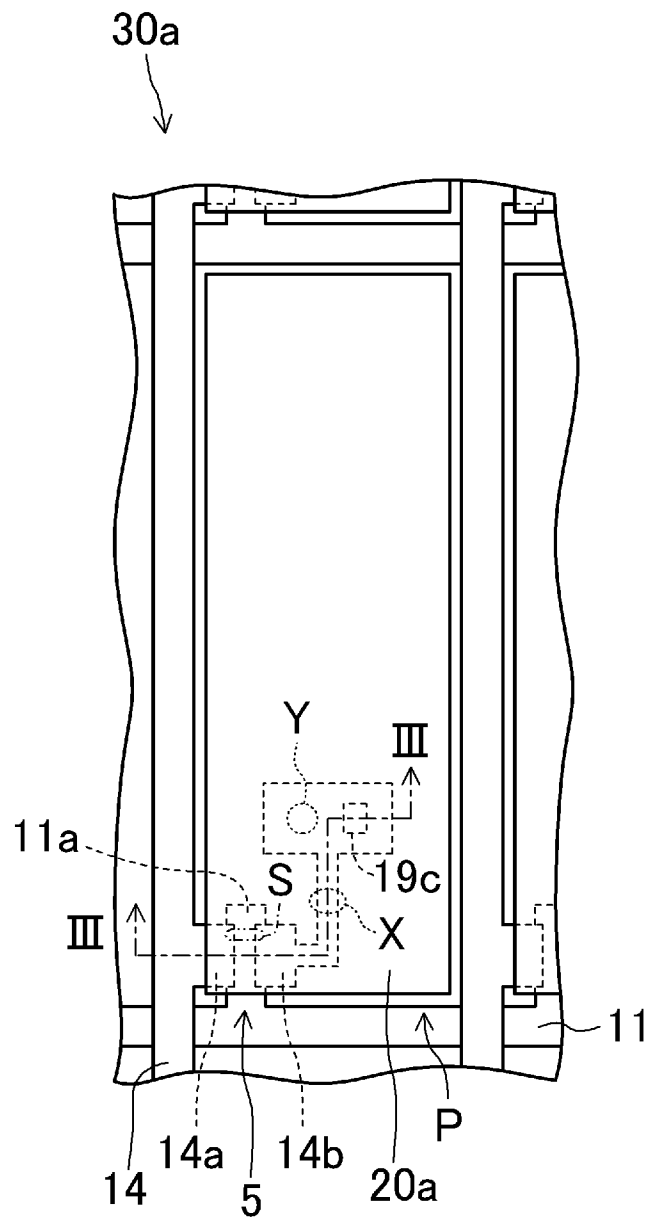
上記複数の副画素において、上記ソース電極及びドレイン電極の間で短絡が発生した副画素を検出する検出工程と、

上記検出工程で短絡が検出された副画素において、上記ドレイン電極にレーザー光を上記透明基板側から照射して該ドレイン電極を切断すると共に、上記接続領域にレーザー光を上記透明基板側から照射して、該切断されたドレイン電極の上記各画素電極に接続された側と上記容量電極とを接続する修正工程とを備えることを特徴とするアレイ基板の製造方法。

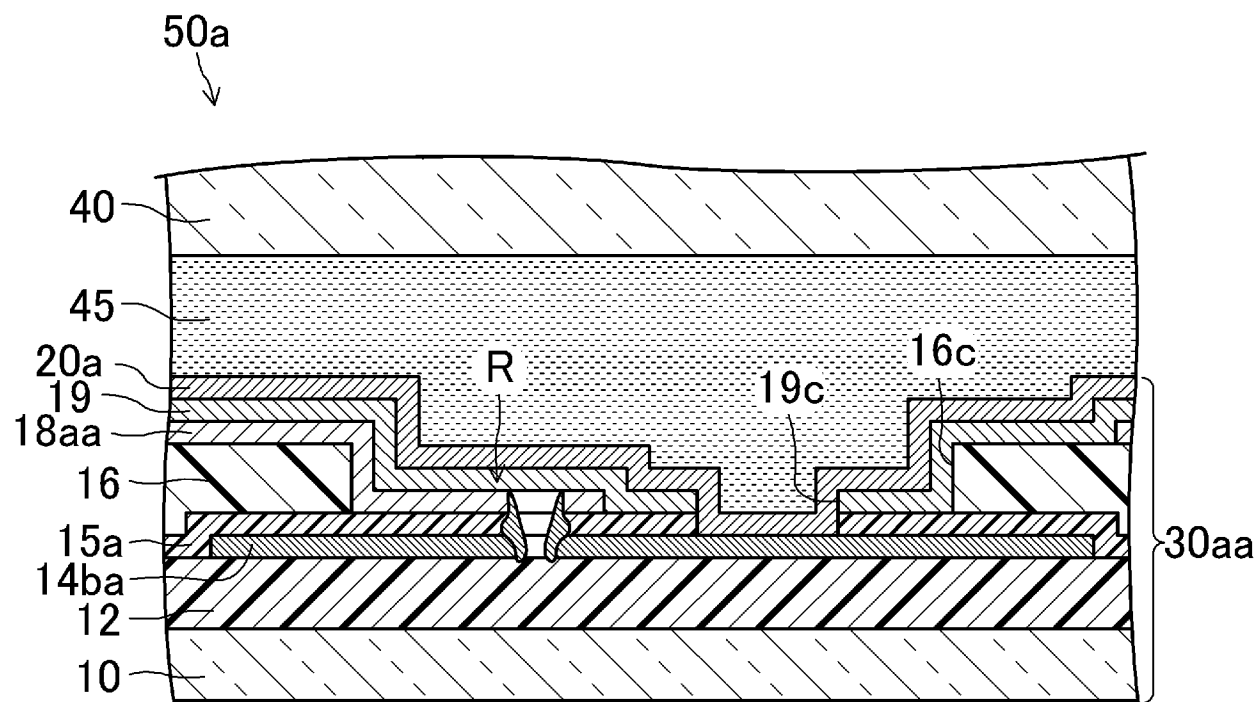
[図1]



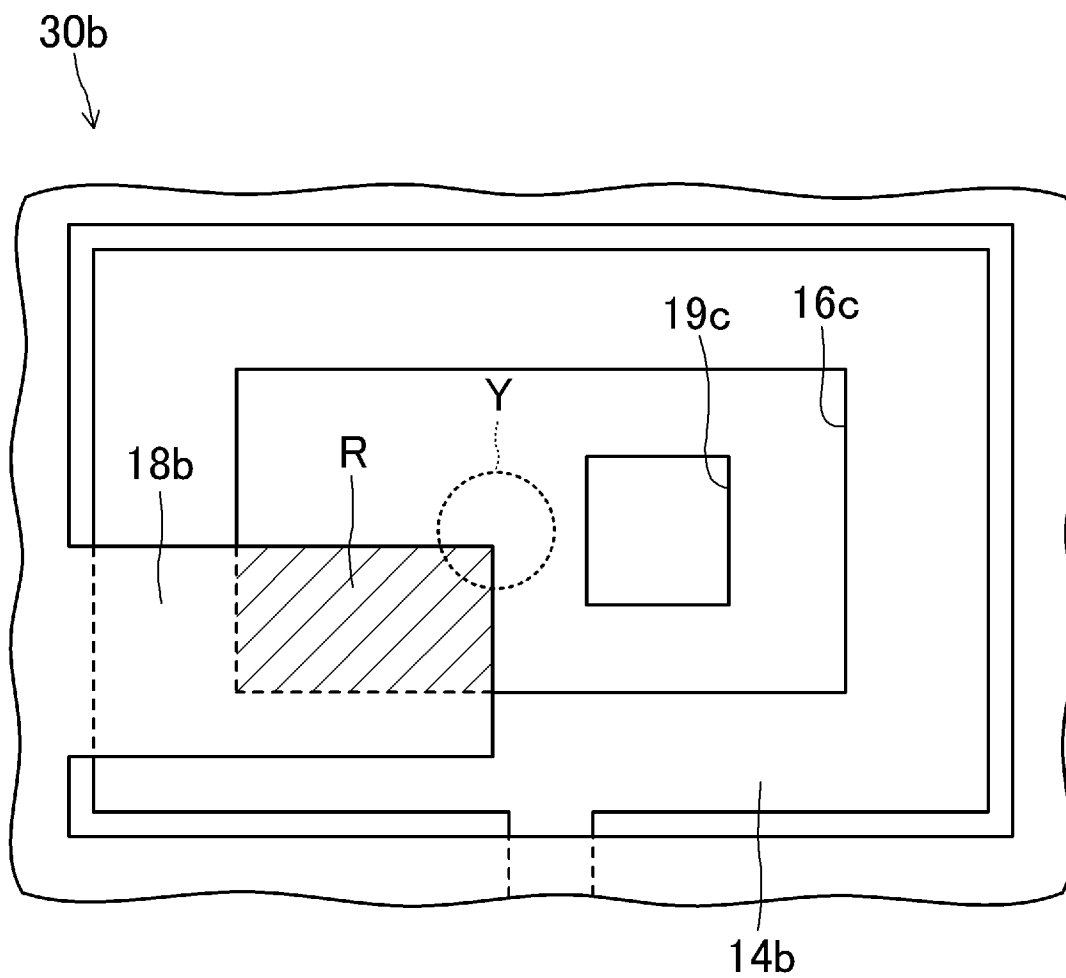
[図2]



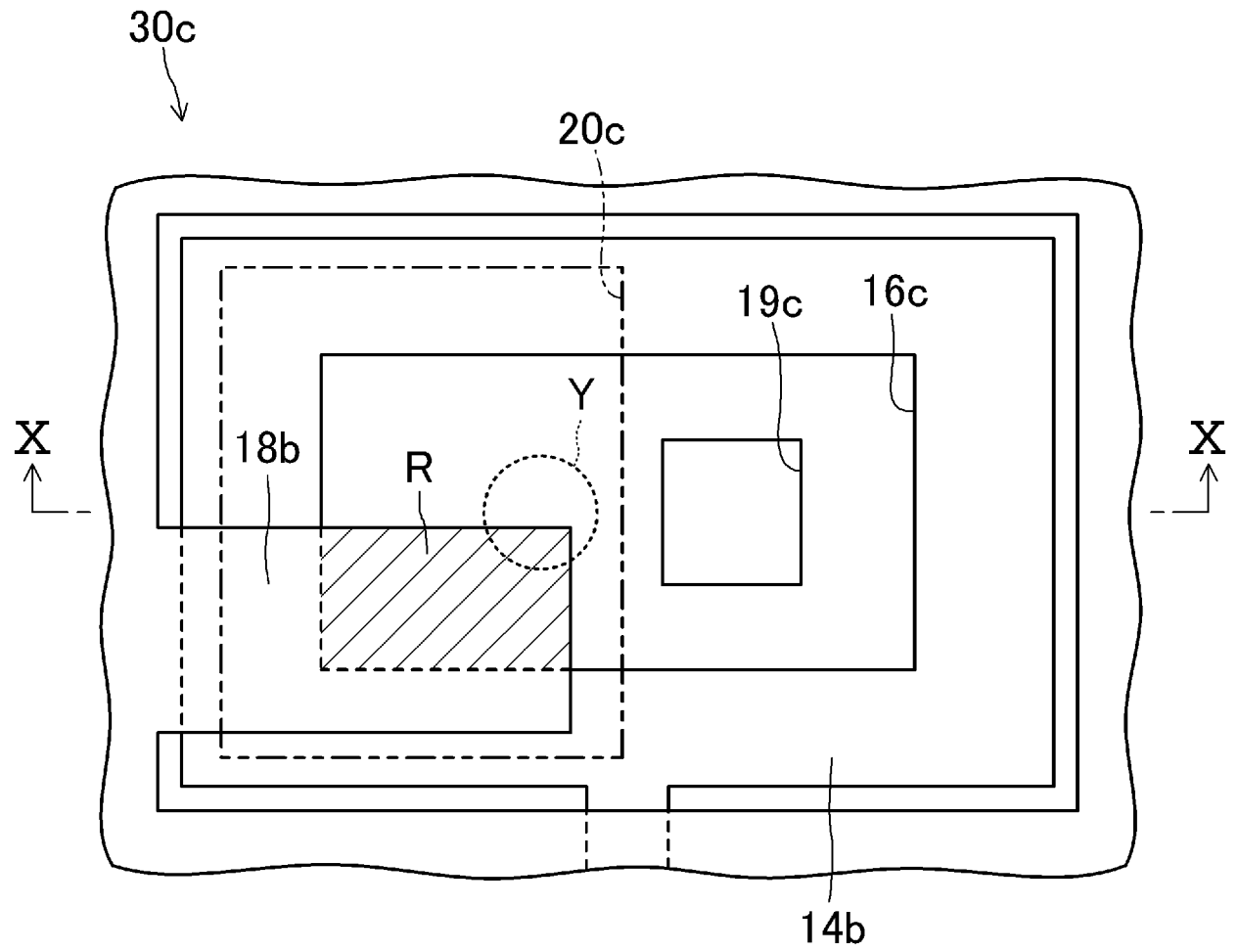
[図7]



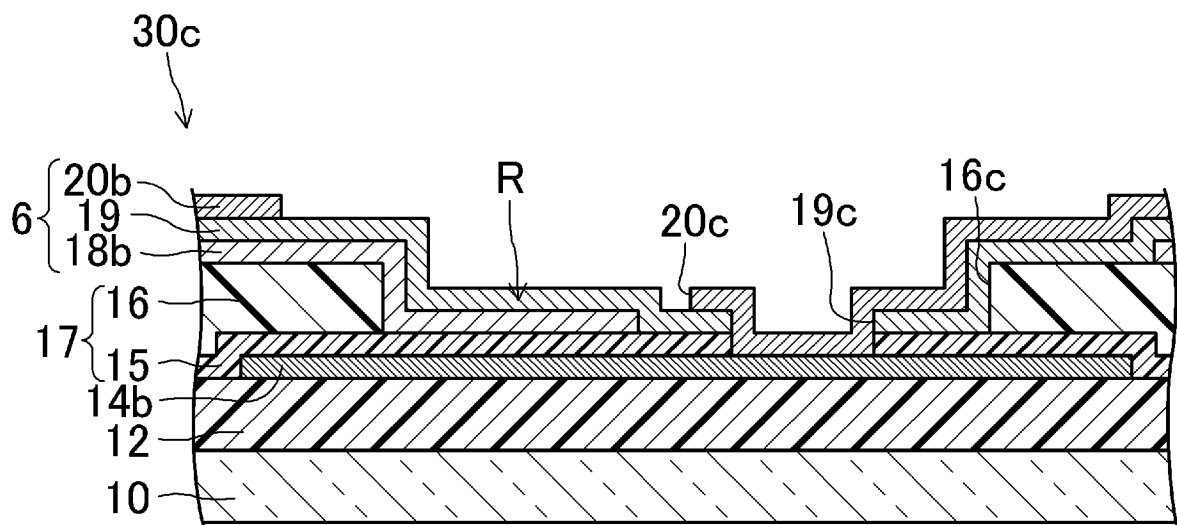
[図8]



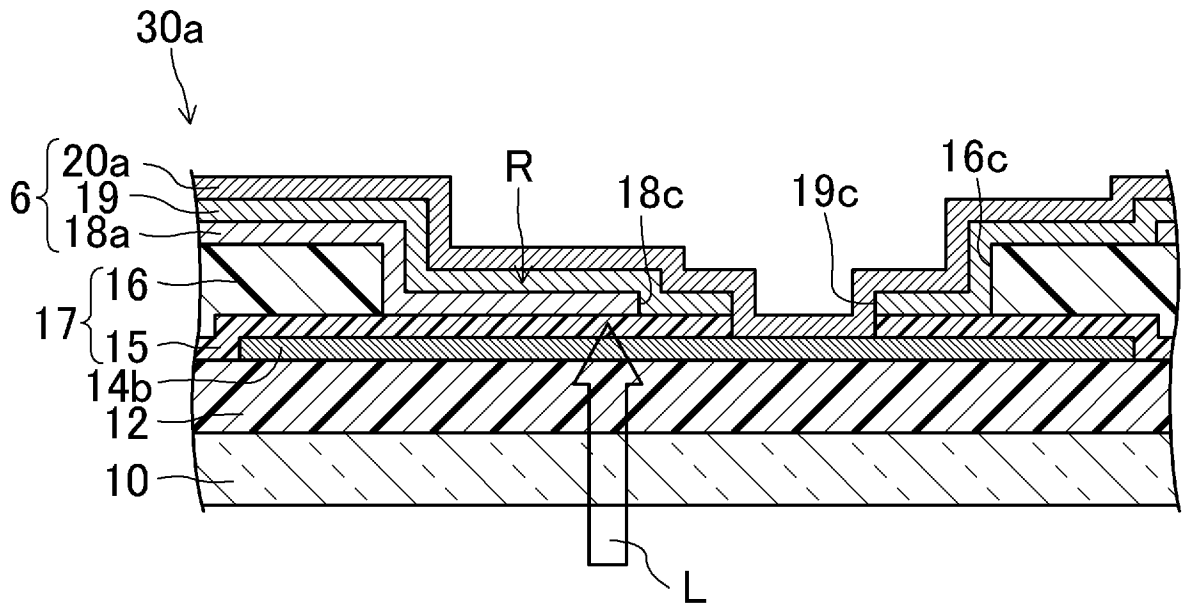
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000420

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-324819 A (Seiko Epson Corp.), 13 November 1992 (13.11.1992), entire text; all drawings (Family: none)	1-7
A	JP 4-256362 A (Sanyo Electric Co., Ltd.), 11 September 1992 (11.09.1992), entire text; all drawings (Family: none)	1-7
A	WO 2010/146747 A1 (Sharp Corp.), 23 December 2010 (23.12.2010), paragraphs [0037] to [0061]; fig. 3 to 5 (Family: none)	1-7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 March, 2012 (22.03.12)Date of mailing of the international search report
03 April, 2012 (03.04.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G02F1/1368(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G02F1/1368, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-324819 A (セイコーエプソン株式会社) 1992. 11. 13, 全文、 全図 (ファミリーなし)	1-7
A	JP 4-256362 A (三洋電機株式会社) 1992. 09. 11, 全文、全図 (ファミリーなし)	1-7
A	WO 2010/146747 A1 (シャープ株式会社) 2010. 12. 23, 段落【0037】-【0061】、図3-5 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日
 22. 03. 2012

国際調査報告の発送日
 03. 04. 2012

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	2 L	3 4 1 3
佐藤 洋允		
電話番号 03-3581-1101 内線 3255		