

①9 RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
—
PARIS
—

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 561 810

②1 N° d'enregistrement national :

85 04322

⑤1 Int Cl⁴ : G 11 C 7/00; H 03 M 7/30; H 04 N 5/14, 7/13.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 22 mars 1985.

③0 Priorité : US, 23 mars 1984, n° 592.788.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 39 du 27 septembre 1985.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : RCA CORPORATION. —
US.

⑦2 Inventeur(s) : Henry Garton Lewis, Jr.

⑦3 Titulaire(s) :

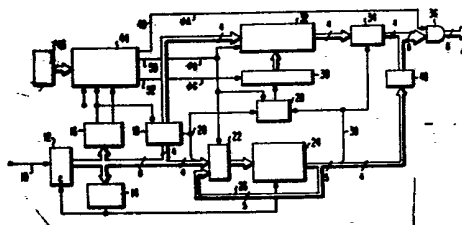
⑦4 Mandataire(s) : Cabinet Z. Weinstein.

⑤4 Système de stockage d'une trame d'un signal vidéo ayant une mémoire réduite.

⑤7 L'invention concerne un système de mémoire pour stocker des signaux vidéo représentés par des échantillons numériques à N bits consistant en M MSB et (N-M) LSB.

Selon l'invention, un codeur 18 répond aux MSB de paires d'échantillons successifs pour produire des signaux de drapeau représentant le moment où les MSB des paires d'échantillons diffèrent et où les MSB des paires d'échantillons sont identiques; une première mémoire 24 stocke les LSB de chaque échantillon plus un signal drapeau correspondant; et une seconde mémoire 16, 28, 32, 44 ne stocke que les MSB des échantillons qui diffèrent des MSB de l'autre échantillon de chaque paire.

L'invention s'applique notamment à la télévision.



FR 2 561 810 - A1

L'invention se rapporte à une mémoire de signaux vidéo et plus particulièrement à un système de stockage d'une trame qui nécessite moins de mémoire qu'un système de stockage typique d'une trame.

5 Un stockage de trame tel que défini ici est une mémoire et a la capacité de stocker l'information d'une trame vidéo du signal. Des systèmes de traitement de signaux vidéo ont été développés, utilisant des stockages de trame pour améliorer de manière souhaitable
10 des images vidéo reproduites. Cependant, le prix des dispositifs à mémoire a généralement été trop important pour permettre l'utilisation de stockages de trame dans des produits vidéo pour consommateur. Les développements restants de la technologie des traitements des semi-
15 conducteurs ont réduit les prix des mémoires presque au point où l'utilisation des stockages de trame, dans les téléviseurs pour consommateur est possible.

La tendance courante du traitement de signaux vidéo de télévision va vers l'accomplissement du traitement
20 de signaux vidéo par des techniques numériques. Un signal vidéo composite sur bande de base d'un tuner/fréquence intermédiaire conventionnel est échantillonné à une fréquence égale à quatre fois la fréquence de sous-porteuse couleur (comme 14,32 MHz pour un signal NTSC) et est converti
25 en un format modulé par impulsions codées (PCM). Ensuite, les signaux en PCM sont traités en utilisant par exemple une arithmétique binaire. Les signaux en PCM ont typiquement huit bits de large. Chaque ligne vidéo contient environ 910 échantillons et il y a environ 512 lignes actives
30 dans une trame du signal. La mémoire totale requise pour stocker une trame du signal vidéo est par conséquent de $8 \times 910 \times 512 = 3\,727\,360$ bits. Si la mémoire requise peut être réduite d'aussi peu que 10%, c'est-à-dire environ 400 000 bits, l'économie du prix de la mémoire est appréciable.

Statistiquement, il y a un degré élevé de corrélation entre des échantillons adjacents d'un signal vidéo. Par exemple, dans des images monochromes représentées par des échantillons à 8 bits, en moyenne, les quatre bits de poids fort (MSB) d'échantillons adjacents sont identiques a plus de 70% de fois. Dans des signaux vidéo composites couleur, les quatre MSB des échantillons les plus proches de même phase de sous-porteuse sont identiques à plus de 50% de fois. L'information contenue dans les quatre bits de poids fort des échantillons est fortement redondante et il est peu nécessaire de stocker les quatre MSB de tous les échantillons dans un stockage de trame.

La présente invention a pour objet l'utilisation de la corrélation statistique des signaux vidéo pour réduire la quantité de mémoire nécessaire pour stocker une image ou une trame de mémoire sans affecter la qualité du signal vidéo.

Selon les principes de la présente invention, un système de mémoire stocke les signaux vidéo représentés par des échantillons numériques à N bits. Les échantillons comprennent M bits de poids fort (MSB) et N-M bits de poids faible (LSB). Un codeur répond aux MSB de paires successives d'échantillons et produit un signal drapeau indiquant si les MSB des deux échantillons sont identiques ou différents. Une première mémoire stocke les LSB et un signal drapeau correspondant pour chaque échantillon. Une seconde mémoire ne stocke les MSB uniquement des échantillons qui sont différents de ceux de l'autre échantillon de la paire. La présente invention concerne un circuit pour stocker une image ou trame du signal vidéo qui est représenté sous format numérique en PCM. Le circuit comprend un détecteur qui examine en succession les échantillons adjacents et produit un bit drapeau selon que les quatre MSB d'échantillons adjacents sont identiques ou

différents. Si les quatre MSB sont identiques, le bit drapeau est un zéro logique et, si les quatre MSB sont différents, le drapeau est un un logique. Les quatre LSB de tous les échantillons vidéo et dans le bit de drapeau ajouté comme cinquième bit sont stockés dans une première mémoire.

Les quatre MSB des échantillons vidéo sont appliqués à un codeur, dont la sortie est dirigée vers un second bloc de mémoire plus petit. Le codeur ne délivre que les quatre MSB des échantillons qui ont quatre MSB différents de l'échantillon immédiatement précédent. Ces quatre MSB sont stockés dans le second bloc de mémoire et peuvent consister en 40% du nombre total des MSB, seulement.

Les adresses du premier bloc de mémoire sont contrôlées en séquence par une horloge du système synchronisée sur la fréquence de l'échantillon vidéo. Le premier bloc de mémoire délivre séquentiellement les quatre LSB stockés plus les bits drapeau retardés de la période de demi-trame ou de la trame. Les adresses du second bloc de mémoire sont contrôlées en séquence en réponse aux bits retardés de drapeau pour produire quatre MSB retardés du second bloc de mémoire. Les quatre MSB retardés sont appliqués à un décodeur qui répond également aux bits retardés de drapeau. Le décodeur ajoute les quatre MSB retardés aux quatre LSB retardés appropriés pour reconstruire les échantillons vidéo à 8 bits correspondant aux échantillons d'entrée à 8 bits retardés d'une période d'une demi-trame.

L'invention sera mieux comprise, et d'autres buts, caractéristiques, détails et avantages de celle-ci apparaîtront plus clairement au cours de la description explicative qui va suivre faite en référence aux dessins schématiques annexés donnés uniquement à titre d'exemple illustrant un mode de réalisation de l'invention, et dans lesquels:

- la figure 1A est une forme d'onde de l'amplitude en fonction du temps, représentative d'une partie de deux lignes successives d'un signal vidéo composite;

5 - la figure 1B est un histogramme qui illustre la corrélation des échantillons vidéo composites pour 500 trames d'images vidéo diffusées;

- la figure 2A est un schéma bloc d'un système de stockage d'une trame selon l'invention;

10 - la figure 2B est un schéma partiel des temps pour le système de la figure 2A;

- la figure 3A donne un schéma bloc d'un codeur à utiliser avec le système de la figure 2;

- la figure 3B donne un schéma bloc d'un décodeur à utiliser avec le système de la figure 2;

15 - la figure 4 illustre un dispositif pour stocker des signaux vidéo composites sous forme de composantes; et

20 - les figures 5A et 5B sont des schémas blocs d'un codeur et d'un décodeur à utiliser avec un système du type de la figure 2 agencé pour stocker le signal de luminance.

25 Sur les dessins, les lignes épaisses représentent les trajets de signaux numériques multibits. Les lignes minces représentent les trajets de signaux numériques à un seul bit ou les trajets de signaux analogiques.

30 Un signal vidéo composite consiste en un signal de couleur qui est une porteuse modulée en phase et en amplitude (généralement appelée la sous-porteuse), et un signal de luminance qui est un signal sur bande large qui est superposé sur le signal de couleur. Le caractère du signal composite ressemble fortement à une sinusoïde modulée en amplitude. D'une ligne vidéo à une ligne vidéo, la sinusoïde a un déphasage de 180°. Une trame

du signal vidéo constitue une image et se compose de deux demi-frames du signal vidéo. Chaque demi trame contient environ 262 lignes du signal vidéo. Lorsqu'une trame est visualisée, les lignes d'une demi trame sont entrelacées entre les lignes de l'autre demi-trame. En conséquence, l'information contenue dans les deux demi-trames d'une trame donnée est très semblable, c'est-à-dire que l'information entre les demi-frames est fortement en corrélation. Comme on l'a précédemment mentionné, l'information le long d'une ligne est fortement en corrélation.

La figure 1A montre une forme d'onde du temps en fonction de l'amplitude d'une partie de deux lignes successives d'un signal vidéo composite analogique d'une demi-trame. La forme d'onde est représentée par une sinusoïde avec une fréquence du cycle correspondant à la fréquence de sous-porteuse. Les gros points A-E correspondent aux points dans le temps où le signal analogique est échantillonné pour une conversion en un format numérique. Dans la description qui suit, on suppose que le signal vidéo est converti en mots codés à huit bits en parallèle. Les points d'échantillonnage se produisent à des intervalles d'un quart de cycle, c'est-à-dire que la fréquence d'échantillonnage est à quatre fois la fréquence de sous-porteuse. La forme d'onde inférieure montre la relation de déphasage de 180° entre des lignes successives et à des points correspondants d'échantillonnage W-Z.

La figure 1B est un histogramme montrant la corrélation des quatre MSB des échantillons respectifs à 8 bits en se référant à la figure 1A. Les données pour la figure 1B ont été dérivées d'un échantillonnage de 500 trames vidéo diffusées "par l'air". Le long de la

forme d'onde, les échantillons les plus proches de phase identique, tels que les échantillons A et E, ont des MSB identiques à 68% du temps. De manière correspondante, les échantillons d'une ligne à l'autre, comme les échantillons A et (-) W ont présenté des MSB identiques à 68,5% du temps. Les MSB des échantillons A, E et (-) W étaient les mêmes à 50% du temps ce qui indique un degré élevé de corrélation de l'information d'une ligne à l'autre dans une demi-trame donnée, d'où l'on peut en déduire qu'une ligne entrelacée (d'une autre demi-trame) qui se produirait entre les deux lignes illustrées sur la figure 1A serait fortement en corrélation avec chacune des lignes illustrées.

Les MSB des échantillons A sont les mêmes que les MSB des échantillons E à plus de 60% de fois. Par conséquent, des changements de valeur des MSB de l'échantillon A à l'échantillon E se produisent moins de 40% de fois. Si la redondance est supprimée dans un système de stockage, il ne faut stocker que 40% des MSB dans une mémoire. Pour un système à 8 bits, cela correspond à une moyenne de 1,6 MSB par échantillon. On considère un système qui stocke les LSB pour chaque échantillon, seuls les MSB qui sont différents de l'échantillon précédent et un bit drapeau pour chaque échantillon pour indiquer des changements des MSB. Les conditions de stockage pour un système ayant plus de 60% de corrélation sont inférieures à 83% d'une pleine trame de stockage. Cela représente une économie supérieure à 633 000 bits de stockage.

La figure 2A montre un exemple d'un mode de réalisation d'un système de stockage de trame fonctionnant selon les principes ci-dessus. Ce système est agencé pour ne capter qu'une seule trame et ensuite pour émettre de manière répétée cette trame pour une visualisation d'image arrêtée

ou gelée. Dans ce mode de réalisation, la mémoire 24 de LSB est supposée être du type en série, c'est-à-dire une mémoire à transfert de charge de 5 bits de large. La mémoire 32 de MSB est une mémoire à accès aléatoire qui est adressée par un compteur d'adresses 30. Le 5 contrôle du circuit est accompli par le contrôleur 44 répondant aux commandes de l'utilisateur de l'élément 46 et à des signaux d'horloge, de synchronisation verticale et éventuellement de synchronisation horizontale. 10 Le contrôleur 44 peut être un microprocesseur micro-programmé, programmé pour émettre des signaux de contrôle en réponse par exemple à des commandes binaires de clavier de l'élément 46. Toute personne compétente en la technique du traitement de signaux numériques sera 15 facilement capable de programmer les signaux requis de contrôle à l'aide des formes d'onde de temps illustrées sur la figure 2B.

En se référant de nouveau à la figure 2A, un signal vidéo composite analogique est appliqué à un convertisseur 20 analogique-numérique (ADC) 12 par un trajet de signaux d'entrée 10. Le ADC 12, en réponse à un signal d'horloge à sa borne C d'entrée d'horloge d'échantillonnage, convertit le signal analogique en mots codés en PCM à 8 bits à quatre fois la fréquence de sous-porteuse. Les mots codés 25 à 8 bits sont appliqués au circuit 14 générateur de signaux d'horloge et au détecteur 16 de synchronisation. Le générateur 14, qui peut comprendre un oscillateur couplé dans une boucle verrouillée en phase, répond à la composante de salve échantillonnée du signal vidéo sous forme 30 numérique pour produire un signal d'horloge à quatre fois la sous-porteuse verrouillée en phase sur la salve. Le signal d'horloge du générateur 14 est appliqué pour commander le convertisseur 12 et il est appliqué à la mémoire 24 de LSB pour y ordonner les données. Le détecteur

16, en réponse au signal vidéo sous forme numérique du ADC 12, produit un signal pulsé de sortie, VSYNC, qui coïncide avec le signal de synchronisation verticale du signal vidéo. Le détecteur 16 extrait également les impulsions de synchronisation horizontale HSYNC. Les signaux VSYNS et HSYNC sont appliqués au contrôleur 44 pour effectuer la temporisation des signaux développés par le contrôleur. Les circuits détecteurs de synchronisation et les circuits générateurs d'horloge répondant aux signaux vidéo sous forme numérique sont connus dans la technique du traitement de signaux vidéo numérique et ne seront pas décrits en détail ici.

Les quatre LSB du signal sous forme numérique à la sortie du convertisseur 12 sont appliqués à un point d'entrée d'un multiplexeur 22. Un bit drapeau du codeur 18 est ajouté en tant que cinquième bit aux quatre LSB de chaque échantillon avant application au multiplexeur 22. Pendant le mode d'écriture ou "capture", le multiplexeur 22 applique les quatre LSB du ADC 12 plus le bit drapeau au point d'entrée de la mémoire 24 de LSB. La mémoire 24 est déclenchée par le signal d'horloge d'échantillonnage pour recevoir les données appliquées. Le signal au point de sortie de la mémoire 24 de LSB est appliqué à un second point d'entrée du multiplexeur 22. Ce signal est de nouveau couplé au point d'entrée de la mémoire 24 pendant le mode de lecture ou d'affichage. Comme la mémoire 24 est un dispositif en série, il est nécessaire de remettre les données en circulation de façon à ne pas les perdre si l'information doit être visualisée pendant des périodes successives de trame.

Le multiplexeur 22 est contrôlé par le signal ϕB produit par le contrôleur 44 à la connexion 50. Le multiplexeur 22 applique de nouvelles données à la mémoire 24 seulement pendant le mode d'écriture. Pendant tous les

autres temps, les données anciennes couramment dans la mémoire 24 sont remises en circulation a) de façon à pouvoir être visualisées plus d'une fois et b) dans le cas d'une mémoire dynamique en série de façon à les
5 rafraîchir continuellement.

Les quatre MSB du convertisseur 12 sont appliqués au codeur 18 qui compare des échantillons successifs d'une phase identique de chrominance. Si les MSB du nouvel échantillon diffèrent des MSB de l'échantillon
10 précédent de phase identique, le codeur 18 passe le nouveau MSB à l'entrée de données de la mémoire 32 de MSB. Simultanément, le codeur 18 produit un bit drapeau (valeur logique 1) qui est ajouté aux LSB du même échantillon. De plus, le bit drapeau est
15 appliqué par le multiplexeur 28 à l'entrée d'horloge du compteur d'adresses 30. Le bit drapeau incrémente le compteur pour produire un emplacement d'adresse dans la mémoire 32 de MSB pour les MSB correspondants (il faut noter qu'il peut être nécessaire d'interposer
20 un retard dans le bus de données de MSB vers la mémoire 32 pour laisser le temps pour l'incrément du compteur d'adresses). Si les MSB de l'échantillon tout à fait courant et les MSB de l'échantillon précédent de phase identique sont les mêmes, le bit drapeau
25 produit par le codeur 18 est un zéro logique. Dans ce cas, le compteur d'adresses n'est pas incrémenté et donc les données ne sont pas acceptées par la mémoire 32.

Le compteur d'adresses est par exemple remis à zéro
30 par le signal de contrôle ou de commande ϕC appliqué à sa borne R de remise à zéro. Le signal de contrôle ou de commande ϕC développé à la connexion 52 est une impulsion de courte durée qui se produit une fois par période de trame et pendant la période de synchronisation

verticale du signal vidéo composite. Le signal de commande ϕB est appliqué à la borne d'entrée de lecture/écriture ($\bar{R}/W$) de la mémoire de MSB pour conditionner la mémoire de MSB pour lire (sortie) ou écrire (entrée) les données.

5 Lorsque le signal ϕB est à un niveau de un logique, la mémoire est placée en mode d'écriture et lorsque ϕB est un zéro logique, la mémoire est conditionnée pour lire les données. Le signal ϕB conditionne également le multiplexeur 28 pour appliquer le signal de bit

10 drapeau du codeur 18 à la borne d'entrée de compte du compteur d'adresses 30 lorsque la mémoire de MSB est en mode d'écriture.

Lorsque le signal ϕB passe à l'état bas, la mémoire 32 de MSB est conditionnée pour lire les données stockées

15 en réponse aux signaux appliqués d'adresse. Simultanément, avec le signal ϕB passant à l'état bas, le compteur d'adresses est remis à zéro par le signal de contrôle ϕC , et le signal ϕB conditionne le multiplexeur 28 pour appliquer les bits retardés de drapeau présents à la

20 connexion 38 de la mémoire de LSB 24 à la borne de compte du compteur d'adresses 30. Le signal ϕB , lorsqu'il est logiquement bas, conditionne également le multiplexeur 22 pour remettre les données en circulation dans la mémoire 24 de LSB. Le premier bit drapeau à la sortie

25 de la mémoire 24 est associé aux données du premier échantillon qui est stocké. Les MSB du premier échantillon seront stockés dans la mémoire 32 et le compteur d'adresses y accèdera en réponse aux bits drapeaux. L'accès aux données subséquentes de MSB se fera dans l'ordre où

30 elles ont été introduites dans la mémoire 32 et en synchronisme dans le temps avec la sortie appropriée de LSB par la mémoire 24 de LSB. Il faut cependant noter que si le compteur d'adresses est remis à zéro par le signal de contrôle ϕC et que les données de MSB du premier

échantillon sont stockées à l'emplacement de mémoire zéro, et que le premier bit de drapeau de sortie augmente le compteur d'adresses à un compte de un, les données stockées de MSB seront extraites de la mémoire 32 à un échantillon en avant des données de LSB de la mémoire 24. Selon l'architecture de la mémoire et du compteur d'adresses, il peut par conséquent être nécessaire d'interposer un retard d'un échantillon dans la connexion de bit drapeau entre la mémoire 24 et le compteur d'adresses 30 pour temporiser de manière appropriée les données de MSB à la sortie par la mémoire 32. Cependant, ces considérations de temporisation seront bien comprises de ceux qui sont compétents en la matière du traitement de signaux vidéo numérique et ne doivent pas être plus amplement décrites ici.

Comme certaines des données de MSB doivent être ajoutées à plus d'un échantillon de données de LSB, il faut établir ou décoder la correspondance MSB-LSB. Cette fonction est accomplie dans le décodeur 34 qui répond à la fois aux MSB à la sortie de la mémoire 32 et aux bits de drapeau à la sortie de la mémoire 24. Le décodeur 34, contrôlé par les bits de drapeau, produit des séries des mêmes MSB pour des échantillons d'entrée de phase identique qui n'ont pas enregistré un changement des positions des MSB. Les échantillons de MSB du décodeur 34 sont alors ajoutés aux positions des bits de poids fort, aux LSB de la mémoire 24 pour former les échantillons reconstruits du signal à 8 bits. L'élément retardateur 40 incorporé dans le trajet de signaux de LSB compense les retards inhérents dans le circuit décodeur 34.

Les échantillons reconstruits sont appliqués à un circuit porte 36 qui, commandé par le signal ϕA , laisse passer les échantillons vers d'autres circuits ou inhibe

leur passage. Il faut noter que dans le mode de réalisation illustré, le circuit développe continuellement les échantillons reconstruits sauf lorsqu'une nouvelle trame est captée.

5 La figure 3A illustre un exemple d'un circuit codeur à utiliser pour stocker la composante vidéo composite ou de chrominance d'un signal vidéo composite. La figure 3B illustre un exemple d'un circuit décodeur pour émettre les MSB stockés du signal vidéo composite ou les MSB stockés de la composante de chrominance du signal vidéo.

10 Sur la figure 1A, on peut reconnaître que chacun des quatre échantillons successifs aurait tendance à avoir des MSB différents du fait des phases d'échantillonnage d'un quart de cycle. Les échantillons séparés d'un

15 cycle complet de sous-porteuse, comme les échantillons séparés de cinq échantillons, présentent une corrélation. Ainsi, pour la mise en pratique de l'invention, les MSB de paires successives d'échantillons séparés de cinq

20 échantillons, sont comparés. Pour effectuer cette comparaison, les quatre MSB du convertisseur analogique-numérique (de la figure 2A) au bus 60 sont appliqués à la connexion en cascade d'étages retardeurs 62-70 d'un échantillon. Les étages retardateurs 62-70 sont déclenchés à la fréquence d'échantillonnage. Les lettres A-E aux

25 points de sortie des étages retardateurs correspondent aux points d'échantillonnage A-E de la figure 1A. Les échantillons E de l'étage retardateur 60 et les échantillons, A, retardés de quatre quart de cycle, c'est-à-dire de quatre périodes d'échantillonnage, de

30 l'étage retardateur 70, sont appliqués au comparateur 72 qui produit les bits drapeaux à la connexion 76. Si les deux échantillons diffèrent, le comparateur produit un bit drapeau à un un logique et s'ils sont identiques, à un zéro logique. Les bits drapeaux à un un logique introduisent les

MSB E de l'étage retardateur 62 dans le verrouillage 74 du type D, qui les applique aux points d'entrée de données de la mémoire des MSB (de la figure 2A) par le bus 78. Si le bit de drapeau est un zéro, les MSB, E, ne sont pas
5 introduits dans le verrouillage 74 et par conséquent ne sont pas appliqués à la mémoire des MSB.

Il peut être souhaitable de s'assurer que les MSB d'un nombre minimum d'échantillons, comme les quatre premiers échantillons, de chaque ligne du signal vidéo
10 seront stockés dans la mémoire de MSB. Cela peut être accompli par combinaison dans une porte OU des bits de drapeau appliqués à la borne d'entrée d'horloge, C, du verrouillage 74 avec un signal approprié de commande, par exemple un signal retardé de synchronisation horizontale,
15 HSYNC.

Le circuit décodeur de la figure 3B accomplit une fonction complémentaire du codeur de la figure 3A. En se référant à la figure 1A, si les MSB des échantillons E, F, G, H sont respectivement égaux aux MSB des échantillons
20 A, B, C, D, les MSB des échantillons E, F, G, H ne sont pas stockés dans la mémoire. Les MSB des échantillons A, B, C, D auront tendance à être différents les uns des autres. Afin de produire des MSB, par exemple, pour les échantillons E, qui sont égaux aux MSB de l'échantillon A, il est nécessaire
25 de disposer des MSB de l'échantillon A après sortie des MSB de l'échantillon D par la mémoire. Ainsi, les MSB de l'échantillon A doivent être stockés pendant quatre périodes d'échantillon. De même, pour reproduire les MSB des échantillon B, C, D pour des échantillons identiques F, G, H, ils doivent
30 également être retardés de quatre périodes d'échantillons.

En se référant à la figure 3B, le retard de quatre périodes d'échantillon est produit par la connexion en cascade des étages retardateurs 88-94. Le point de sortie 96 de l'étage retardateur 94 produit les MSB souhaités. Les

MSB sont appliqués aux étages retardateurs en cascade par le multiplexeur 86 commandé par le bit drapeau retardé à la sortie de la mémoire des LSB à la connexion 38'. Le multiplexeur 86 reçoit les MSB du point de sortie de la mémoire des MSB qui sont appliqués à un premier point d'entrée de données et les MSB du point de sortie 96 à un second point d'entrée de données. En réponse à un bit drapeau à un un logique, le multiplexeur 86 applique une nouvelle donnée de MSB de la mémoire des MSB à l'étage retardateur 88 en cascade. En réponse à un bit drapeau à un zéro logique, le multiplexeur 86 réapplique les MSB du point 96 aux étages retardateurs en cascade, conditionnant les étages retardateurs pour remettre ces MSB en circulation, c'est-à-dire les stocker pendant une période supplémentaire de quatre échantillons.

Pour certaines applications, il peut être souhaitable de stocker séparément les composantes de luminance et de chrominance du signal vidéo composite. Dans ce cas, les mêmes techniques peuvent être employées que celles ci-dessus décrites avec le dimensionnement approprié des éléments de mémoire des MSB et des LSB. La figure 4 illustre un tel agencement. Sur la figure 4, le signal vidéo composite analogique est appliqué à la borne 100 au convertisseur analogique-numérique 102 qui met le signal composite sous forme numérique. Le signal vidéo composite sous forme numérique est appliqué au filtre en peigne 104 qui sépare les composantes de luminance, Y et de chrominance, C. La composante de chrominance est appliquée au système 108 de stockage de trame de mémoire réduite qui est semblable au circuit de la figure 2A. La composante de luminance est appliquée au stockage 106 de trame de mémoire réduite qui est également semblable au circuit de la figure 2A à l'exception des circuits codeur et décodeur. Des circuits codeur et décodeur

appropriés sont illustrés sur les figures 5A et 5B.

Dans le codeur de la figure 5A, les MSB des échantillons du signal de luminance à la sortie du filtre en peigne sont appliqués au point d'entrée
5 110 des étages retardateurs en cascade 112 et 114. Les MSB d'échantillons successifs des étages retardateurs 112 et 114 sont appliqués au comparateur 116 qui produit les bits drapeaux un logique et zéro logique pour des MSB inégaux et égaux, respectivement. Si les MSB
10 d'échantillons successifs diffèrent, le bit drapeau introduit les MSB disponibles à l'étage retardateur 112 dans le verrouillage 118 d'où ils sont appliqués à la mémoire des MSB par le bus 120. Il faut noter que, comme la composante du signal de luminance en
15 général n'a pas de composante sinusoïdale, il est inutile de comparer les échantillons séparés de plus d'une période d'échantillon, et ainsi un seul étage retardateur 114 est requis contrairement aux quatre étages retardateurs en cascade 64-70 du
20 circuit de la figure 3A.

Le décodeur du système de luminance de la figure 5B est un circuit de verrouillage 132. Les MSB de la mémoire des MSB sont appliqués au verrouillage au bus 130 et
25 y sont stockés en réponse à des bits drapeaux appliqués à la connexion 136 d'entrée d'horloge de verrouillage. Les données de MSB sont stockées dans le verrouillage jusqu'à ce qu'un bit drapeau subséquent à un un logique indique que les MSB doivent enregistrer un changement.
30 Il faut noter que le verrouillage 132 peut en réalité être incorporé dans la mémoire des MSB.

Les modes de réalisation illustrés ici ont été conçus et décrits pour une application de trame gelée

où les échantillons seront alternativement introduits et extraits d'une mémoire pendant des périodes séparées de trame. Ceux qui sont compétents en la matière de la conception du stockage de trame pourront facilement

5 mettre les principes décrits en pratique à des systèmes qui introduisent les échantillons d'une trame courante dans la mémoire tout en extrayant simultanément des échantillons stockés pendant une période de trame précédente. Dans une telle application, la mémoire des

10 MSB peut être subdivisée en deux éléments parallèles ou plus de mémoire, avec des points multiplexés d'entrée et de sortie et des compteurs multiplexés d'adresses. Avec cet agencement, les données de MSB sont introduites dans l'un des éléments de mémoire en parallèle tandis

15 que les données stockées sont simultanément extraites d'un autre des éléments de mémoire. Alternativement, l'élément de mémoire des MSB peut se composer d'une mémoire en série avec des mémoires tampons à ses entrée et/ou sortie sous la forme de dispositif

20 formant mémoire premier entré -premier sorti (FIFO).
Ceux qui sont compétents en la matière de la technique des systèmes de stockage de signaux vidéo noteront également que la dimension de la mémoire peut être encore réduite en temporisant les éléments de

25 stockage pour ne recevoir les données que pendant les parties actives du signal vidéo. Par exemple, la mémoire peut être inhibée pendant les périodes d'effacement horizontal et de salve couleur de chaque ligne horizontale.

30 Enfin, tandis que le codeur et le décodeur illustrés ont fonctionné sur des échantillons disposés le long d'une ligne horizontale, on notera facilement qu'une corrélation peut être déterminée en comparant des échantillons disposés verticalement, par exemple d'une

35 ligne à l'autre, ou bien une combinaison d'échantillons verticaux et horizontaux.

R E V E N D I C A T I O N S

=====

1. Système de mémoire pour stocker des signaux vidéo représentés par une succession d'échantillons à N bits consistant en M MSB et (N-M) LSB caractérisé par:
- 5 un moyen codeur (18) répondant aux MSB de paires desdits échantillons successifs pour produire des signaux drapeaux (entrée drapeau) représentant le moment où les MSB des paires d'échantillons diffèrent et le moment où les MSB des paires d'échantillons sont identiques;
- 10 une première mémoire (24) pour stocker les LSB de chaque échantillon plus un signal drapeau correspondant; et
- une seconde mémoire (16, 28, 32, 44) pour ne stocker que les MSB des échantillons qui diffèrent des MSB de l'autre échantillon de chaque paire.
- 15 2. Système selon la revendication 1 caractérisé par:
- une source (10,12) des échantillons à N bits consistant en M bits de poids fort (MSB) et N-M bits de moindre poids (LSB);
- 20 ledit codeur (18) répondant à au moins lesdits M MSB desdits échantillons numériques pour produire ledit signal drapeau (entrée drapeau) par paires successives d'échantillons, ledit signal drapeau ayant un premier état logique pour une paire d'échantillons ayant M MSB égaux et un second état logique pour M MSB
- 25 inégaux;
- un circuit décodeur (34) répondant aux échantillons stockés des MSB de ladite seconde mémoire (32) et aux bits de drapeau (drapeau retardé) de ladite première mémoire (24) pour produire une séquence retardée de M MSB
- 30 échantillons correspondant à la séquence des M MSB échantillons appliqués audit codeur (18); et

un moyen (40, 36) pour reconstruire une séquence d'échantillons vidéo à N bits comprenant un moyen (36) pour combiner les M MSB du décodeur (34) et les (N-M) LSB de ladite première mémoire (24) pour produire une
5 séquence retardée d'échantillons vidéo numériques (42) correspondant à une séquence d'échantillons vidéo numériques fournie par ladite source (10, 12).

3. Système selon la revendication (2) caractérisé en ce que le codeur (18) comprend :

10 un circuit retardateur de l'échantillon (64 - 70) ayant un point d'entrée couplé à la sortie ayant un point de sortie, ledit circuit retardateur retardant les échantillons appliqués d'une durée de quatre périodes d'échantillon ;

15 un circuit comparateur (72) ayant des premier et second points d'entrée couplés aux points d'entrée et de sortie respectivement du circuit retardateur d'échantillon pour produire le signal de bit drapeau; et

20 un moyen (74) couplé audit comparateur pour appliquer M MSB d'échantillons disponibles au point d'entrée du circuit retardant les échantillons à ladite seconde mémoire lorsque les M MSB d'échantillons appliqués au comparateur diffèrent.

25 4. Système selon la revendication 3 caractérisé en ce que le décodeur (34) comprend:

un élément retardateur (88-94) ayant un point d'entrée et un point de sortie (96) correspondant à un point de sortie de décodeur, pour retarder les échantillons de MSB de quatre périodes d'échantillon ; et

30 un multiplexeur (86) ayant une entrée de commande (Co) couplée pour recevoir les bits de drapeau retardés de la première mémoire et ayant des premier (84) et second points d'entrée couplés pour recevoir les MSB retardés de la seconde mémoire et dudit point de sortie (96) dudit
35 décodeur (34) respectivement, ledit multiplexeur (86) ayant un point de sortie couplé au point d'entrée de l'élément retardateur du décodeur.

5. Système selon la revendication 2 caractérisé en ce que le codeur (18) comprend:

un élément retardateur (114) ayant un point d'entrée agencé pour recevoir les MSB de la source (110) et ayant un point de sortie où les MSB retardés d'une période d'échantillon sont disponibles;

un comparateur (116) ayant des premier et second points d'entrée respectivement couplés aux points d'entrée et de sortie de l'élément retardateur pour produire le signal de bit. drapeau; et

un moyen (118) couplé audit comparateur pour appliquer M MSB d'échantillons disponibles au point d'entrée de l'élément retardateur à la seconde mémoire lorsque les M MSB d'échantillons appliqués au comparateur diffèrent.

6. Système selon la revendication 5 caractérisé en ce que la seconde mémoire (16, 28, 32, 44) comprend :

un moyen (16, 44) répondant au signal vidéo sous forme numérique pour produire un premier (ΦB) et un second (ΦC) signal de commande;

une mémoire à accès aléatoire (32) ayant un point d'entrée de données couplé au codeur (18), une borne d'entrée de lecture/écriture (R/W) couplée pour recevoir le premier signal de commande (ΦB), un point d'entrée d'adresse et un point de sortie de données;

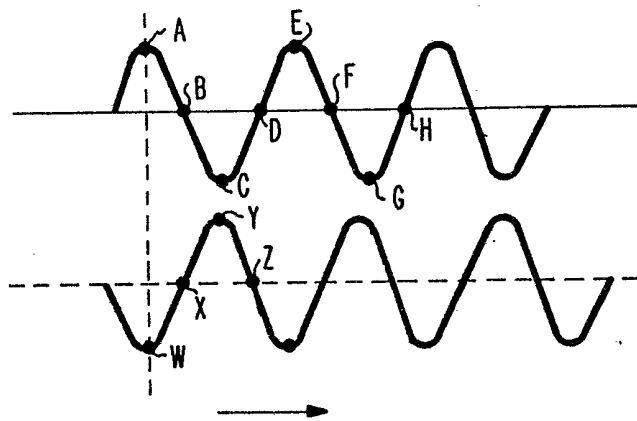
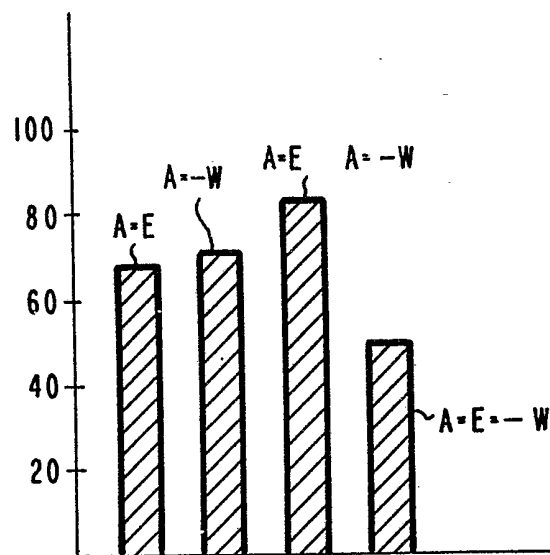
un compteur d'adresses (30) ayant un point de sortie couplé auxdits points d'entrée d'adresse, une borne de sortie de compte et une borne d'entrée de remise à zéro (R) couplée pour recevoir ledit second signal de commande (ΦC); et

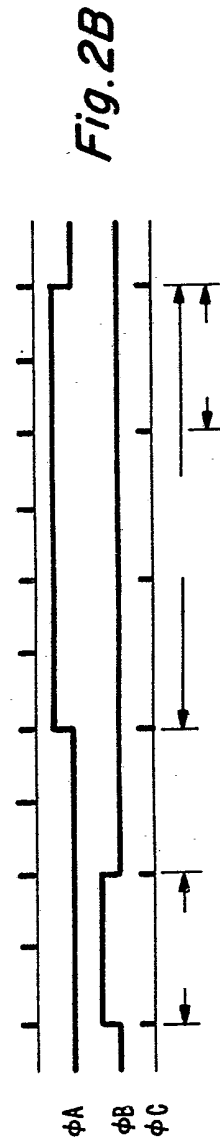
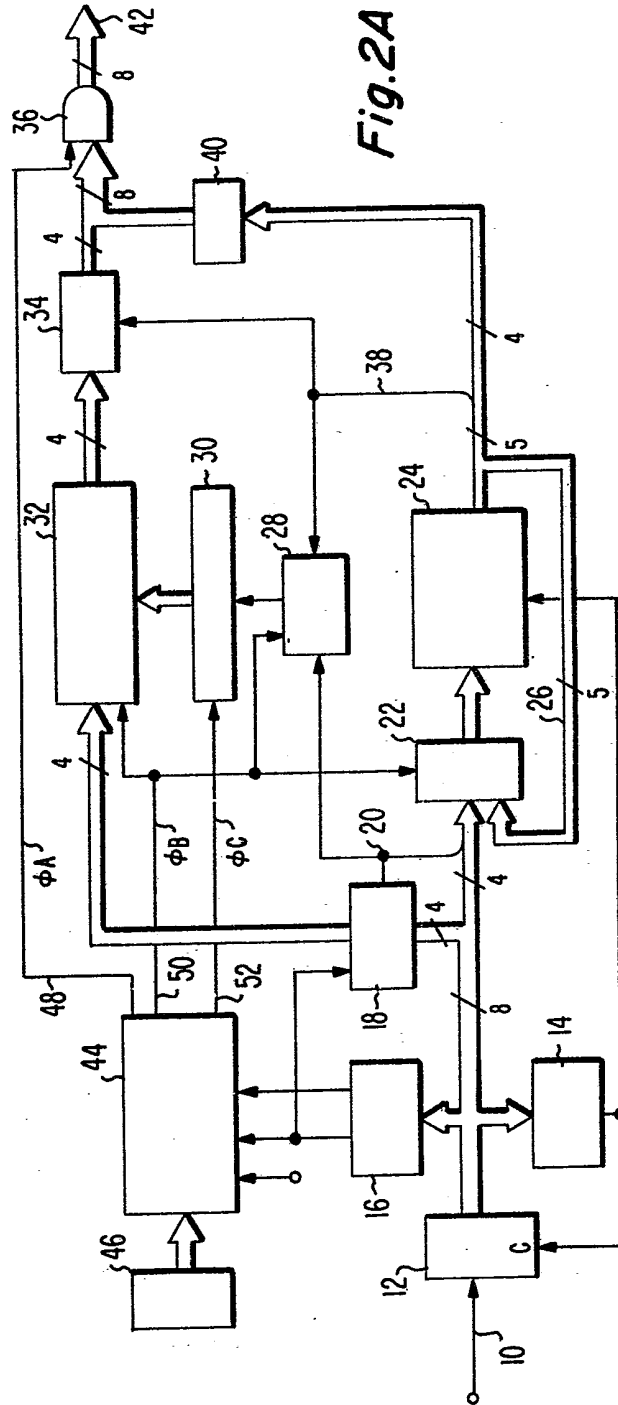
un multiplexeur (28) ayant une borne de sortie couplée à ladite borne d'entrée de compte, une borne d'entrée de commande (Co) couplée pour recevoir le premier signal de commande (ΦB), et des première et seconde bornes

d'entrée de signaux couplées respectivement pour appliquer les bits de drapeau dudit codeur et des bits retardés de drapeau de la première mémoire (24), où les bits de drapeau du codeur sont appliqués au compteur d'adresses (30) lorsque la mémoire à accès aléatoire (32) est conditionnée pour stocker les données appliquées à sa borne d'entrée de données par le premier signal de commande (ΦB) et les bits retardés de drapeau sont appliqués audit compteur d'adresses (30) lorsque la mémoire à accès aléatoire (32) est conditionnée pour émettre les données stockées par le premier signal de commande (ΦB).

7. Système selon la revendication 6 caractérisé en ce que la première mémoire (22, 24) comprend un dispositif à mémoire en série (24).

8. Système selon la revendication 7 caractérisé en ce que la première mémoire (22, 24) comprend un moyen (22) pour y remettre les données stockées en circulation lorsque le second élément de mémoire est conditionné pour émettre les données stockées.

*Fig. 1A**Fig. 1B*



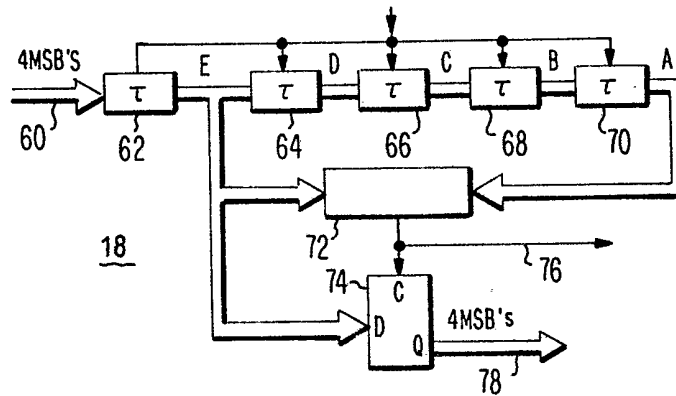


Fig. 3A

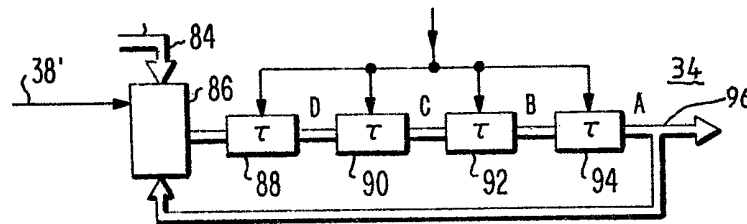


Fig. 3B

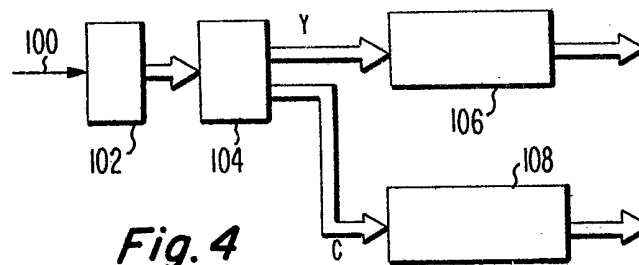


Fig. 4

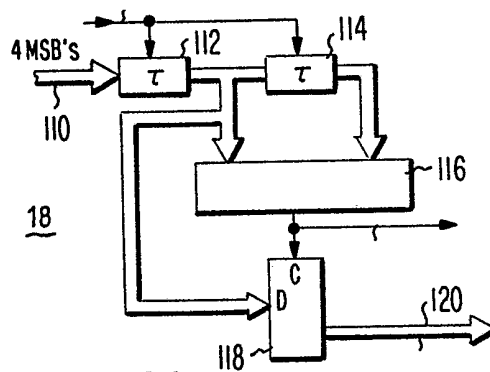


Fig. 5A

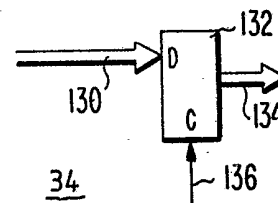


Fig. 5B