

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610100968.7

H01L 21/82 (2006.01)
H01L 21/822 (2006.01)
H01L 21/84 (2006.01)
H01L 27/02 (2006.01)
H01L 27/06 (2006.01)
H01L 27/12 (2006.01)

[45] 授权公告日 2009 年 9 月 23 日

[11] 授权公告号 CN 100543965C

[22] 申请日 2006.8.4

[21] 申请号 200610100968.7

[73] 专利权人 联华电子股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 高境鸿

[56] 参考文献

US6483152B1 2002.11.19

US5391906A 1995.2.21

US6603172B1 2003.8.5

审查员 王 洁

[74] 专利代理机构 北京市柳沈律师事务所
代理人 陶凤波

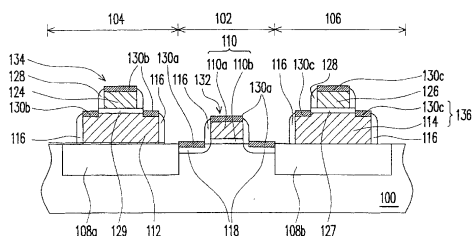
权利要求书 2 页 说明书 12 页 附图 12 页

[54] 发明名称

半导体元件及其制造方法

[57] 摘要

一种半导体元件的制造方法，此方法为，先提供一基底，基底上至少具有包括栅极结构的晶体管区域、包括第一电极的电容器区域以及包括第二电极的电阻器区域，其中电容器区域与电阻器区域皆包括隔离结构。然后，依序形成第一间隙壁与栅极两侧的 LDD 区及掺杂区，其中 LDD 区与掺杂区作为源极/漏极区。接着，于基底上方依序形成介电层以及第一导体材料层。之后，图案化第一导体材料层，以形成电容器区域的第三电极以及电阻器区域的导体层。随后，形成第二间隙壁。然后，移除未被覆盖住的介电层。之后，进行自对准金属硅化物工艺，形成金属硅化物层，以覆盖元件表面。



1.一种半导体元件的制造方法，包括：

提供基底，该基底上具有至少一晶体管区域以及至少一电容器区域，其中该电容器区域包括隔离结构；

于该晶体管区域的该基底上形成第一介电层；

于该基底上方依序形成第一导体材料层、第二介电层与第二导体材料层，以覆盖该隔离结构与该第一介电层；

进行第一图案化工艺，定义该第二导体材料层与该第二介电层，以于该电容器区域形成作为电容器的第一电极与电容介电层；

进行第二图案化工艺，定义该第一导体材料层，以于该电容器区域形成作为电容器的第二电极以及于该晶体管区域形成栅极；

移除未被该栅极覆盖的该第一介电层，以形成栅介电层；

于该栅极两侧的该基底中形成LDD；

于该栅极、该栅介电层、该第一电极、该电容介电层以及该第二电极的侧壁上形成第一间隙壁；

于该晶体管区域的该第一间隙壁两侧的该基底中形成掺杂区，其中该LDD与该掺杂区作为源极/漏极区；以及

进行自对准金属硅化物工艺，形成金属硅化物层，以覆盖该栅极、该源极/漏极区、该第一电极以及该第二电极的表面。

2.如权利要求1所述的半导体元件的制造方法，其中该第一图案化工艺包括光刻工艺以及蚀刻工艺。

3.如权利要求1所述的半导体元件的制造方法，其中该第二图案化工艺包括光刻工艺以及蚀刻工艺。

4.如权利要求1所述的半导体元件的制造方法，其中该第一导体材料层与该第二导体材料层的材质包括多晶硅或掺杂多晶硅。

5.如权利要求1所述的半导体元件的制造方法，其中该第二介电层的材质包括氧化硅或氮化硅。

6.如权利要求1所述的半导体元件的制造方法，其中该金属硅化物层包括耐热金属硅化物。

7.如权利要求6所述的半导体元件的制造方法，其中该耐热金属是选自

镍、钨、钴、钛、钼与铂所组成的族群。

半导体元件及其制造方法

技术领域

本发明涉及一种集成电路元件的技术，尤其涉及一种半导体元件及其制造方法。

背景技术

集成电路使用多种元件以实现所欲达成的电路功能。这些元件可以包括双极和金属氧化物半导体场效应晶体管、接面二极管、电阻器以及电容器等。随着电子产品不断的发展，人们对于集成电路(Integrated Circuit, 简称 IC)的性质，例如高容量、高效率、小体积等的要求标准，也不断的在提高当中。

举例来说，现今业界对于电容器的要求，是在未施加电压的情况下，电容器仍能有着极高的精确度，即电容器需有着良好的电荷储存能力，且将电荷流失的现象降至最低。其中，广为业界所采用的电容器类型之一，为多晶硅-绝缘层-多晶硅(Polysilicon-Insulator-Polysilicon, 简称 PIP)电容器。

一般而言，在集成电路工艺中需整合 PIP 电容器与晶体管元件时，会增加一道光掩模工艺来图案化多晶硅层，以定义出 PIP 电容器的上电极。另外，若欲进行硅化工艺，则在不需形成金属硅化物的部分，会藉由覆盖一层阻挡层，以避免硅化反应的发生。而上述的阻挡层的制作同样需要增加一道光掩模工艺，来定义出欲覆盖的区域。特别是，由于阻挡层所覆盖的区域，因不需再额外覆盖其他的膜层，即可以避免硅化反应的发生，因此此阻挡层又称为自对准金属硅化物阻挡层(Salicide Block Layer, SAB Layer)。

由于采用 PIP 型电容器将使整个集成电路元件的工艺至少增加两道光掩模工艺，例如多晶硅层的图案化以及自对准金属硅化物阻挡层的定义等皆需使用到光掩模工艺，因此工艺上较为繁复，且会提高工艺成本。

此外，在一些美国的专利技术中也有揭露关于上述提及的相关技术，例如 US 6,218,234 以及 US 5,434,098 等。以上可作为本发明的参考文献。

发明内容

本发明的目的是提供一种半导体元件的制造方法，能够整合 PIP 电容器、电阻器与晶体管元件工艺，于各元件上形成金属硅化物层，工艺上较为简易不繁复，且可节省工艺成本。

本发明的再一目的是提供一种半导体元件的制造方法，能够整合 PIP 电容器与晶体管元件工艺，以于各元件上形成金属硅化物层。

本发明的又一目的是提供一种半导体元件，具有自对准金属硅化物层表面的晶体管、电容器与电阻器。

本发明的另一目的是提供一种半导体元件，具有自对准金属硅化物层表面的晶体管与电容器。

本发明提出一种半导体元件的制造方法，此制造方法包括提供一基底，基底上至少具有晶体管区域、电容器区域以及电阻器区域，其中电容器区域与电阻器区域皆包括隔离结构。接着，于晶体管区域的基底上形成栅极结构，以及于电容器区域形成第一电极，且于电阻器区域形成第二电极。随后，于栅极结构、第一电极以及第二电极的侧壁上形成第一间隙壁。之后，于栅极结构两侧的基底中形成 LDD 区及掺杂区，其中该 LDD 区与该掺杂区作为源极/漏极区。接下来，于基底上方依序形成介电层以及第一导体材料层。然后，进行第一图案化工艺，定义第一导体材料层，以同时于电容器区域的介电层上形成第三电极以及于电阻器区域的介电层上形成导体层。接着，于第三电极以及导体层侧壁上形成第二间隙壁。之后，移除未被第三电极、导体层以及第二间隙壁所覆盖住的介电层。然后，进行自对准金属硅化物工艺，于栅极结构、源极/漏极区、第一电极、第三电极、导体层以及第二电极的表面形成金属硅化物层。

依照本发明的实施例所述的半导体元件制造方法，上述的第一图案化工艺例如是包括一光刻工艺以及一蚀刻工艺。

依照本发明的实施例所述的半导体元件制造方法，上述的栅极结构、第一电极以及第二电极的形成方法例如是，于晶体管区域的基底上形成一介电材料层。然后，于基底上方形成第二导体材料层，覆盖介电材料层以及隔离结构。接着，进行第二图案化工艺，定义第二导体材料层，以同时于晶体管区域的基底上形成栅极、于电容器区域形成第一电极以及于电阻器区域形成第二电极。随后，移除未被栅极覆盖的介电材料层，以形成栅

介电层，栅介电层与栅极作为栅极结构。上述的第二导体材料层的材质例如是多晶硅或掺杂多晶硅。第二图案化工艺例如是包括一光刻工艺以及一蚀刻工艺。

依照本发明的实施例所述的半导体元件制造方法，上述的第一导体材料层的材质例如是多晶硅或掺杂多晶硅。

依照本发明的实施例所述的半导体元件制造方法，上述的介电层的材质例如是氧化硅或氮化硅。

依照本发明的实施例所述的半导体元件制造方法，上述的金属硅化物层例如是一耐热金属硅化物。耐热金属是选自镍、钨、钴、钛、钼与铂所组成的族群。

本发明提出一种半导体元件的制造方法，此制造方法包括提供一基底，基底上至少具有晶体管区域以及电容器区域，其中电容器区域包括隔离结构。接着于晶体管区域的基底上形成第一介电层。然后，于基底上方依序形成第一导体层、第二介电层与第二导体层，以覆盖隔离结构与第一介电层。随后，进行第一图案化工艺，定义第二导体层与第二介电层，以于电容器区域形成作为电容器的第一电极与电容介电层。接下来，进行第二图案化工艺，定义第一导体层，以于电容器区域形成作为电容器的第二电极以及于晶体管区域形成栅极。之后，移除未被栅极覆盖的第一介电层，以形成栅介电层。然后，于栅极两侧的基底中形成 LDD。随后，于栅极、栅介电层、第一电极、电容介电层以及第二电极的侧壁上形成第一间隙壁。之后，于晶体管区域的第一间隙壁两侧的基底中形成掺杂区。其中，LDD 与掺杂区作为一源极/漏极区。以及进行自对准金属硅化物工艺，形成金属硅化物层，以覆盖栅极、源极/漏极区、第一电极以及第二电极的表面。

依照本发明的实施例所述的半导体元件制造方法，上述的第一图案化工艺例如是包括一光刻工艺以及一蚀刻工艺。

依照本发明的实施例所述的半导体元件制造方法，上述的第二图案化工艺例如是包括一光刻工艺以及一蚀刻工艺。

依照本发明的实施例所述的半导体元件制造方法，上述的第一导体材料层与第二导体材料层的材质例如是多晶硅或掺杂多晶硅。

依照本发明的实施例所述的半导体元件制造方法，上述的第二介电层的材质例如是氧化硅或氮化硅。

依照本发明的实施例所述的半导体元件制造方法，上述的金属硅化物层例如是一耐热金属硅化物。耐热金属是选自于镍、钨、钴、钛、钼与铂所组成的族群。

本发明提出一种半导体元件，此半导体元件包括基底、晶体管、电容器以及电阻器。其中，基底上具有晶体管区域、电容器区域以及电阻器区域，电容器区域以及电阻器区域皆包括隔离结构。晶体管位于晶体管区域的基底上，晶体管包括位于基底上的栅极结构、位于栅极结构两侧的基底中的源极/漏极区、位于栅极结构侧壁的间隙壁以及位于栅极结构与源极/漏极区的表面的第一金属硅化物层。其中，栅极结构包括栅介电层与栅极，源极/漏极区包括LDD区及掺杂区。电容器位于电容器区域的隔离结构上，电容器包括第一电极、电容介电层、第二电极以及第二金属硅化物层。第一电极位于电容器区域内隔离结构上。电容介电层位于第一电极上，且覆盖住部分第一电极表面。第二电极位于电容介电层上。第二金属硅化物层位于所裸露出的第一电极上以及位于第二电极上。另外，电阻器位于电阻器区域的隔离结构上，电阻器包括第三电极以及第三金属硅化物层。第三电极位于电阻器区域内的隔离结构上。第三金属硅化物层位于第三电极之上，且覆盖住第三电极边缘。

依照本发明的实施例所述的半导体元件，上述的栅极、第一电极与第三电极的材质相同，其材质例如是多晶硅或掺杂多晶硅。

依照本发明的实施例所述的半导体元件，上述的第二电极的材质例如是多晶硅或掺杂多晶硅。

依照本发明的实施例所述的半导体元件，上述的电容介电层的材质例如是氧化硅或氮化硅。

依照本发明的实施例所述的半导体元件，上述的第一、第二、第三金属硅化物层例如是一耐热金属硅化物。耐热金属是选自于镍、钨、钴、钛、钼与铂所组成的族群。

本发明提出一种半导体元件，此半导体元件包括基底、晶体管以及电容器。其中，基底上至少具有晶体管区域以及电容器区域，电容器区域包括隔离结构。晶体管位于晶体管区域的基底上，晶体管包括位于基底上的栅极结构、位于栅极结构两侧的基底中的源极/漏极区、位于栅极结构侧壁的间隙壁以及位于栅极结构与源极/漏极区的表面的第一金属硅化物层。其

中，栅极结构包括栅介电层与栅极，源极/漏极区包括LDD区及掺杂区。电容器位于电容器区域的隔离结构上，电容器包括第一电极、电容介电层、第二电极以及第二金属硅化物层。第一电极位于电容器区域的隔离结构上。电容介电层位于第一电极上，且覆盖部分第一电极表面。第二电极位于电容介电层上。第二金属硅化物层位于所裸露出的第一电极上以及位于第二电极上。

依照本发明的实施例所述的半导体元件，上述的栅极以及第一电极的材质相同，其材质例如是多晶硅或掺杂多晶硅。

依照本发明的实施例所述的半导体元件，上述的第二电极的材质例如是多晶硅或掺杂多晶硅。

依照本发明的实施例所述的半导体元件，上述的电容介电层的材质例如是氧化硅或氮化硅。

依照本发明的实施例所述的半导体元件，上述的第一、第二金属硅化物层例如是一耐热金属硅化物。耐热金属是选自镍、钨、钴、钛、钼与铂所组成的族群。

本发明利用一道光掩模工艺，即可定义出PIP电容器的上电极，且同时定义出自对准金属硅化物阻挡层，以使得在不需形成金属硅化物的部分，能够避免硅化反应的发生，因此本发明的方法可使工艺较为简化，且可节省成本。另外，本发明可在电容器及电阻器上形成金属硅化物层，因此可提高电容器的准确度以及元件效能。

为了让本发明的上述和其他目的、特征和优点能更明显易懂，下文特举数个实施例，并配合附图，作详细说明如下。

附图说明

图1A到图1G为依照本发明的一实施例所绘示的半导体元件的制造流程剖面示意图；

图2A到图2E为依照本发明的另一实施例所绘示的半导体元件的制造方法的流程剖面示意图。

主要元件符号说明

100、200：基底

102、202：晶体管区域

104、204: 电容器区域
106: 电阻器区域
108a、108b、208: 隔离结构
110、225: 栅极结构
110a、222: 栅极
110b、224: 栅介电层
112、114、124、216、220: 电极
116、128、228、229: 间隙壁
118、226: 源极/漏极区
120、127、129、206、212、218: 介电层
122: 导体材料层
126、210、214: 导体层
130a、130b、130c、230a、203b: 金属硅化物层
132、232: 晶体管
134、234: 多晶硅-绝缘层-多晶硅电容器
136: 电阻器
226a: LDD
226b: 掺杂区

具体实施方式

图 1A 到图 1G 为依照本发明的一实施例所绘示的半导体元件的制造方法的流程剖面示意图。

首先,请参照图 1A,提供一个基底 100,基底 100 可例如是硅主体(bulk)基底,当然基底 100 还可例如是绝缘层上覆硅(Silicon On Insulator,简称 SOI)基底。此基底 100 具有至少一晶体管区域 102、一电容器区域 104 以及一电阻器区域 106。在电容器区域 104 的基底 100 中具有一隔离结构 108a,而在电阻器区域 106 的基底 100 中具有一隔离结构 108b,隔离结构 108a、108b 可例如是浅沟槽隔离结构(STI),或者是以局部区域氧化技术(LOCOS)所形成的场隔离结构。

接着,请继续参照图 1A,于晶体管区域 102 内的基底 100 上形成一栅极结构 110,于电容器区域 104 的隔离结构 108a 上形成一电极 112,以及于

电阻器区域 106 的隔离结构 108b 上形成一电极 114。电极 114 可作为一电阻器元件。

上述，栅极结构 110、电极 112 与电极 114 的形成方法例如是，先在晶体管区域 102 内的基底 100 上形成一层介电材料层(未绘示)，介电材料层的材质例如是氧化硅，其形成方法例如是化学气相沉积法。然后，形成一层导体材料层(未绘示)，以覆盖住整个基底，导体材料层的材质例如是多晶硅或掺杂多晶硅。接着，进行一图案化工艺，定义此导体材料层，以同时于晶体管区域 102 内的基底 100 上形成栅极 110a、于电容器区域 104 的隔离结构 108a 上形成电极 112，以及于电阻器区域 106 的隔离结构 108b 上形成电极 114。上述的图案化工艺例如是包括一光刻工艺与一蚀刻工艺。接着，移除未被栅极 110a 覆盖的介电材料层，以形成栅介电层 110b，而栅极 110a 与栅介电层 110b 则构成栅极结构 110。

然后，请参照图 1B，于栅极结构 110、电极 112 与电极 114 的侧壁上形成一间隙壁 116。间隙壁 116 的形成方法例如是，先利用化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 形成一层氮化硅层，之后再进行一次干式蚀刻 (Dry Etching) 工艺将多余的氮化硅移除。接下来，在间隙壁 116 形成之后，于栅极结构 110 两侧的基底 100 中形成一源极/漏极区 118，而源极/漏极区 118 的形成方法例如是利用离子注入法 (Ion Implantation) 以形成的。上述晶体管区域 102 的栅极结构 110、间隙壁 116 以及源极/漏极区 118 即可构成一晶体管元件。

接着，请参照图 1C，在基底 100 上方顺应性地形成一层介电层 120，以覆盖住整个基底 100。介电层 120 的材质例如是氧化硅、氮化硅或其他合适的介电材料，介电层 120 的形成方法例如是化学气相沉积法。然后，于介电层 120 上形成一层导体材料层 122。导体材料层 122 的材质例如是多晶硅或掺杂多晶硅。

然后，请参照图 1D，进行一图案化工艺，定义导体材料层 122，以于电容器区域 104 的介电层 120 上形成电极 124，且同时于电阻器区域 106 的介电层 120 上形成导体层 126。上述，定义导体材料层 122 的图案化工艺例如是包括一光刻工艺以及一蚀刻工艺。

值得一提的是，本实施例是利用进行一图案化工艺，以定义出电容器区域 104 内的电极 124 以及电阻器区域 106 内的导体层 126。其中，电容器

区域 104 的电极 112、124 之间的介电层 120 可作为电容介电层，而导体层 126 所覆盖住的介电层 120 可当做自对准金属硅化物阻挡层(Salicide Block Layer, SAB Layer)，以使得在不需形成金属硅化物的部分，可避免硅化反应的发生。换句话说，本实施例进行一道光掩模工艺，即可同时定义出 PIP 电容器的电极以及自对准金属硅化物阻挡层，如此可使工艺较为简易，且可节省工艺成本。

接着，请参照图 1E，于电极 124 的侧壁以及导体层 126 的侧壁上形成间隙壁 128。间隙壁 128 的形成方法例如是，先利用化学气相沉积形成一层氮化硅层，之后再进行一次式蚀刻工艺将多余的氮化硅移除。间隙壁 128 的作用可避免电容器区域 104 的电极 112 与电极 124 的不正常电性连接，且可避免电阻器区域 106 的电极 114 与导体层 126 的不正常电性连接。

然后，请参照图 1F，移除未被电极 124、导体层 126 以及间隙壁 128 所覆盖的介电层 120，以分别形成介电层 127、129。移除部分介电层 120 的方法例如是利用湿式蚀刻法。其中，电容器区域 104 的介电层 129 可作为电容介电层，而电容器区域 104 的电极 112、介电层 129 以及电极 124 可组成多晶硅-绝缘层-多晶硅(PIP)电容器元件。

随后，请参照图 1G，进行一自对准金属硅化物工艺，以形成金属硅化物层。其中，金属硅化物层包括形成于电极 112 与电极 124 表面的金属硅化物层 130b、形成于栅极结构 110 与源极/漏极区 118 表面的金属硅化物层 130a，以及形成于导体层 126 与电极 114 表面的金属硅化物层 130c。

其中，上述的晶体管区域 102 的栅极结构 110、间隙壁 116、源极/漏极区 118 以及金属硅化物层 130a 构成本实施例的晶体管 132。而上述的电容器区域 104 的电极 112、介电层 129、电极 124 以及金属硅化物层 130b 构成本实施例的电容器 134。另外导体层 114 与导体层 114 表面的金属硅化物层 130c 则构成本实施例的电阻器 136。

上述的金属硅化物层 130a、130b、130c 例如是耐热金属硅化物，而耐热金属则是选自镍、钨、钴、钛、钼与铂所组成的族群。而自对准金属硅化工艺的方法例如是，先利用直流电溅镀法(DC sputtering)于整个基底 100 表面沉积一层金属层(未绘示)。尔后，进行一热处理，使金属层与硅反应形成金属硅化物层。接着，以湿式蚀刻法将未反应的金属层移除。之后，进行一更高温度的热处理，以降低金属硅化物层的阻抗。本实施例利用进行

一道光掩模工艺,即可同时定义出 PIP 电容器的上电极以及自对准金属硅化物阻挡层,因此可使工艺较为简易不繁复,以及可节省工艺成本。此外,本实施例可在晶体管元件上形成金属硅化物层的同时,于 PIP 电容器元件与电阻器元件的表面形成硅化金属层,如此一来可降低与金属导线的阻抗,且可提高电容器与电阻器的精确度与元件的效能。

以下,以图 1G 说明本发明的一实施例的半导体元件。

请再次参照图 1G,半导体元件包括基底 100、晶体管 132、电容器 134 以及电阻器 136。

其中,基底 100 上具有晶体管区域 102、电容器区域 104 以及电阻器区域 106,且电容器区域 104 以及电阻器区域 106 皆分别包括隔离结构 108a、108b。

晶体管 132 位于晶体管区域 104 的基底 100 上。而晶体管 132 是由位于基底 100 上的栅极结构 110、位于栅极结构 110 两侧的基底 100 中的源极/漏极区 118、位于栅极结构 110 侧壁的间隙壁 116 以及金属硅化物层 130a 所组成。此外,栅极结构 110 包括栅介电层 110b 与栅极 110a,栅介电层 110b 的材质例如是氧化硅,而栅极 110a 的材质例如是多晶硅或掺杂多晶硅。另外,金属硅化物层 130a 位于栅极结构 110 与源极/漏极区 118 的表面。金属硅化物层 130a 例如是耐热金属硅化物,而耐热金属则是选自镍、钨、钴、钛、钼与铂所组成的族群。

电容器 134 位于电容器区域 104 的隔离结构 108a 上。电容器 134 是由电极 112、介电层 129、电极 124 以及金属硅化物层 130b 所组成。其中,电极 112 位于电容器区域 104 的隔离结构 108a 上,电极 112 的材质例如是多晶硅或掺杂多晶硅。介电层 129 位于电极 112 上,且覆盖住部分电极 112 表面,介电层 129 可作为电容介电层,介电层 129 的材质例如是氧化硅。电极 124 位于介电层 129 上,电极 124 的材质例如是多晶硅或掺杂多晶硅。另外,金属硅化物层 130b 位于所裸露出的电极 112 上以及位于电极 124 上。金属硅化物层 130b 例如是耐热金属硅化物,而耐热金属则是选自镍、钨、钴、钛、钼与铂所组成的族群。

电阻器 136 则位于电阻器区域 106 的隔离结构 108b 上。电阻器 136 包括电极 114 以及金属硅化物层 130c。电极 114 位于电阻器区域 106 的隔离结构 108b 上,电极 114 的材质例如是多晶硅或掺杂多晶硅。而金属硅化物

层 130c 则位于所裸露出的电极 114 上。金属硅化物层 130c 例如是耐热金属硅化物，而耐热金属是选自镍、钨、钴、钛、钼与铂所组成的族群。

本实施例的半导体元件包括有晶体管、电容器与电阻器，且在这些元件表面皆具有金属硅化物层，如此可降低元件与金属导线之间的阻抗，而且对于电容器与电阻器的精确度与整体元件性能皆能有所提升。

图 2A 到图 2E 为依照本发明的另一实施例所绘示的半导体元件的制造方法的流程剖面示意图。

首先，请参照图 2A，提供基底 200，且基底 200 上具有晶体管区域 202 与电容器区域 204。其中，电容器区域 204 包括形成于基底 200 内的隔离结构 208，晶体管区域 202 的基底 200 上已形成有一层介电层 206。介电层 206 的材质例如是氧化硅，其形成方法例如是热氧化法。

接着，于基底 200 上依序形成导体层 210、介电层 212 与导体层 214，且覆盖住隔离结构 208 与介电层 206。其中导体层 210 与导体层 214 的材质为相同，例如是多晶硅或掺杂多晶硅。介电层 212 的材质例如是氧化硅或氮化硅。

之后，请参照图 2B，进行一图案化工艺，定义导体层 214 与介电层 212，以于电容器区域 204 形成一导体层作为电容器的电极 216，且形成一介电层 218 作为电容器的电容介电层。上述的图案化工艺例如是包括一光刻工艺与一蚀刻工艺。

接下来，请参照图 2C，再进行一次图案化工艺，定义导体层 210，以于电容器区域 204 形成作为电容器的电极 220，以及在晶体管区域 202 形成栅极 222。

接着，移除未被栅极 222 覆盖的介电层 206，以形成栅介电层 224。移除未被栅极 222 覆盖的介电层 206 的方法包括湿式蚀刻法，其例如是以氢氟酸作为蚀刻剂。上述，栅极 222 与栅介电层 224 构成一栅极结构 225。

随后，请参照图 2D，于栅极 222 两侧的基底 200 中形成 LDD 226a。接着，于栅极 222 与栅介电层 224 的侧壁上形成间隙壁 228，且于电极 216、介电层 218 以及电极 220 的侧壁上形成间隙壁 229。间隙壁 228、229 可例如是同时形成，其形成方法例如是，形成一层间隙壁材料层(未绘示)，以覆盖住整个基底 200。然后，进行一各向异性蚀刻工艺，移除部分间隙壁材料层，以形成的。

接下来, 请继续参照图 2D, 于间隙壁 228 两侧的基底 200 中形成一掺杂区 226b, 而 LDD 226a 与掺杂区 226b 作为源极/漏极区 226。

然后, 请参照图 2E, 进行一自对准金属硅化物工艺, 形成一金属硅化物层, 以覆盖住栅极 222、源极/漏极区 226、电极 216 以及电极 220 表面。其中, 金属硅化物层包括形成于栅极 222 与源极/漏极区 226 表面的金属硅化物层 230a, 以及形成于电极 216 与电极 220 表面的金属硅化物层 230b。金属硅化物层 230a、230b 例如是耐热金属硅化物, 而耐热金属例如是选自镍、钨、钴、钛、钼与铂所组成的族群。上述, 栅极 222、栅介电层 224、源极/漏极区 226、间隙壁 228 以及金属硅化物层 230a 可组成一晶体管 232。电极 216、介电层 218、电极 220 以及金属硅化物层 230b 可组成多晶硅-绝缘层-多晶硅(PIP)电容器 234。

本实施例的半导体元件工艺可整合 PIP 电容器与晶体管的工艺, 以同时于 PIP 电容器与晶体管上形成金属硅化物层, 如此有助于增加电容器的精确性, 而且可提高元件效能。另一方面, 本实施例的方法亦不需再额外增加光掩模工艺, 即可得到具有金属硅化物层的晶体管与电容器, 因此不会提高工艺的复杂度以及工艺成本。

以下, 以图 2E 说明本发明的另一实施例的半导体元件。

请再次参照图 2E, 半导体元件包括基底 200、晶体管 232 以及电容器 234。

其中, 基底 200 上具有晶体管区域 202 以及电容器区域 204, 且电容器区域 204 包括隔离结构 208。

晶体管 232 位于晶体管区域 202 的基底 200 上。而晶体管 232 是由位于基底 200 上的栅极结构 225、位于栅极结构 225 两侧的基底 200 中的源极/漏极区 226、位于栅极结构 225 侧壁的间隙壁 228 以及金属硅化物层 230a 所组成。此外, 栅极结构 225 包括栅介电层 224 与栅极 222, 栅介电层 224 的材质例如是氧化硅, 而栅极 222 的材质例如是多晶硅或掺杂多晶硅。另外, 金属硅化物层 230a 位于栅极结构 225 与源极/漏极区 226 的表面。金属硅化物层 230a 例如是耐热金属硅化物, 而耐热金属则是选自镍、钨、钴、钛、钼与铂所组成的族群。

电容器 234 位于电容器区域 204 的隔离结构 208 上。电容器 234 是由电极 216、介电层 218、电极 220 以及金属硅化物层 230b 所组成。其中,

电极 220 位于电容器区域 204 的隔离结构 208 上，电极 220 的材质例如是多晶硅或掺杂多晶硅。介电层 218 位于电极 220 上，且覆盖住部分电极 220 表面，介电层 218 可作为电容介电层，介电层 218 的材质例如是氧化硅。电极 216 位于介电层 218 上，电极 216 的材质例如是多晶硅或掺杂多晶硅。另外，金属硅化物层 230b 位于所裸露出的电极 220 上以及位于电极 216 上。金属硅化物层 230b 例如是耐热金属硅化物，而耐热金属则是选自镍、钨、钴、钛、钼与铂所组成的族群。

综上所述，本发明至少具有下列优点：

1. 在本发明的方法中，可只利用一道光掩模工艺，即可同时定义出 PIP 电容器的上电极以及自对准金属硅化物阻挡层。因此可使工艺较为简易不繁复，且可节省工艺成本。

2. 本发明的半导体元件具有金属硅化物层，因此可提高电容器与电阻器的精确度，且可降低与金属导线的阻抗。

虽然本发明已以数个实施例揭露如上，然其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围的前提下，可作些许的更动与润饰，因此本发明的保护范围当视所附权利要求所界定者为准。

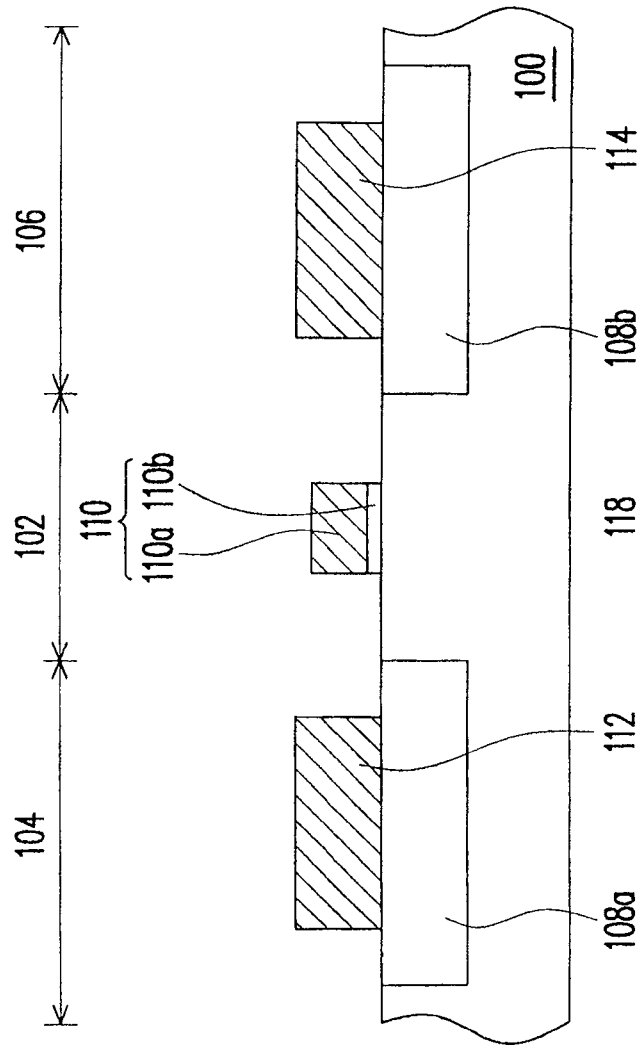


图 1A

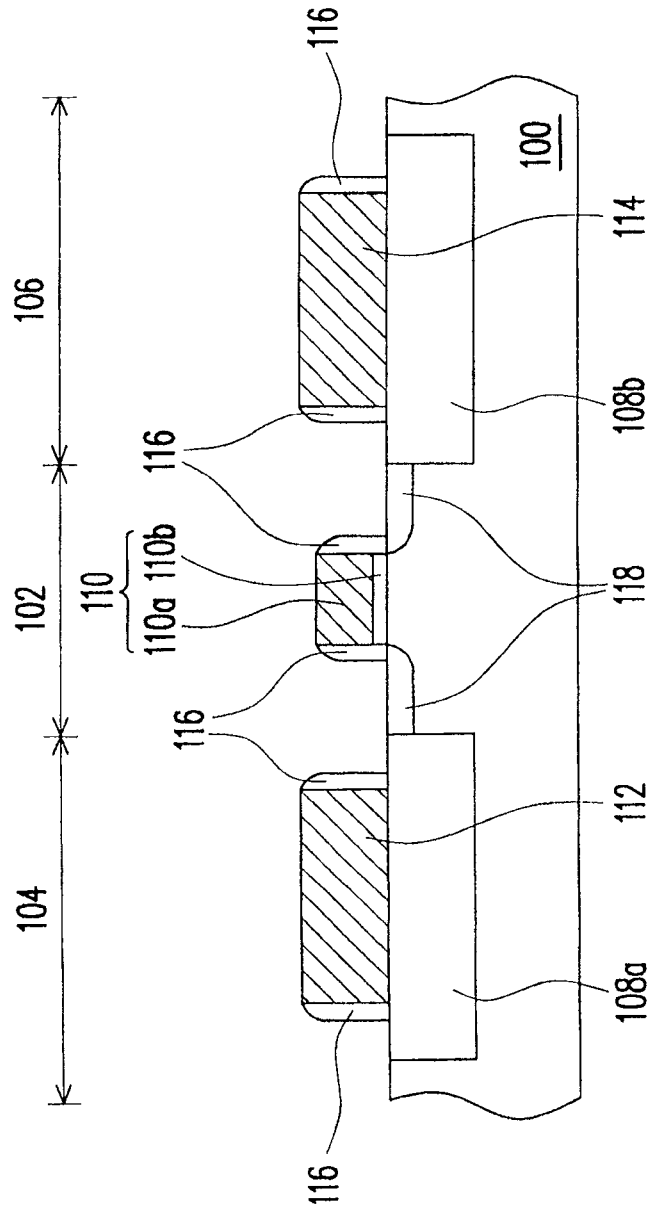


图 1B

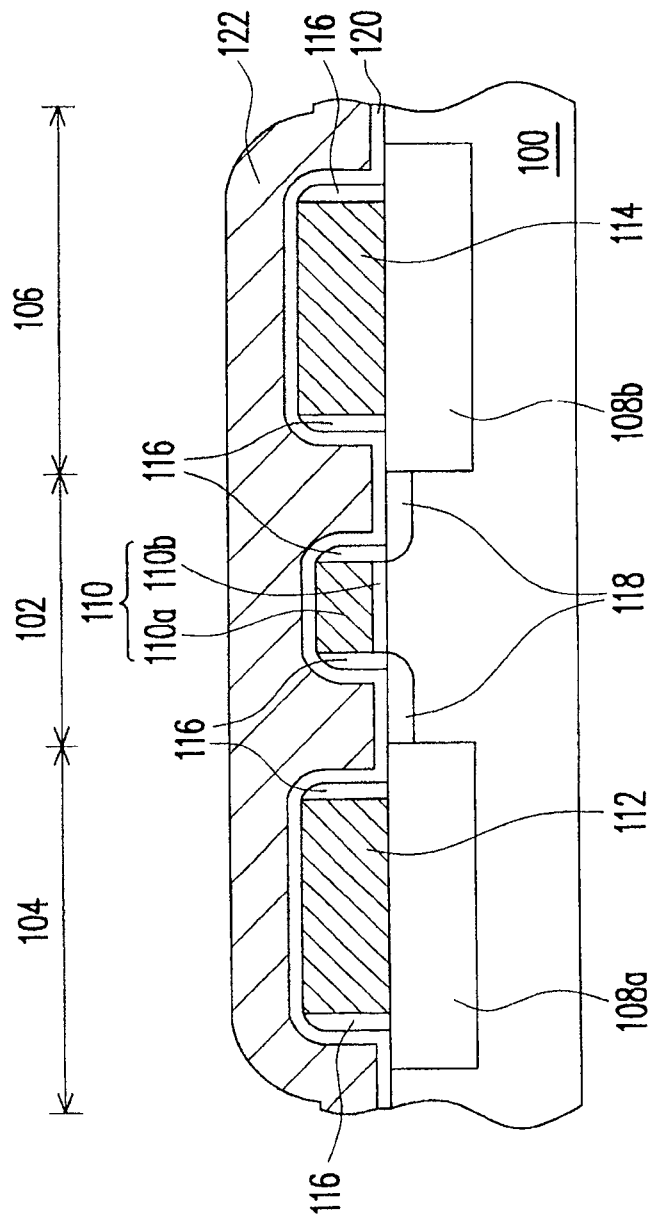


图 1C

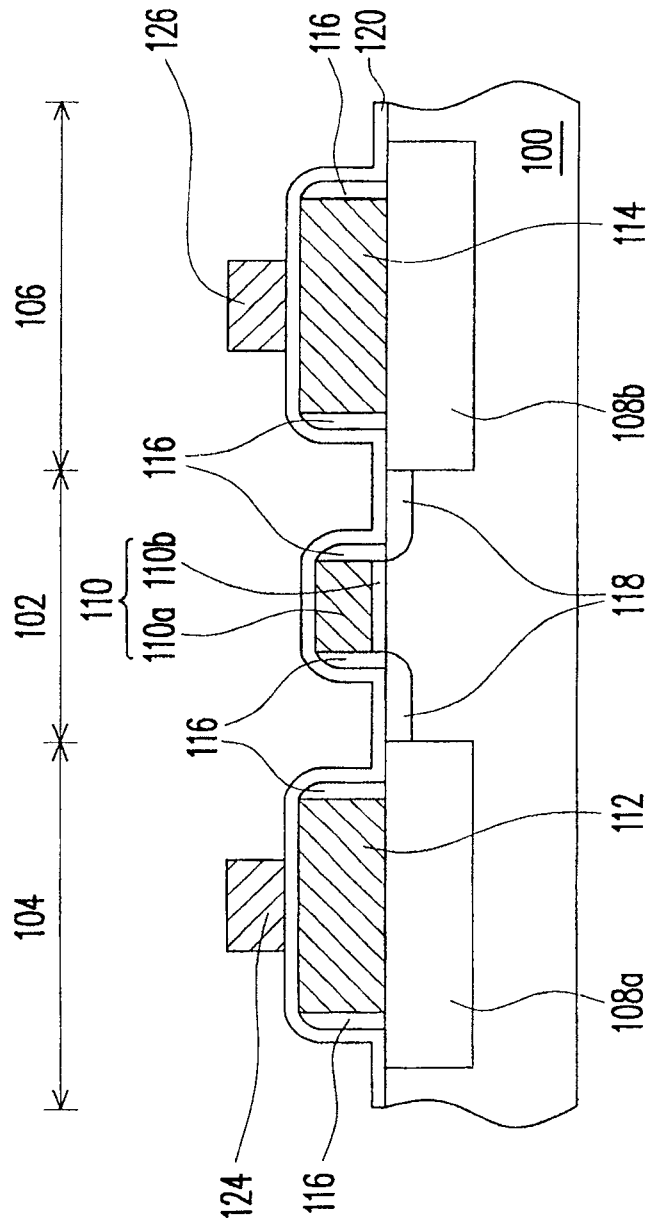


图 1D

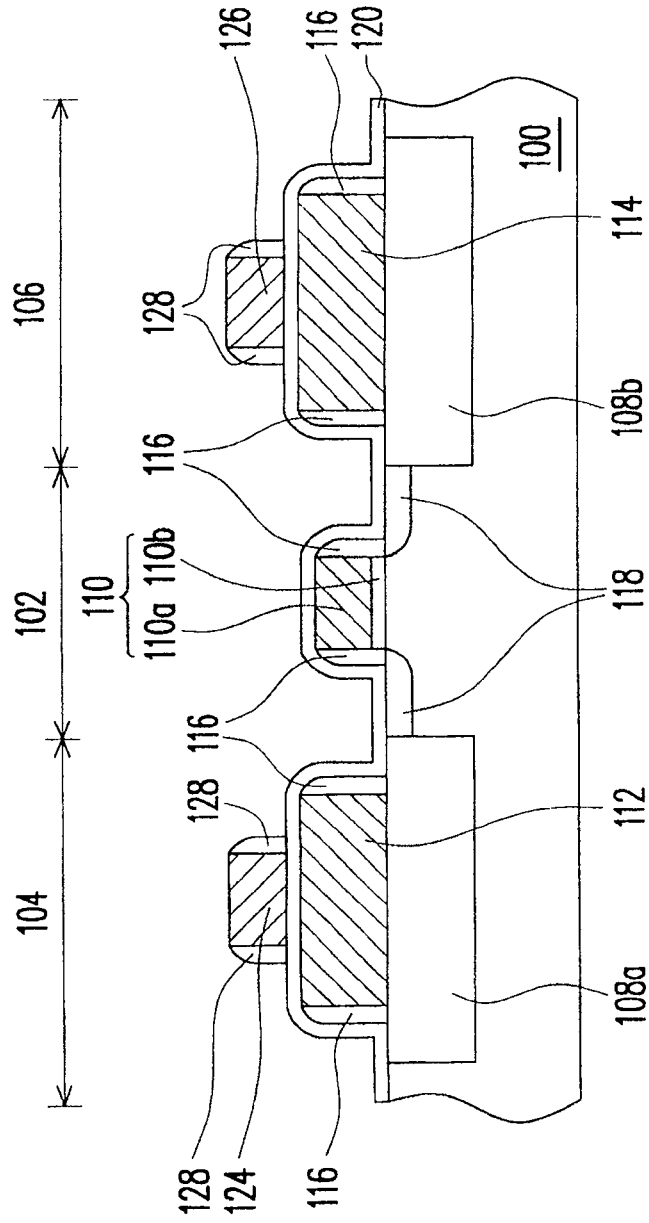


图 1E

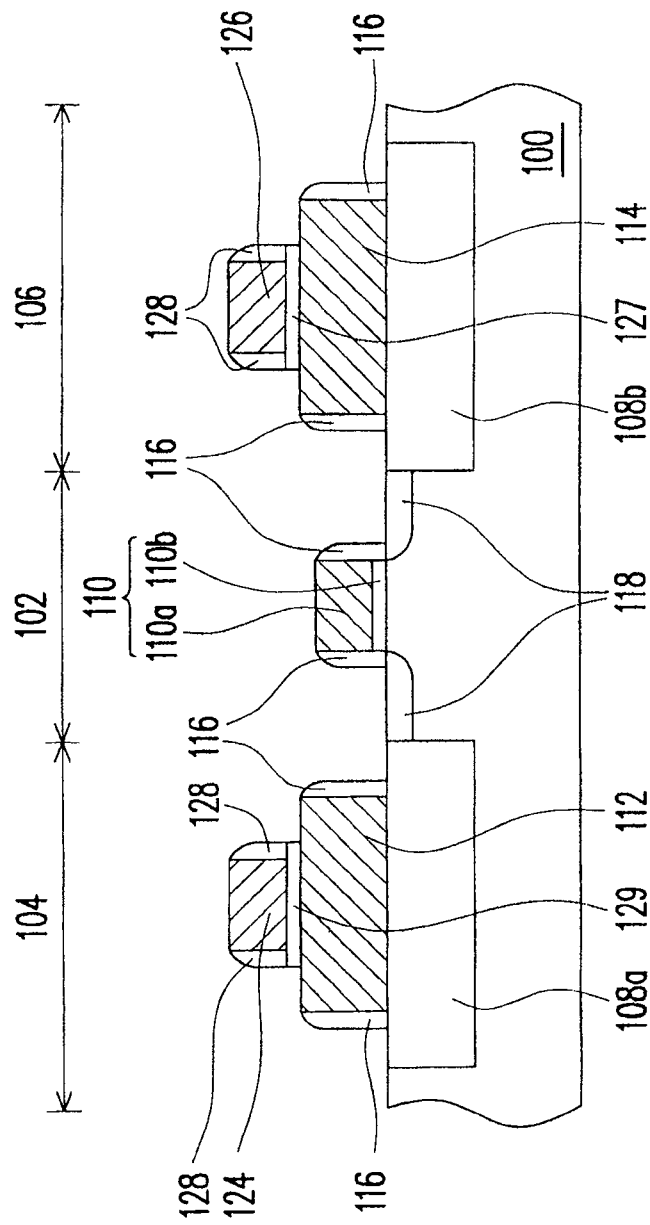


图 1F

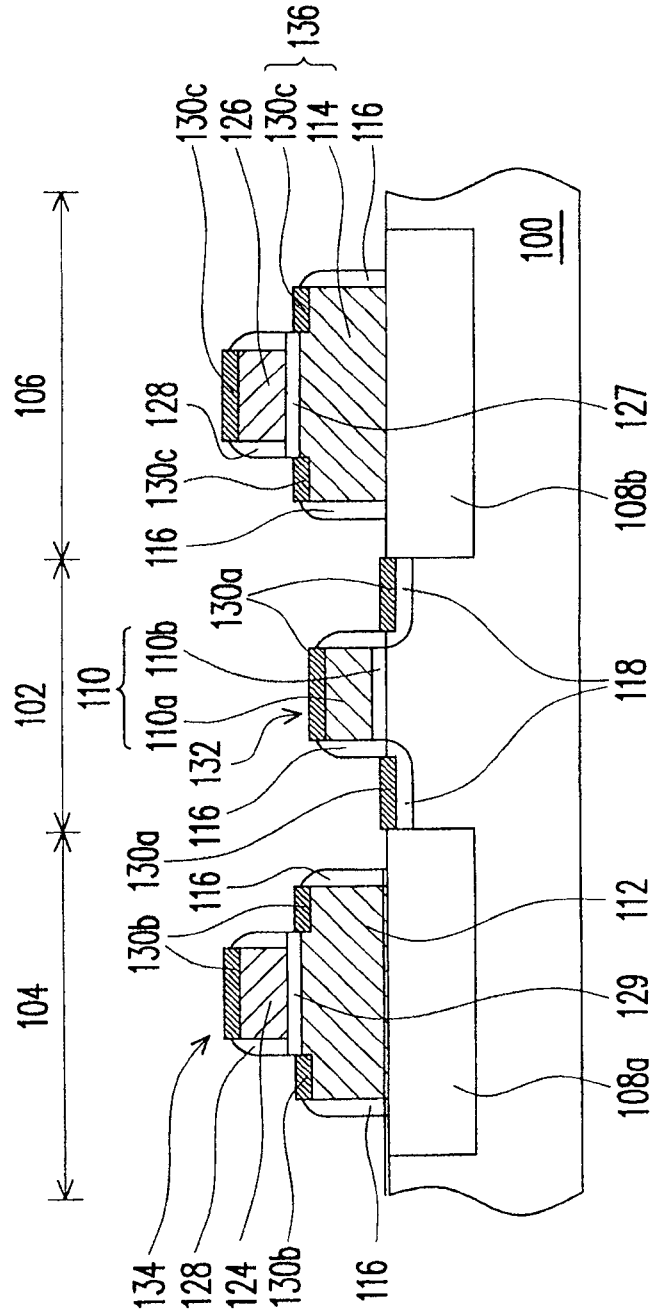


图 1G

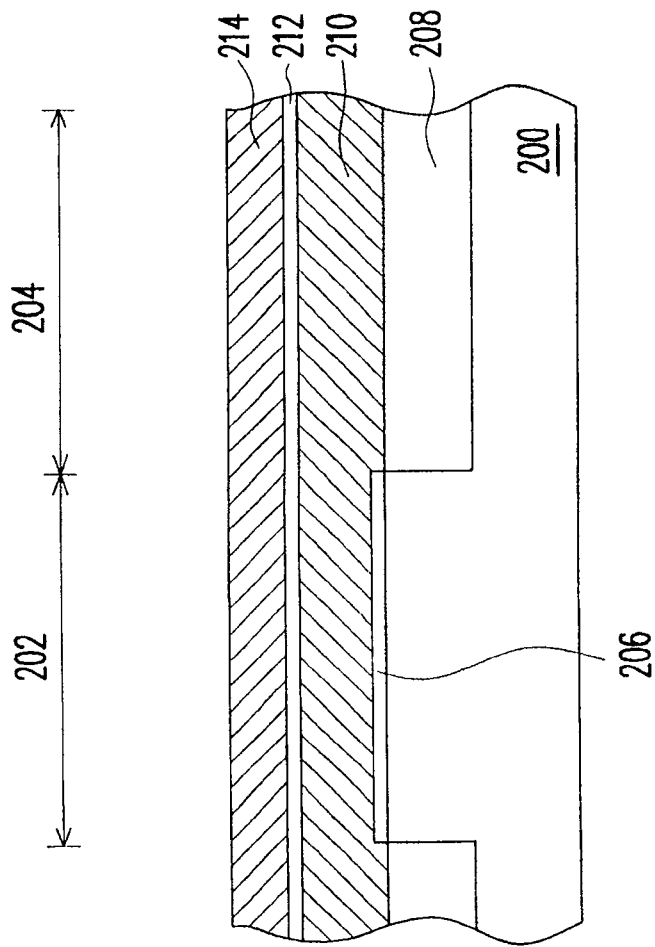


图 2A

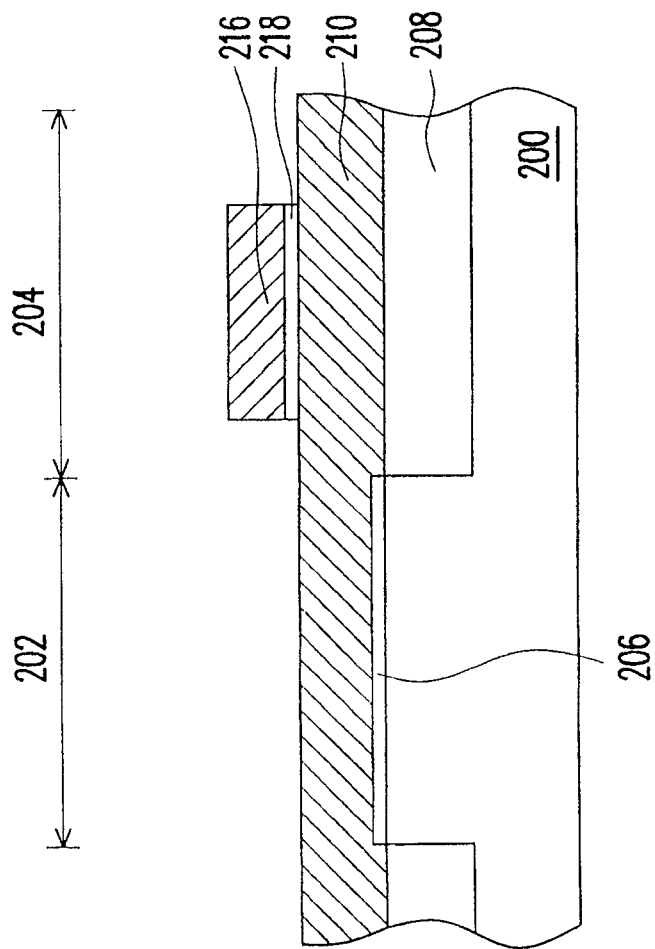


图 2B

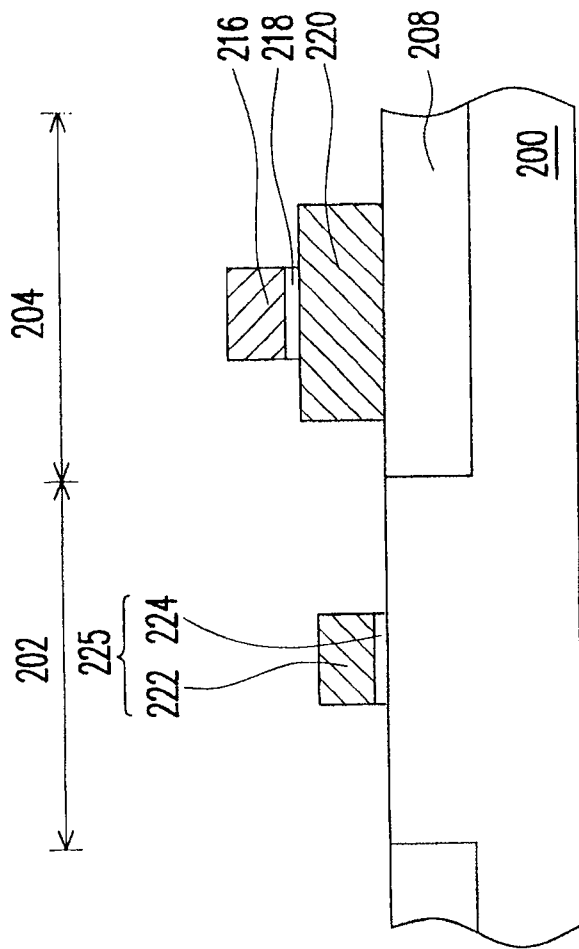


图 2C

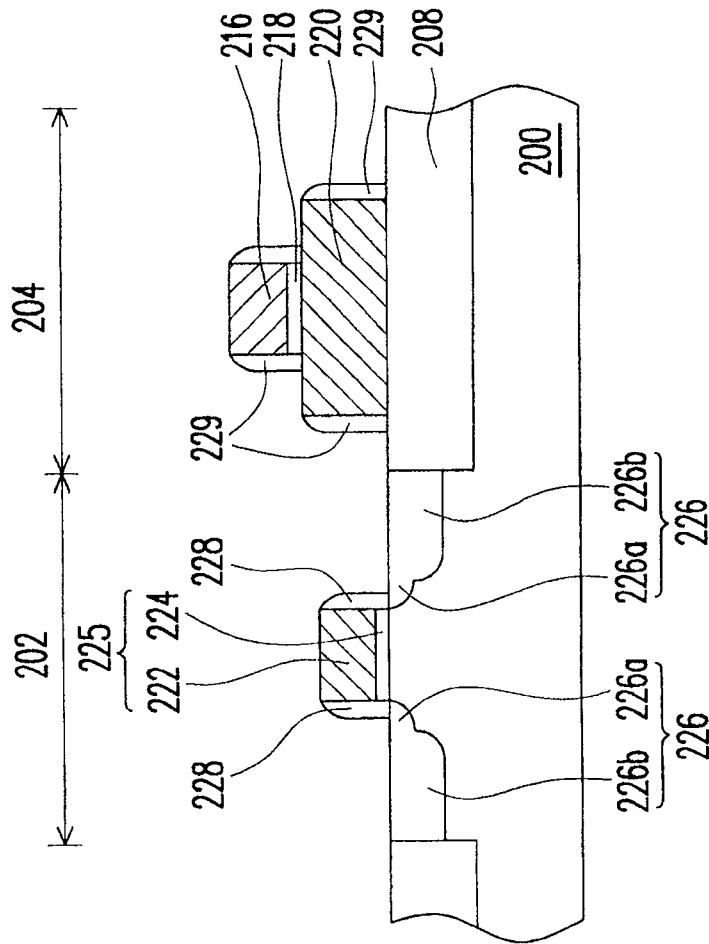


图 2D

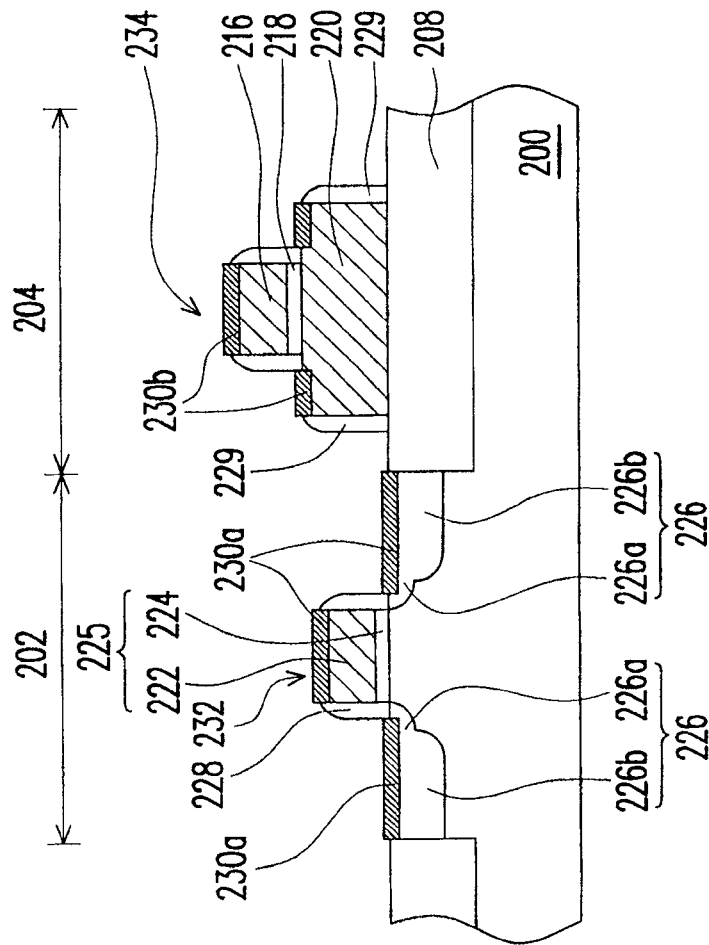


图 2E