



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

HO1L 21/336 (2006.01)*HO1L 21/335* (2006.01)

(45) 공고일자

2007년02월16일

(11) 등록번호

10-0683594

(24) 등록일자

2007년02월09일

(21) 출원번호	10-2004-7021195	(65) 공개번호	10-2005-0008856
(22) 출원일자	2004년12월24일	(43) 공개일자	2005년01월21일
심사청구일자	2005년03월22일		
번역문 제출일자	2004년12월24일		
(86) 국제출원번호	PCT/US2003/019085	(87) 국제공개번호	WO 2004/003970
국제출원일자	2003년06월18일	국제공개일자	2004년01월08일

(30) 우선권주장	60/392,023 60/391,802	2002년06월26일 2002년06월26일	미국(US) 미국(US)
------------	--------------------------	----------------------------	------------------

(73) 특허권자
 세미이큅, 인코포레이티드
 미합중국, 매사추세츠 01862, 빌레리카, 유니트 21호, 설리반 로드 34

(72) 발명자
 크럴, 웨이드, 에이.
 미국, 메사츄세츠 01945, 마블리헤드, 스미스 스트리트 8

자콥슨, 데일, 시.
 미국, 뉴 햄프셔 03079, 살렘, 플린트락 로드 16

(74) 대리인
 문경진
 김학수

심사관 : 오창석

전체 청구항 수 : 총 23 항

(54) 반도체 디바이스 제조 방법

(57) 요약

게이트 공핍이 최소화되도록 반도체 디바이스의 게이트 전극의 제조를 위한 방법이 제안된다. 본 방법은, 제 1 단계가 이온 주입에 의해 매우 강하게 도핑되는 매우 얇은 층인 이중 증착 공정으로 구성된다. 도핑을 위한 연관된 이온 주입을 이용한 제 2 증착은 게이트 전극을 완성시킨다. 2-증착 공정을 이용하여, 게이트 유전체에 불순이 침투할 위험을 최소화시키면서, 게이트 전극/게이트 유전체 인터페이스에서의 도핑을 최대화시킬 수 있다. 본 방법의 다른 개선점은, 비대칭 디바이스를 생성하기 위해 2개의 패턴을 오프셋하는 옵션 및 게이트 도핑 주입으로서 소스/드레인 주입 및 드레인 연장부를 이용하는 장점을 가지는, 양쪽 게이트 전극 층의 패터닝을 포함한다. 본 방법은 또한 불순물을 유전층 내에 포함된 주입된 층으로부터 반도체 표면으로 확산시킴으로써 반도체 기판에 얇은 접합을 형성하기 위해 제공된다. 더욱이, 이온 주입된 층에는 의도된 불순물 종 이외에 수소와 같은 제 2 주입된 종이 제공되며, 여기서 상기 종은 유전층에서의 불순물의 확산도를 개선시킨다.

대표도

도 2c

특허청구의 범위**청구항 1.**

기판을 갖고, 그 위에 형성된 제 1 유전층을 갖는 웰(well) 및 대향하는 트렌치 절연부로 형성된, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법으로서,

- (a) 제 1 게이트 전극 층을 상기 제 1 유전 층 상에 증착하는 단계와,
- (b) 상기 제 1 게이트 전극 층을 도핑하고 도핑된 제 1 게이트 전극 층을 한정하는 단계와,
- (c) 제 2 게이트 전극 층을 상기 도핑된 제 1 게이트 전극 층 상에 증착하는 단계와,
- (d) 상기 제 2 게이트 전극 층을 도핑하는 단계와,
- (e) 불순물 물질을 활성화시키기 위해 상기 구조를 열 처리하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 2.

제 1항에 있어서, 상기 제 1 게이트 전극 층 및 상기 제 2 게이트 전극 층은 함께 전체 두께의 게이트 전극을 형성하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 3.

제 1항에 있어서, 제 1 게이트 전극 층을 증착하는 단계는 비결정질 실리콘을 증착하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 4.

제 1항에 있어서, 제 1 게이트 전극 층을 증착하는 단계는 폴리실리콘을 증착하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 5.

제 1항에 있어서, 제 2 게이트 전극 층을 증착하는 단계는 비결정질 실리콘을 증착하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 6.

제 1항에 있어서, 제 2 게이트 전극 층을 증착하는 단계는 폴리실리콘을 증착하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 7.

제 1항에 있어서, 상기 제 1 게이트 전극 층을 도핑하는 상기 단계는 상기 제 1 게이트 전극 층을 봉소로 도핑하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 8.

제 1항에 있어서, 상기 제 1 게이트 전극을 도핑하는 상기 단계는 상기 제 1 게이트 전극 층을 데카보렌(decaborane)으로 도핑하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 9.

제 1항에 있어서, 상기 제 2 게이트 전극 층을 도핑하는 상기 단계는 상기 제 2 게이트 전극 층을 봉소로 도핑하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 10.

제 1항에 있어서, 상기 제 2 게이트 전극 층을 도핑하는 상기 단계는 상기 제 2 게이트 전극 층을 데카보렌으로 도핑하는 단계를 포함하는, 금속 산화 반도체 디바이스를 위한 게이트 전극을 형성하는 방법.

청구항 11.

기판을 갖는 금속 산화 반도체(MOS) 디바이스를 형성하는 방법으로서,

- (a) 제 1 기판에 웨л 및 대향하는 트렌치 절연부를 형성하는 단계와,
- (b) 제 1 유전층을 상기 절연부 상에 증착하는 단계와,
- (c) 제 1 게이트 전극 층을 상기 제 1 유전 층 상에 증착하는 단계와,
- (d) 상기 제 1 게이트 전극 층을 도핑하고 도핑된 제 1 게이트 전극 층을 한정하는 단계와,
- (e) 제 2 게이트 전극 층을 상기 도핑된 제 1 게이트 전극 층 상에 증착하는 단계와,
- (f) 상기 도핑된 제 1 게이트 전극 층과 상기 제 2 게이트 전극 층의 조합으로부터 게이트 스택을 형성하여, 상기 제 1 유전 층의 노출된 부분을 야기하는 단계와,
- (g) 상기 트렌치 절연부에 인접한 상기 제 1 유전층 상의 드레인 연장 영역부를 노출시키기 위해 제 1 포토레지스트를 패터닝(patterning)하는 단계와,
- (h) 상기 게이트 스택의 노출 부분과 상기 제 1 유전층의 노출 부분을 도핑하여, 드레인 연장부를 상기 웨л 내의 상기 트렌치 격리 부분과 상기 게이트 스택 사이에 형성하는 단계와,

- (i) 상기 제 1 포토레지스트를 제거하고, 제 2 포토레지스트를 패터닝 형성하여, 상기 게이트 스택의 양측에 인접하는 스페이서를 형성하여, 드레인 및 소스 영역을 한정하는 상기 제 1 유전층의 부분을 노출하는 단계와,
 - (j) 상기 제 1 유전층의 상기 노출된 부분을 도핑하여, 상기 웰 내에 소스 및 드레인 층을 형성하는 단계와,
 - (k) 상기 제 2 포토레지스트 층을 제거하는 단계와,
- (l) 상기 주입된 불순물로 하여금 상기 제 1 유전층으로부터 상기 웰로 확산하도록 하기 위해 상기 주입된 불순물을 확산시키는 열 처리를 제공하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 12.

제 11항에 있어서, 상기 제 1 게이트 전극 층을 도핑하는 상기 단계는 상기 제 1 게이트 전극 층을 봉소로 도핑하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 13.

제 11항에 있어서, 상기 제 1 게이트 전극 층을 도핑하는 상기 단계는 상기 제 1 게이트 전극 층을 봉소 클러스터 주입으로 도핑하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 14.

제 11항에 있어서, 상기 제 1 게이트 전극 층을 도핑하는 상기 단계는 상기 제 1 게이트 전극 층을 문자 주입으로 도핑하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 15.

제 11항에 있어서, 상기 드레인 및 소스 영역을 도핑하는 상기 단계는 상기 드레인 및 소스 영역을 봉소로 도핑하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 16.

제 11항에 있어서, 상기 드레인 및 소스 영역을 도핑하는 상기 단계는 상기 드레인 및 소스 영역을 봉소 클러스터로 도핑하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 17.

기판을 갖는 금속 산화 반도체 디바이스를 형성하는 방법으로서,

- (a) 웰 및 대향하는 트렌지 절연부를 상기 기판에 형성하는 단계와,
- (b) 상기 절연부 위에 제 1 유전층을 증착하는 단계와,
- (c) 제 1 게이트 전극 층을 상기 제 1 유전층 상에 증착하는 단계와,

- (d) 상기 제 1 게이트 전극 층을 초기 게이트 스택 내에 형성하여 상기 제 1 유전층의 노출된 부분을 남겨놓는 단계와,
- (e) 상기 제 1 유전층의 드레인 연장 영역을 노출시키기 위해 제 1 포토레지스트 층을 패터닝하는 단계와,
- (f) 드레인 연장 층 및 상기 웰을 형성하는 상기 드레인 연장 영역을 도핑하는 단계와,
- (g) 상기 제 1 포토레지스트 층을 제거하는 단계와,
- (h) 제 2 게이트 전극 층을 증착하는 단계와,
- (i) 상기 제 1 게이트 전극 층으로부터 형성된 상기 게이트 스택보다 더 크고 오프셋된 상기 제 2 게이트 전극 스택을 형성하는 단계와,
- (j) 드레인 및 소스 영역을 한정하기 위해 상기 제 2 게이트 전극 스택에 인접한 스페이서를 형성하도록 제 2 포토레지스트 층을 패터닝하는 단계와,
- (k) 드레인 및 소스 층을 상기 웰에 형성하기 위해 상기 드레인 및 소스 영역을 도핑하는 단계와,
- (l) 상기 제 2 포토레지스트 층을 제거하는 단계와,
- (m) 상기 주입된 불순물로 하여금 상기 도핑 단계에 의해 주입된 물질을 활성화시키기 위해 열 처리를 제공하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 18.

제 17항에 있어서, 상기 드레인 연장 영역을 도핑하는 상기 단계는 상기 드레인 연장 영역을 데카보렌으로 도핑하는 단계를 포함하는, 기판을 포함하는 금속 산화 반도체 디바이스를 형성하는 방법.

청구항 19.

기판을 갖는 산화 금속 반도체(MOS)를 형성하는 방법으로서,

- (a) 웰 및 대향하는 트렌지 절연부를 상기 기판에 형성하는 단계와,
- (b) 제 1 유전층을 상기 절연부 상에 증착하는 단계와,
- (c) 제 1 게이트 전극 층을 상기 제 1 유전층 상에 증착하는 단계와,
- (d) 상기 제 1 게이트 전극 층을 초기 게이트 스택 내에 형성하여 상기 제 1 유전층의 노출된 부분을 남겨 놓은 단계와,
- (e) 상기 제 1 유전층의 상기 노출된 표면 및 상기 게이트 스택을 도핑하는 단계와,
- (f) 상기 제 1 유전층의 상기 노출된 표면상에 상기 제 1 유전층과 다른 제 2 게이트 유전층을 증착하는 단계와,
- (g) 제 2 게이트 전극 증착 층을 상기 초기 게이트 스택 및 상기 제 2 유전층의 상부에 증착하는 단계와,
- (h) 제 2 게이트 전극 증착을 최종 게이트 스택 내에 형성하는 단계와,
- (i) 상기 최종 게이트 스택 및 드레인 연장 영역을 노출시키기 위해 제 1 포토레지스트를 패터닝하는 단계와,

- (j) 상기 최종 게이트 스택 및 상기 드레인 연장 영역을 도핑하는 단계와,
- (k) 상기 제 1 포토레지스트를 제거하는 단계와,
- (l) 상기 최종 게이트 스택에 인접한 측면 벽부 스페이서를 형성하고 상기 드레인 및 소스 영역을 노출시키기 위해 제 2 포토레지스트를 패터닝하는 단계와,
- (m) 드레인 및 소스 층을 상기 웰에 형성하기 위해 상기 드레인 및 소스 영역 및 상기 최종 게이트 전극 스택을 도핑하는 단계와,
- (n) 상기 제 2 포토레지스트 층을 제거하는 단계와,
- (o) 상기 도핑 단계에 의해 주입된 물질을 활성화시키기 위해 열 처리를 제공하는 단계를 포함하는, 기판을 갖는 산화 금속 반도체를 형성하는 방법.

청구항 20.

제 19항에 있어서, 상기 단계(f)는 하나의 종(species)을 상기 제 1 유전층으로 주입하는 단계를 포함하는, 기판을 갖는 산화 금속 반도체를 형성하는 방법.

청구항 21.

제 19항에 있어서, 상기 단계(b)는 상기 제 1 유전층의 화학 처리를 포함하는, 기판을 갖는 산화 금속 반도체를 형성하는 방법.

청구항 22.

제 19항에 있어서, 상기 단계(b)는 상기 제 1 유전층의 제거, 및 상기 제 1 유전 물질과 상이한 제 2 유전 물질의 재성장(regrowth)을 포함하는, 기판을 갖는 산화 금속 반도체를 형성하는 방법.

청구항 23.

제 1항에 있어서, 상기 제 1 및 제 2 게이트 전극 층은 함께 종래의 게이트 전극 층의 총 두께를 갖는, 기판을 갖는 산화 금속 반도체를 형성하는 방법.

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

명세서

기술분야

본 발명은 반도체 디바이스에 관한 것으로, 특히 반도체 디바이스를 제조하는데 사용된 방법에 관한 것이다.

배경기술

본 출원은, 2002년 6월 26일에 모두 출원된 미국 특허 출원 60/392,023 및 60/391,802의 우선권 및 이익을 청구한다.

종래의 CMOS(Complementary Metal Oxide Semiconductor: 상보형 금속 산화물 반도체) 반도체 디바이스 제조 공정은 잘 알려져 있고, 게이트 유전층을 생성하는 단계와, 폴리실리콘 게이트 전극 물질을 증착하는 단계와, 폴리실리콘/유전체 게이트 스택을 게이트 전극에 패터닝하는 단계와, 드레인 연장 주입물(implant)을 주입하는 단계와, 측면 벽(sidewall) 절연체 구조(스페이서)를 생성하는 단계와, 소스/드레인 주입물을 주입하는 단계와, 주입된 층을 확산시키고 전기적으로 활성화하기 위해 열 처리를 제공하는 단계를 포함한다. 주입물은 각각 N-채널 또는 P-채널 디바이스의 형성을 위해 n-형 또는 p-형 불순물(dopant)로 이루어질 수 있다.

기술의 스케일링=scaling)이 게이트 전극의 도핑에 관해 발달됨에 따라, 종래의 CMOS 공정에 관련된 다양한 기술적 문제가 존재한다. 먼저, 게이트 유전체 두께가 축소됨에 따라, 게이트 전극/게이트 유전체 인터페이스에서의 전계 세기가 증가하여, 그 결과 게이트 전극은 유전체 인터페이스에서 시작하는 전하의 공핍을 받게 된다. 이러한 상태는 바람직하지 않은데, 그 이유는 유효 게이트 유전체 두께를 증가시키고 임계 전압을 변조시키는 효과를 갖기 때문이다. 더욱이, 전극/유전체 인터페이스에서 게이트 전극의 도핑을 증가시키려고 시도하는 경합 문제가 발생하는데, 이것은 불순물 확산이 게이트 유전체를 통해, 그리고 특히 봉소 도핑 게이트를 위한 채널로 이루어질 위험을 증가시킨다. 게이트 유전체의 불순물 침투는 임계 전압을 변화시키기 때문에 바람직하지 못하다. 디바이스는 게이트 유전체의 불순물 침투에 민감한데, 그 이유는 게이트 아래의 채널 영역에서 도핑 농도가 낮기 때문이다; 그러므로, 게이트 유전체를 통해 확산하는 소량의 불순물은 상당한 영향을 미친다.

게이트 공핍 및 게이트 유전체 침투 정도를 결정하도록 상호 작용하는 게이트 도핑 공정에 수반된 2가지 단위 공정이 존재한다. 제 1 단위 공정은 불순물 분자를 제공하는 이온 주입이고, 제 2 단위 공정은, 주입된 불순물을 활성화시키는데 필요하고 게이트 물질을 통해 불순물을 또한 확산시키는 열 처리, 또는 어닐링이다. 이온 주입 에너지는 이것이 생산성을 떨어뜨리더라도 낮게 선택되어, 어떠한 불순물도 게이트 산화물을 통해 주입되지 않는 것을 보장하는데, 이는 언더라잉(underlying) 채널 영역이 낮은 농도로 도핑되기 때문이다. 이는, 불순물이 게이트 공핍을 방지하는데 필요한 게이트 전극/게이트 유전체 인터페이스에서 불순물을 제공하기 위해 게이트 층을 통해 확산되는 것을 필요로 한다. 그러나, 게이트 물질은 일반적으로 매우 균일하지 않은 확산 특성을 갖는 폴리실리콘이다. 이와 같이, 폴리실리콘에서 그레인(grain) 경계 아래로 매우 빠르게 확산이 발생하므로, 몇몇 불순물은 게이트 전극/게이트 유전체 인터페이스에 빨리 도달하는데, 아직 대부분의 불순물은 폴리실리콘 그레인을 완전히 도핑하고 높은 전도성을 달성하도록 여전히 확산할 필요가 있다. 그러면, 게이트 전극/게이트 유전체 인터페이스에서의 그레인 경계 불순물은 열 처리가 계속됨에 따라 게이트 유전체 침투에 대한 위험이 있다. 이러한 위험은 열 처리가 더 높은 온도와 더 오랜 시간으로 처리됨에 따라 증가한다. 예를 들어, 엠.케이스(M.Kase) 등의, "100nm 노드의 고성능 논리 및 시스템 LSI를 제조하기 위한 FEOL 기술"(1998, 제 12회 이온 주입 기술의 국제 회의 회보, p91)에 기재된 바와 같이, 불순물을 게이트 전극/게이트 유전체 인터페이스에 확산시킬 필요, 및 주입된 불순물을 전기적으로 활성화시킬 필요로 인해 게이트 전극 어닐링을 위한 시간/온도 감소에 실질적인 한계가 있다.

이러한 문제를 다루도록 제안된 기술은 옥시니트라이드 게이트 유전체, SiGe 게이트 전극 물질, 및 금속 게이트 전극 물질을 포함한다. 옥시니트라이드 게이트 유전체는 게이트 산화물을 통한 봉소 침투의 감소에 유용하지만, 게이트 공핍 효과에 대해서는 도움이 되지 않는다. SiGe 게이트 물질은 또한 봉소 확산을 감소시켜, 효과적인 도핑 농도를 증가시키는 동안 게이트 침투에 대해 도움을 주며, 이것은 또한 게이트 공핍에 대해서도 도움을 준다. SiGe 게이트 물질이 NMOS 특성을 저하시켜, 완전한 CMOS 해결책을 달성하기 위해 복잡한 선택적인 기술을 필요로 한다는 문제가 발생한다. 금속 게이트 접근법은 봉소 침투 문제를 해결하고(봉소 확산이 없음) 및 게이트 공핍 문제를 해결(거의 무한한 전하 농도)하지만, NMOS 및 PMOS에 대한 임계 전압을 동시에 설정하는 것을 매우 어렵게 만든다. 금속 게이트 접근법은 또한 공정 통합에 상당한 도전을 하는데; 이는 금속 층이 소스 및 드레인 영역에 의해 요구된 것과 같이 주입물 활성화에 필요한 고온 열 처리시에 물리적으로 안정하지 않기 때문이다.

종래의 디바이스는 기술 스케일로서 다른 한정 인자에 직면한다. 계속된 스케일링을 통해, 예를 들어 $<0.1\mu\text{m}$ 의 기술을 통해, 종래의 디바이스는 고성능 동작을 보장하기 위해 드레인 확장 영역의 충분한 게이트 중첩을 제공할 필요를 경험한다. 특히, 외부 직렬 저항은 오버랩(overlap) 영역이 스케일링됨에 따라 한정 인자가 된다. 자니(Ghani) 등에 의해 보고된 최근의 분석(2001, VLSI 기술 심포지엄, 페이지 17-18)은, 비대칭 구조가 고성능 디바이스 특성을 유지하면서 추가 스케일링을 허용할 수 있는 잠재력을 갖고 있다는 것을 보여주었다. 그러나, 증명 디바이스에서 자니 등에 의해 사용된 공정은 대규모 생산 필요조건에 관해 매우 제약이 있으며: 이 구조는 드레인 측면이 아닌 소스 측면 상에 선택적으로 경사 주입을 필요로 한다. 이러한 구조를 갖는 디바이스를 제조하기 위해서는, 모든 소스가 한 측면에 있고 모든 드레인은 다른 측면에 있도록 레이아웃(layout)을 한정시키는 것을 필요로 하며, 이것은 회로를 더 커지게 한다.

또한 얇은 반도체 접합을 형성하는 경향이 있다. 얇은 접합에 대한 필요조건은 반도체 기술의 계속된 스케일링의 직접적인 결과이며, 여기서 더 작은 디바이스에 대한 일정한 진보가 이루어진다. 디바이스가 더 작아지게 제작되기 때문에, 트랜지스터 및 필요한 다른 회로 소자의 적절한 기능을 유지하기 위해 변형되거나 "스케일링"되어야 하는 제조 공정의 많은 특징이 있다. 접합 형성 기술에 대한 효과는, 접합 깊이가 기술 스케일에 따라 스케일링되는데, 즉 게이트 길이가 더 짧아짐에 따라 접합은 더 얇아지게 되는 것이다. 이러한 방식으로, 트랜지스터 기능이 확보된다.

종래의 접합 깊이의 스케일링 방법을 계속해서 행하는 것은 어려움이 존재한다. 특히, 종래의 그러한 접합의 형성 방법은, 반도체 기판에 불순물을 주입하는 이온 주입을 이용하고, 그 다음에 불순물 분자를 전기적으로 활성화시키는 열 처리 단계를 이용하는 것이다. 더 얕은 접합을 달성하기 위해, 이온 주입은 더 낮은 에너지로 수행되어야 하므로, 지금까지 분자는 반도체 기판에 침투하지 않는다. 일반적으로, 얕은 접합은 5keV 미만의 이온 주입 에너지를 필요로 하는 반면, 초박형(ultra-shallow) 접합은 (봉소 주입에 대해) 1keV 미만의 이온 주입 에너지를 필요로 한다. 이러한 주입은 차일즈(Child's) 법칙이 적용되고 10keV 미만의 에너지로 주입하는 구성이기 때문에 종래의 주입기에 대해 낮은 생산성을 갖는다. 이 구성에서, 주입기의 범 전류는 공간 충전 효과에 의해 한정되며, 최대 전류는 3/2 전력에 대한 추출 전압에 비례한다. 이러한 구성에서 생산상을 증가시키는 종래의 수단은 종래의 주입기(implanter)를 위한 가속/감속 구성을 구현하는 것이다. 범은 고에너지에서 추출되어, 차일즈(Childs) 법칙에 의해 부과된 공간 전자 한계를 피하고, 그 다음에 정확한 에너지로 주입하기 위해 웨이퍼 앞에서 감속된다. 이러한 방법이 약 2x만큼 생산성을 증가시킬 수 있지만, 감속 범은 주입 결과의 에너지(energetic) 오염 및 비균일성에 관한 문제점을 가지고 있다.

초박형 접합의 형성을 위한 종래의 주입 공정에 있어서, 주입이 실리콘 주입된 층 내에 결함 구조를 생성시킨다는 점에서 추가 문제가 발생하는데, 상기 결함 구조는 에너지가 감소하고 층이 더 얕아짐에 따라 더 많은 문제를 초래한다. 먼저, 생성된 결함의 밀도는 빠르게 증가하는데, 이는 기판 물질의 주입된 부피가 주입물이 얕아지게 됨에 따라 감소하기 때문이다. 선량이 동일하거나 증가하기 때문에, 주입물 깊이의 감소는 주입된 불순물 및 주입 결함의 밀도 모두에서의 증가에 대응한다. 결함 밀도가 증가함에 따라, 상호 작용의 확률은 극적으로 증가하며, 그 결과, 결함의 조합은 결함 구조를 더 복잡하게 하며, 이는 어닐링하는데 매우 어렵게 하는 문제점을 내포한다. 예를 들어 봉소와 같은 주입된 불순물의 높은 밀도가 또한 불순물 복합체 구조가 형성할 확률을 증가시킨다는 것이 주지될 것이다. 이는 특히 불순물 농도가 고체 용해도를 초과할 때 문제가 되는데, 그 이유는 과포화된 불순물이 바람직하지 않은 구조에 침전하는 경향이 있기 때문이다. 예를 들어, 과포화된 봉소는 실리콘 보라이드(SiB₄)에 침전하는 경향이 있는데, 상기 실리콘 보라이드의 구조는 봉소를 전기적으로 비활성 위치에 속박하여, 봉소 주입물의 성분이 완전히 효과가 없게 하도록 한다. 에너지가 감소함에 따라, 더 많은 주입된 선량은 농도가 용해도를 초과하는 영역에 있어서, 주입물의 효율은 에너지와 함께 감소한다.

주입된 불순물을 전기적으로 활성화하는데 사용되는 종래의 공정은 열 처리 또는 어닐링에 극단적인 제약을 부과한다. 주입된 불순물을 효과적으로 활성화시키기 위해 기판을 고온으로 가열할 필요성과, 확산을 방지하기 위해 어닐링의 온도 및 시간을 한정시킬 필요성 사이에 강한 대립이 일어난다. 이러한 대립은 스파이크 어닐링(spike anneal)이라 불리는 공정의

전개를 초래하는데, 여기서 온도는 피크 온도로 빨리 램핑(ramped)되고, 그 다음에 즉시 램핑 다운(ramped down)되어, 최대 온도에서의 상주 시간은 0에 근접하게 된다. 그러한 어닐링은 붕소의 확산을 최소화시키기 위해 초박형 붕소 접합의 형성에 필요하다.

예를 들어, 슈미츠(Schmitz) 등의, "주입된 산화물로부터 완전 확산에 의한 초박형 접합 형성(Ultra-Shallow Junction Formation by Outdiffusion from Implanted Oxide)"(IEEE-IEDM '98, p1009); 및 슈미츠 등의, "주입된 산화물로부터의 빠른 열적 완전 확산에 의한 얇은 접합 제조(Shallow Junction Fabrication by Rapid Thermal Outdiffusion from Implanted Oxides)"(1999, 워싱턴 시애틀, 빠른 열 처리에서의 개선의 회보, 전기 화학 협회, p.187)에 기재된 바와 같이, 표면 산화층으로 주입하고 난 후, 접합을 형성하기 위해 산화물을 통해 기판으로 확산시킴으로써 초박형 접합의 형성에 대한 이러한 문제 중 몇몇 문제를 다루는 것이 제안되었다. 이러한 접근법은, 대부분의 주입물 손상을 산화층에 둠으로써 반도체 기판에서의 결합 형성을 감소시키거나 제거하는 장점을 갖는다. 이 방법은 또한 대부분의 확산이 이제 산화층을 통해서만 이루어지기 때문에 어닐링에 대한 제약을 완화시킨다. 그렇다 하더라도, 예를 들어 페어(Fair)의, "초박형 게이트 산화물에서의 붕소 확산의 물리적 모델(Physical Models of Boron Diffusion in Ultrathin Gate Oxides)"(1997, J.Electrochem.Soc, 144, p.708-717)에 기재된 바와 같이, 상기 방법은, 산화물을 통한 확산이 일반적으로 실리콘을 통한 확산보다 더 느리다는 단점을 갖는다.

종래의 공정이 갖는 추가 문제는, 크렐(Knull) 등의, "서브-keV 이온 주입을 위한 천연 산화물의 중요성(The importance of the native oxide for sub-keV ion implants)"(1999, 제 12회 이온 주입 기술에 대한 국제 회의-1998, p1113)에 기재된 바와 같이, 초박형 접합을 형성하려고 하는 동안 산화물로의 주입을 피하는데 어려움이 있다는 것이다. 기술 스케일 및 주입 에너지가 감소함에 따라, 이온 주입 공정과 간섭하지 않을 정도로 매우 충분하게 표면 산화물을 제거하는 것이 점점 더 어려워진다. 크렐 등에 의해 논의된 바와 같이, 심지어 천연 산화물(실온에서 단지 공기에 대해 노출에 의해 실리콘 웨이퍼 상에서 형성하는 산화물)조차, 250eV의 에너지를 갖는 붕소 주입물이 의도된 대로 실리콘 아니라 산화물(1.5nm)에 대부분의 분자를 위치시킬 정도로 충분히 두껍다. 천연 산화물이 실온의 공기에서 형성하기 때문에, 이온 주입기의 진공 시스템 내부의 본래 위치의 산화물 스트립과 같은 극단적인 수단이 완전히 순수한(bare) 기판에 주입하는데 필요로 할 것이다.

발명의 상세한 설명

본 발명은 대안적인 공정 조건을 허용하기 위한 2개의 증착 게이트 형성 공정을 이용하고, 종래의 기술에서 관찰된 게이트 유전체의 게이트 공핍 및 불순물 침투에 대한 문제를 다룬다. 특히, 본 발명은 2개의 증착+주입 절차의 조합에 의해 게이트 전극의 형성에 관한 것이다. 제 1 증착물은 얇고, 대응하는 주입물은 매우 얇아서, 최대 유효 선량을 게이트 전극/게이트 유전체 인터페이스에 가능한 한 가까이 직접 위치시킨다. 높은 선량의 최대로 낮은 유효-에너지 주입 공정을 가능하게 하는 클러스터 이온 주입의 출현은, 매우 얇은 층을 도핑하는데 있어서 이전의 제약을 제거한다. 제 2 증착은 게이트 전극을 종래의 두께로 완성시키고, 제 2 증착을 위해 이온 주입 및 열 처리의 독립적인 선택을 허용한다.

스파이크 어닐링의 출현이 매우 얇고, 크게 활성화된 불순물 층의 형성을 추가로 가능하게 한다는 것이 주지될 수 있다. 스파이크 어닐링은, 가장 고온에서의 시간이 0에 접근하는 빠른 열 공정 또는 열 처리이며: 온도는 매우 빠르게 램핑 업되고, 가능한 한 빨리 즉시 램핑 다운된다. 본 발명에서, 게이트 전극/게이트 유전체 인터페이스에서 얇게 도핑된 층의 형성은 단일 게이트 공정에 정상적으로 사용된 주입 및 열 처리에 대한 제약 중 하나를 제거하고: 게이트 공핍을 경합하기 위해 불순물을 게이트 전극 층을 통해 게이트 유전체 인터페이스로 확산시키는 것이 더 이상 필요하지 않기 때문에, 스파이크 어닐링이 사용될 수 있으며, 추가로 게이트 유전체의 불순물 침투의 위험을 감소시킨다.

이러한 2-증착 게이트 형성 공정의 추가 이익은 2가지 게이트-페터닝 단계가 포함될 때 실현될 수 있다. 특히, 2개의 페터닝 단계를 이용하는 한 가지 이익은, 드레인 확장 주입이 제 1 레벨 게이트 도핑 단계 및 드레인 확장 주입 모두에 사용될 수 있어서, 공정으로부터 하나의 얇은 주입을 제거한다는 점이다. 다음으로, 2가지 페터닝 단계의 이용은 게이트의 소스 측에 대해 제 2 페터닝을 오프셋시키기 위한 선택의 자유도를 허용한다. 이것은 드레인 측보다 소스 측 상에서 드레인 확장 영역이 훨씬 더 큰 중첩이 있는 비대칭 소스/드레인 트랜ジ스터를 생성한다. 이것은 다른 레이아웃 및 공정 제약을 피하면서, 차니 등에 의해 설명된 종류의 트랜지스터 작용을 생성하는 효과적인 수단이다.

본 발명의 다른 양상은, 불순물 종(species)을 반도체 기판 표면상의 유전층에 이온 주입하고 불순물을 유전층을 통해 반도체 기판으로 확산시켜, 얇은 반도체 접합을 생성함으로써 초박막 반도체 접합을 제조하는 방법에 관한 것이다. 이 방법

은, 추가 종, 또는 하나를 초과하는 추가 종을 주입하는 것으로 더 구성되는데, 여기서 추가 종의 작용은 유전층을 통한 불순물의 확산을 개선하여, 공정을 더 효과적으로 만든다. 그러한 공정의 일례는 봉소/수소 클러스터 이온을 실리콘 웨이퍼 위의 이산화 규소 층에 주입하는 것이다. 이 경우에, 수소는 전술한 페이의 인용에 설명된 것으로 알려져 있어서, 이산화 규소에서 봉소의 확산을 개선하여, 확산을 가능하게 하는데 사용된 어닐링 공정의 관리를 허용한다. 산화물에서 확산율의 이러한 개선은 특히 어닐링 처리의 시간 및 온도에 대한 다른 공정 제약의 완화를 허용한다.

본 발명의 이들 및 다른 장점은 다음 설명 및 첨부된 도면을 참조하여 쉽게 이해될 것이다.

실시예

본 발명은, 새로운 물질을 필요로 하지 않고도, 게이트 유전체의 게이트 공핍 및 봉소 침투의 문제를 다루는 수단으로서, 2-증착 공정을 이용하여 MOS 트랜지스터의 게이트 전극을 형성하는 방법에 관한 것이다. 본 발명은 또한 반도체 기판에 초박막 접합을 형성하는 방법에 관한 것이다.

전술한 바와 같이, 본 발명의 하나의 양상은 2 단계 증착 공정에 의해 MOS 트랜지스터의 게이트 전극의 형성에 관한 것이다. 2-증착 공정에서, 제 1 단계는, 전극 물질의 얇은 층을 증착하고, 뒤이어 게이트 전극/게이트 유전체 경계면 근처의 높은 농도의 불순물을 제공하기 위한 얇은 이온 주입이 이루어지는 것이다. 제 2 단계는 또한 게이트 층을 증착하고, 뒤이어 이온 주입이 이루어지는 것으로, 2개의 층의 총 두께는 종래의 단일 층 게이트 전극 구조와 유사하게 된다.

본 발명의 실시예의 다음 설명에서, 특정 세부 사항이 논의된다. 이러한 세부 사항이 단지 예에 불과하다는 것이 이해되어야 한다. 특히, 예들은 $0.13\mu\text{m}$ 기술 노드의 PMOS(P-channel Metal Oxide Semiconductor: P-채널 금속 산화 반도체) 트랜지스터를 예시하도록 의도된다. 그러나, 본 발명의 원리는 NMOS 트랜지스터에 대한 응용을 포함하는 다른 응용에 명백히 적용가능하다.

게이트 전극의 형성에 관련된 본 발명의 일실시에는 도 1a 내지 도 1d에 도시되어 있다. 특히, 도 1a는, 웰(well) 형성 단계(11), 트렌치 절연 단계(12), 및 게이트 유전체 형성 단계(13)를 통해 종래의 CMOS 처리 단계에 의해 처리된 반도체 기판(10)을 도시한다. 웰 구조는 예를 들어 PMOS 트랜지스터에 대한 도핑 n-유형이다. 게이트 유전체 두께는 $0.13\mu\text{m}$ 기술 노드에 대해 약 2nm이다. 예를 들어 15 내지 20nm 두께를 갖는 제 1 게이트 증착물(14)은 게이트 유전층(13)의 바로 위에 형성된다. 일반적으로, 이러한 증착물(14)은 비결정 실리콘 층 또는 다결정 실리콘(폴리실리콘) 층 중 어느 하나의 층이다. 게이트 전극의 제 1 전극 층(14)과 게이트 유전체 사이의 경계면(9)은 종래의 디바이스에서 게이트 공핍이 발생하는 곳이다.

도 1b는 제 1 게이트 전극 층을 도핑하기 위한 얇은 이온 주입인 공정의 다음 단계를 도시한다. 이러한 주입에 대한 필요조건은 약 500eV 봉소의 약 $1\times10^{15}\text{cm}^{-2}$ 의 선량이다. 대안적인 공정은 5.5keV에서 $1\times10^{14}\text{cm}^{-2}$ 의 선량까지의 데카보렌(decaborane) 주입, 또는 다른 등가 공정의 주입 단계이다. 주입 에너지가 불순물 침투가 얕게 이루어지도록 낮아야 하는 것이 주지될 수 있고; 특히, 어떠한 주입된 선량(<0.1%)도 증착 층 및 게이트 유전체를 통과하지 않아야 하는데, 이는 채널 영역이 임계 전압을 정확히 설정하기 위해 낮은 농도로 도핑되어야 하기 때문이다. 이러한 제약은 종래의 주입 공정에 대해 심각한데, 그 이유는 필요한 낮은 에너지에 의해 생산성이 도전받는데, 이온빔의 감속으로부터 초래한 에너지 오염물이 게이트 스택을 통해 채널로 침투할 위험이 있기 때문이다.

도 1c에 도시된 바와 같이 공정이 계속되며, 도 1c는 제 1 증착 층(14) 바로 위에 증착된 제 2 증착 층(17)을 도시한다. 제 1 및 제 2 증착 층(14 및 17) 각각이 게이트 전극을 함께 형성하기 때문에, 어떠한 삽입 층도 필요하지 않다. 제 2 증착 층(17)은 비결정 실리콘 또는 폴리실리콘 중 어느 하나일 수 있다. 비결정 실리콘 증착이 층의 평탄함(smoothness) 및 채널링(channeling) 회피에 관해 몇몇 장점을 제공하지만, 비결정 실리콘은 열 처리 동안 공정 흐름에서 나중에 폴리실리콘으로 변형됨이 주지된다. 제 2 증착 층(17)의 두께는 예를 들어 약 130nm일 수 있으므로, 제 1 및 제 2 전체 증착물은 약 150nm의 총 두께를 갖는 게이트 전극이다.

도 1d는, 예를 들어 약 2keV의 봉소 등가 에너지 및 약 $5\times10^{15}\text{cm}^{-2}$ 의 높은 선량을 갖는 봉소, 봉소 분자 또는 봉소 클러스터의 이온 주입과 같은 제 2 이온 주입 또는 도핑 단계를 도시한다. 이러한 관점에서, 종래의 CMOS 공정은 계속해서 게이트 패터닝, 스페이서 형성, 소스 및 드레인 형성 등을 행한다.

본 발명의 일실시에는 제 2 주입 이전에 게이트 스택(18)(게이트 산화물/제 1 전극 층/제 2 전극 층)을 패터닝하는 단계를 포함한다. 이러한 실시예의 한가지 장점은, 드레인 확장부 및 소스/드레인 영역과 패터닝된 게이트 스택(18) 사이에서 자

가-정렬이다. 이러한 공정 절차는 도 2a 내지 도 2c에 도시되어 있다. 특히, 도 2a는, 예를 들어 도 1c에 도시된 공정, 및 종래의 포토리소그래피에 의한 게이트 스택(18)의 패터닝 이후에 이전 공정 절차로부터의 기판을 도시한다. $0.13\mu\text{m}$ 기술 노드에 대해, 게이트 길이는 60 내지 120nm의 범위에 있다. 도 2b는 드레인 확장부 주입 단계를 통해 계속된다. 먼저, 포토레지스트(PR) 층(23)은, PMOS 영역{즉, 드레인 확장부 영역(38 및 39)}이 노출되도록 도포되고 패터닝된다. 드레인 확장부 주입에 대해, 이온 빔(21)은 약 500eV의 에너지 및 약 $5\times10^{14}\text{cm}^{-2}$ 의 선량의 봉소 주입이다. 등가 조건을 갖는 공정을 갖고, 공통적으로 소유된 미국 특허 출원 제 6,452,338에 기재된 바와 같이 예를 들어 데카보렌과 같은 봉소 클러스터 주입 또는 분자 주입이 이용될 수 있다. 이러한 주입을 노출된 기판 영역에 침투하는 것은 도 2c에 도시된 드레인 확장 영역(22)을 형성하고, 또한 게이트 전극 표면에서(게이트 전극 표면은 주입된 영역을 원하지 않는 경우 보호될 수 있다) 주입된 층을 형성할 수 있다. 도 2b에 도시된 바와 같이, 드레인 확장부(22)의 내부 에지는 게이트 스택 에지와 정렬되어, 자가-정렬을 초래한다. PR 층(23)은 종래의 기술에 의해 제거되고, 절연체 스페이서(25)는 다른 포토레지스트 층(28)에 의해 게이트 스택(18)의 측면 벽 상에 형성되는데, 상기 포토레지스트 층(28)은, PMOS 디바이스 영역이 각각 드레인 및 소스 영역(30 및 31)을 한정하기 위해 노출되도록 도포되고 패터닝된다. 제 2 이온 주입 단계는, 이제 깊은 소스(26) 및 드레인(27) 층을 생성하고 동시에 완전한 게이트 전극(29)에 불순물을 제공하도록 수행된다. 제 2 주입을 위한 공정 조건은 봉소 클러스터 이온 주입을 위한 등가 조건의 공정으로, 봉소에 대해 약 2keV의 에너지 및 $5\times10^{15}\text{cm}^{-2}$ 의 선량이다. 그 다음에 제 2 포토레지스트 층(28)은 제거되고, 원하는 경우 인터레벨(interlevel) 유전체 증착, 접촉 형성, 금속화 등을 포함하는 종래의 CMOS 처리가 계속된다.

본 발명의 추가 양상은, 증착/주입 공정의 제1 세트 이후에 추가 게이트-패터닝 단계의 도입을 포함한다. 본 발명의 이러한 실시예에서, 제 2 전극 증착 층이 또한 게이트 전극에 패터닝될 필요가 있기 때문에 2가지 게이트-패터닝 단계가 필요하다. 2가지 게이트-패터닝 접근법이, 2개의 게이트 패턴을 중첩하는데 어려움이 있기 때문에 비대칭 트랜지스터 구조가 바람직할 때만 사용된다는 것이 예측된다. 2개의 게이트-패터닝 단계를 이용하여, 비대칭은 2개의 게이트 패턴으로 설계될 수 있어서, 비대칭 특성에 걸쳐 제어를 제공한다. 2개의 비대칭 구조, 즉 비대칭 중첩 구조 및 노치된 게이트 구조가 논의될 것이다.

더 구체적으로, 비대칭 중첩 트랜지스터는 2가지 게이트-패터닝 공정 절차를 통해 형성될 수 있다. 본 발명의 이러한 실시예의 한가지 양상은, 주입 필요조건이 유사하기 때문에 전극 주입 단계가 드레인 확장 층을 형성하는데 사용될 수 있다는 것이다. 이러한 실시예의 추가 양상은 2개의 게이트 패턴을 오프셋함으로써 비대칭 중첩 트랜지스터 구조를 형성할 수 있는 능력이다. 이러한 공정 절차는 도 3a 내지 도 3e에 도시되어 있다. 도 3a에서, 도 1a로부터의 기판은 게이트-패터닝 단계를 통해 처리된다. $0.13\mu\text{m}$ 기술 노드에 대해, 이 패턴에 대한 게이트 길이는 약 50 내지 80nm이다. 이러한 관점에서, 포토레지스트 층(42)은 도 3b에 도시된 바와 같이 도포되고 패터닝되어, 유전층(13)의 드레인 확장 영역(38 및 39)을 노출시킨다. 얇은 이온 주입 단계가 제공되어, 드레인 확장부(43)는 노출된 소스 및 드레인 영역에서 생성되고, 제 1 게이트 전극의 노출된 표면은 도핑된다(44). 이러한 주입을 위한 주입 조건은 $5.5\text{keV}, 0.5-1\times10^{14}\text{cm}^{-2}$ 의 데카보렌 주입, 또는 데카보렌과 같은 봉소 또는 봉소 클러스터에 의한 등가 주입의 공정일 수 있다. 이러한 관점에서, 포토레지스트 층(42)은 종래의 기술에 의해 제거되고, 제 2 게이트 증착(45)이 제공되어, 도 3c에 도시된 구조를 생성한다. 다음으로, 게이트 전극 층은 패터닝되어, 패턴이 더 커지고, 제 1 게이트 패턴 층으로의 오프셋을 갖는다. 결과적인 게이트 전극 스택은 도 3d에 도시되어 있다. 제 1 게이트 층을 지나 제 2 게이트 층의 중첩은 46으로 도시된 트랜지스터의 소스 측에 제한될 수 있다. 이러한 방식으로, 매우 작은 트랜지스터는 전술한 자니 등에 의해 논의된 바와 같이 드레인 포화 전류, IDSAT의 저하 없이 형성될 수 있다. 도 3e에 도시된 바와 같이, PMOS 트랜지스터만을 노출하여, 상기 유전층(13)의 드레인 및 소스 영역(38 및 39)을 한정하기 위해 게이트 측면 벽 스페이서(51)의 형성 및 포토레지스트 층(50)의 도포 및 패터닝을 통해 공정이 계속된다. 그 다음에, 제 2 이온 주입은, $2\text{keV}, 5\times10^{15}\text{cm}^{-2}$ 의 봉소, 또는 등가 공정 클러스터 이온 주입의 이온 빔(47) 조건으로 수행된다. 도 3e는 이러한 이온 주입의 침투에 의해 게이트 전극에 소스 및 드레인 영역(48) 및 제 2 이온 주입 층을 형성하는 것을 도시한다. 이러한 관점에서, 비대칭 중첩 트랜지스터 구조가 형성되고, 기판은 인터레벨 유전체 증착, 접촉 형성, 금속화 등을 통해 종래의 CMOS 제조 절차를 통해 계속된다. 비대칭 중첩 트랜지스터의 다른 변형이 본 방법의 변형에 의해 형성될 수 있다는 것이 주지될 것이다.

본 발명의 다른 양상은 도 4a 내지 도 4e에 도시된 바와 같이 본 방법의 적용에 의해 노치된 게이트 트랜지스터 구조의 형성에 관한 것이다. 이러한 공정 절차는, 도 1b에 도시된 바와 같이 제 1 게이트 증착 및 제 1 게이트 주입을 통해 기판 공정에서 시작한다. 이러한 관점에서, 제 1 게이트 전극 층이 패터닝된다. 상기 공정에서의 다음 단계는 패터닝된 게이트 스택 외부의 노출된 반도체 표면에 제 2 게이트 유전체(52)를 제공하는 것이다. 제 2 게이트 유전체는 제 1 게이트 유전체와 다르고, 그 처리는 다양한 게이트 유전체 처리 단계 중 임의의 단계를 포함할 수 있으며: 상기 처리 단계는 질소와 같은 종의 기존의 게이트 유전체로의 주입과, 고온에서 암모니아에 대한 노출과 같이 기존의 유전체의 화학적 처리와, 기존의 유전체의 소거와, 상이한 질소 함유량을 갖는 옥시니트라이드 유전체 또는 이산화 규소의 상이한 두께와 같이 상이한 게이트 유

전체의 재성장(regrowth)과, 질화 규소 또는 하프늄 또는 산화 지르코늄 또는 실리케이트와 같은 게이트 유전체의 추가 층의 증착, 또는 이러한 처리의 조합을 포함한다. 제 2 게이트 유전체 처리 단계는 제 1 게이트 유전체와 상이한 게이트 유전체를 제공하여, 제 2 게이트 영역의 임계 전압은 제 1 게이트 영역과 다르다. 이러한 관점에서 다른 옵션은 이온 빔(64)에 의해 도시된 제 2 임계 조절 주입, 및 임계 조절 주입 총(65)의 적용이다. 이러한 이온 주입은 어느 한 전도율 유형의 범위의 매우 가벼운 선량($1 \times 10^{13} \text{ cm}^{-2}$)일 수 있다. 제 2 게이트 유전체와 조합하여, 이러한 주입은 제 2 게이트 영역의 임계 전압을 설정한다.

도 4b에 도시된 바와 같이, 총 두께가 종래의 두께가 되도록 임의의 두께로 증착되는 제 2 게이트 전극 증착 단계를 통해 처리가 계속된다. 이러한 증착은 비결정 실리콘 또는 폴리실리콘일 수 있다. 도 4c에 도시된 바와 같이 다음 단계는 제 2 게이트 전극 증착(54)의 패터닝이다. 이에 따라 최종 트랜지스터 구조는 상이한 게이트 유전체를 갖는 2개의 영역을 포함한다.

다음으로, 포토레지스트 층(55)은 도 4d에 도시된 바와 같이 PMOS 디바이스{즉, 드레인 확장 영역(64 및 65)}를 노출하도록 도포되고 패터닝된다. 그 다음에, 드레인 확장부(57)는 봉소-함유 이온 빔(56)의 주입에 의해 형성된다. 이러한 주입을 위한 전형적인 조건은 500eV의 에너지 및 $5 \times 10^{14} \text{ cm}^{-2}$ 의 선량, 또는 등가 공정 파라미터를 이용한 봉소 클러스터 주입이다. 이러한 주입은 또한 종래의 방식으로, 드레인 확장부를 게이트 스택 에지로의 자가-정렬을 달성한다. 이러한 주입은, 수렴이 제공되지 않으면 게이트 전극 표면 상에 얇게 도핑된 층(58)을 형성할 것이다. 이러한 관점에서, 포토레지스트 층(55)은 벗겨지고, 절연 측면 벽 스페이서(59)는 도 4e에 도시된 바와 같이 게이트 전극의 측면 벽 상에 형성된다. 새로운 포토레지스트 층(62)이 부착되고 패터닝되어, 다시 NMOS 영역을 보호하고, PMOS 영역을 노출시킨다{즉, 각각 소스 및 드레인 영역(66 및 67)을 노출시킴}. 다음으로, 이온 빔(60)은 소스 및 드레인 영역(61)을 형성하도록 주입된다. 주입은 또한 게이트 전극 도핑(63)을 제공한다. 이러한 관점에서, 노치된 게이트 트랜지스터 구조가 형성되고, 기판은 인터레벨 유전체 증착, 접촉 형성, 금속화 등을 통해 종래의 CMOS 제조 절차를 통해 계속된다. 노치된 게이트 트랜지스터의 다른 변형이 이러한 방법의 변형에 의해 형성될 수 있음이 주지될 수 있다.

본 발명의 하나의 양상은, 제 1 증착 두께, 제 1 주입 깊이(주입 에너지) 및 열 처리의 조합이 어떠한 게이트 산화물의 봉소 침투도 발생하지 않도록 이루어진다는 것을 확인하는 것이다. 이것은, 제 1 증착물이 매우 얕고, 제 1 주입이 매우 얕고, 열 처리가 확산을 최소화시키도록 선택되는 것을 필요로 한다. 본 발명의 일실시예에서, 클러스터 이온 주입은, 약 20nm의 제 1 증착 두께까지의 제 1 주입 단계 및 열 처리를 위한 스파이크 어닐링에 사용될 수 있다. 공정 단계의 이러한 조합은 게이트 산화물의 봉소 침투 및 게이트 공핍을 최소화하는데 필요한 구조를 제공할 것이다. 전형적인 조건은, 20nm의 제 1 증착 두께, 대략 5keV에서, $1 \times 10^{14} \text{ cm}^{-2}$ 의 선량까지의 데카보렌의 제 1 주입과, 100°C의 온도로의 스파이크 어닐링을 포함한다. 이러한 조건은 게이트 유전체의 어떠한 봉소 침투도 발생하지 않음을 보장해야 한다.

도 5는 적절한 주입 조건이 달성될 수 있음을 도시한다. 시뮬레이션은, 예를 들어 제이. 지글러(J.Ziegler) 등의 "고체에서 이온의 중단 및 범위"(1985, 뉴욕, Pergamon 출판사)에 설명된 바와 같이 물질에 주입된 이온의 깊이 및 분배를 계산하는 프로그램, SRIM 2000을 이용하여 수행된다. 이러한 예에서, 공칭 주입 파라미터는 2개의 주입 공정으로부터 초래된 깊이 프로파일을 결정하도록 모델링된다. 제 1 증착(71)은 15nm 두께의 폴리실리콘 증착으로서 모델링된다. 제 1 주입 조건은 $1 \times 10^{15} \text{ cm}^{-2}$ 선량의 500eV 봉소 주입으로서 모델링되어, 그 결과 프로파일(72)을 야기한다. 도 6에서 알 수 있듯이, 어떠한 주입(<0.1%)도 게이트 산화 경계면(75)에 도달하지 않고, 확실히, 어떠한 것도 게이트 유전체를 통해 하부의 실리콘에 도달하지 않는다. 제 2 증착(73)은 폴리실리콘의 125nm의 증착에 뒤이어, 2keV의 에너지 및 $5 \times 10^{15} \text{ cm}^{-2}$ 의 선량으로 봉소 주입함으로써 모델링되어, 그 결과 프로파일(74)을 초래한다. 제 2 주입 프로파일(74)이 게이트 전극 층으로 완전히 포함된다는 것이 주지된다. NMOS 디바이스에 대해, 비소 이온 주입이 사용되며, 비소가 더 높은 원자 질량을 갖기 때문에, 그 침투 깊이는 작아지므로, 게이트 침투가 존재할 위험은 없다.

초박막 접합의 형성

본 발명의 다른 양상은, 원하는 불순물을 반도체 기판의 표면상의 유전층에 주입하고, 접합을 형성하기 위해 불순물을 유전층으로부터 반도체 기판으로 확산시킴으로써 반도체 기판에서의 초박막 접합의 형성에 관한 것이다. 제 2 종은 불순물과 동시에 또는 후속적으로 유전층에 주입될 수 있어서, 유전체/불순물 시스템이 확산 특성을 변경시킨다. 그러한 방법의 일례는 봉소 히드라이드 클러스터를 실리콘 웨이퍼 상의 이산화 규소 층에 주입하는 것이며, 여기서 수소는 산화물 층을 통한 봉소의 확산을 개선시켜, 봉소 초박막 접합의 형성을 더 효과적으로 만든다.

도 6에 도시된 바와 같이, 공정은 반도체 기판(1)에서 시작한다. 일반적으로, 반도체 기판은 실리콘 웨이퍼이지만, 또한 III-V 반도체 기판일 수 있다. 더욱이, 일반적으로 반도체 기판은 어느 정도의 레벨의 도핑을 가지며, 반도체 기판이 n-형으로 도핑된다고 간주될 것이다. 이러한 반도체 기판의 표면 상에는 얇은 유전층(2)이 존재한다. 이러한 유전층은 일반적으로 이산화 규소 또는 질화 규소로 이루어지지만, 다른 물질도 가능하다. 유전층의 두께는 최적화되지만, 두께가 5 내지 20nm의 범위 내에 있을 수 있다. 유전층은 2가지 물질 사이의 경계면(3)에서 반도체 기판(1)과 접촉한다.

도 7에 도시된 바와 같이, 이온 빔(4)은, 이온 주입된 층(5)이 유전층 내에 완전히 포함될 정도로 충분히 낮은 에너지로 표면을 향하게 된다. 이온 빔(4)은 봉소 클러스터 이온과 같은 단일 주입, 또는 수소 주입이 후속하는 봉소 주입과 같은 일련의 주입을 나타낼 수 있다. 불순물 종 주입된 층이 주입된 층(5)에 의해 도시된 바와 같이 유전층 내에 완전히 포함된다는 것이 바람직할 수 있다. 예를 들어, 유전층이 이산화 규소로 이루어져 있고 두께가 20nm이면, 500eV 또는 그 미만의 에너지의 봉소 주입은 유전층에 완전히 포함된다. 또한 유전층 내에 완전히 포함된 제 2 주입 층을 가져, 그 효율을 증가시키는 것이 바람직하지만, 상기 제 2 종의 부분이 반도체 기판에 들어가더라도 결과적인 접합에 어떠한 영향도 주지 않는다. 다음으로, 열 처리가 적용되며, 여기서 온도 및 시간은, 불순물 종이 인터페이스(3)를 통해 유전층(2)으로부터 확산하고, 도 8에 도시된 바와 같이 반도체 기판(1)에 얇은 접합(6)을 형성할 정도로 충분한 확산을 제공하도록 최적화된다.

이러한 방법은 반도체 기판에 바로 주입하기 위해 매력적인 수 개의 특징을 갖는다. 먼저, 주입 공정은 액정 결점을 반도체 기판에 도입할 필요가 있는데, 이것은 제조되는 접합의 우수한 전기적 특성을 달성하는데 헤롭다. 유전층에 대한 주입 손상을 포함하는 것은 제조되는 반도체 디바이스 및 접합 형성 공정 자체에 모두 유리하다. 그 이유는, 주입 결함이 비결정이기 때문에 유전층의 저하를 야기하지 않고, 이 결함이 유전층을 통한 불순물의 확산을 개선시키기 때문이다.

전술한 방법은 주입된 불순물을 전기적으로 활성화시키는데 사용된 열 처리 공정에 대한 제약을 완화시킨다. 열 처리의 목적은, 불순물을 반도체 격자 내의 대리 사이트(substitutional site)에 위치시켜, 불순물이 반도체 원자와 결합하도록 하고, 이를 통해 반도체 시스템 내의 전기적 활동을 얻는 것이다. 종래의 공정에서, 주입된 불순물은 틈이 있는 사이트(interstitial site)를 대부분 점유하고, 고온의 어닐링 단계는 불순물을 대리의 전기적 활성 사이트에 위치시키는데 필요하다. 이러한 고온의 공정은 주입된 불순물의 상당한 확산을 허용하지만, 이것은 초박막 접합의 형성에 대해 불리하다. 종래의 공정에서, 스파이크 어닐링에 대해 최적화가 이루어지고, 여기서 어닐링 단계의 온도는, 최소의 확산으로 전기적 활성을 달성하기 위해 고온으로 램프되고 즉시 다시 램프 다운된다. 제안된 공정을 통해, 반도체에 있는 모든 불순물은 확산에 의해 그 위치에 도달하며, 이는 확산 공정이 대신 이용되기 때문에 대리적이라는 것을 의미한다. 따라서, 어닐링 단계의 상이한 최적화가 필요하며, 이는 어닐링이 불순물을 유전층을 통해 반도체 기판으로만 확산하도록 이제 선택되기 때문이다. 이것이 스파이크 어닐링이 아니라, 한정된 시간으로 저온의 공정을 통해 더 우수하게 달성되는 것이 예측된다.

본 발명에 따른 공정은 전술한 슈미츠 인용 문헌에 의해 논의된 것보다 더 효과적이고, 예를 들어 수소와 같은 제 2 종의 도입을 포함한다. 이산화 규소에서의 봉소의 확산은 실리콘에서 봉소의 확산보다 더 느리며, 높은 농도의 접합의 형성의 효율에 제한을 제공한다. 이러한 제한을 관리하는 한가지 방법은 수소의 도입에 의한 유전층에서의 확산율의 개선이다. 수소의 존재가 확산율을 2의 인자만큼 개선시킬 수 있다는 것이 폐어에 의해 보여준다. 수소의 주입은 대안에 관한 매력적인 공정이며, 이것은 일반적으로 확산 동안 환경으로부터 수소의 도입이다. 어닐링 공정이 고온(>800°C)이기 때문에, 수소는 공기와 접촉하여 가연성이기 때문에 어닐링 환경으로서 사용하기에는 위험한 가스이다. 반도체 기술에서 수소 확산을 수행하는 일반적인 수단은 수소와 질소의 혼합물로 구성된 환경의 이용이며, 이는 혼합물이 더 안전하기 때문이다. 그러나, 질소 효과는 이산화 규소에서의 봉소의 확산을 저연시키는 것이므로, 안전한 혼합물은 더 많은 이익을 제공하지 않는다. 수소의 주입은 이산화 규소에서의 봉소의 확산을 개선시키기 위한 매우 안정하고 효과적인 방식이다.

본 발명의 다른 양상은 정규 공정에서 많은 주입 제약을 완화시키는 것이다. 이러한 제약은 주입 선량 및 주입 에너지를 포함한다. 본 방법의 한가지 양상은 더 높은 선량 주입의 개선된 유용이다. 주입이 반도체 기판에 바로 이루어지는 종래의 공정에서, 불순물을 비효율적으로 만드는 다양한 물질의 대안적인 상(phase)의 형성으로 인해, 효과적으로 주입될 수 있는 불순물의 양에 한계가 있다. 예를 들어, 실리콘으로의 봉소 주입의 경우에, 주입된 농도가 어닐링 온도에서 봉소의 고체 용해도를 초과할 때, 초과된 봉소는 실리콘 보라이드 상으로서 침전하는데, 이것은 봉소를 전기적으로 비활성화되게 하고 복원하기에 매우 어렵게 한다. 이러한 메커니즘은 종래의 공정에 의해 달성될 수 있는 전기적 활성 봉소의 양에 상한계를 제공한다. 제안된 방법에서, 주입된 불순물은, 어떠한 대안적인 상 물질도 관찰되지 않는 비결정 유전층에 들어간다. 따라서, 모든 주입된 봉소는 유전층을 통한 확산 프로파일의 확립을 통해 초박막 접합의 형성 공정에 기여한다. 확산 프로파일이 예를 들어 반도체에서 봉소의 고체 용해도를 초과하는 농도를 포함하는데, 이것이 반도체 표면으로의 불순물 확산의 흐름을 증가시킬 수 있기 때문이다. 이러한 방법은, 주입 깊이가 초박막 접합을 확립하는데 중요 인자이기 때문에 극도로 낮은 주입 에너지의 필요조건을 수반한다. 제안된 공정에서, 주입 에너지는 유전층 두께에 관련되고, 상기 유

전총 두께는 공정을 최적화하도록 선택될 수 있다. 산화층을 얇게 유지하고 낮은 에너지 주입을 이용하는 것이 바람직하지만, 이러한 선호도는 접합 깊이에 직접적인 영향을 주는 것이 아니라 확산에 더 효과적이게 하는 것이다. 주입 생산성이 주입 에너지에 직접적으로 관련되기 때문에, 제안된 방법이 바람직하다.

제안된 방법의 다른 양상은, 이러한 종의 몇몇 악영향을 회피하는 수단으로서 제 2 종을 주입하는 것을 이용하는 것이다. 특히, 수소에 의한 봉소 확산 개선의 예를 이용하여, 게이트 산화층을 통한 봉소의 확산을 개선시키는 것은 해로운데, 이것은 어닐링이 수소 환경에서 수행되거나, 과도한 수소가 임의의 고온 처리 동안 이용가능할 때 발생한다. 제안된 방법에서, 수소의 주입은, 봉소 확산이 바람직하고 회로의 다른 영역으로부터 마스킹되는 영역에 정확히 그것을 위치시킨다. 본 방법의 다른 양상은, 충분한 수소만이 도입되는 것인데, 그 이유는, 과도한 수소가 다른 영역으로 확산하고 바람직하지 않은 확산을 불리하게 증가시키기 때문이다. 증가 결과가, 확산 봉소로의 수소의 부착 및 클러스터로서 확산인 것으로 여겨지기 때문에, 1/1의 비율은 상기 공정으로 도입하기 위한 수소의 이상적인 양이다. 주입을 통해, 이러한 수소는 봉소가 존재하고 확산하는 정확한 부피가 되게 한다. 수소 환경에서의 어닐링과 같은 종래의 방법은 대량의 수소를 반도체 기판의 모든 영역에 도입하여, 바람직하지 않은 영역으로의 개선된 확산을 허용한다. 제안된 방법의 추가 실시에는 2개의 종을 개별적으로 주입하여, 제 1 종과 다른 제 2 종을 마스킹하는 옵션을 가능하게 하여, 제 1 종으로 주입된 특정 영역만이 확산 개선을 수용하도록 하는 것이다. 이러한 방식으로, 소스/드레인 확장의 2가지 상이한 최적화는 제 2 주입의 마스킹만을 이용하여 달성될 수 있다. 이것은, 상이한 특성을 갖는 다양한 트랜ジ스터가 일반적으로 현대 반도체 제조 공정인 단일 공정 흐름으로 제조되는 공정에 유용하다.

본 발명의 이러한 양상에 대해, 불순물 주입이 감속형 주입기 상에서 수행되는 것이 크게 바람직하지 않다. 이것은 모든 감속형 주입기의 범위에 에너지 오염물이 어느 정도 존재하기 때문이다. 상업상 이용가능한 시스템에 대해, 이러한 에너지 오염물은 생산 존립 공정(production viable process)에 대해 0.1 내지 1.0%의 범위 내에 있다. 종래의 얇은 접합 공정에서, 더 높은 에너지에 있는 범의 부분인 이러한 오염물은 반도체 기판에 더 깊이 침투하고, 주입된 프로파일 상에 테일(tail)을 형성하는데, 이것은 일반적으로 공정 최적화에서 관리될 수 있다. 제안된 공정에서, 이러한 오염물은 더 해로운데, 이는 더 높은 에너지 범이 표면 유전층을 통해 반도체 기판에 침투하여, 원하지 않는 주입된 영역을 형성하기 때문이다. 제안된 공정이 종래의 공정보다 더 높은 선량을 이용하는 것 같기 때문에, 반도체에서의 오염물 농도는 종래의 경우보다 비례하여 더 높고, 이것은 문제를 악화시킨다. 따라서, 본 방법의 바람직한 실시에는 드리프트 모드에서 클러스터 주입일 수 있는데, 이 모드에 의해 모든 해당 종들은 더 높은 에너지 오염물 없이 동시에 주입된다.

본 발명은 수 개의 실시예와 함께 설명되었다. 본 발명은 이에 한정되지 않는다. 예를 들어, 본 발명의 다양한 변형, 변경, 개선점 및 이들의 조합이 가능하다는 것은 당업자에게 명백할 것이다.

명백하게, 본 발명의 많은 변형 및 변경은 상기 가르침을 미루어 보아 가능하다. 따라서, 첨부된 청구 범위의 범주 내에서, 본 발명은 특히 전술한 것이 아닌 다른 다른 방식으로 실행될 수 있다는 것이 이해될 것이다.

다음은 본 특허에 의해 청구되고 커버되고자 하는 청구 범위는 다음과 같다.

산업상 이용 가능성

상술한 바와 같이, 본 발명은 반도체 디바이스에 관한 것으로, 특히 반도체 디바이스를 제조하는데 사용된 방법 등에 이용된다.

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 2-중착 게이트 형성 공정을 도시한 공정 흐름도.

도 2a 내지 도 2c는 본 발명에 따라 자가-정렬된 드레인 확장부 및 소스 및 드레인 영역을 달성하는 2-중착 게이트 형성 공정을 도시한 공정 흐름도.

도 3a 내지 도 3e는 본 발명에 따라 비대칭 중첩 트랜ジ스터 구조를 형성하기 위해 2가지 게이트 패터닝 단계를 갖는 2-중착 게이트 형성 공정을 도시한 공정 흐름도.

도 4a 내지 도 4e는 본 발명에 따라 노치된(notched) 트랜ジ스터 구조의 형성을 위한 공정 절차를 도시한 공정 흐름도.

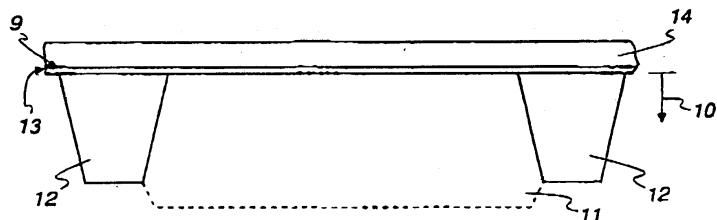
도 5는 본 발명에 따른 2 단계 게이트 형성 공정에 대한 게이트 전극 깊이의 함수로서 봉소 농도를 도시한 그레프.

도 6은 표면 유전층을 갖는 반도체 기판을 도시한 도면.

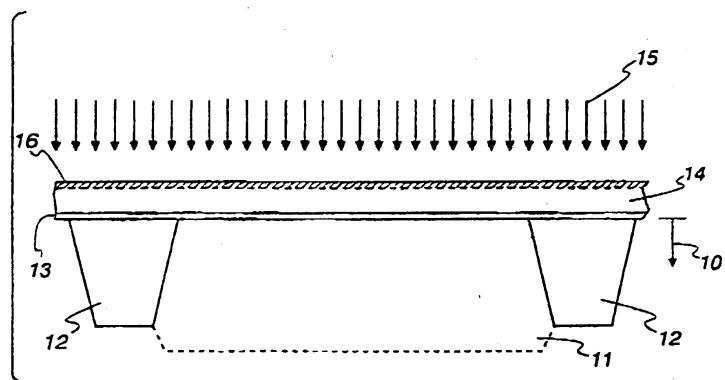
도 7은 본 발명의 다른 양상에 따라 유전층 내에서 이온 주입된 층을 형성하는 이온 범을 도시한 도면.

도면

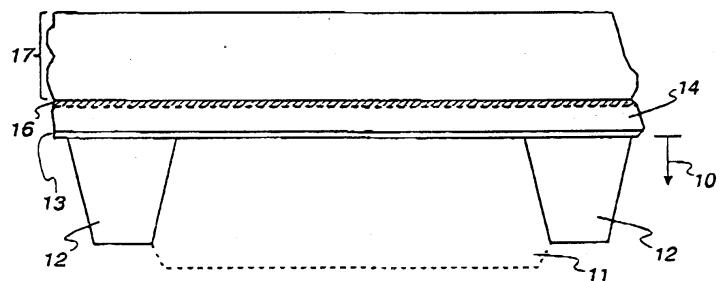
도면1a



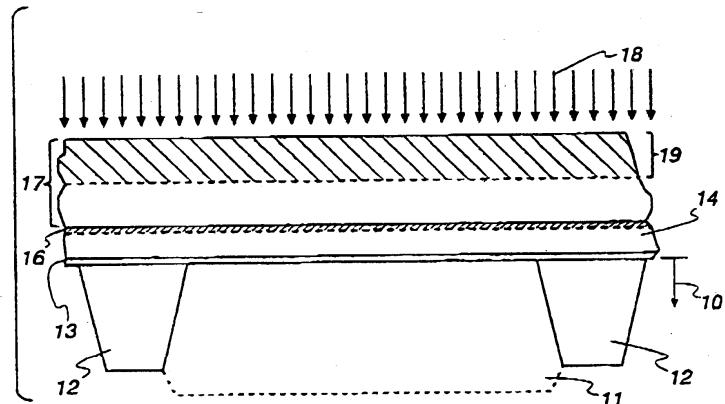
도면1b



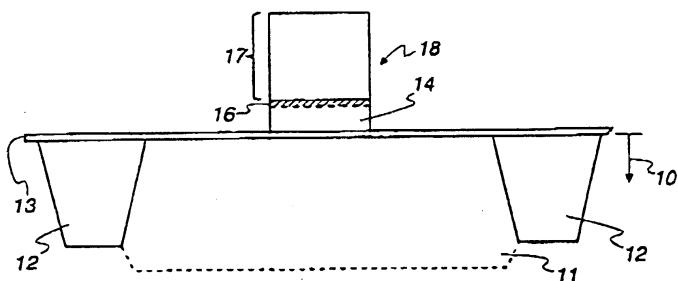
도면1c



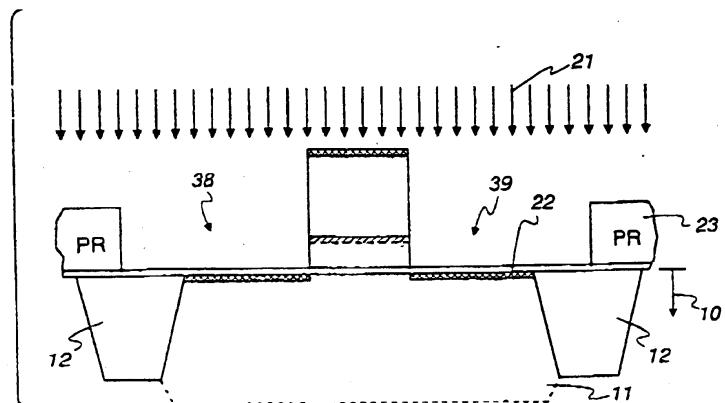
도면1d



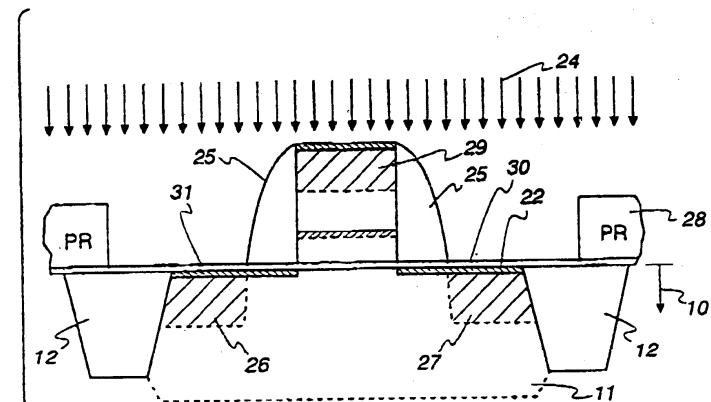
도면2a



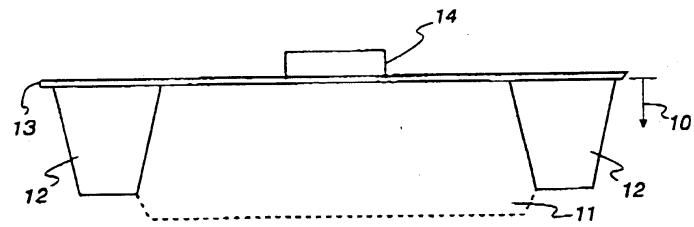
도면2b



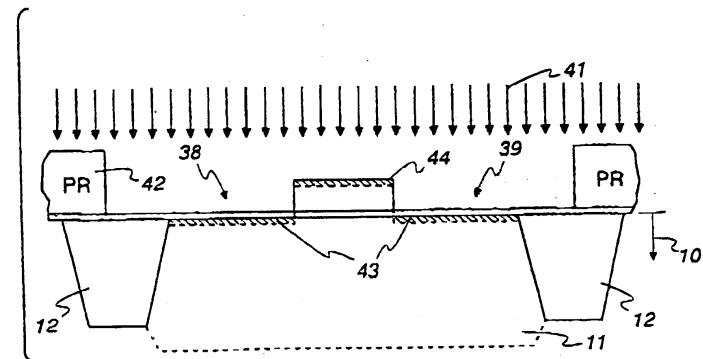
도면2c



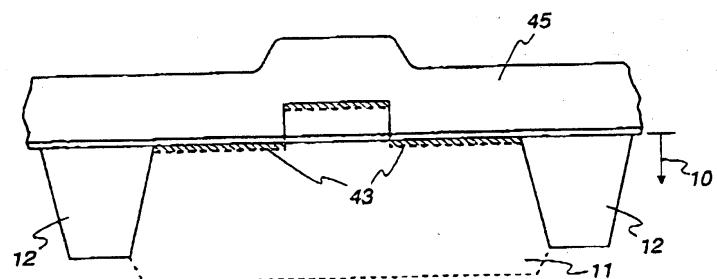
도면3a



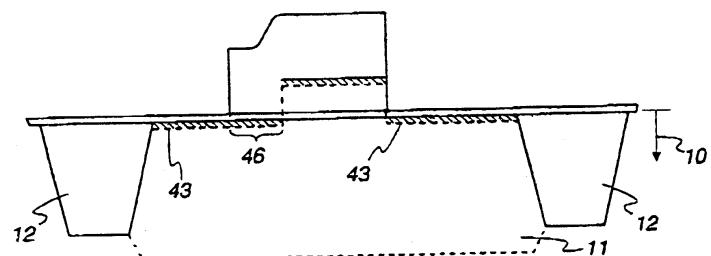
도면3b



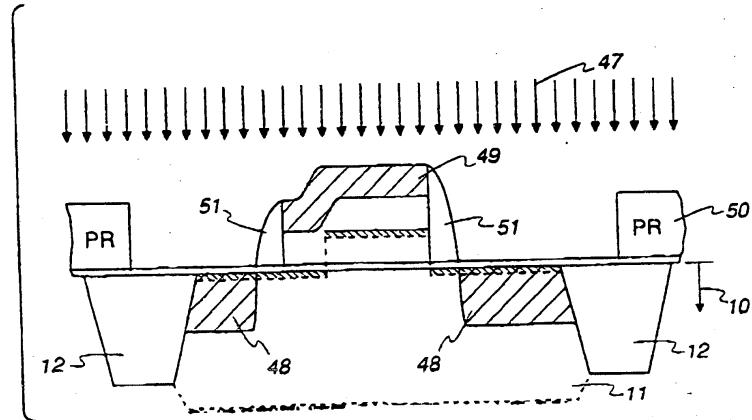
도면3c



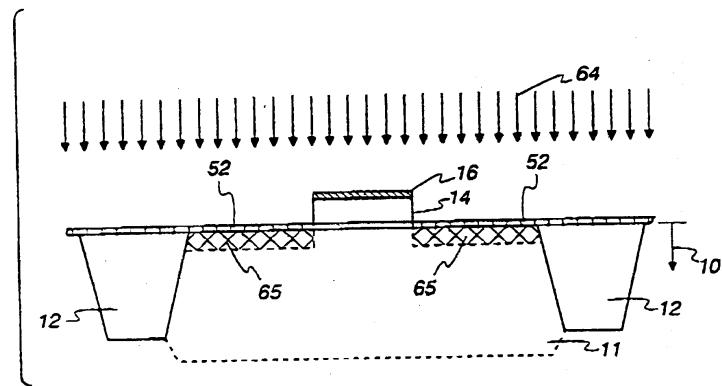
도면3d



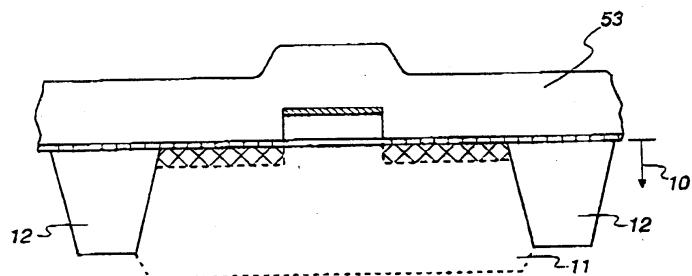
도면3e



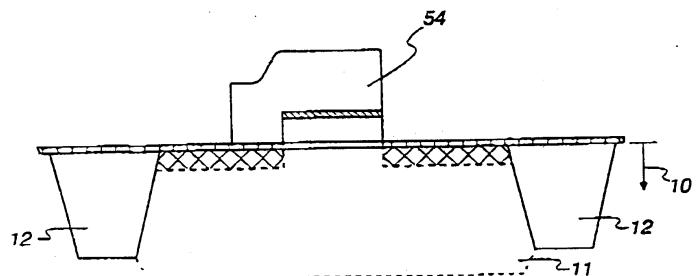
도면4a



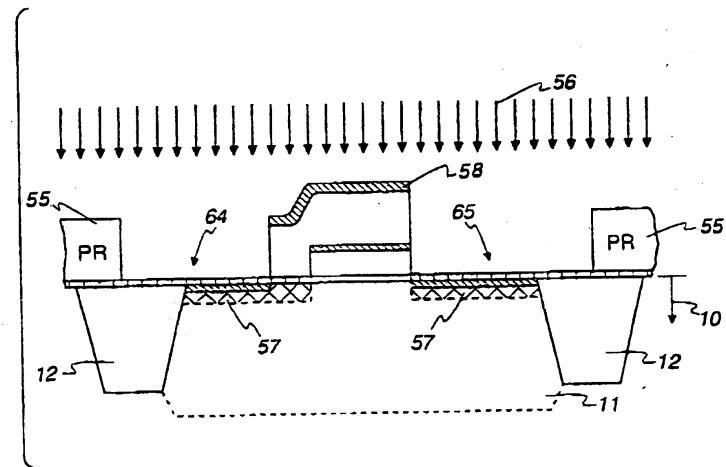
도면4b



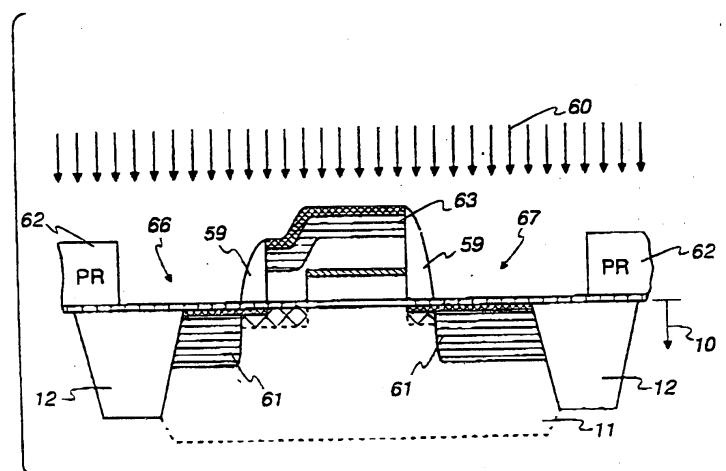
도면4c



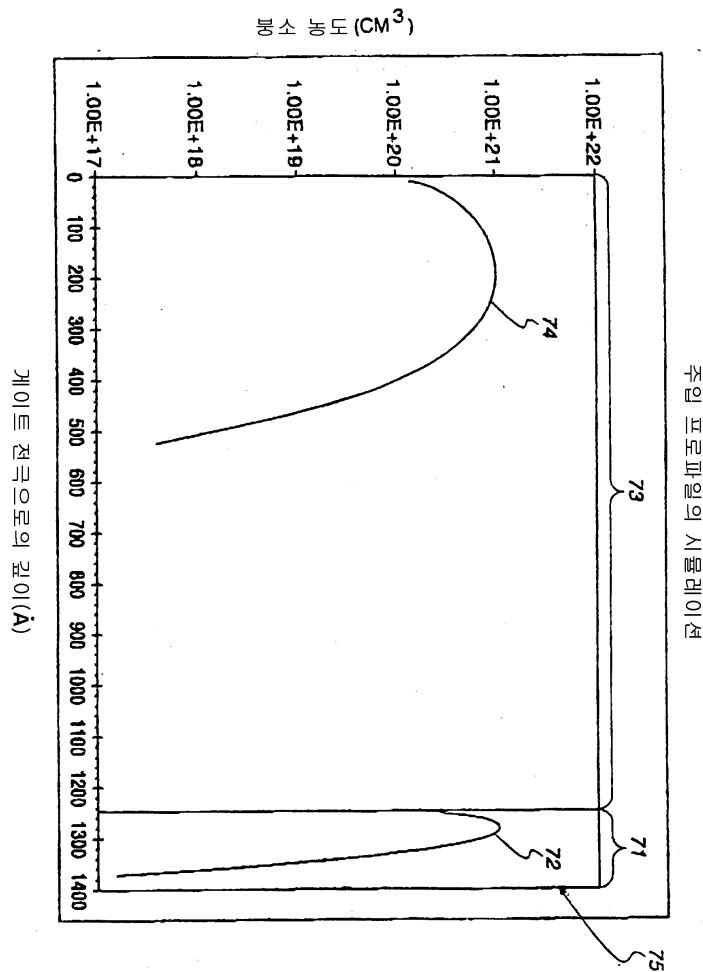
도면4d



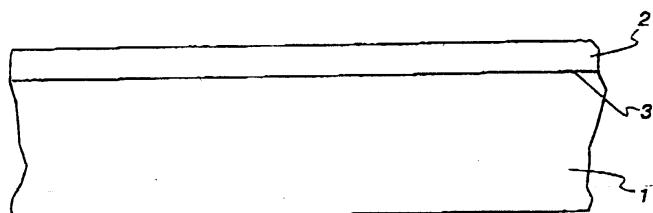
도면4e



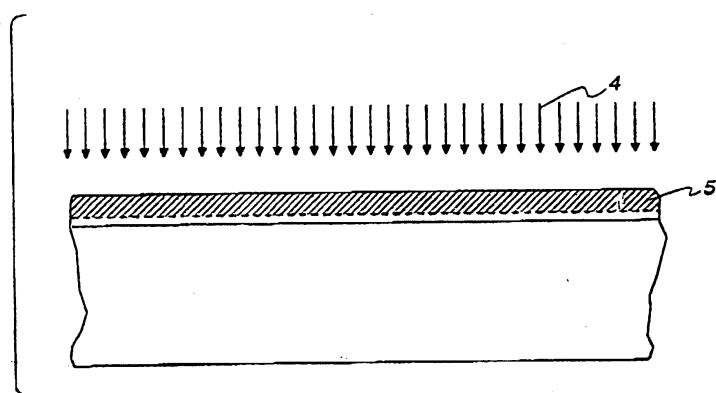
도면5



도면6



도면7



도면8

