

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 17 年 9 月 8 日 (2005.9.8)

【公開番号】特開 2003-303492 (P2003-303492A)  
 【公開日】平成 15 年 10 月 24 日 (2003.10.24)  
 【出願番号】特願 2002-103970 (P2002-103970)  
 【国際特許分類第 7 版】

G 1 1 C 11/409

G 1 1 C 11/407

【F I】

G 1 1 C 11/34 3 5 4 P

G 1 1 C 11/34 3 5 4 Q

G 1 1 C 11/34 3 6 2 S

【手続補正書】

【提出日】平成 17 年 3 月 18 日 (2005.3.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

外部から入力される第 1 のデータ信号と、前記第 1 のデータ信号と相補であり、かつ、外部から入力される第 2 のデータ信号と、参照信号とを受け、内部データ信号を生成する入力バッファと、

前記第 2 のデータ信号および前記参照信号のうち、前記入力バッファが前記内部データ信号を生成するときに利用する信号を選択する選択手段とを含む、半導体記憶装置。

【請求項 2】

前記選択手段は、アドレス信号に応じて前記利用する信号を選択する、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記入力バッファは、

前記第 1 および第 2 のデータ信号を受けて、前記内部データ信号を生成する第 1 差動増幅手段と、

前記第 1 のデータ信号と前記参照信号とを受けて、前記内部データ信号を生成する第 2 差動増幅手段とを含み、

前記選択手段は、前記アドレス信号に応答して、前記第 1 および第 2 差動増幅手段のいずれか一方を選択する、請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記入力バッファは、

前記第 1 のデータ信号を受ける第 1 の差動入力ノードと、

前記第 2 のデータ信号を受ける第 2 の差動入力ノードと、

前記参照信号を受ける第 3 の差動入力ノードとを含み、

前記選択手段は前記アドレス信号に応答して前記第 2 および第 3 の差動入力ノードのいずれか一方を選択し、前記入力バッファは選択された差動入力ノードに入力される信号と前記第 1 の差動入力ノードに入力される前記第 1 のデータ信号とから前記内部データ信号を生成する、請求項 2 に記載の半導体記憶装置。

【請求項 5】

前記入力バッファはフューズを含む、請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記半導体記憶装置はさらに、第 3 のデータ信号を外部へ出力し、前記選択手段からの指示に応答して前記第 3 のデータ信号と相補の第 4 のデータ信号を出力する出力バッファを含む、請求項 2 に記載の半導体記憶装置。

【請求項 7】

前記選択手段は、書込動作時および読出動作時に応答して前記利用する信号を選択する、請求項 2 に記載の半導体記憶装置。

【請求項 8】

前記選択手段は、書込動作時に前記第 2 のデータ信号を選択し、

前記半導体記憶装置はさらに、

前記第 1 および第 2 のデータ信号を受け、前記第 1 および第 2 のデータ信号を取り込むためのストローク信号を生成するストローク信号発生手段と、

前記ストローク信号を受け、前記入力バッファから出力される内部データ信号を並列な複数のデータ信号に並べ替えて出力するシリアルパラレル変換手段とを含む、請求項 1 に記載の半導体記憶装置。

【請求項 9】

外部から入力される第 1 のデータ信号と参照信号とを受け、第 1 の内部データ信号を生成する第 1 入力バッファと、

外部から入力され、かつ、前記第 1 のデータ信号と相補な第 2 のデータ信号と、前記参照信号とを受け、第 2 の内部データ信号を生成する第 2 入力バッファと、

外部から入力され、前記第 1 および第 2 のデータ信号を取込むためのストローク信号を受け、前記第 1 および第 2 の内部データ信号を受ける内部回路とを含む、半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

好ましくは、入力バッファはフューズを含む。

これにより、入力バッファは、フューズを切断することで、シングルデータバスと相補データバスに対応できる。