

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0121482
(43) 공개일자 2020년10월26일

(51) 국제특허분류(Int. Cl.)

H01L 43/08 (2006.01) H01L 43/02 (2006.01)

H01L 43/10 (2006.01)

(52) CPC특허분류

H01L 43/08 (2013.01)

H01L 43/02 (2013.01)

(21) 출원번호 10-2019-0044079

(22) 출원일자 2019년04월16일

심사청구일자 2019년04월16일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

이경진

서울특별시 노원구 한글비석로15길 51, 203-1203

홍익선

서울특별시 성북구 고려대로 43, 파인빌 203호

(74) 대리인

특허법인 누리

전체 청구항 수 : 총 7 항

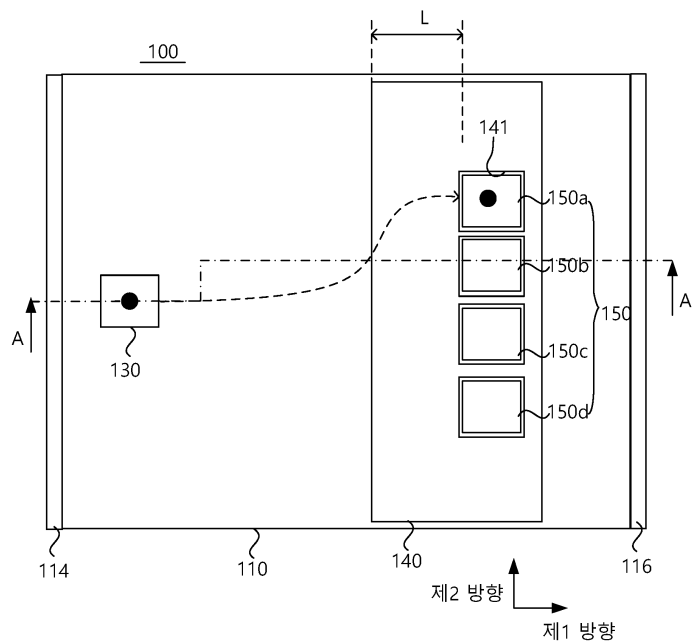
(54) 발명의 명칭 비대칭 교환 상호작용 조절을 통한 자기 스커미온 소자

(57) 요약

본 발명의 일 실시예에 따른 스커미온 소자는, 비대칭 교환 상호작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층과 자성층을 포함하는 자성 패턴; 상기 자성 패턴의 일부를 덮도록 배치되고 적어도 하나의 개구부를 포함하는 제어 전극; 상기 제어 전극과 이격되고 상기 자성 패턴 상에 배치되어 상기 자성

(뒷면에 계속)

대표도 - 도1



패턴 내에 스커미온을 생성하는 적어도 하나의 쓰기 자기 터널 접합 구조; 상기 제어 전극의 상기 개구부에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴의 배치 평면 내에서 상기 제1 방향에 수직한 제2 방향 방향으로 배열된 적어도 하나의 검출 자기 터널 접합 구조; 및 상기 제어 전극과 상기 자성 패턴 사이에 배치되는 절연층;을 포함한다. 상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴의 상기 제1 방향을 따라 진행하고, 상기 제어 전극의 인가 전압은 상기 자성 패턴의 상기 비대칭 교환 상호작용을 국부적으로 변경하여 상기 자성 패턴의 배치 평면 내에서 상기 제1 방향에 수직한 제2 방향의 변위를 갖도록 상기 스커미온을 이동시킨다.

(52) CPC특허분류

H01L 43/10 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	2015M3D1A1070465
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	(원천)미래소재디스커버리사업
연구과제명	설계기반 Spin-Orbitronics 소재 개발
기 여 율	1/2
과제수행기관명	고려대학교 산학협력단
연구기간	2019.02.04 ~ 2020.01.03

이 발명을 지원한 국가연구개발사업

과제고유번호	2017R1A2B2006119
부처명	과학기술 정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	(이공) 중견연구자지원(3억초과~5억이하)
연구과제명	초고속 구동용 카이랄 마그논 결정 연구
기 여 율	1/2
과제수행기관명	고려대학교 산학협력단
연구기간	2019.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

비대칭 교환 상호작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층과 자성층을 포함하는 자성 패턴;

상기 자성 패턴의 일부를 덮도록 배치되고 적어도 하나의 개구부를 포함하는 제어 전극;

상기 제어 전극과 이격되고 상기 자성 패턴 상에 배치되어 상기 자성 패턴 내에 스커미온을 생성하는 적어도 하나의 쓰기 자기 터널 접합 구조;

상기 제어 전극의 상기 개구부에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴의 배치 평면 내에서 상기 제1 방향에 수직한 제2 방향 방향으로 배열된 적어도 하나의 검출 자기 터널 접합 구조; 및

상기 제어 전극과 상기 자성 패턴 사이에 배치되는 절연층;을 포함하고,

상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴의 상기 제1 방향을 따라 진행하고,

상기 제어 전극의 인가 전압은 상기 자성 패턴의 상기 비대칭 교환 상호작용을 국부적으로 변경하여 상기 자성 패턴의 배치 평면 내에서 상기 제1 방향에 수직한 제2 방향의 변위를 갖도록 상기 스커미온을 이동시키는 것을 특징으로 하는 스커미온 소자.

청구항 2

제 1 항에 있어서,

상기 자성 패턴의 금속층은 Pt, W, Ta 및 이들의 혼합물 중에서 적어도 하나를 포함하고,

상기 자성 패턴의 자성층은 FeCoB, GdFeCo, MnSi, FeCoSi 중에서 적어도 하나를 포함 것을 특징으로 하는 스커미온 소자.

청구항 3

제 1 항에 있어서,

상기 절연층은 AlO_x , MgO , TaO_x , ZrO_x , HfO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어지는 것을 특징으로 하는 스커미온 소자.

청구항 4

제 1 항에 있어서,

상기 쓰기 자기 터널 접합 구조는 상기 자성 패턴 상에 배치된 제1 터널 절연층, 상기 제1 터널 절연층 상에 배치된 제1 고정 자성층, 및 상기 제1 고정 자성층 상에 배치된 제1 상부 전극을 포함하고,

상기 검출 자기 터널 접합 구조는 상기 자성 패턴 상에 배치된 제2 터널 절연층, 상기 제2 터널 절연층 상에 배치된 제2 고정 자성층, 및 상기 제2 고정 자성층 상에 배치된 제2 상부 전극을 포함하는 것을 특징으로 하는 스커미온 소자.

청구항 5

제 1 항에 있어서,

상기 제어 전극이 쓰기 자기 터널 접합 구조를 바라보는 방향의 경계면과 상기 검출 자기 터널 구조 사이의 수직 거리는 스커미온의 지름(R) 내지 내지 $R + 25 \text{ nm}$ 인 것을 특징으로 하는 스커미온 소자.

청구항 6

제 1 항에 있어서,

상기 자성 패턴의 자성층은 수직 자기 이방성 및 교환 상호 작용을 가지는 것을 특징으로 하는 스커미온 소자.

청구항 7

제 1 항에 있어서,

상기 자성패턴의 제1 방향의 일측에 배치되어 상기 면내 전류를 제공하는 제1 도전 패턴;

상기 자성 패턴의 제1 방향의 타측에 배치되어 상기 면내 전류를 제공하는 제2 도전 패턴; 및

상기 제1 도전 패턴과 상기 제2 도전 패턴에 연결된 전류원을 더 포함하는 것을 특징으로 하는 스커미온 소자.

발명의 설명

기술 분야

[0001] 본 발명은 스커미온 소자에 관한 것으로, 비대칭 교환 상호작용(Dzyaloshiskii-Moriya interaction)의 크기를 전압을 통해 국부적으로 조절하여 스커미온의 이동 궤적을 조절하는 스커미온 소자에 관한 것이다.

배경 기술

[0002] 스커미온(skyrmion)은 솔리톤(soliton)의 일종으로 강자성체 물질에서 비대칭 교환 상호작용(Dzyaloshiskii-Moriya interaction)에 의해 형성되는 위상학적 객체(topological object)이다. 일반적으로 스커미온 중심의 스핀 방향이 아래를 향할 때 중심 바깥 영역의 스핀은 위방향을 가리키고 있다. 이와 같은 형태를 가지고 있는 스커미온은 위상학적으로 안정된 상태를 가지고 있다. 따라서, 스커미온은 열적 안정성이 매우 높은 입자로 취급된다. 또한 스커미온은 전류를 이용하여 매우 빠른 속도로 이동하는 특성을 가진다. 따라서, 스커미온은 최근에 자기 메모리 소자의 정보 전달 객체로 주목받고 있다.

[0003] 스커미온은 위상학적 특징으로 스커미온 홀 효과(Skyrmion Hall effect)를 가진다. 스커미온 홀 효과에 따르면, 전류를 인가하였을 때, 스커미온은 전류의 방향에 대해 대각선으로 움직일 수 있다.

[0004] 스커미온의 위상학적 특징 중 하나는 스커미온 홀 효과로 위상적 전하에 의해 발생된다. 이 때 스커미온의 위상적 전하는 다음과 같은 [수학식 1]로 정의된다.

[0005] [수학식 1]

$$Q = \int m \cdot (\partial_x m \times \partial_y m) d^2 r$$

[0006]

[0007] 여기서, m은 자화의 방향 벡터이며, x,y는 면내 서로 수직인 두 축 방향을 의미한다. 전류에 의해 움직이는 스커미온은 스커미온 홀 효과에 의해 진행 방향에 수직한 방향으로 휘게 되고, 물질 끝 부분에 닿게 되면 스커미온이 소멸될 가능성이 있다. 따라서, 스커미온 홀 효과는 소자로 활용하기에 불리하게 작용할 수 있다. 따라서 스커미온 홀 효과에 의한 스커미온의 변위를 조절하는 것은 스커미온 소자로 활용하는데 있어서 중요한 문제이다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 해결하고자 하는 일 기술적 과제는 제어 전극에 전압을 인가하여 이동하는 스커미온의 궤적을 제어할 수 있다. 제어 전극의 전압은 자성체의 비대칭 교환 상호 작용을 조절하여 스커미온의 이동 궤적 또는 위치를 결정할 수 있다. 스커미온의 위치 제어는 정보 및 논리 연산을 수행할 수 있다. 스커미온은 전압이 인가되지 않을 때도 소멸되지 않기 때문에 비휘발성 소자인 장점을 가진다. 또한 스커미온의 위치에 마다 자기 터널 접합 구조가 배열된 경우, 스커미온의 위치는 정보를 저장할 수 있다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따른 스커미온 소자는, 비대칭 교환 상호작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층과 자성층을 포함하는 자성 패턴; 상기 자성 패턴의 일부를 덮도록 배치되고 적어도 하나의 개구부를 포함하는 제어 전극; 상기 제어 전극과 이격되고 상기 자성 패턴 상에 배치되어 상기 자성 패턴 내에 스커미온을 생성하는 적어도 하나의 쓰기 자기 터널 접합 구조; 상기 제어 전극의 상기 개구부에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향 방향으로 배열된 적어도 하나의 검출 자기 터널 접합 구조; 및 상기 제어 전극과 상기 자성 패턴 사이에 배치되는 절연층;을 포함한다. 상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴의 상기 제1 방향을 따라 진행하고, 상기 제어 전극의 인가 전압은 상기 자성 패턴의 상기 비대칭 교환 상호작용을 국부적으로 변경하여 상기 자성 패턴의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향의 변위를 갖도록 상기 스커미온을 이동시킨다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 자성 패턴의 금속층은 Cu, Ta, Pt, W, Gd, Bi, Ir 및 이들의 혼합물 중에서 적어도 하나를 포함하고, 상기 자성 패턴의 자성층은 Fe, Co, Ni 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 절연층은 AlO_x , MgO, TaO_x , ZrO_x , HfO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 쓰기 자기 터널 접합 구조는 상기 자성 패턴 상에 배치된 제1 터널 절연층, 상기 제1 터널 절연층 상에 배치된 제1 고정 자성층, 및 상기 제1 고정 자성층 상에 배치된 제1 상부 전극을 포함할 수 있다. 상기 검출 자기 터널 접합 구조는 상기 자성 패턴 상에 배치된 제2 터널 절연층, 상기 제2 터널 절연층 상에 배치된 제2 고정 자성층, 및 상기 제2 고정 자성층 상에 배치된 제2 상부 전극을 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 제어 전극이 쓰기 자기 터널 접합 구조를 바라보는 방향의 경계면과 상기 검출 자기 터널 구조 사이의 수직 거리는 스커미온의 지름(R) 내지 내지 $R+25\text{ nm}$ 일 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 자성 패턴의 자성층은 수직 자기 이방성 및 교환 상호 작용을 가질 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 자성패턴의 제1 방향의 일측에 배치되어 상기 면내 전류를 제공하는 제1 도전 패턴; 상기 자성 패턴의 제1 방향의 타측에 배치되어 상기 면내 전류를 제공하는 제2 도전 패턴; 및 상기 제1 도전 패턴과 상기 제2 도전 패턴에 연결된 전류원을 더 포함할 수 있다.

발명의 효과

- [0016] 본 발명의 일 실시예에 따른 스커미온 소자는 정보 전달 개체로 스커미온을 활용하고 있으며, 스커미온은 위상학적으로 안정된 상태를 가지고 있기 때문에 높은 열적 안정성을 보유하고 있다. 또한, 스커미온은 단일 개체의 이동 궤적을 임의로 저절하여 메모리 소자 또는 논리 소자로 활용할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시예에 따른 스커미온 소자의 평면도이다.
- 도 2는 도 1의 스커미온 소자의 단면도이다.
- 도 3은 도 1의 스커미온 소자의 상태를 나타내는 도면들이다.
- 도 4 및 도 5는 비대칭 교환 상호 작용의 크기 차이(δD)에 따른 스커미온의 궤적을 나타내는 시뮬레이션 결과이다.
- 도 6은 비대칭 교환 상호 작용의 크기 차이(δD)에 제2 방향의 변위(Δy_1)를 나타내는 그래프이다.
- 도 7은 본 발명의 다른 실시예에 따른 OR/AND 로직 스커미온 소자를 나타내는 평면도들이다.
- 도 8은 본 발명의 또 다른 실시예에 따른 NAND 로직 스커미온 소자를 나타내는 평면도들이다.

도 9는 본 발명의 또 다른 실시예에 따른 NAND 로직 스커미온 소자를 나타내는 평면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명은 스커미온 소자에 관한 것으로서, 비대칭 교환 상호 작용을 가지는 자성 패턴에 면내 전류를 인가하여 스커미온을 이동시키면서 절연층을 개재한 제어 전극에 전압을 인가하여 상기 스커미온의 이동 궤적을 제어한다. 면내 전류로 인해 자성 패턴에 스핀전달토크 또는 스핀 오비탈 토크가 발생하고 스커미온의 이동을 유도한다. 이 때 제어 전극에 인가된 전압은 상기 비대칭 교환 상호 작용의 크기를 국부적으로 조절하여, 상기 스커미온의 이동 궤적을 제어한다. 전압의 크기에 의해 스커미온의 변위가 특정되고 이를 이용해 메모리 소자 또는 논리 소자로 활용할 수 있다.
- [0019] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 스커미온 소자의 평면도이다.
- [0021] 도 2는 도 1의 스커미온 소자의 단면도이다.
- [0022] 도 3은 도 1의 스커미온 소자의 상태를 나타내는 도면들이다.
- [0023] 도 1 및 도 2를 참조하면, 스커미온 소자(100)는, 자성 패턴(110), 제어 전극(140), 쓰기 자기 터널 접합 구조(130), 검출 자기 터널 접합 구조(150), 및 절연층(142)을 포함한다. 상기 자성 패턴(110)은 비대칭 교환 상호 작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층(111)과 자성층(112)을 포함한다. 상기 제어 전극(140)은 상기 자성 패턴(110)의 일부를 덮도록 배치되고 적어도 하나의 개구부(141)를 포함한다. 적어도 하나의 쓰기 자기 터널 접합 구조(130)는 상기 제어 전극(140)과 이격되고 상기 자성 패턴(110) 상에 배치되어 상기 자성 패턴(110) 내에 스커미온을 생성한다. 적어도 하나의 검출 자기 터널 접합 구조(150)는 상기 제어 전극(140)의 상기 개구부(141)에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직한 제2 방향 방향으로 배열된다. 상기 절연층(142)은 상기 제어 전극(140)과 상기 자성 패턴(110) 사이에 배치된다. 상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴(110)의 상기 제1 방향을 따라 진행한다. 상기 제어 전극(140)의 인가 전압은 상기 자성 패턴(110)의 상기 비대칭 교환 상호 작용을 국부적으로 변경하여 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직한 제2 방향의 변위를 갖도록 상기 스커미온을 이동시킨다.
- [0024] 스커미온상이 안정된 상태를 가지도록 하는 조건은 일반적으로 수직 자기이방성을 가지도록 하는 자성층(112)/금속층(111) 이중 박막 구조에서 충분한 크기의 비대칭 교환 상호 작용을 가지는 것이다. 이 때 자성층(112)은 강자성체 혹은 페리 자성체이고, 금속층(111)은 비대칭 교환 상호 작용의 최적화를 위하여 강한 스핀 오비탈 상호 작용을 가진 물질 (Pt, W, Ta) 중에서 선택된다. 자성층(112)은 FeCoB, GdFeCo, MnSi, FeCoSi 의 물질로 이루어 질 수 있다.
- [0025] 기판(101)은 반도체 기판일 수 있다. 구체적으로 기판(101)은 실리콘 기판일 수 있다. 상기 기판(101)은 상기 스커미온 소자를 구동하기 위한 회로를 포함할 수 있다.
- [0026] 상기 자성 패턴(110)은 제1 방향으로 연장되는 라인 패턴일 수 있다. 상기 자성 패턴(110)은 차례로 적층된 금속층(111) 및 자성층(112)을 포함할 수 있다. 상기 자성 패턴(110)의 면내 전류는 주로 상기 자성층(112)을 통하여 흐를 수 있다. 상기 금속층은 Pt, W, Ta 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다. 상기 자성 패턴(110)의 자성층(112)은 FeCoB, GdFeCo, MnSi, 및 FeCoSi 중에서 적어도 하나를 포함할 수 있다. 상기 면내 전류는 펄스 형태로 인가될 수 있다. 상기 자성 패턴의 자성층(112)은 수직 자기 이방성 및 교환 상호 작용을 가질 수 있다.
- [0027] 제1 도전 패턴(114)은 상기 자성 패턴(110)의 제1 방향의 일측에 배치되어 상기 면내 전류를 제공할 수 있다. 제2 도전 패턴(116)은 상기 자성 패턴(110)의 제1 방향의 타측에 배치되어 상기 면내 전류를 제공한다. 전류원(118)은 상기 제1 도전 패턴(114)과 상기 제2 도전 패턴(116)에 연결된다. 상기 면내 전류는 상기 스커미온을 상기 제1 방향으로 이동시킬 수 있다.

- [0028] 상기 절연층(142)은 상기 제어 전극(140)과 상기 자성 패턴(110) 사이에 배치될 수 있다. 상기 절연층(142)은 상기 제어 전극(140)과 정렬될 수 있다. 상기 절연층(142)은 상기 제어 전극(140)의 게이트 전압에 의하여 상기 자성 패턴(110)의 비대칭 상호 작용을 변경할 수 있다. 이에 따라, 상기 비대칭 상호 작용의 크기가 변하는 경계선은 상기 스커미온에 힘을 작용하여 이동 궤적을 변경할 수 있다. 상기 절연층(142)은 AlO_x , MgO , TaO_x , ZrO_x , HfO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다. 상기 절연층(142)은 비자성을 가질 수 있다. 상기 절연층(142)의 두께 및 재질은 상기 비대칭 상호 작용의 크기의 값을 크게 변경하도록 선택될 수 있다.
- [0029] 상기 제어 전극(140)은 Cu, Ta, Pt, W, Gd, Bi, Ir 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다. 상기 제어 전극(142)은 상기 자성 패턴을 가로지르도록 교차하는 상기 직사각형 형상이고, 제2 방향으로 배열된 적어도 하나의 개구부(141)를 포함할 수 있다. 상기 제어 전극(140)은 외부로부터 게이트 전압을 제공받을 수 있다. 상기 제어 전극(140)의 게이트 전압은 상기 면내 전류와 동기화 될 수 있다. 상기 제어 전극(140)이 쓰기 자기 터널 접합 구조(130)를 바라보는 방향의 경계면과 상기 검출 자기 터널 구조(150) 사이의 수직 거리는 스커미온의 지름(R) 내지 $R + 25\text{ nm}$ 일 수 있다. 상기 제어 전극(140)이 쓰기 자기 터널 접합 구조(130)를 바라보는 방향의 경계면과 상기 쓰기 자기 터널 구조(130) 사이의 수직 거리(L)는 스커미온의 지름(R) 내지 $R + 25\text{ nm}$ 일 수 있다.
- [0030] 쓰기 자기 터널 접합 구조(130)는 상기 자성 패턴(110)의 일측에 배치되어 상기 스커미온을 생성할 수 있다. 쓰기 자기 터널 접합 구조(130)는 상기 자성 패턴의 제1 방향의 중심축에 배치될 수 있다. 상기 쓰기 자기 터널 접합 구조(130)는 상기 자성 패턴(110) 상에 배치된 제1 터널 절연층(132), 상기 제1 터널 절연층 상에 배치된 제1 고정 자성층(134), 및 상기 제1 고정 자성층 상에 배치된 제1 상부 전극(136)을 포함한다. 상기 쓰기 자기 터널 접합 구조와 그 하부의 상기 자성 패턴은 자기 터널 접합 소자를 형성할 수 있다. 상기 자성 패턴(110)의 자성층(112)은 자기 터널 접합 소자의 자유층으로 동작할 수 있다. 상기 제1 상부 전극(136)에 인가되는 쓰기 전압은 상기 자성 패턴(110)에 스커미온을 형성할 수 있다. 제1 터널 절연층(132)은 AlO_x , MgO , TaO_x , ZrO_x , HfO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다. 상기 제1 고정 자성층(134)은 강자성체 물질을 포함할 수 있다. 상기 제1 고정 자성층(134)은 Fe, Co, Ni 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다. 상기 제1 고정 자성층(134)은 Si, B과 같은 물질을 추가적으로 더 포함할 수 있다. 상기 제1 상부 전극(136)은 Cu, Ta, Pt, W, Gd, Bi, Ir 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다.
- [0031] 검출 자기 터널 접합 구조(150)는 상기 자성 패턴(110)의 타측에 배치되어 상기 스커미온의 존재 여부 또는 위상 상태를 검출할 수 있다. 상기 검출 자기 터널 접합 구조(150)는 상기 자성 패턴 상에 배치된 제2 터널 절연층(152), 상기 제2 터널 절연층 상에 배치된 제2 고정 자성층(154), 및 상기 제2 고정 자성층 상에 배치된 제2 상부 전극(156)을 포함한다. 상기 검출 자기 터널 접합 구조(150)와 그 하부의 상기 자성 패턴의 자성층(112)은 자기 터널 접합 소자를 형성할 수 있다. 상기 자성 패턴(110)의 자성층(112)은 자기 터널 접합 소자의 자유층으로 동작할 수 있다. 상기 제2 상부 전극(156)에 인가되는 읽기 전압은 상기 자성 패턴(110)에 스커미온의 존재 여부를 검출할 수 있다. 제2 터널 절연층(152)은 AlO_x , MgO , TaO_x , ZrO_x , HfO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다. 상기 제2 고정 자성층(154)은 강자성체 물질을 포함할 수 있다. 상기 제2 고정 자성층(154)은 Fe, Co, Ni 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다. 상기 제2 고정 자성층(154)은 Si, B과 같은 물질을 추가적으로 더 포함할 수 있다. 상기 제2 상부 전극(156)은 Cu, Ta, Pt, W, Gd, Bi, Ir 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다.
- [0032] 자성 패턴(110)에 스커미온이 위치하게 되면 위상학적 특징으로 인해 스커미온의 중심 부분은 나머지 영역과 반대의 자화 방향을 가지게 된다. 스커미온이 자성 패턴에 흐르는 면내 전류에 의해 스커미온이 스핀전달토크 또는 스핀오비탈토크를 받아 상기 제1 방향으로 움직이고, 스커미온이 상기 검출 자기 터널 접합 구조에 도달하게 되면, 상기 검출 자기 터널 접합 구조는 자화 방향의 차이로 스커미온의 유무를 알 수 있다.
- [0033] 스커미온이 이동하는 제1 방향의 두 영역의 비대칭 교환 상호작용의 크기가 다른 경우, 스커미온은 제2 방향으로 편향되어 이동한다. 이를 이용해 제2 방향으로 정렬된 복수 개의 검출 자기 터널 접합 구조는 스커미온의 위치를 검출한다. 상기 스커미온의 위치는 정보로 저장된다.
- [0034] 예를 들어, 검출 자기 터널 접합 구조가 4개 배열되어 있는 경우, 제어 전극(140)의 제1 내지 제4 게이트 전압(VG1~VG4)을 인가한 경우, 스커미온이 제1 내지 제4 검출 자기 터널 접합 구조(150a~150d)가 위치한 영역으로 각각 이동한다. 제1 게이트 전압(VG1) 및 제2 게이트 전압(VG2)은 양의 전압이고, 제3 게이트 전압(VG3) 및 제4

게이트 전압(VG4)은 음의 값일 수 있다. 상기 제1 검출 자기 터널 접합 구조(150a)의 하부에 스커미온이 위치하는 경우, 제1 상태가 표시된다. 상기 제2 검출 자기 터널 접합 구조(150b)의 하부에 스커미온이 위치하는 경우, 제2 상태가 표시된다. 상기 제3 검출 자기 터널 접합 구조(150c)의 하부에 스커미온이 위치하는 경우, 제3 상태가 표시된다. 상기 제4 검출 자기 터널 접합 구조(150c)의 하부에 스커미온이 위치하는 경우, 제4 상태가 표시된다. 상기 면내 전류와 상기 게이트 전압은 동기화되어 펄스 형태로 동시에 인가될 수 있다.

[0035] 한편, 상기 검출 자기 터널 접합 구조에 존재하는 스커미온 정보를 삭제하기 위하여, 게이트 전압을 인가한 상태에서 면내 전류를 반대 방향으로 흘리면, 스커미온은 쓰기 자기 터널 접합 구조로 이동한다. 이어서, 상기 TM 자기 터널 접합 구조는 삭제 전압을 인가하여 상기 스커미온을 제거할 수 있다.

[0036] 본 발명은 자성층(112)와 절연층(142)의 이중 구조에 전기장을 인가하여 발생하는 비대칭 교환 상호작용을 국부적으로 변화시켜 스커미온의 변위를 조절함으로써 메모리 스커미온 소자 또는 로직 소자로 활용될 수 있다.

[0037] 제어 전극(140)의 게이트 전압의 인가를 통해 선택된 영역(D)과 선택되지 않은 영역(D0)에는 비대칭 교환 상호작용의 크기 차이(δD)가 발생한다. 자성 패턴에 흐르는 면내 전류는 스핀 전달 토크에 의해 스커미온을 이동시키고, 이 두 영역 사이를 통과할 때 비대칭 교환 상호작용의 크기 차이에 비례하여 제2 방향으로 변위가 발생한다. 즉, 상기 제어 전극의 게이트 전압에 따라, 상기 절연층에 형성되는 전기장의 크기를 조절하면, 스커미온은 제2 방향으로 변위 조절되고, 스커미온의 위치에 따라 메모리 소자 또는 로직 소자를 구현할 수 있다.

[0038] 도 4 및 도 5는 비대칭 교환 상호작용의 크기 차이(δD)에 따른 스커미온의 궤적을 나타내는 시뮬레이션 결과이다.

[0039] 도 6은 비대칭 교환 상호작용의 크기 차이(δD)에 제2 방향의 변위(Δy_1)를 나타내는 그래프이다.

[0040] 도 4, 도 5, 및 도 6을 참조하면, 미소 자기 모델링(micro magnetic modelling)을 통해 비대칭 교환 상호작용(Dzyaloshinskii-Moriya interaction)의 변화에 따른 스커미온의 변위를 확인하였다. 다만, 스커미온 홀 효과는 무시하였다. 소자의 구조 상 스핀전달토크와 스핀오비탈토크를 함께 고려하는 것이 맞으나 비대칭 교환 상호작용에 대한 스커미온의 이동에 관한 특성은 두 경우 동일하므로 스핀전달토크만을 고려하여 모델링을 진행하였다.

[0041] 자성 패턴의 자성층의 자화 운동 방정식은 하기 [수학식 2]와 같다.

[0042] [수학식 2]

$$\frac{\partial \mathbf{m}}{\partial t} = -\gamma \mathbf{m} \times \mathbf{H}_{eff} + \alpha \mathbf{m} \times \frac{d\mathbf{m}}{dt} + b_j \mathbf{m} \times \frac{\partial \mathbf{m}}{\partial x} + \beta b_j \frac{\partial \mathbf{m}}{\partial x}$$

[0043] .

[0044] [수학식 2]에서, $\mathbf{m}$ 은 자성층의 자화 벡터, γ 는 자기 회전 상수, $\mathbf{H}_{eff}$ 는 모든 유효 자기장 벡터, α 는 Gilbert 감쇠상수, b_j 는 스핀 전달 토크 상수이다. $b_j = (P \mu_B J / e M_S)$ 의 관계를 가지며, P 는 스핀분극효율 상수, μ_B 는 Bohr magneton, J 는 면내 전류 밀도, $e(=1.6 \times 10^{-19} \text{ C})$ 는 전자의 전하량, M_S 는 자성층의 자화 값을 나타낸다.

[0045] 소자의 물성 값은 다음과 같다.

[0046] 자성층(112)의 두께 (t) = 1nm, 자성층(112)의 수직 자기이방성 상수 ($K_{\perp}$) = $7 \times 10^6 \text{ erg/cm}^3$, 포화자화값 (M_S) = 580 emu/cm^3 , Gilbert 감쇠상수 (α) = 0.1, 교환 상호작용 상수 (A_{ex}) = $1.3 \times 10^{-6} \text{ erg/cm}$, 비대칭 교환 상호작용 상수 (D_0) = 2.5 erg/cm^2 이다.

[0047] 도 4를 참조하면, 게이트 전압에 따라, +x 방향으로 이동하는 스커미온의 궤적을 기록한 그래프이다. 빨간색 영역은 양의 게이트 전압에 의해 비대칭 교환 상호작용의 크기가 변화된 영역을 나타낸다.

[0048] 도 5를 참조하면, 파란색 영역은 음의 게이트 전압에 의해 비대칭 교환 상호작용의 크기가 변화된 영역을 나타낸다.

[0049] 흰색 영역에서의 비대칭 교환 상호작용의 크기(D_0)에 대해 색이 칠해진 영역에서 비대칭 교환 상호작용의 크기

(D)는 $D_0(1-\delta D)$ 의 관계를 가진다.

- [0050] 도 6을 참조하면, 게이트 전압을 인가하여 비대칭 교환 상호 작용의 크기 차이(δD)를 조절함으로써 스커미온의 변위를 특정한 값으로 정하는 것이 가능하다. 비대칭 교환 상호 작용의 크기 차이(δD)에 따라 스커미온의 위치가 특정되므로 메모리 소자 또는 로직 소자의 활용이 가능하다. 상기 비대칭 교환 상호 작용의 크기 차이(δD)는 게이트 전압에 비례할 수 있다.
- [0051] 도 7은 본 발명의 다른 실시예에 따른 OR/AND 로직 스커이온 소자를 나타내는 평면도들이다.
- [0052] 도 7을 참조하면, 스커미온 소자(200)는, 자성 패턴(110), 제어 전극(140), 쓰기 자기 터널 접합 구조(130a, 130b), 검출 자기 터널 접합 구조(150a, 150b), 및 절연층(142)을 포함한다. 상기 자성 패턴(110)은 비대칭 교환 상호작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층(111)과 자성층(112)을 포함한다. 상기 제어 전극(140)은 상기 자성 패턴(110)의 일부를 덮도록 배치되고 적어도 하나의 개구부(141)를 포함한다. 적어도 하나의 쓰기 자기 터널 접합 구조(130a, 130b)는 상기 제어 전극(140)과 이격되고 상기 자성 패턴(110) 상에 배치되어 상기 자성 패턴(110) 내에 스커미온을 생성한다. 적어도 하나의 검출 자기 터널 접합 구조(150a, 150b)는 상기 제어 전극(140)의 상기 개구부(141)에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향 방향으로 배열된다. 상기 절연층(142)은 상기 제어 전극(140)과 상기 자성 패턴(110) 사이에 배치된다. 상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴(110)의 상기 제1 방향을 따라 진행한다. 상기 제어 전극(140)의 인가 전압은 상기 자성 패턴(110)의 상기 비대칭 교환 상호작용을 국부적으로 변경하여 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향의 변위를 갖도록 상기 스커미온을 이동시킨다.
- [0053] 쓰기 자기 터널 접합 구조(130a, 130b)는 제2 방향을 따라 배열된다. 제1 쓰기 자기 터널 접합 구조는 OR/AND 로직의 제1 입력(A)으로 동작하고, 제2 쓰기 자기 터널 접합 구조는 OR/AND 로직의 제2 입력(B)으로 동작한다.
- [0054] 검출 자기 터널 접합 구조(150a, 150b)는 제1 검출 자기 터널 접합 구조(150a) 및 제2 검출 자기 터널 접합 구조(150b)를 포함한다.
- [0055] 제1 검출 자기 터널 접합 구조(150a)는 OR/AND 로직의 OR 출력으로 동작하고, 제2 검출 자기 터널 접합 구조(150b)는 OR/AND 로직의 AND 출력으로 동작한다.
- [0056] $A=0, B=1$ 의 연산을 위하여 제어 전극의 게이트 전압(VG)은 양의 전압을 인가하여, 제2 쓰기 자기 터널 접합 구조(130b)가 생성한 스커미온을 면내 전류 및 비대칭 교환 상호 작용의 크기 차이(δD)에 의하여 제1 검출 자기 터널 접합 구조(150a)로 이동시킨다. 상기 제어 전극의 게이트 전압(VG)은 스커미온 홀 효과를 고려하여 설정될 수 있다.
- [0057] $A=1, B=0$ 의 연산을 위하여 제어 전극의 게이트 전압(VG)은 전압을 인가하지 않고 제1 쓰기 자기 터널 접합 구조(130a)가 생성한 스커미온을 면내 전류에 의하여 제1 검출 자기 터널 접합 구조(150a)로 이동시킨다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(VG)은 다른 값을 가질 수 있다.
- [0058] $A=1, B=1$ 의 연산을 위하여 제어 전극의 게이트 전압(VG)은 전압을 인가하지 않고 제1 쓰기 자기 터널 접합 구조(130a)가 생성한 스커미온을 면내 전류에 의하여 제1 검출 자기 터널 접합 구조(150a)로 이동시키고, 제2 쓰기 자기 터널 접합 구조(130b)가 생성한 스커미온을 면내 전류에 의하여 제2 검출 자기 터널 접합 구조(150b)로 이동시킨다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(VG)은 다른 값을 가질 수 있다.
- [0059] 도 8은 본 발명의 또 다른 실시예에 따른 NAND 로직 스커이온 소자를 나타내는 평면도들이다.
- [0060] 도 8을 참조하면, 스커미온 소자(300)는, 자성 패턴(110), 제어 전극(140), 쓰기 자기 터널 접합 구조(130a, 130b, 130c), 검출 자기 터널 접합 구조(150a), 및 절연층(142)을 포함한다. 상기 자성 패턴(110)은 비대칭 교환 상호작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층(111)과 자성층(112)을 포함한다. 상기 제어 전극(140)은 상기 자성 패턴(110)의 일부를 덮도록 배치되고 적어도 하나의 개구부(141)를 포함한다. 적어도 하나의 쓰기 자기 터널 접합 구조(130a, 130b, 130c)는 상기 제어 전극(140)과 이격되고 상기 자성 패턴(110) 상에 배치되어 상기 자성 패턴(110) 내에 스커미온을 생성한다. 적어도 하나의 검출 자기 터널 접합 구조(150a)는 상기 제어 전극(140)의 상기 개구부(141)에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향 방향으로 배열된다. 상기 절연층(142)은 상기 제어 전극(140)과 상기 자성 패턴(110) 사이에 배치된다. 상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴(110)의 상기 제1 방향을 따라 진행한다. 상기 제어 전극(140)

의 인가 전압은 상기 자성 패턴(110)의 상기 비대칭 교환 상호작용을 국부적으로 변경하여 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향의 변위를 갖도록 상기 스커미온을 이동시킨다.

[0061] 쓰기 자기 터널 접합 구조(130a, 130b, 130b)는 제2 방향을 따라 배열된다. 제1 쓰기 자기 터널 접합 구조(130a)는 NAND 로직의 제1 입력(A)으로 동작하고, 제2 쓰기 자기 터널 접합 구조(130b)는 NAND 로직의 제2 입력(B)으로 동작한다. 제3 쓰기 자기 터널 접합 구조(130c)는 NAND 로직의 보조 입력(C)으로 동작한다.

[0062] 검출 자기 터널 접합 구조(150a)는 NAND 로직의 출력으로 동작한다.

[0063] $A=0$, $B=0$ 의 NAND 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=2$)을 인가하여, 제3 쓰기 자기 터널 접합 구조(130c)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시킨다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0064] $A=0$, $B=1$ 의 NAND 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=1$)을 인가하여, 제2 쓰기 자기 터널 접합 구조(130b)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시킨다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0065] $A=1$, $B=0$ 의 NAND 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=0$)을 인가하여, 제1 쓰기 자기 터널 접합 구조(130a)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시킨다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0066] $A=1$, $B=1$ 의 NAND 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=-1$)을 인가하여, 쓰기 자기 터널 접합 구조(130a, 130b, 130c)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시키지 않는다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0067] 도 9는 본 발명의 또 다른 실시예에 따른 NAND 로직 스커미온 소자를 나타내는 평면도들이다.

[0068] 도 9를 참조하면, 스커미온 소자(400)는, 자성 패턴(110), 제어 전극(140), 쓰기 자기 터널 접합 구조(130a, 130b, 130c), 검출 자기 터널 접합 구조(150a), 및 절연층(142)을 포함한다. 상기 자성 패턴(110)은 비대칭 교환 상호작용을 가지며 면내 전류가 흐르고 제1 방향으로 연장되고 차례로 적층된 금속층(111)과 자성층(112)을 포함한다. 상기 제어 전극(140)은 상기 자성 패턴(110)의 일부를 덮도록 배치되고 적어도 하나의 개구부(141)를 포함한다. 적어도 하나의 쓰기 자기 터널 접합 구조(130a, 130b, 130b)는 상기 제어 전극(140)과 이격되고 상기 자성 패턴(110) 상에 배치되어 상기 자성 패턴(110) 내에 스커미온을 생성한다. 적어도 하나의 검출 자기 터널 접합 구조(150a)는 상기 제어 전극(140)의 상기 개구부(141)에 배치되고 상기 스커미온 또는 상기 스커미온의 위상 상태를 검출하고 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향 방향으로 배열된다. 상기 절연층(142)은 상기 제어 전극(140)과 상기 자성 패턴(110) 사이에 배치된다. 상기 스커미온은 상기 면내 전류에 의하여 상기 자성 패턴(110)의 상기 제1 방향을 따라 진행된다. 상기 제어 전극(140)의 인가 전압은 상기 자성 패턴(110)의 상기 비대칭 교환 상호작용을 국부적으로 변경하여 상기 자성 패턴(110)의 배치 평면 내에서 상기 제1 방향에 수직인 제2 방향의 변위를 갖도록 상기 스커미온을 이동시킨다.

[0069] 쓰기 자기 터널 접합 구조(130a, 130b, 130b)는 제2 방향을 따라 배열된다. 제1 쓰기 자기 터널 접합 구조(130a)는 NOR 로직의 제1 입력(A)으로 동작하고, 제2 쓰기 자기 터널 접합 구조(130b)는 NOR 로직의 제2 입력(B)으로 동작한다. 제3 쓰기 자기 터널 접합 구조(130c)는 NOR 로직의 보조 입력(C)으로 동작한다.

[0070] 검출 자기 터널 접합 구조(150a)는 NOR 로직의 출력으로 동작한다.

[0071] $A=0$, $B=0$ 의 NOR 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=2$)을 인가하여, 제3 쓰기 자기 터널 접합 구조(130c)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시킨다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0072] $A=0$, $B=1$ 의 NOR 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=0$)을 인가하여, 제2 쓰기 자기 터널 접합 구조(130b)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시키지 않는다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0073] $A=1$, $B=0$ 의 NOR 연산을 위하여, $C=1$ 을 설정하고, 제어 전극의 게이트 전압($V_G=-1$)을 인가하여, 제1 쓰기 자기 터널 접합 구조(130a)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시키지 않는다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(V_G)은 다른 값을 가질 수 있다.

[0074] A=1, B=1 의 NOR 연산을 위하여, C=1을 설정하고, 제어 전극의 게이트 전압(VG=-1)을 인가하여, 쓰기 자기 터널 접합 구조(130a, 130b, 130c)가 생성한 스커미온을 면내 전류에 의하여 검출 자기 터널 접합 구조(150a)로 이동시키지 않는다. 한편, 스커미온 홀 효과를 고려한 경우에는 상기 게이트 전압(VG)은 다른 값을 가질 수 있다.

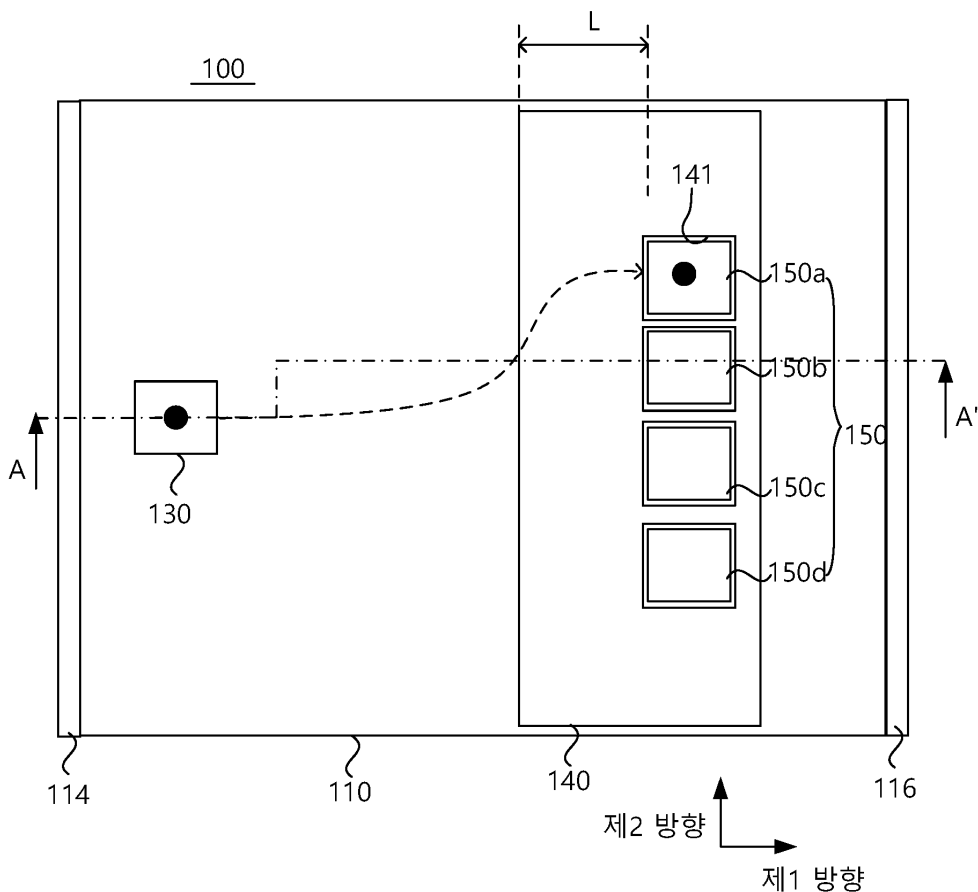
[0075] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

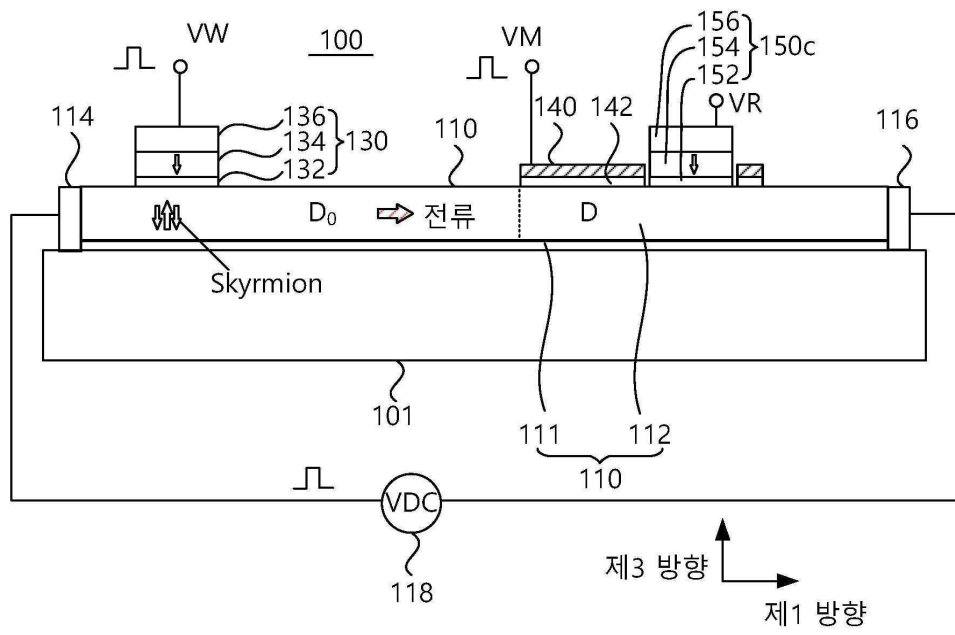
[0076] 110: 자성 패턴
130: 쓰기 자기 터널 접합 구조
140: 제어 전극
142: 절연층
150: 검출 자기 터널 접합 구조

도면

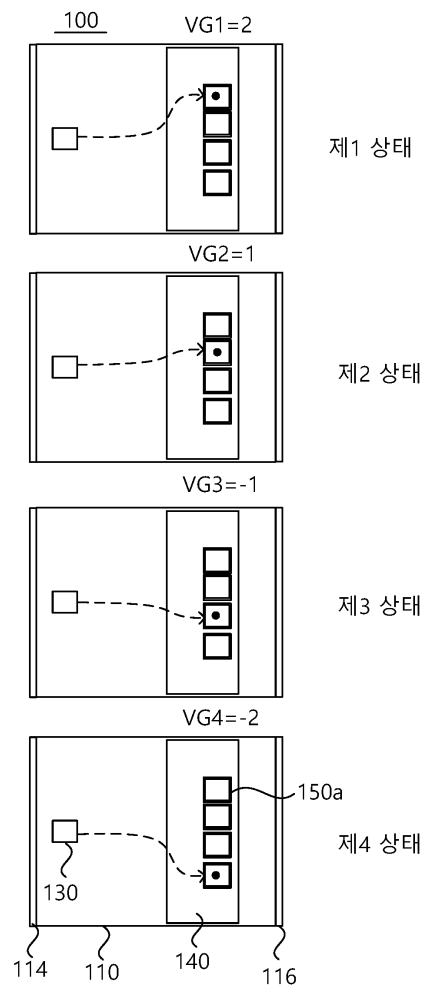
도면1



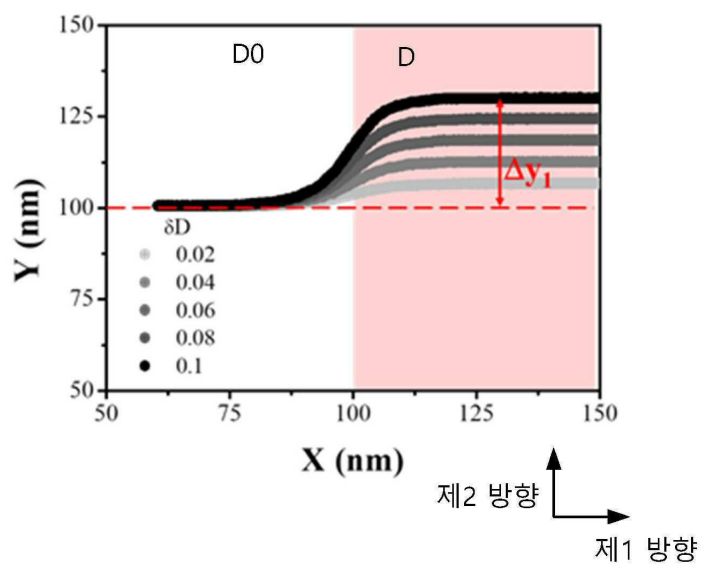
도면2



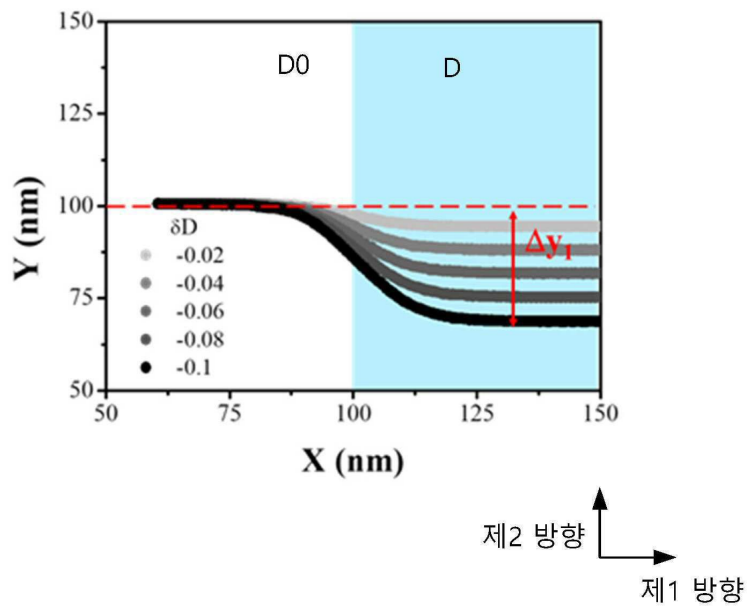
도면3



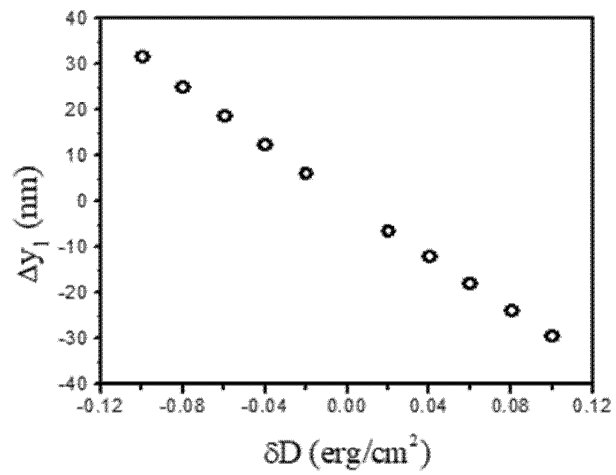
도면4



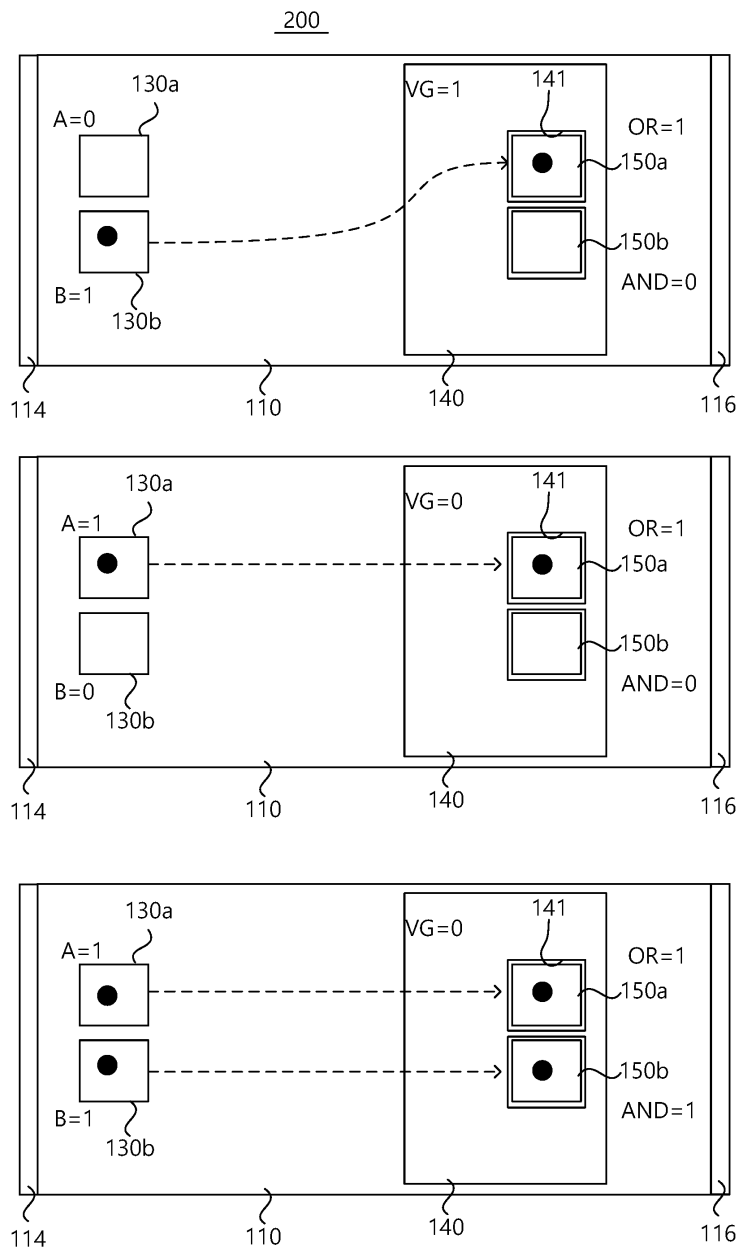
도면5



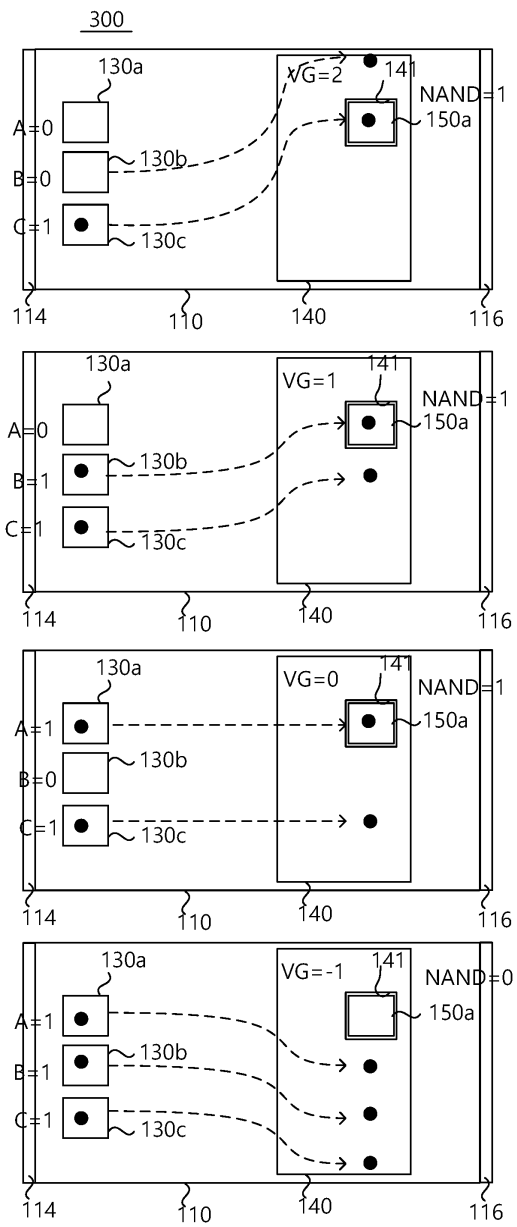
도면6



도면7



도면8



도면9

