



(12)发明专利

(10)授权公告号 CN 106105043 B

(45)授权公告日 2019.11.22

(21)申请号 201580013406.6

(22)申请日 2015.03.13

(65)同一申请的已公布的文献号
申请公布号 CN 106105043 A

(43)申请公布日 2016.11.09

(30)优先权数据
14/214,285 2014.03.14 US

(85)PCT国际申请进入国家阶段日
2016.09.12

(86)PCT国际申请的申请数据
PCT/US2015/020531 2015.03.13

(87)PCT国际申请的公布数据
W02015/138956 EN 2015.09.17

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 S·森戈库

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 李小芳

(51)Int.Cl.
H03M 13/31(2006.01)

(56)对比文件
CN 102063918 A,2011.05.18,
CN 101341658 A,2009.01.07,
US 2003/0165112 A1,2003.09.04,
US 2010/0215118 A1,2010.08.26,

审查员 杨莹莹

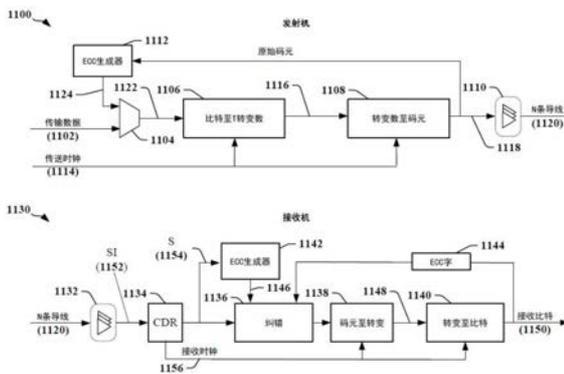
权利要求书6页 说明书16页 附图18页

(54)发明名称

用于使用具有N阶乘或CCI扩展的纠错码的方法

(57)摘要

描述了促成多线数据通信链路上的——特别是电子装置内的两个设备之间的——数据传输的系统、方法和装置。数据有效载荷可被转换成转变数集合,转变数可被转换成码元序列,并且可以从码元序列中的码元计算纠错码(ECC)。ECC对应于数据有效载荷,且ECC可被附加到数据有效载荷以使得转变数集合包括对应于ECC的转变数。然后在多条信号线上传送码元序列。时钟信息被嵌入在码元序列中。可通过确保码元序列中的每一对连贯码元包括在多条信号线上产生不同信令状态的两个码元来编码时钟信息。



1. 一种数据通信方法,包括:
 - 将数据有效载荷转换成转变数集合;
 - 将所述转变数集合转换成码元序列;
 - 从所述码元序列中对应于所述数据有效载荷的码元计算纠错码;
 - 将所述纠错码附加到所述数据有效载荷,将所附加的纠错码转换成附加转变数,将所述附加转变数转换成附加码元,以使得所述转变数集合包括对应于所述纠错码的所述附加转变数;以及
 - 在多条信号线上传送所述码元序列中的所述附加码元;并且
 - 其中将所述转变数转换成码元包括:
 - 使用转变数来选择相对于当前码元的下一码元,其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔,以使得没有连贯码元对包括两个相同码元,在所述信号线中的至少一者中发生信令状态的转变。
2. 如权利要求1所述的方法,其特征在于,进一步包括:
 - 在所述码元序列中编码时钟信息,其中所述时钟信息是通过确保所述码元序列中的每一对连贯码元包括在所述多条信号线上产生不同信令状态的两个码元来编码的。
3. 如权利要求1所述的方法,其特征在于,计算所述纠错码包括:
 - 针对在所述多条信号线上传送的多个信号中的每一者计算纠错码,其中所述多个信号对应于所述码元序列;以及
 - 将针对所述多个信号中的每一者的所述纠错码附加到所述数据有效载荷。
4. 如权利要求3所述的方法,其特征在于,所述多个信号中的每一者对应于所述码元序列中的每一码元中的比特。
5. 如权利要求1所述的方法,其特征在于,所述多条信号线设在相机控制接口CCI扩展CCIE总线中。
6. 如权利要求5所述的方法,其特征在于,所述数据有效载荷包括两个CCIE字。
7. 如权利要求1所述的方法,其特征在于,传送所述码元序列包括:
 - 在选自所述多条信号线的两条信号线的不同组合上所携带的差分信号上传送所述码元序列中的每一码元。
8. 如权利要求7所述的方法,其特征在于,所述差分信号中的每一者对应于所述每一码元中的比特,并且其中计算所述纠错码包括:
 - 针对每一差分信号计算纠错码,
 - 其中多个纠错码被附加到所述数据有效载荷以使得所述转变数集合包括对应于所述多个纠错码的转变数。
9. 一种用于通信的装备,包括:
 - 用于将数据有效载荷转换成转变数集合的装置;
 - 用于将所述转变数集合转换成码元序列的装置;
 - 用于从所述码元序列中对应于所述数据有效载荷的码元计算纠错码的装置;
 - 用于将所述纠错码附加到所述数据有效载荷的装置,所述用于转换的装置进一步用于将所附加的纠错码转换成附加转变数并且将所述附加转变数转换成附加码元,以使得所述转变数集合包括对应于所述纠错码的所述附加转变数;以及

用于在多条信号线上传送所述码元序列中的所述附加码元的装置；并且

其中将所述转变数转换成码元包括：

用于使用转变数来选择相对于当前码元的下一码元的装置，其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔，以使得没有连贯码元对包括两个相同码元，在所述信号线中的至少一者中发生信令状态的转变。

10. 一种发射机，包括：

被配置成在N线接口上传送多个信号的多个线驱动器；以及

处理电路，其被配置成：

将数据有效载荷转换成转变数集合；

将所述转变数集合转换成码元序列；

从所述码元序列中对应于所述数据有效载荷的码元计算纠错码；

将所述纠错码附加到所述数据有效载荷，将所附加的纠错码转换成附加转变数，将所述附加转变数转换成附加码元，以使得所述转变数集合包括对应于所述纠错码的所述附加转变数；以及

在多条信号线上传送所述码元序列中的所述附加码元；并且

其中所述处理电路被配置成通过使用转变数选择相对于当前码元的下一码元来将所述转变数集合转换成所述码元序列，其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔，以使得没有连贯码元对包括两个相同码元，在所述信号线中的至少一者中发生信令状态的转变。

11. 如权利要求10所述的发射机，其特征在于，所述处理电路被配置成：

将时钟信息编码在所述码元序列中，

其中所述时钟信息是通过确保所述码元序列中的每一对连贯码元包括在所述多条信号线上产生不同信令状态的两个码元来编码的。

12. 如权利要求10所述的发射机，其特征在于，所述处理电路被配置成：

针对在所述多条信号线上传送的多个信号中的每一者计算纠错码，其中所述多个信号对应于所述码元序列；以及

将针对所述多个信号中的每一者的所述纠错码附加到所述数据有效载荷。

13. 如权利要求12所述的发射机，其特征在于，所述多个信号中的每一者对应于所述码元序列中的每一码元中的比特。

14. 如权利要求10所述的发射机，其特征在于，所述多条信号线设在相机控制接口CCI扩展(CCIe)总线中。

15. 如权利要求10所述的发射机，其特征在于，所述处理电路被配置成通过在选自所述多条信号线的两条信号线的不同组合上所携带的差分信号上传送所述码元序列中的每一码元来传送所述码元序列。

16. 如权利要求15所述的发射机，其特征在于，所述差分信号中的每一者对应于所述每一码元中的比特，并且其中所述处理电路被配置成：

针对每一差分信号计算纠错码，

其中多个纠错码被附加到所述数据有效载荷以使得所述转变数集合包括对应于所述多个纠错码的转变数。

17. 一种具有一条或多条指令的处理器可读存储介质,所述指令在由至少一个处理电路执行时使得所述至少一个处理电路:

将数据有效载荷转换成转变数集合;

将所述转变数集合转换成码元序列;

从所述码元序列中对应于所述数据有效载荷的码元计算纠错码;

将所述纠错码附加到所述数据有效载荷,将所附加的纠错码转换成附加转变数,将所述附加转变数转换成附加码元,以使得所述转变数集合包括对应于所述纠错码的所述附加转变数;以及

在多条信号线上传送所述码元序列中的所述附加码元;并且进一步

通过使用转变数选择相对于当前码元的下一码元来将所述转变数集合转换成所述码元序列,其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔,以使得没有连贯码元对包括两个相同码元,在所述信号线中的至少一者中发生信令状态的转变。

18. 一种数据通信方法,包括:

从多条信号线接收码元序列;

从所述码元序列中的多个码元计算第一纠错码,所述多个码元对应于所述码元序列中所携带的数据有效载荷;

将所述码元序列转换成转变数集合;

转换所述转变数集合以获得包括所述数据有效载荷和第二纠错码的数据分组,所述第二纠错码已由所述码元序列的传送方计算出,并且所述第二纠错码已由所述码元序列的传送方附加到所述数据有效载荷;

基于所述第一纠错码与所述第二纠错码的比较来确定所述码元序列中是否存在一个或多个差错;以及

提供所述数据有效载荷作为接收机输出数据;并且

其中在转变数到码元的转换中,已经使用转变数来选择相对于当前码元的下一码元,其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔,以使得没有连贯码元对包括两个相同码元,在所述信号线中的至少一者中发生信令状态的转变。

19. 如权利要求18所述的方法,其特征在于,进一步包括:

使用所述第一纠错码和所述第二纠错码来纠正所述码元序列中的至少一个差错。

20. 如权利要求18所述的方法,其特征在于,将所述码元序列转换成所述转变数集合包括:

将转变数推导为表示当前码元与可用码元表中紧接在前的码元的出现之间的间隔的值。

21. 如权利要求18所述的方法,其特征在于,进一步包括:

从所述码元序列中提取接收时钟,其中时钟信息被嵌入在与所述码元序列中的码元相关联的信令状态的变化中,其中所述码元序列中的每一对连贯码元包括与所述多条信号线上的不同信令状态相关联的两个码元。

22. 如权利要求18所述的方法,其特征在于,计算所述第一纠错码包括:

从所述码元序列计算多个第一纠错码,其中每一纠错码对应于所述码元序列中的每一码元中的比特。

23.如权利要求22所述的方法,其特征在于,确定所述码元序列中是否存在一个或多个差错包括:

将所述多个第一纠错码中的每一者与附加到所述数据分组的相应第二纠错码进行比较。

24.如权利要求18所述的方法,其特征在于,所述多条信号线设在相机控制接口CCIE扩展CCIE总线中。

25.如权利要求24所述的方法,其特征在于,所述数据有效载荷包括两个CCIE字。

26.如权利要求18所述的方法,其特征在于,所述码元序列中的每一码元作为在选自所述多条信号线的两条信号线的不同组合上所携带的差分信号集合来被接收。

27.如权利要求26所述的方法,其特征在于,所述差分信号集合中的每一差分信号对应于所述每一码元中的比特,并且其中计算所述第一纠错码包括:

针对每一差分信号计算纠错码。

28.一种用于通信的装备,包括:

用于从多条信号线接收码元序列的装置;

用于从所述码元序列中的多个码元计算第一纠错码的装置,所述多个码元对应于所述码元序列中所携带的数据有效载荷;

用于将所述码元序列转换成转变数集合的装置;

用于转换所述转变数集合以获得包括所述数据有效载荷和第二纠错码的数据分组的装置,所述第二纠错码已由所述码元序列的传送方计算出,并且所述第二纠错码已由所述码元序列的传送方附加到所述数据有效载荷;

用于基于所述第一纠错码与所述第二纠错码的比较来确定所述码元序列中是否存在一个或多个差错的装置;以及

用于提供所述数据有效载荷作为接收机输出数据的装置;并且

其中在转变数到码元的转换中,已经使用转变数来选择相对于当前码元的下一码元,其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔,以使得没有连贯码元对包括两个相同码元,在所述信号线中的至少一者中发生信令状态的转变。

29.一种接收机,包括:

处理电路,其被配置成:

从多条信号线接收码元序列;

从所述码元序列中的多个码元计算第一纠错码,所述多个码元对应于所述码元序列中所携带的数据有效载荷;

将所述码元序列转换成转变数集合;

转换所述转变数集合以获得包括所述数据有效载荷和第二纠错码的数据分组,所述第二纠错码已由所述码元序列的传送方计算出,并且所述第二纠错码已由所述码元序列的传送方附加到所述数据有效载荷;

基于所述第一纠错码与所述第二纠错码的比较来确定所述码元序列中是否存在一个

或多个差错;以及

提供所述数据有效载荷作为接收机输出数据;并且

其中在转变数到码元的转换中,已经使用转变数来选择相对于当前码元的下一码元,其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔,以使得没有连贯码元对包括两个相同码元,在所述信号线中的至少一者中发生信令状态的转变。

30. 如权利要求29所述的接收机,其特征在于,所述处理电路被配置成:

使用所述第一纠错码和所述第二纠错码来纠正所述码元序列中的至少一个差错。

31. 如权利要求29所述的接收机,其特征在于,所述处理电路被配置成通过将转变数推导为表示当前码元与可用码元表中紧接在前的码元的出现之间的间隔的值来将所述码元序列转换成所述转变数集合。

32. 如权利要求29所述的接收机,其特征在于,所述处理电路被配置成:

从所述码元序列中提取接收时钟,其中时钟信息被嵌入在与所述码元序列中的码元相关联的信令状态的变化中,其中所述码元序列中的每一对连贯码元包括与所述多条信号线上的不同信令状态相关联的两个码元。

33. 如权利要求29所述的接收机,其特征在于,所述处理电路被配置成通过从所述码元序列计算多个第一纠错码来计算所述第一纠错码,其中每一纠错码对应于所述码元序列中的每一码元中的比特。

34. 如权利要求33所述的接收机,其特征在于,所述处理电路被配置成通过以下操作来确定所述码元序列中是否存在一个或多个差错:

将所述多个第一纠错码中的每一者与附加到所述数据分组的相应第二纠错码进行比较。

35. 如权利要求29所述的接收机,其特征在于,所述多条信号线设在相机控制接口CCI扩展(CCIe)总线中。

36. 如权利要求29所述的接收机,其特征在于,所述码元序列中的每一码元作为在选自所述多条信号线的两条信号线的不同组合上所携带的差分信号集合来被接收。

37. 如权利要求36所述的接收机,其特征在于,所述差分信号集合中的每一差分信号对应于所述每一码元中的比特,并且其中所述处理电路被配置成通过针对每一差分信号计算纠错码来计算所述第一纠错码。

38. 一种具有一条或多条指令的处理器可读存储介质,所述指令在由至少一个处理电路执行时使得所述至少一个处理电路:

从多条信号线接收码元序列;

从所述码元序列中的多个码元计算第一纠错码,所述多个码元对应于所述码元序列中所携带的数据有效载荷;

将所述码元序列转换成转变数集合;

转换所述转变数集合以获得包括所述数据有效载荷和第二纠错码的数据分组,所述第二纠错码已由所述码元序列的传送方计算出,并且所述第二纠错码已由所述码元序列的传送方附加到所述数据有效载荷;

基于所述第一纠错码与所述第二纠错码的比较来确定所述码元序列中是否存在一个

或多个差错;以及

提供所述数据有效载荷作为接收机输出数据;并且

其中在转变数到码元的转换中,已经使用转变数来选择相对于当前码元的下一码元,其中所述转变数的值表示所述当前码元与可用码元表中的所述下一码元之间的间隔,以使得没有连贯码元对包括两个相同码元,在所述信号线中的至少一者中发生信令状态的转变。

用于使用具有N阶乘或CCI扩展的纠错码的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2014年3月14日向美国专利商标局提交的美国非临时专利申请 No. 14/214,285 的优先权和权益,其全部内容通过援引纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般涉及主机处理器与外围设备(诸如相机)之间的接口,尤其涉及改进N阶乘或相机控制通信接口总线上的纠错过程。

背景技术

[0006] 移动设备(诸如蜂窝电话)的制造商可从各种来源(包括不同制造商)获得移动设备的各组件。例如,蜂窝电话中的应用处理器可从第一制造商获得,而蜂窝电话的显示器可从第二制造商获得。可使用基于标准的或专有物理接口来互连应用处理器和显示器或其他设备。例如,显示器可提供遵从由移动行业处理器接口联盟(MIPI)所规定的显示系统接口(DSI)标准的接口。

[0007] 在一个示例中,多信号数据转移系统可采用多线差分信令(诸如3相或N阶乘(N!)低电压差分信令(LVDS)),可执行转码(例如,一种编码类型到另一编码类型的数字-数字数据转换)以便通过在每一码元循环引起码元转变而不是在分别的数据通道(差分传输路径)中发送时钟信息的方式来嵌入码元时钟信息。通过转码来嵌入时钟信息是使时钟与数据信号之间的偏斜最小化以及消除用锁相环(PLL)来从数据信号中恢复时钟信息的必要性的有效途径。

[0008] 在另一示例中,由MIPI标准定义的相机控制接口(CCI)使用被配置为连接主设备与一个或多个从设备的总线的双导线、双向、半双工串行接口。常规CCI与集成电路间(I2C)总线的变体中所使用的协议兼容并且能够用单个主设备来处置该总线上的多个从设备。CCI总线可包括串行时钟(SCL)线和串行数据(SDA)线。CCI设备和I2C设备可被部署在同一总线上以使得两个或更多个CCI设备可使用CCI协议来通信,同时涉及I2C总线的任何通信使用I2C协议。CCI扩展(CCIe)总线可被用于为与CCIe总线操作兼容的设备提供更高数据率。此类设备可被称为CCIe设备,并且CCIe设备可以在彼此通信时通过将数据编码为在常规CCI总线的SCL线和SDA线两者上传送的码元来达到较高数据率。

[0009] 存在一般对于经优化的通信以及多信号线通信链路上的数据转移的改进的可靠性的现行需要。

[0010] 概述

[0011] 本文所公开的实施例提供了涉及多线接口的系统、方法和装置。在本公开的一方面,一种数据通信方法包括将数据有效载荷转换成转变数集合,将转变数集合转换成码元序列,从码元序列中对应于数据有效载荷的码元计算纠错码(ECC),将该ECC附加到数据有效载荷以使得转变数集合包括对应于该ECC的转变数,以及在多条信号线上传送该码元序列。

[0012] 在本公开的一方面,将转变数集合转换成码元序列包括使用转变数来选择相对于当前码元的下一码元。转变数的值可表示当前码元与可用码元表中的下一码元之间的间隔。

[0013] 在本公开的一方面,在码元序列中嵌入时钟信息。可通过确保码元序列中的每一对连贯码元包括在多条信号线上产生不同信令状态的两个码元来编码时钟信息。

[0014] 在本公开的一方面,可针对在多条信号线上传送的多个信号中的每一者计算纠错码。该多个信号可对应于码元序列。针对多个信号计算出的纠错码可被附加到数据有效载荷。该多个信号中的每一者可对应于码元序列中的每一码元中的比特。

[0015] 在本公开的一方面,在CCIE总线中提供多条信号线。数据有效载荷可包括两个CCIE字。

[0016] 在本公开的一方面,传送码元序列包括在选自多条信号线的两条信号线的不同组合上所携带的差分信号上传送码元序列中的每一码元。这些差分信号中的每一者可对应于每一码元中的比特。可通过针对每一差分信号计算纠错码来计算ECC。在一个示例中,纠错逻辑可针对每一码元序列在每一差分信号中纠正一个差错。

[0017] 在本公开的一方面,一种用于数据通信的装备包括用于将数据有效载荷转换成转变数集合的装置,用于将转变数集合转换成码元序列的装置,用于从码元序列中对应于数据有效载荷的码元计算ECC的装置,用于将该ECC附加到数据有效载荷以使得转变数集合包括对应于该ECC的转变数的装置,以及用于在多条信号线上传送该码元序列的装置。

[0018] 在本公开的一方面,用于转换转变数集合的装置被配置成通过确保码元序列中的每一对连贯码元包括在多条信号线上产生不同信令状态的两个码元来在码元序列中编码时钟信息。

[0019] 在本公开的一方面,发射机包括被配置成在N线接口上传送多个信号的多个线驱动器以及被配置成执行以下操作的处理电路:将数据有效载荷转换成转变数集合,将转变数集合转换成码元序列,从码元序列中对应于数据有效载荷的码元计算ECC,将该ECC附加到数据有效载荷以使得转变数集合包括对应于该纠错码的转变数,以及在多条信号线上传送该码元序列。

[0020] 在本公开的一个方面,一种处理器可读存储介质上存储有一个或多个指令。这些指令在由处理电路执行时使得处理电路将数据有效载荷转换成转变数集合,将转变数集合转换成码元序列,从码元序列中对应于数据有效载荷的码元计算ECC,将该ECC附加到数据有效载荷以使得转变数集合包括对应于该ECC的转变数,以及在多条信号线上传送该码元序列。

[0021] 在本公开的一方面,一种数据通信方法包括从多条信号线接收码元序列,从该码元序列中的多个码元计算第一ECC,该多个码元对应于该码元序列中所携带的数据有效载荷,将该码元序列转换成转变数集合,转换转变数集合以获得包括数据有效载荷和第二ECC的数据分组,第二ECC已由码元序列的传送方计算出,基于第一ECC与第二ECC的比较来确定码元序列中是否存在一个或多个差错,以及提供数据有效载荷作为接收机输出数据。

[0022] 在本公开的一方面,使用第一ECC和第二ECC来纠正码元序列中的至少一个差错。可以在码元序列中编码并传送针对码元中的不同比特计算出的第一ECC和第二ECC和/或针对不同信号计算出的第一ECC和第二ECC。因此,可以在码元序列中纠正多个差错。例如,多

个第一和第二ECC可用于在对应于码元中的不同比特的两个或更多个信号各自具有单个差错时纠正码元序列中发生的多个差错。

[0023] 在本公开的一方面,通过将转变数推导为表示当前码元与可用码元表中紧接在前的码元的出现之间的间隔的值来将码元序列转换成转变数集合。

[0024] 在本公开的一方面,从码元序列中提取接收时钟。时钟信息可以嵌入在与码元序列中的码元相关联的信令状态的变化中。码元序列中的每对连贯码元可包括与该多条信号线上的不同信令状态相关联的两个码元。

[0025] 在本公开的一方面,可以从码元序列计算多个第一纠错码。每一纠错码可对应于码元序列中的每一码元中的比特。可通过将多个第一纠错码中的每一者与附加到数据分组的相应第二纠错码进行比较来确定码元序列中是否存在一个或多个差错。可基于第一纠错码与相应第二纠错码的比较来检测或纠正多个信号中的个体信号中的差错。在一个示例中,可纠正每信号每码元每字的一个差错。

[0026] 在本公开的一方面,在CCIE总线中提供多条信号线。数据有效载荷可包括两个CCIE字。

[0027] 在本公开的一方面,码元序列中的每一码元作为在选自多条信号线的两条信号线的不同组合上所携带的差分信号集合来被接收。该差分信号集合中的每一差分信号对应于每一码元中的比特。可通过针对每一差分信号计算ECC来计算第一ECC。

[0028] 在本公开的一方面,一种装备包括用于从多条信号线接收码元序列的装置,用于从该码元序列中的多个码元计算第一ECC的装置,该多个码元对应于该码元序列中所携带的数据有效载荷,用于将该码元序列转换成转变数集合的装置,用于转换转变数集合以获得包括数据有效载荷和第二ECC的数据分组的装置,第二ECC已由码元序列的传送方计算出,用于基于第一ECC与第二ECC的比较来确定码元序列中是否存在一个或多个差错的装置,以及用于提供数据有效载荷作为接收机输出数据的装置。在一个示例中,可纠正每信号每码元每字的一个差错。

[0029] 在本公开的一方面,该装备包括用于从码元序列中提取接收时钟的装置。时钟信息可以嵌入在与码元序列中的码元相关联的信令状态的变化中。码元序列中的每对连贯码元可包括与该多条信号线上的不同信令状态相关联的两个码元。

[0030] 在本公开的一方面,一种接收机包括处理电路,其被配置成:从多条信号线接收码元序列,从该码元序列中的多个码元计算第一ECC,该多个码元对应于该码元序列中所携带的数据有效载荷,将该码元序列转换成转变数集合,转换转变数集合以获得包括数据有效载荷和第二ECC的数据分组,第二ECC已由码元序列的传送方计算出,基于第一ECC与第二ECC的比较来确定码元序列中是否存在一个或多个差错,以及提供数据有效载荷作为接收机输出数据。

[0031] 在本公开的一个方面,一种处理器可读存储介质上存储或维护有一条或多条指令。这些指令在由至少一个处理电路执行时可使该至少一个处理电路:从多条信号线接收码元序列,从该码元序列中的多个码元计算第一ECC,该多个码元对应于该码元序列中所携带的数据有效载荷,将该码元序列转换成转变数集合,转换转变数集合以获得包括数据有效载荷和第二ECC的数据分组,第二ECC已由码元序列的传送方计算出,基于第一ECC与第二ECC的比较来确定码元序列中是否存在一个或多个差错,以及提供数据有效载荷作为接收

机输出数据。

[0032] 附图简述

[0033] 图1描绘了在各IC设备之间采用数据链路的装置,该数据链路选择性地根据多个可用标准之一来操作。

[0034] 图2解说了用于在IC设备之间采用数据链路的装置的系统架构。

[0035] 图3解说了基本N!多通道接口的示例。

[0036] 图4解说了可以在N!通信接口中使用的CDR电路。

[0037] 图5解说了根据本文所公开的一个或多个方面的由图3的CDR电路生成的某些信号的定时。

[0038] 图6解说了采用CCIE数据链路的装置的示例。

[0039] 图7解说了其中时钟信息被嵌入在N条线上传送的码元序列中的多线接口的操作。

[0040] 图8解说了根据本文所公开的某些方面的用于转码数据的编码方案。

[0041] 图9解说了其中时钟信息被嵌入在N条线上传送的码元序列中的多线接口中的常规纠错。

[0042] 图10是解说使用与图9中所解说的编码方案类似的编码方案的CCIE系统中的单个码元差错的影响的表。

[0043] 图11解说了根据本文所公开的一个或多个方面的一般化前向纠错方案,其中该前向纠错方案可以在将时钟信息嵌入在所传送的码元中的多线接口中使用。

[0044] 图12解说了根据本文所公开的一个或多个方面的N!接口中所使用的前向纠错方案的示例。

[0045] 图13解说了ECC信息被附加到的相机串行接口分组报头的示例。

[0046] 图14解说了根据本文所公开的一个或多个方面的可以在CCIE接口中采用的纠错方案的示例。

[0047] 图15是解说在N线通信链路上的发射机中实现的数据通信方法的流程图。

[0048] 图16是解说用于传送装置的硬件实现的简化示例的示图。

[0049] 图17是解说在N线通信链路上的接收机中实现的数据通信方法的流程图。

[0050] 图18是解说N线通信链路上的接收装置的硬件实现的简化示例的示图。

[0051] 详细描述

[0052] 现在参照附图描述各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或多个方面的透彻理解。但是显然的是,没有这些具体细节也可实践此(诸)方面。

[0053] 如本申请中所使用的,术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体,诸如但不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如,组件可以是但不限于是,在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和/或计算机。作为解说,在计算设备上运行的应用和该计算设备两者皆可以是组件。一个或多个组件可驻留在进程和/或执行的线程内,且组件可以本地化在一台计算机上和/或分布在两台或更多台计算机之间。此外,这些组件能从其上存储着各种数据结构的各种计算机可读介质来执行。这些组件可藉由本地和/或远程进程来通信,诸如根据具有一个或多个数据分组的信号来通信,这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另

一组件交互的、和/或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。

[0054] 此外,术语“或”旨在表示包含性“或”而非排他性“或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X采用A或B”旨在表示任何自然的可兼排列。即,短语“X采用A或B”得到以下任何实例的满足:X采用A;X采用B;或X采用A和B两者。另外,本申请和所附权利要求书中所使用的冠词“一”和“某”一般应当被解释成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。

[0055] 本发明的某些方面可应用于部署在电子设备之间的通信链路,这些电子设备是移动装置(诸如电话、移动计算设备、电器、汽车电子设备、航空电子系统等)的子组件。移动装置的示例包括蜂窝电话、智能电话、会话发起协议(SIP)电话、膝上型电脑、笔记本、上网本、智能本、个人数字助理(PDA)、卫星无线电、全球定位系统(GPS)设备、多媒体设备、视频设备、数字音频播放器(例如,MP3播放器)、相机、游戏控制台、可穿戴计算设备(例如,智能手表、健康或健身跟踪器等)、电器、传感器、自动售货机、或任何其他类似的功能设备。

[0056] 图1描绘了采用IC设备之间的通信链路的装置100的一个示例。在一个示例中,装置100可包括无线通信设备,该无线通信设备通过RF收发机与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。装置100可包括可操作地耦合至处理电路102的通信收发机106。处理电路102可包括一个或多个IC设备,诸如专用IC(ASIC)108。ASIC 108可包括一个或多个处理设备、逻辑电路等等。处理电路102可包括和/或耦合至处理器可读存储(诸如存储器112),该处理器可读存储可维护可由处理电路102执行的指令和数据。处理电路102可由操作系统以及应用编程接口(API)110层中的一者或多者来控制,该API 110层支持并允许执行驻留在存储介质(诸如无线设备的存储器设备112)中的软件模块。存储器设备112可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程ROM(EEPROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器设备。处理电路102可包括或访问本地数据库114,该本地数据库114可维护用于配置和操作该装置100的操作参数和其它信息。本地数据库114可使用数据库模块、闪存、磁介质、EEPROM、光学介质、磁带、软盘或硬盘等中的一者或多者来实现。处理电路也可以可操作地耦合至外部设备,诸如天线122、显示器124、操作者控件(诸如按钮128和按键板126以及其他组件)。

[0057] 图2是解说连接到通信链路220的装置200的某些方面的示意框图200,其中该装置200可被实施在以下一者或多者中:无线移动设备、移动电话、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备等。装置200可包括通过通信链路220交换数据和控制信息的多个IC设备202和230。通信链路220可被用于连接彼此位置靠近或者物理上位于装置200的不同部分中的IC设备202和222。在一个示例中,通信链路220可被设在搭载IC设备202和230的芯片载体、基板或电路板上。在另一示例中,第一IC设备202可位于折叠式电话的按键板部分中,而第二IC设备230可位于折叠式电话的显示器部分中。在另一示例中,通信链路220的一部分可包括电缆或光学连接。

[0058] 通信链路220可包括多个信道222、224和226。一个或多个信道226可以是双向的,并且可以工作在半双工和/或全双工模式下。一个或多个信道222和224可以是单向的。通信链路220可以是非对称的,由此在一个方向上提供较高带宽。在本文描述的一个示例中,第一通信信道222可被称为前向链路222,而第二通信信道224可被称为反向链路224。第一IC设备202可以被指定为主机系统或发射机,而第二IC设备230可以被指定为客户机系统或接

收机,即便IC设备202和230两者都被配置成在通信链路222上发射和接收。在一个示例中,前向链路222可以在将数据从第一IC设备202传达给第二IC设备230时以较高数据率操作,而反向链路224可以在将数据从第二IC设备230传达给第一IC设备202时以较低数据率操作。

[0059] IC设备202和230可各自具有处理器或其它处理和/或计算电路或设备206、236。在一个示例中,第一IC设备202可执行装置200的核心功能,包括通过无线收发机204和天线214来维护无线通信,而第二IC设备230可支持管理或操作显示控制器232的用户接口。第一IC设备202或第二IC设备230可使用相机控制器234来控制相机或视频输入设备的操作。IC设备202和230中的一者或多者所支持的其它特征可包括键盘、语音识别组件、以及其它输入或输出设备。显示器控制器232可包括支持显示器(诸如液晶显示器(LCD)面板、触摸屏显示器、指示器等)的电路和软件驱动程序。存储介质208和238可包括瞬态和/或非瞬态存储设备,其被适配成维护由相应处理器206和236、和/或IC设备202和230的其它组件所使用的指令和数据。每个处理器206、236与其相应的存储介质208和238以及其它模块和电路之间的通信可分别由一条或多条总线212和242来促成。

[0060] 反向链路224可以与前向链路222相同的方式操作,并且前向链路222和反向链路224可以能够以相当的速度或以不同的速度进行传送,其中速度可被表示为数据传输速率和/或时钟速率。取决于应用,前向和反向数据速率可以基本上相同或相差几个数量级。在一些应用中,单个双向链路226可支持第一IC设备202与第二IC设备230之间的通信。当例如前向和反向链路222和224共享相同的物理连接并以半双工方式工作时,前向链路222和/或反向链路224可被配置成以双向模式工作。在一个示例中,通信链路220可被操作以根据行业或其它标准在第一IC设备202与第二IC设备230之间传达控制、命令以及其它信息。

[0061] 在一个示例中,前向和反向链路222和224可被配置或适配成支持宽视频图形阵列(WVGA)、每秒80帧的LCD驱动器IC而不需要帧缓冲器,以810Mbps递送像素数据以供显示器刷新。在另一示例中,前向和反向链路222和224可被配置或适配成用动态随机存取存储器(DRAM)(诸如双倍数据率同步动态随机存取存储器(SDRAM)来启用通信。编码设备210和/或230可以在每一时钟转变编码多个比特,且多组导线可被用来传送和接收来自SDRAM的数据、控制信号、地址信号等。

[0062] 前向和反向链路222和224可遵循或与专用工业标准兼容。在一个示例中,MIPI标准定义应用处理器IC设备202和支持移动设备中的相机或显示器的IC设备230之间的物理层接口。MIPI标准包括管控遵循移动设备的MIPI规范的产品可操作特性的规范。MIPI标准可定义采用互补金属氧化物半导体(CMOS)并行总线。

[0063] 在一个示例中,图2的通信链路220可被实现为包括多条信号线(记为N条导线)的有线总线。这N条导线可被配置成携带编码在码元中的数据,其中时钟信息被嵌入在多条导线上传送的码元序列中。

[0064] 图3是解说在两个设备302和332之间提供的N线接口300的一个示例的示图。在发射机302处,转码器306可被用来使用N阶乘(N!)编码来将数据304和时钟信息编码在要在一组N条导线314上传送的码元中。时钟信号推导自传送时钟312并且可以通过确保在连贯码元之间的 $\binom{N}{2}$ 个信号中的至少一个上发生信令状态转变来被编码到在这N条导线314上在 $\binom{N}{2}$ 个差分信号中传送的码元序列中。当N!编码被用来驱动这N条导线314时,码元的每一比特

作为差分信号由一组差分线路驱动器310中的一者来传送,其中该组线路驱动器310中的诸差分驱动器被耦合到这N条导线中的不同导线对。导线对的可用组合的数目($N C_2$ 个)决定了能够在这N条导线314上传送的信号的数目。可以基于可用于每个码元传输区间的可用信令状态的数目来计算能够被编码到码元中的数据比特304的数目。

[0065] 终接阻抗(通常为电阻性的)将这N条导线314中的每一条耦合到终接网络316中的共用中心点318。将会领会,这N条导线314的信令状态反映了终接网络316中的电流的组合,该电流组合归因于耦合到每条导线的差分驱动器310。将会进一步领会,中心点318是零点,藉此终接网络316中的电流在该中心点处彼此抵消。

[0066] 因为链路中的这 $N C_2$ 个信号中的至少一个在连贯码元之间转变,所以 $N!$ 编码方案不需要使用单独的时钟信道和/或非归零解码。有效地,转码器306通过产生其中每个码元都不同于紧挨在其前的码元的码元序列来确保在这N条导线314上传送的每对码元之间发生转变。在图3中所描绘的示例中,提供了 $N=4$ 条导线,并且这4条导线能够携带 $4 C_2=6$ 个差分信号。转码器306可以采用映射方案来生成原始码元以供在这N条导线314上进行传输。转码器306可以将数据比特304映射到转变数集合。这些转变数随后可以被用来基于在前码元的值来选择供传输的原始码元,以使得所选择的原始码元与在前原始码元不同。在一个示例中,转变数可以被用来参照连贯原始码元中的第一码元来查找对应于连贯原始码元中的第二码元的数据值。例如,在接收机320处,转码器330可以采用映射来确定在查询表中表征连贯原始码元对之间的差别的转变数。转码器306、330在每对连贯原始码元包括两个不同码元的基础上操作。

[0067] 发射机302处的转码器306可以在每次码元转变处可用的 $N!-1$ 个码元之间进行选择。在一个示例中, $4!$ 系统在每个码元转变处为要被传送的下一码元提供了 $4!-1=23$ 个信令状态。比特率可以被计算为每传送时钟循环 \log_2 (可用状态)。在使用双倍数据率(DDR)时钟(藉此码元转变在传送时钟312的上升沿和下降沿两者处发生)的系统中,每传送时钟循环传送两个码元。传送时钟循环中的总可用状态是 $(N C_2-1)^2=(23)^2=529$,并且每个码元可传送的数据比特304的数量可以被计算为 $\log_2(529)=9.047$ 比特。

[0068] 接收设备320使用一组线路接收机322接收该码元序列,其中在该组线路接收机322中的每个接收机确定这N条导线314中的一对导线上的信令状态上的差别。相应地,使用 $N C_2$ 个接收机,其中N表示导线的数目。 $N C_2$ 个接收机322产生响应数目的原始码元作为输出。在所描绘的 $N=4$ 导线示例中,在这4条导线314上接收到的信号由6个接收机($4 C_2=6$)处理以产生被提供到相应的CDR 324和解串器326的状态转变信号。CDR 324可产生可由解串器326使用的接收时钟信号334。接收时钟信号334可以是能够由外部电路系统用来接收由转码器328提供的数据的DDR时钟信号。转码器328通过将每个下一码元与紧挨在其前的码元作比较来解码来自解串器326的收到码元块。转码器328产生对应于数据304的输出数据330,其被提供给发射机302。

[0069] 图4解说了可用于在使用 $N!$ 编码的N线系统中恢复所嵌入的时钟信息的CDR电路400的示例。所描绘的CDR电路400可适于与其它编码技术联用,并且本文所描述的某些原理还涉及例如CCIe接口。图5是解说通过CDR电路400的操作来生成的某些信号的时序图。

[0070] 在 $N!$ 接口中,从N条线408接收到的信号最初由数个($N C_2$ 个)接收机402处理,这些接收机产生相应数目的原始信号作为输出。在所解说的示例中, $N=4$ 条线408由 $4 C_2=6$ 个接收

机402处理,这些接收机产生包括表示收到码元的6个原始信号的第一状态转变信号(SI信号)420。对于从每一不同接收机输出的每一原始信号,可能存在码元 S_0 502、 S_1 504和 S_2 506之间提供的设置时间508,在该设置时间期间相应信号的状态是未定义的、不确定的、瞬态的或以其他方式是不稳定的。电平锁存器410、比较器404、置位-复位锁存器406、单稳电路426、模拟延迟元件412以及(总线化)电平锁存器410可被配置成生成表示SI信号420的经延迟实例的电平锁存信号(S信号)422,其中SI信号420由电平锁存器捕捉以提供经更新S信号422之前的延迟可通过配置延迟元件(延迟S)412来选择。

[0071] 在操作中,比较器404将SI信号420与S信号422进行比较并输出二进制比较信号(NE信号)414。置位-复位锁存器406可以从比较器404接收NE信号414并输出作为NE信号414的经滤波版本的信号(NEFLT信号)416。置位-复位锁存器406的操作可被配置成移除NE信号414中的任何瞬态不稳定性,其中该瞬态不稳定性展现为NE信号414中的尖峰510。NEFLT信号416可用于控制捕捉S信号422作为输出数据信号428的输出锁存器424。

[0072] 单稳电路426接收NEFLT信号416并产生固定宽度脉冲512,该固定宽度脉冲然后可由延迟元件412延迟以产生时钟信号(SDRCLK)418。在一些实例中,SDRCLK信号418可由外部电路系统用来对CDR 400的数据输出428进行采样。在一个示例中,SDRCLK信号418可被提供给解码器或解串器电路。电平锁存器410接收SI信号420并输出S信号422,其中电平锁存器410由SDRCLK信号418来触发或以其他方式进行控制。

[0073] 在操作中,比较器404将SI信号420与从电平锁存器410输出的S信号422进行比较。比较器404在SI信号420与S信号422相等时将NE信号414驱动至第一状态(例如,逻辑低),并且在SI信号420和S信号422不相等时将NE信号414驱动至第二状态(例如,逻辑高)。NE信号414在SI信号420和S信号422表示不同码元时处于第二状态。由此,第二状态指示转变正在进行。

[0074] 如从时序图500中可以领会的,S信号422实质上是SI信号420的经延迟和经滤波版本,其中瞬变或毛刺508已经由于SI信号420与S信号422之间的延迟514而被移除。SI信号420中的多个转变508可被反映为NE信号414中的尖峰510,但这些尖峰510通过置位-复位电路的操作而从NEFLT信号416中被掩蔽。此外,SDRCLK 418能基于使用在至电平锁存器410和置位-复位电路406的反馈路径中提供的延迟416a、412来抵抗线路偏斜和码元转变中的毛刺,藉此SDRCLK信号418控制置位-复位电路406的复位功能。

[0075] 在第一码元值 S_0 502和下一码元值 S_1 504之间的转变开始516时,SI信号420开始改变状态。由于 S_0 502与 S_1 504之间的转变期间的中间或不确定状态508的可能性,SI信号420的状态可能不同于 S_1 504。这些中间或不确定状态508可能是由例如导线间偏斜、过/欠冲、串话等导致的。

[0076] 只要比较器404检测到SI信号420与S信号422之间的值差异,NE信号414就变为高,并且NE信号414转变为高异步地使置位-复位锁存器406输出置位,从而将NEFLT信号416驱动至高。NEFLT信号416保持在其高状态直到置位-复位寄存器406由SDRCLK信号418的高状态复位。SDRCLK信号418是作为NEFLT信号416的有限脉宽版本的NE1SHOT(NE单稳)信号424的经延迟版本。SDRCLK信号418可通过使用例如模拟延迟电路412来相对于NE1SHOT信号424被延迟。

[0077] SI 420上的中间或不确定状态508可表示无效数据。这些中间或不确定状态508可

包含短时段的前一码元值 S_0 502,并且可导致NE信号414在短时间段内返回至低。SI信号420的转变可以在NE信号414上生成尖峰510。尖峰510被有效地滤除并且不出现在NEFLT信号416中。

[0078] NEFLT信号416的高状态导致SDRCLK信号418在由延迟电路412所导致的延迟时段440后转变为高。SDRCLK信号418的高状态将置位-复位锁存器406输出复位,从而导致NEFLT信号416转变至低状态。SDRCLK信号418的高状态还启用电平锁存器410,并且SI信号420值可在S信号410上输出。

[0079] 比较器404检测到S信号422(对于码元 S_1 502)匹配存在于SI信号420上的码元 S_1 502值,并将其输出(NE信号414)切换为低。NEFLT信号416的低状态导致SDRCLK信号418在由延迟电路412所导致的延迟时段442后走低。该循环对于SI信号420中的每一转变重复。在SDRCLK信号418的下降沿后的时间,新码元 S_2 506可被接收并且可使得SI信号420根据下一码元 S_2 506来切换其值。

[0080] 图6是解说采用被配置用于CCIE操作的通信总线630的装置600的某些方面的示意性框图。装置600可以包括使用CCIE总线630来通信的多个设备602、620和622a-622n。在一个示例中,成像设备602被配置成作为CCIE总线630上的从设备来操作。成像设备602可被适配成提供例如管理图像传感器的控制功能604。另外,成像设备602可包括配置寄存器或其他存储606、控制逻辑612、收发机610以及线驱动器/接收机614a和614b。控制逻辑612可包括处理电路,诸如状态机、定序器、信号处理器或通用处理器。

[0081] 收发机610可包括接收机610a、发射机610c和共用电路610b(包括定时、逻辑和存储电路和/或设备)。在一个示例中,发射机610c基于由时钟生成电路608提供的定时来编码并传送数据。常规成像设备604可能无法访问具有足够高频率的时钟以允许设备602达成CCIE总线630的所指示比特率,因为传感器设备602通常不需要或不使用125MHz或更高的时钟。然而,根据本文所公开的某些方面,接收机610a可被配置或适配成通过使用模拟延迟电路从接收到的传输直接生成时钟信号来从CCIE总线中提取接收时钟,该模拟延迟电路可消除对高频时钟的需要并由此在空闲时段期间节省功率。

[0082] 图7是解说根据本文所公开的某些方面来配置的发射机700和接收机720的简化框图。发射机700和接收机720可被适配成与各种编码技术(包括N!和CCIE)联用。发射机700包括被配置成将数据702转换成转变数714的第一转换器704。转变数714可用于基于当前码元的值来选择供传输的下一码元,其中该下一码元不同于当前码元。第二转换器706接收转变数并产生供使用适当配置的线驱动器708来在接口上传送的码元序列。由于没有连贯码元对包括两个等同码元,因此在每一次码元转变时在接口的信号线718中的至少一者中发生信令状态的转变。在接收机720处,一组线接收机726向CDR 728提供原始码元(SI) 736,该CDR 728提取接收时钟738并将捕捉到的码元(S) 734提供给将捕捉到的码元734转换成转变数732的电路。转变数可由电路722解码以提供输出数据730。

[0083] 在CCIE系统的示例中,发射机700可被配置或适配成将数据710转码成三进制(基数为3)转变数714。转变数714可以被编码在码元序列716中以便在可对应于图6中所解说的SCL 616和SDA 618导线的信号线718上传送。输入数据702的每一数据元素可包括20比特字。转码器704可接收输入数据702并产生每个数据元素的三进制数序列714。三进制数714可被编码在2个比特中,并且每个三进制序列712中可以有12个三进制数714。编码器706产

生通过线驱动器708传送的2比特码元流716。在一个示例中,线驱动器708可包括开漏输出晶体管。在另一示例中,线驱动器708可包括推挽式驱动器。通过确保没有连贯码元对包括两个相同码元,由编码器生成的2比特码元输出流716在每一对连贯码元716之间具有信号线718中的至少一者的状态转变。至少一条信号线中的状态转变可用性准许接收电路720从数据码元流716中提取接收时钟738。

[0084] 在CCIE系统中,接收机720包括向CDR 728提供原始2比特码元流736的线接口电路726。CDR 728从原始码元736中提取接收时钟738并向接收机720的其他电路722和724提供2比特码元流734和接收时钟738。在一些实例中,CDR 728可以在其输出738中产生多个时钟。解码器724可使用接收时钟738来将码元流734解码成12个三进制数的序列732。三进制数732可使用2个比特来编码。转码器722随后可将12个三进制数的每个序列732转换成20比特输出数据元素730。

[0085] 图8是解说由配置成产生供在CCIE接口上传输的码元序列716的转码器704使用的编码方案800的示图。编码方案800是作为示例提供的,并且还由转码器724用来从接收自CCIE总线718的码元中提取数据。在CCIE编码方案800中,CCIE总线718的两根导线准许定义4个基本码元S: {0,1,2,3}。码元序列716、734中的任何两个连贯码元具有不同状态,并且码元序列0,0、1,1、2,2和3,3是连贯码元的无效组合。相应地,在每个码元边界处仅3个有效码元转变可用,其中码元边界由传送时钟确定并且表示第一码元(先前码元Ps) 822终止且第二码元(当前码元Cs) 824开始的点。

[0086] 根据本文所公开的某些方面,针对每个Ps码元822,这三个可用转变被指派转变数(T) 826。T 826的值可以由三进制数表示。在一个示例中,转变数826的值通过指派用于编码方案的码元排序圆802来确定。码元排序圆802为4个可能码元分配圆802上的位置804a-804d以及位置804a-804d之间的旋转方向806。在所描绘的示例中,旋转方向806为顺时针。转变数826可以表示有效的当前码元824与前一紧邻码元822之间的间隔。间隔可被定义为从前一码元822到达当前码元Cs 824所需要的在码元排序圆802上沿旋转方向806的步数。步数可被表达为一位基数为3的数字。将领会,码元之间的三步差异可被表示为 $0_{\text{基数}-3}$ 。图8中的表820概述了采用这种办法的编码方案。

[0087] 在发射机700处,在给定先前生成的码元822和用作转变数826的输入三进制数的知识的情况下,表820可被用于查找要被传送的当前码元824。在接收机720处,表820可被用作查找表以确定表示先前接收的码元822与当前接收的码元824之间的转变的转变数826。转变数826可作为三进制数来输出。

[0088] 使用将时钟信息嵌入到码元序列中的转码器可将发射机700接收到的数据702与在信号线718上传送的码元序列716解除关联。因此,在不考虑至少一个先前传送的码元的情况下,所接收到的原始码元736无法被解码以获得相应的传输数据比特702。该解除关联可使得常规纠错技术无效。例如,常规系统可将纠错码(ECC)附加到数据702,其中该ECC是从输入数据702的预定义块大小或者分组长度中计算出的。该ECC可用于标识和/或纠正正在传输期间发生的差错,其中这些差错可包括一个或多个比特差错。

[0089] 图9提供了其中时钟信息被嵌入在N条导线920上传送的码元序列中的多线接口的操作的一般化解说。在发射机900中,ECC生成器916从将在多线接口上传送的数据比特902(也被称为数据有效载荷或传输数据902)中生成ECC 918。传输数据902可被组织为分组、一

个或多个字和/或某种其它比特配置。在一个示例中,传输数据902可包括根据MIPI标准提供的固定数目的比特。

[0090] ECC 918可使用可用于前向纠错(FEC)的任何合适的算法或技术来生成。FEC准许接收机930纠正可能影响在N条导线920上传送的码元的一个或多个比特的某些传输差错。传输差错可能由于噪声或串话、其它电磁干扰等而发生。发射机900可包括将ECC 918附加到传输数据902以获得数据分组912的模块或电路904。数据分组912可被转码以获得对传输数据902、ECC 918以及与传送时钟914有关的时钟信息进行编码的码元序列。在一个示例中,发射机900可包括将数据分组转换成转变数916的第一转换器906、以及将转变数916转换成可以使用线驱动器910来在N条导线920上传送的码元序列922的第二转换器908。

[0091] 在接收机930处,提供CDR 934以便从使用线接收机932从N条导线920接收到的信号中的原始码元序列942中提取码元944和接收时钟930。第一转换器936可将码元序列944转换成转变数946。转变数946由第二转换器938转换以提供接收到的数据分组948。接收到的数据分组948被提供给ECC生成电路或模块950,其从接收到的数据分组948中的数据比特生成接收机ECC 952。检错和/或纠错电路或模块950可将接收机ECC 952与对应于由发射机900中的ECC生成器916生成的ECC 918的收到分组ECC 948的比特进行比较。纠错电路940可尝试使用ECC 918和952来纠正收到分组ECC 948中的差错以生成传输数据902的可靠副本来作为收到数据954被输出。

[0092] 可使用汉明码来配置ECC生成器916和950。汉明码被用来提供能纠正至少单个比特差错并且在所传送的每一数据分组912中可靠地检测两个比特差错的块奇偶校验方案。可使用汉明规则来计算准确地检测两个比特差错并允许纠正单个比特差错所需的ECC 918、952中的奇偶校验或差错校验比特的数目。汉明规则可被表达为:

[0093] $d+p+1 \leq 2^p$, 其中

[0094] d是传输数据902中的比特数目,并且

[0095] p是ECC 918、952中的比特数目。

[0096] 在图9中所示的示例中,当发射机900将时钟信息914与传输数据902一起嵌入到所传送的码元序列922中时,展现为收到码元942中的一个或多个差错的传输差错可能与收到数据分组948中受影响比特的相应数目没有直接关系。在一些实例中,在N!或CCIE多码元字上发生的单个码元差错可能在逆转码后导致多个比特差错。例如,图10中的表1000解说了使用与图9中所解说的编码方案类似的编码方案的CCIE系统中的单个码元差错的影响。该表的第一行1002解说了12码元序列 $S_{11} \cdots S_0 = \{0, 3, 2, 1, 0, 3, 2, 1, 0, 3, 2, 1\}$ 的无差错传输和解码,该12码元序列编码将所有比特都设为逻辑‘0’(值=0)的20比特二进制数。其余各行解说了错误的收到码元1004(带圈)对转变数1006的影响以及经解码的十六进制值1008和相应的经解码比特1010中所导致的差错。从表1000中可以看到,单个传输差错可导致多个比特差错,其能挫败基于直接从传输数据902计算出的ECC 916的纠错方案。

[0097] 本文所公开的某些方面提供了能更可靠地与N!接口、CCIE接口和将时钟信息嵌入到码元序列中的其它接口联用的检错和/或纠错方案。例如,可以从将在多线通信链路上传送的码元值计算出ECC。因此,可以在接收机处使用ECC来纠正一个或多个码元差错。

[0098] 图11解说了在将与传送时钟1114有关的时钟信息嵌入到所传送的码元1118中的多线接口中使用的FEC方案的一般化示例。

[0099] 发射机1100包括被配置成将ECC比特1124附加到传输数据1102以获得传输数据分组1122的组合逻辑1104。第一转换器1106将传输数据分组1122转换成转变数1116,转变数1116由第二转换器1108转换成码元序列1118。使用适当配置的线驱动器1110来在N条导线1120上传送码元序列1118。ECC生成电路1112基于对传输数据1102进行编码的码元序列1118中的值来生成ECC比特1124。附加到传输数据分组1122的ECC比特1124被编码在各码元中,这些码元在N条导线1120上在码元序列1118中传送。

[0100] 在接收机1130处,提供CDR 1134以便从使用线接收机1132从N条导线1120接收到的原始码元序列1152中提取码元1154和接收时钟1156。所提取的码元1154被提供给ECC生成逻辑1142和纠错逻辑1136。ECC生成逻辑1142从收到码元1154中生成接收机ECC 1146。纠错逻辑1136可将接收机ECC 1146与从收到码元1154中解码出的ECC字1144进行比较。因此,纠错逻辑1136可检测到和/或纠正收到码元1154中的错误。第一转换器1138可以从接收自纠错逻辑1136的经纠正码元中生成转变数1148。这些转变数1148然后可由第二转换器1140转换以提供收到数据1150。

[0101] 图12解说了可以在N!接口中采用的FEC方案的示例。在该示例中,提供了3!接口,藉此发射机1200被配置成使用一组三个差分线驱动器1212来驱动3线链路1220中不同的导线对1220a、1220b、1220c。发射机1200包括通过将ECC信息1218附加到传输数据1202来形成发射机数据分组1222的分组生成器1204。转码电路1206、1208将发射机数据分组1222转换成供在3!接口上传送的码元序列1214。在该示例中,三个串行化器1210中的每一者被配置成串行化三比特码元1214中的一个比特。串行化器1210的输出被提供给差分线驱动器1212,每一差分线驱动器驱动3!接口1220中的三条导线中的一对导线1220a、1220b、1220c。

[0102] ECC生成器1216从码元序列1214计算ECC信息1218。用于编码ECC信息1216的比特数目可根据汉明规则 $d+p+1 \leq 2^p$ 来计算。图13解说了其中ECC信息1310被附加到24比特相机串行接口(CSI2)分组报头1304的一个示例。在此,CSI2分组报头1304的长度是 $d=24$ 比特。因此, $p+25 \leq 2^p$ 以准许1比特纠错和两比特检错,并且 $p \geq 5$ 的任何值满足汉明规则。关于每一对导线1220的ECC信息1218可以在三个8比特字(总共24比特)中传送。

[0103] 在该后一示例中,ECC信息1310包括针对在3!接口上传送的每一差分信号计算出的ECC 1310a、1310b、1310c。例如,3条导线可被标记为A、B和C,并且三个差分信号1220a、1220b和1220c可以分别在可用对AB、BC和CA上传送。在该示例中,ECC 1310a、1310b、1310c中的每一者具有8比特的长度。24比特CSI2分组报头1304和ECC信息1310可以在三个7码元序列1314、1316和1318中传送。

[0104] 接收机1240可使用差分接收机1244来接收三个码元序列1314、1316和1318。一组三个解串器1246提供对应于三个码元序列1314、1316和1318中的每一者的7码元集合1262。接收机1240可处理三个7码元集合1248中的每一者以提取发射机ECC 1218并且可独立地生成接收机ECC信息1264。因此,ECC生成器1254可被配置成从对CSI2分组报头1304进行编码的码元中生成接收机ECC信息1264,这些码元可以在三个7码元集合1248中的两个集合中找到。同时,携带ECC码信息1310的码元被解码以获得对应于发射机ECC信息1218的经解码ECC 1256。携带ECC码信息1310的码元可以在三个7码元集合1248中的两个集合中找到。纠错逻辑1250可被配置成将接收机ECC信息1264与经解码发射机ECC信息1256进行比较,并且标识和/或纠正对CSI2分组报头1304进行编码的三个7码元集合1248中的两个集合中的比特差

错。纠错逻辑1250的输出被提供作为接收机输出数据1260。

[0105] 图14是解说可以在CCIE接口中采用的纠错方案的示例的图示。在该示例中,发射机1400被配置成在由一对线驱动器1418在一对导线1420上传送的信号中传送2比特码元。发射机1400包括通过将ECC信息1422附加到传输数据1402来形成发射机数据分组1416的分组生成器1404。转码电路1406、1408将发射机数据分组1416转换成供在两条导线1420上传输的码元序列1414。

[0106] ECC生成器1410从码元序列1414计算ECC信息1422。用于编码ECC信息1422的比特数目可根据汉明规则 $d+p+1 \leq 2^p$ 来计算。在一个示例中,ECC信息1422是针对单个12比特CCIE字计算出的,并因此 $p+13 \leq 2^p$ 以准许1比特纠错和两比特检错,并且 $p \geq 5$ 的任何值满足汉明规则。在另一示例中,ECC信息1422是针对两个12比特CCIE字计算出的, $p+25 \leq 2^p$ 以准许1比特纠错和两比特检错,并且同样地 $p \geq 5$ 的任何值满足汉明规则。因此,将ECC信息添加到两字传输可以比添加到单字传输更高效。

[0107] 接收机1430可以使用接收机1432来从导线对1420接收码元1414。CDR1434可以从由线接收机1432接收到的原始码元1442中提供接收时钟1448和码元序列1444。码元序列1444被提供给纠错逻辑1436和ECC生成器1452。纠错逻辑1436可将ECC生成器1452提供的ECC与从码元序列1444中解码的发射机ECC 1422的版本1456进行比较。基于该比较,纠错逻辑1436可标识和/或纠正码元序列1444中的比特差错。纠错逻辑1436的输出可被提供给转码器逻辑1438、1440以产生接收机输出数据1450。

[0108] 图15是解说用于N线通信链路上的数据通信的方法的流程图1500。通信链路可包括携带使用合适的编码方案(诸如N!编码、CCIE编码、多相编码、多线差分编码等)来编码的码元的多个连接器。连接器可包括导电线、光信号导体、半导互连等。该方法可由传送设备的一个或多个处理器来执行。

[0109] 在步骤1502,将数据有效载荷转换成转变数集合。

[0110] 在步骤1504,将该转变数集合转换成码元序列。该转变数集合可通过使用转变数来选择相对于当前码元的下一码元而被转换成码元序列。转变数的值可表示当前码元与可用码元表中的下一码元之间的间隔。

[0111] 在步骤1506,从该码元序列中对应于数据有效载荷的码元计算ECC。

[0112] 在步骤1508,将ECC附加到数据有效载荷以使得该转变数集合包括对应于ECC的转变数。

[0113] 根据本文所公开的某些方面,可针对在多条信号线上传送的多个信号中的每一者计算纠错码。该多个信号可对应于码元序列。针对多个信号计算出的纠错码可被附加到数据有效载荷。该多个信号中的每一者可对应于码元序列中的每一码元中的比特。

[0114] 根据本文所公开的某些方面,针对码元中的不同比特计算出的和/或针对用码元序列编码的多个信号计算出的ECC可用于纠正该码元序列中的多个差错。例如,多个ECC可用于在对应于码元中的不同比特的两个或更多个信号各自具有单个差错时纠正在码元序列中发生的多个差错。

[0115] 在步骤1510,在多条信号线上传送码元序列。在一个示例中,可以在CCIE总线中提供该多条信号线并且数据有效载荷可包括两个CCIE字。在另一示例中,可通过在选自多条信号线的两条信号线的不同组合上所携带的差分信号上传送码元序列中的每一码元来传

送码元序列。每一差分信号可对应于每一码元中的比特,并且可针对每一差分信号计算纠错码。

[0116] 根据本文所公开的某些方面,可以在码元序列中编码时钟信息。可通过确保码元序列中的每一对连贯码元包括在多条信号线上产生不同信令状态的两个码元来编码时钟信息。

[0117] 图16是解说采用处理电路1602的装置的硬件实现的简化示例的示图1600。该处理电路通常具有处理器1616,处理器1616可包括微处理器、微控制器、数字信号处理器、定时器和状态机中的一者或多者。处理电路1602可以用由总线1620一般化地表示的总线架构来实现。取决于处理电路1602的具体应用和整体设计约束,总线1620可包括任何数目的互连总线和桥接器。总线1620将包括一个或多个处理器和/或硬件模块(由处理器1616、模块或电路1604、1606、1608和1610、可配置成通过连接器或导线1614通信的线接口电路1612、以及计算机可读存储介质1618表示)的各种电路链接在一起。总线1620还可链接各种其他电路,诸如定时源、外围设备、稳压器和功率管理电路,这些电路在本领域中是众所周知的,且因此将不再进一步描述。

[0118] 处理器1616负责一般性处理,包括执行存储在计算机可读存储介质1616上的软件。该软件在由处理器1616执行时使处理电路1602执行上文针对任何特定装置描述的各种功能。计算机可读存储介质1618还可被用于存储由处理器1616在执行软件时操纵的数据,包括从在连接器1614上传送的码元中解码的数据。处理电路1602进一步包括模块1604、1606、1608和1610中的至少一个模块。模块1604、1606、1608和1610可以是在处理器1616中运行的软件模块、驻留/存储在计算机可读存储介质1618中的软件模块、耦合至处理器1616的一个或多个硬件模块、或其某种组合。模块1604、1606、1608和/或1610可包括微控制器指令、状态机配置参数、或其某种组合。

[0119] 在一种配置中,用于无线通信的装置1600包括被配置成将数据有效载荷转换成转变数集合并且被进一步配置成将转变数集合转换成码元序列的模块和/或电路1604;被配置成从该码元序列中对应于数据有效载荷的码元计算ECC的模块和/或电路1606;被配置成将ECC附加到数据有效载荷以使得该转变数集合包括对应于ECC的转变数的模块和/或电路1608;以及被配置成在多条信号线1614上传送该码元序列的模块和/或电路1610、1612。在一个示例中,图11、12和14中所解说的电路提供实现由装置1302执行的各种功能的逻辑。

[0120] 图16是解说一装置的硬件实现的简化示例的示图1600。图17是解说用于N线通信链路上的数据通信的方法的流程图1700。通信链路可包括携带使用合适的编码方案(诸如N!编码、多相编码、多线差分编码等)来编码的码元的多个连接器。连接器可包括导电线、光信号导体、半导互连等。该方法可由接收设备的一个或多个处理器来执行。

[0121] 在步骤1702,从多条信号线接收码元序列。该多条信号线在一个示例中可以在CCIe总线中提供,而在另一示例中可以在N!接口中提供。

[0122] 在步骤1704,从该码元序列中的多个码元计算第一ECC。该码元序列中的每一码元可作为在选自多条信号线的两条信号线的不同组合上所携带的差分信号集合来被接收。该差分信号集合中的每一差分信号可对应于每一码元中的比特。可通过针对每一差分信号计算ECC来计算第一ECC。该多个码元可对应于该码元序列中所携带的数据有效载荷。数据有效载荷可包括两个CCIe字。

[0123] 在步骤1706,可将该码元序列转换成转变数集合。可通过将转变数推导为表示当前码元与可用码元表中紧接在前的码元的出现之间的间隔的值来将码元序列转换成转变数集合。

[0124] 在步骤1708,可转换该转变数集合以获得包括数据有效载荷和第二ECC的数据分组。第二ECC可能已经由该码元序列的传送方计算出。

[0125] 在步骤1710,可以基于第一ECC与第二ECC的比较来确定该码元序列中是否存在一个或多个差错。基于该确定,可使用第一ECC和第二ECC来纠正该码元序列中的至少一个差错。

[0126] 在步骤1712,提供有效载荷数据作为接收机输出数据。

[0127] 根据本文所公开的某些方面,从码元序列中提取接收时钟。时钟信息可以嵌入在与码元序列中的码元相关联的信令状态的变化中。码元序列中的每对连贯码元可包括与该多条信号线上的不同信令状态相关联的两个码元。

[0128] 根据本文所公开的某些方面,可以从码元序列计算多个第一纠错码。每一纠错码可对应于码元序列中的每一码元中的比特。可通过将该多个第一纠错码中的每一者与附加到数据分组的相应第二纠错码进行比较来确定码元序列中是否存在一个或多个差错。可基于第一纠错码与相应第二纠错码的比较来检测或纠正多个信号中的个体信号中的差错。

[0129] 图18是解说采用处理电路1802的装置的硬件实现的简化示例的示图1800。该处理电路通常具有处理器1816,处理器1816可包括微处理器、微控制器、数字信号处理器、定序器和状态机中的一者或多者。处理电路1802可以用由总线1820一般化地表示的总线架构来实现。取决于处理电路1802的具体应用和整体设计约束,总线1820可包括任何数目的互连总线和桥接器。总线1820将包括一个或多个处理器和/或硬件模块(由处理器1816、模块或电路1804、1806和1808、可配置成通过连接器或导线1814通信的线接口电路1812、以及计算机可读存储介质1818表示)的各种电路链接在一起。总线1820还可链接各种其他电路,诸如定时源、外围设备、稳压器和功率管理电路,这些电路在本领域中是众所周知的,且因此将不再进一步描述。

[0130] 处理器1816负责一般性处理,包括执行存储在计算机可读存储介质1816上的软件。该软件在由处理器1816执行时使处理电路1802执行上文针对任何特定装置描述的各种功能。计算机可读存储介质1818还可被用于存储由处理器1816在执行软件时操纵的数据,包括从在连接器1814上传送的码元中解码的数据。处理电路1802进一步包括模块1804、1806、1808和1810中的至少一个模块。模块1804、1806、1808和1810可以是在处理器1816中运行的软件模块、驻留/存储在计算机可读存储介质1818中的软件模块、耦合至处理器1816的一个或多个硬件模块、或其某种组合。模块1804、1806、1808和1810可包括微控制器指令、状态机配置参数、或其某种组合。

[0131] 在一种配置中,用于无线通信的装置1800包括被配置成从多条信号线1814接收码元序列的模块和/或电路1806、1812;被配置成从该码元序列中的多个码元计算第一ECC的模块和/或电路1808,该多个码元对应于该码元序列中所携带的数据有效载荷;被配置成将该码元序列转换成转变数集合并且被进一步配置成转换该转变数集合以获得包括数据有效载荷和第二ECC的数据分组的模块和/或电路1804;被配置成基于第一ECC与第二纠错码的比较来确定该码元序列中是否存在一个或多个差错的模块和/或电路1808;以及被配置

成提供数据有效载荷作为接收机输出数据的模块和/或电路1804、1808。在一个示例中,图11、12中所解说的电路提供实现由装置1802执行的各种功能的逻辑。

[0132] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所给出的具体次序或层次。

[0133] 提供先前描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于…的装置”来明确叙述的。

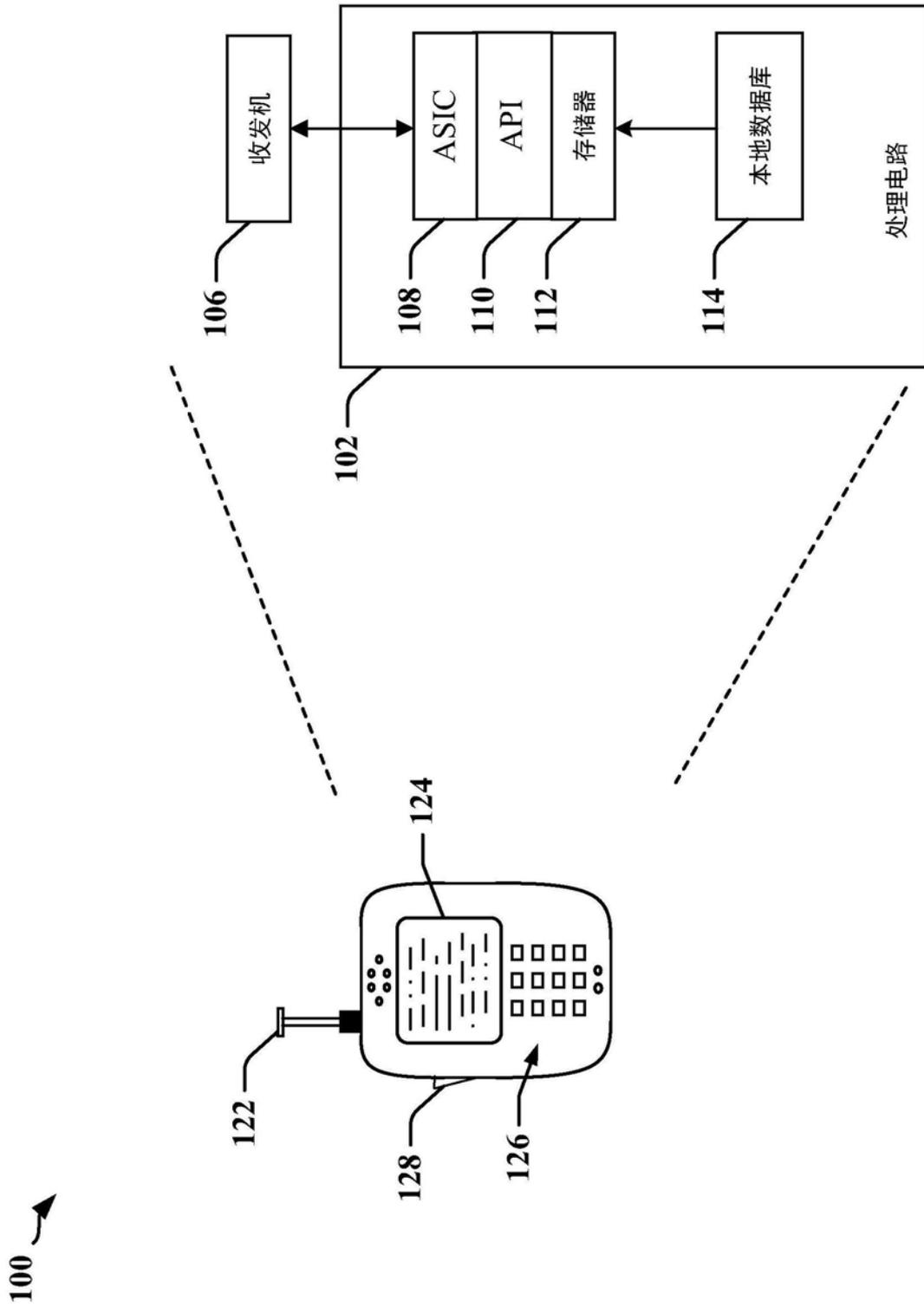


图1

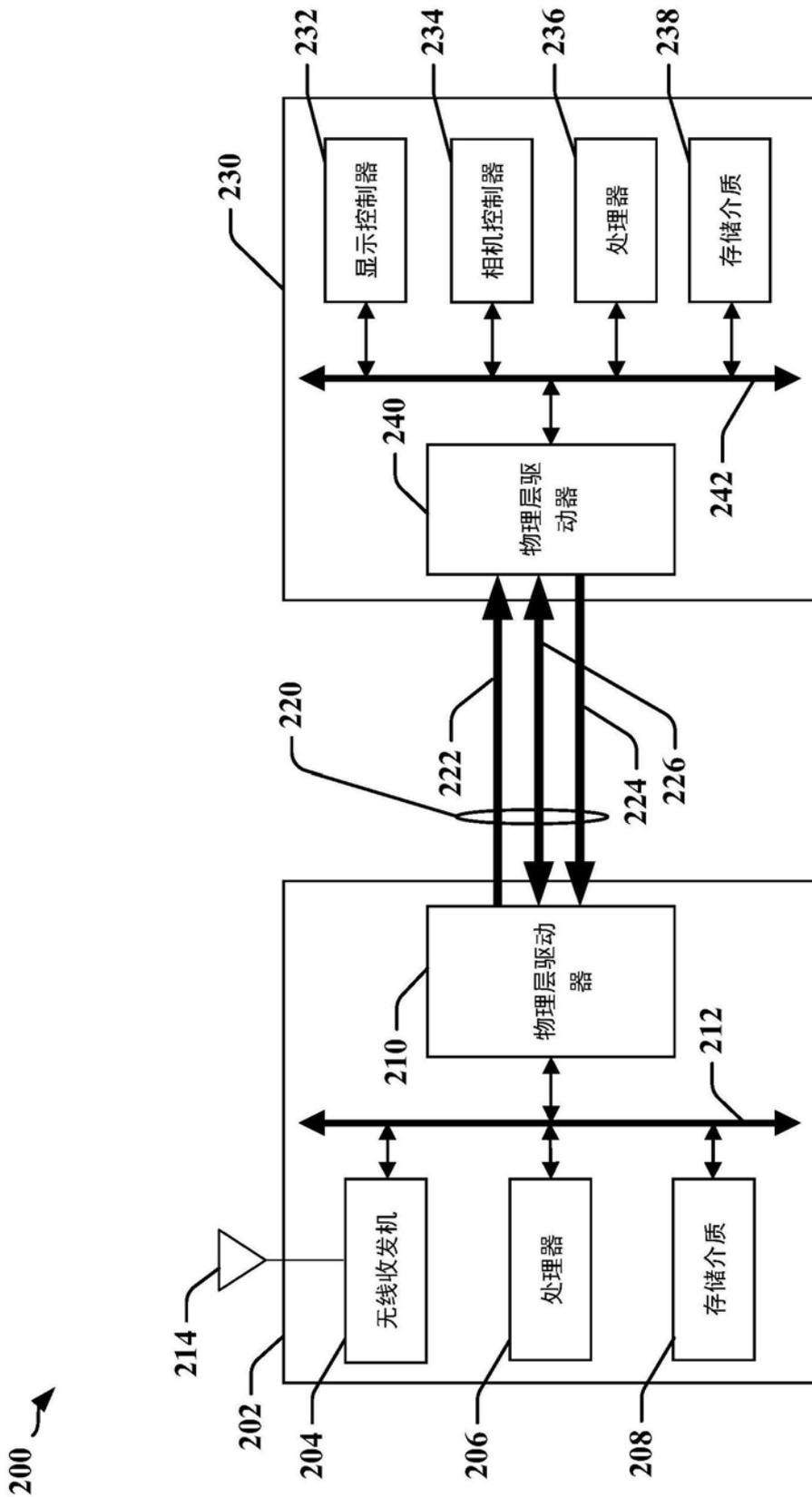


图2

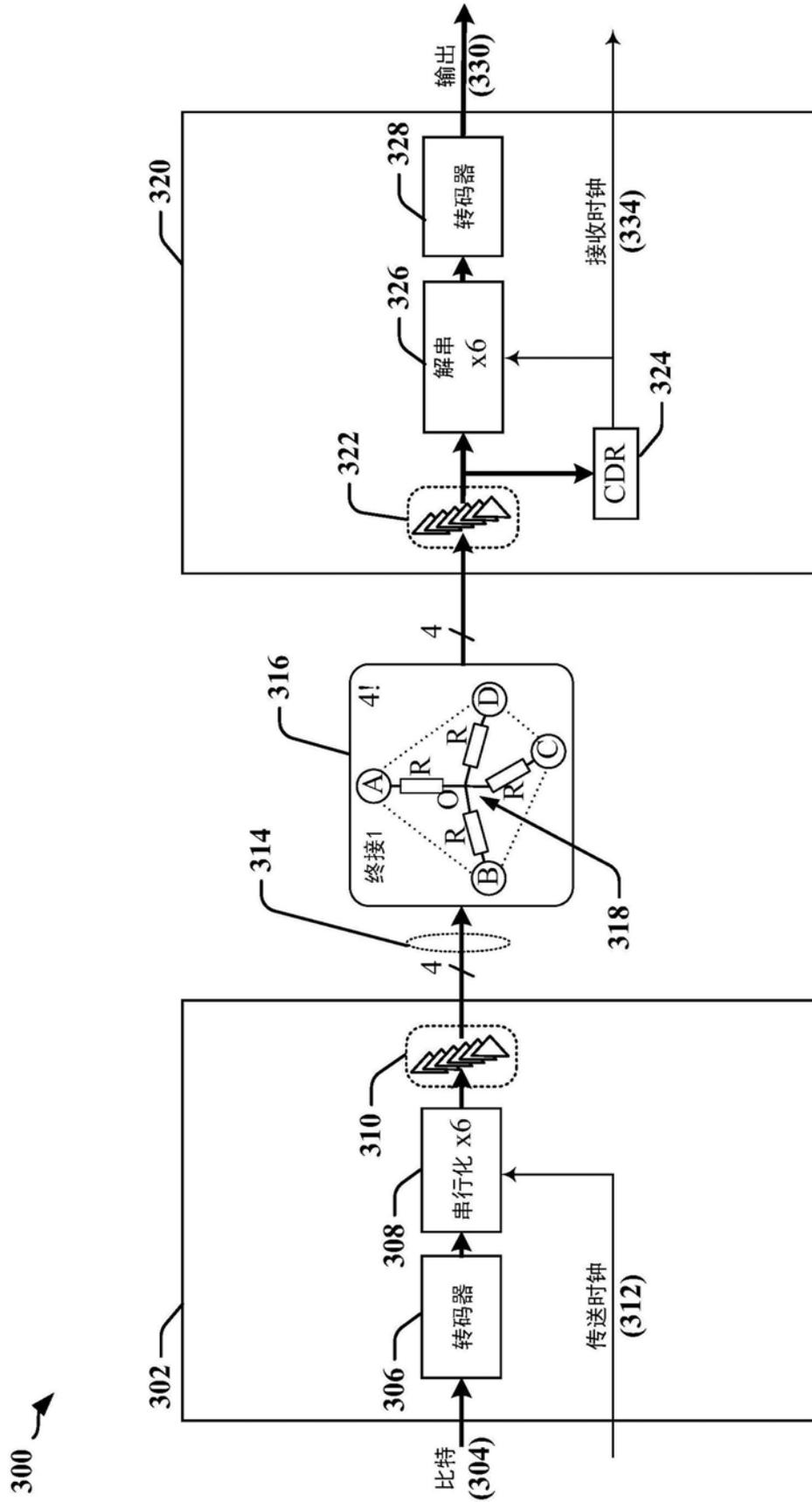


图3

400 ↗

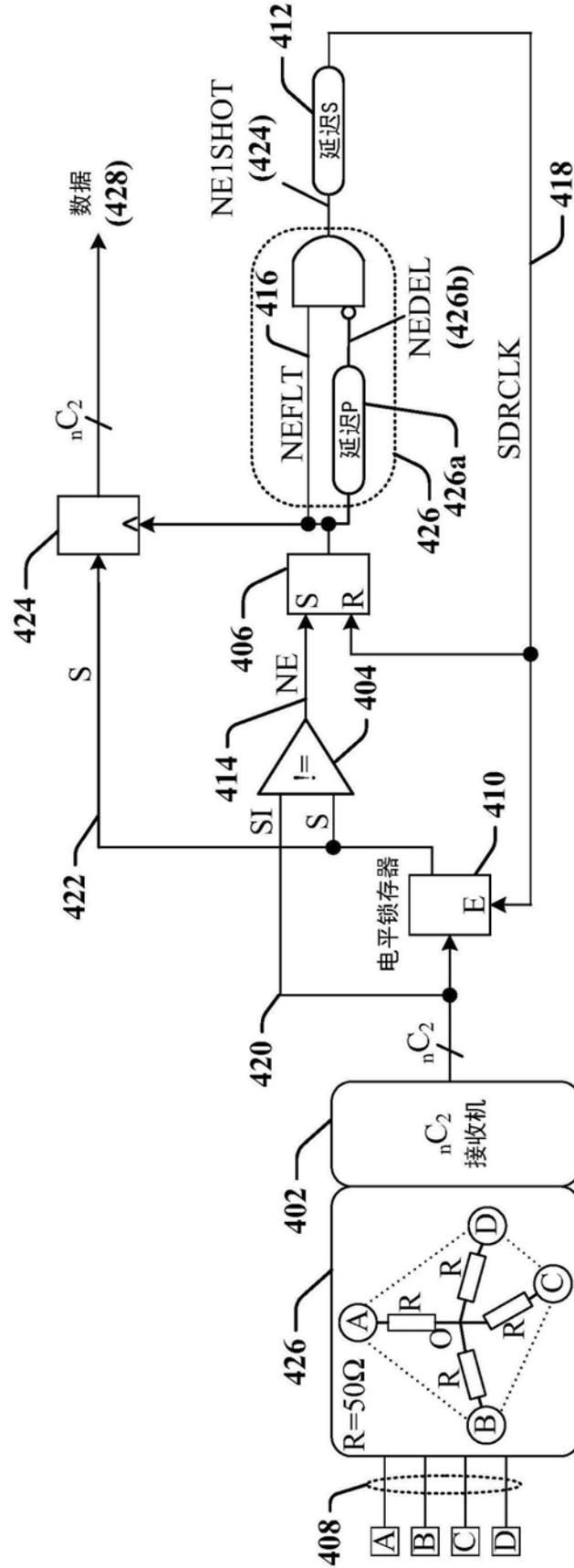


图4

500 ↗

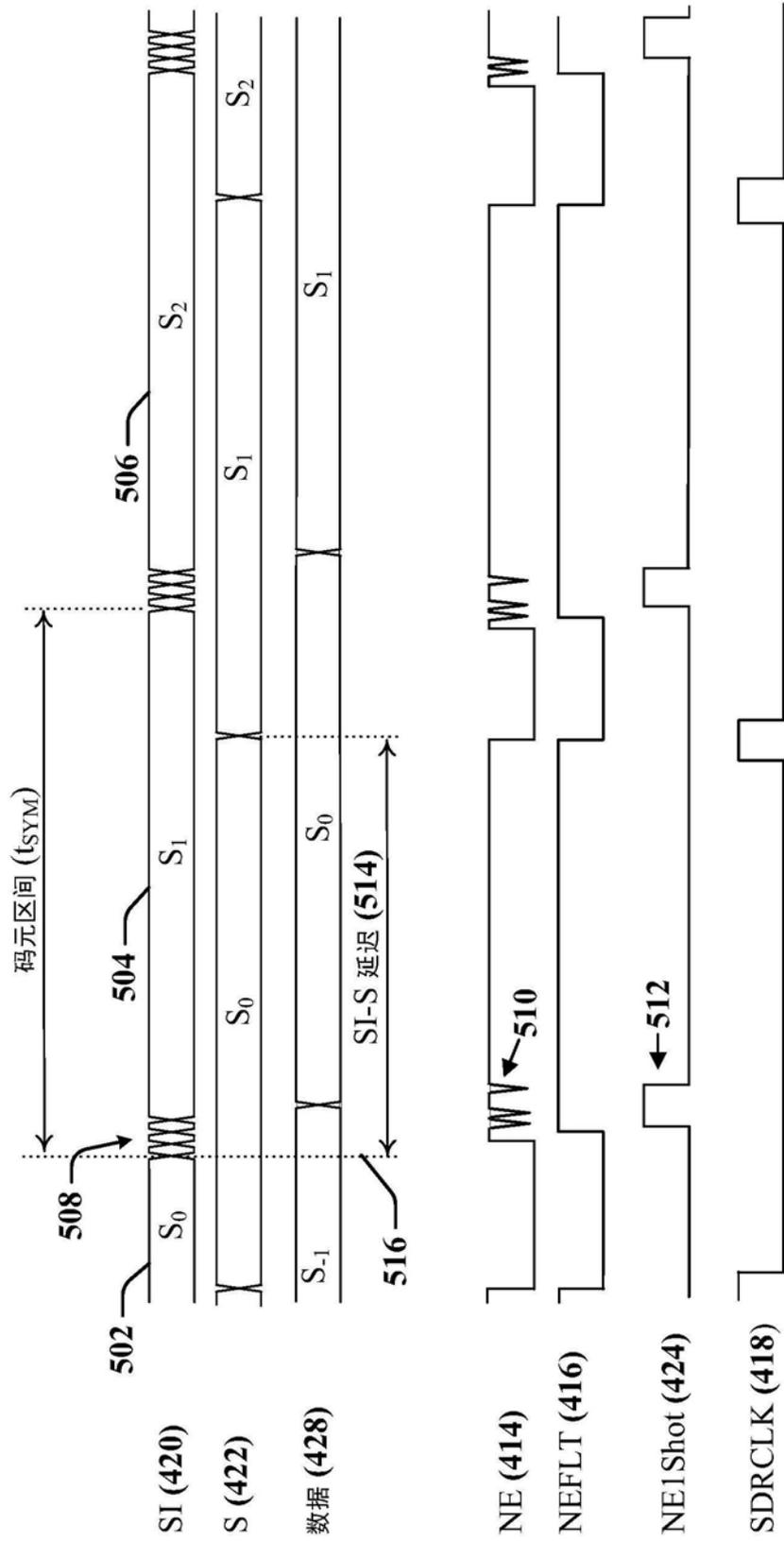


图5

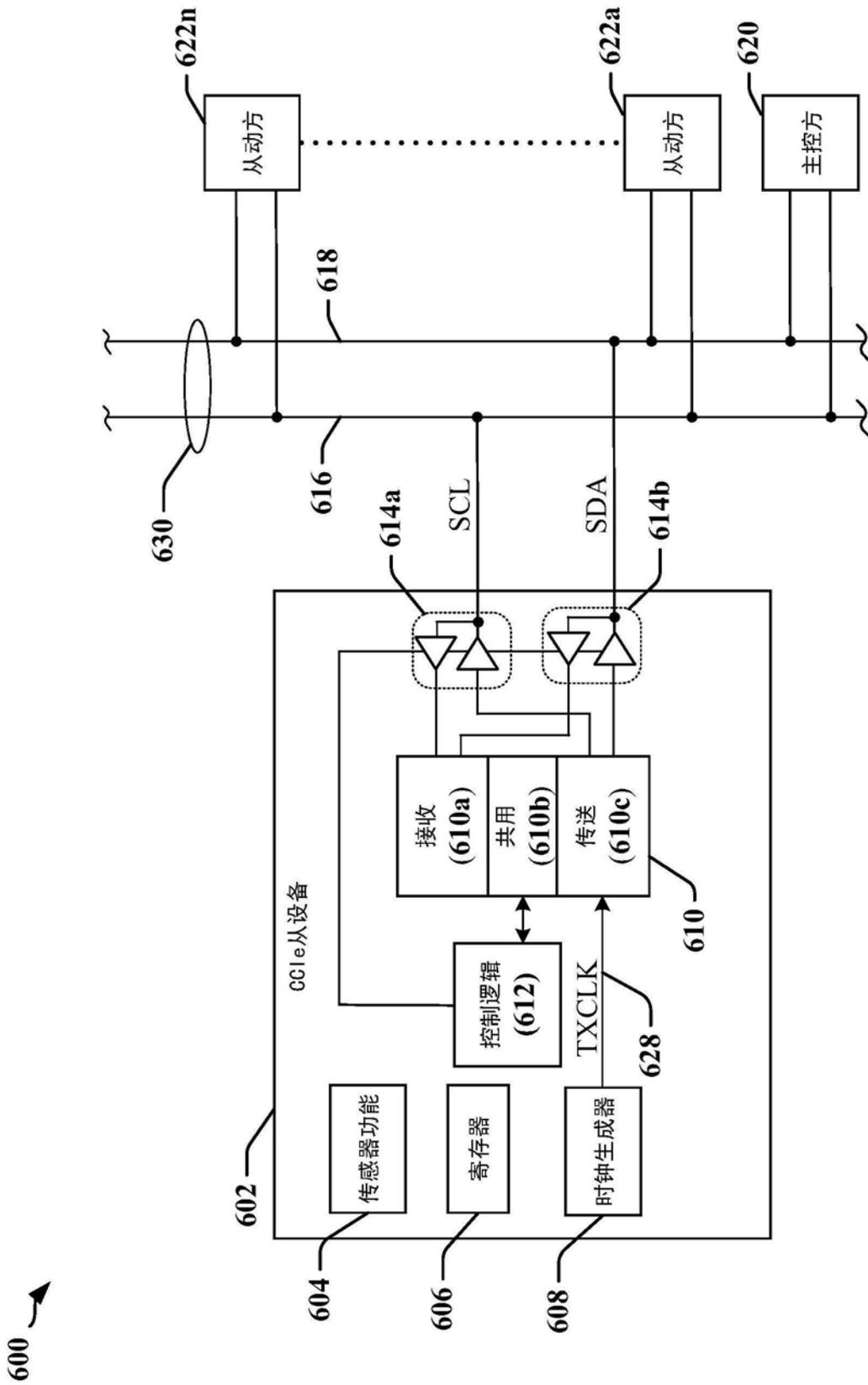


图6

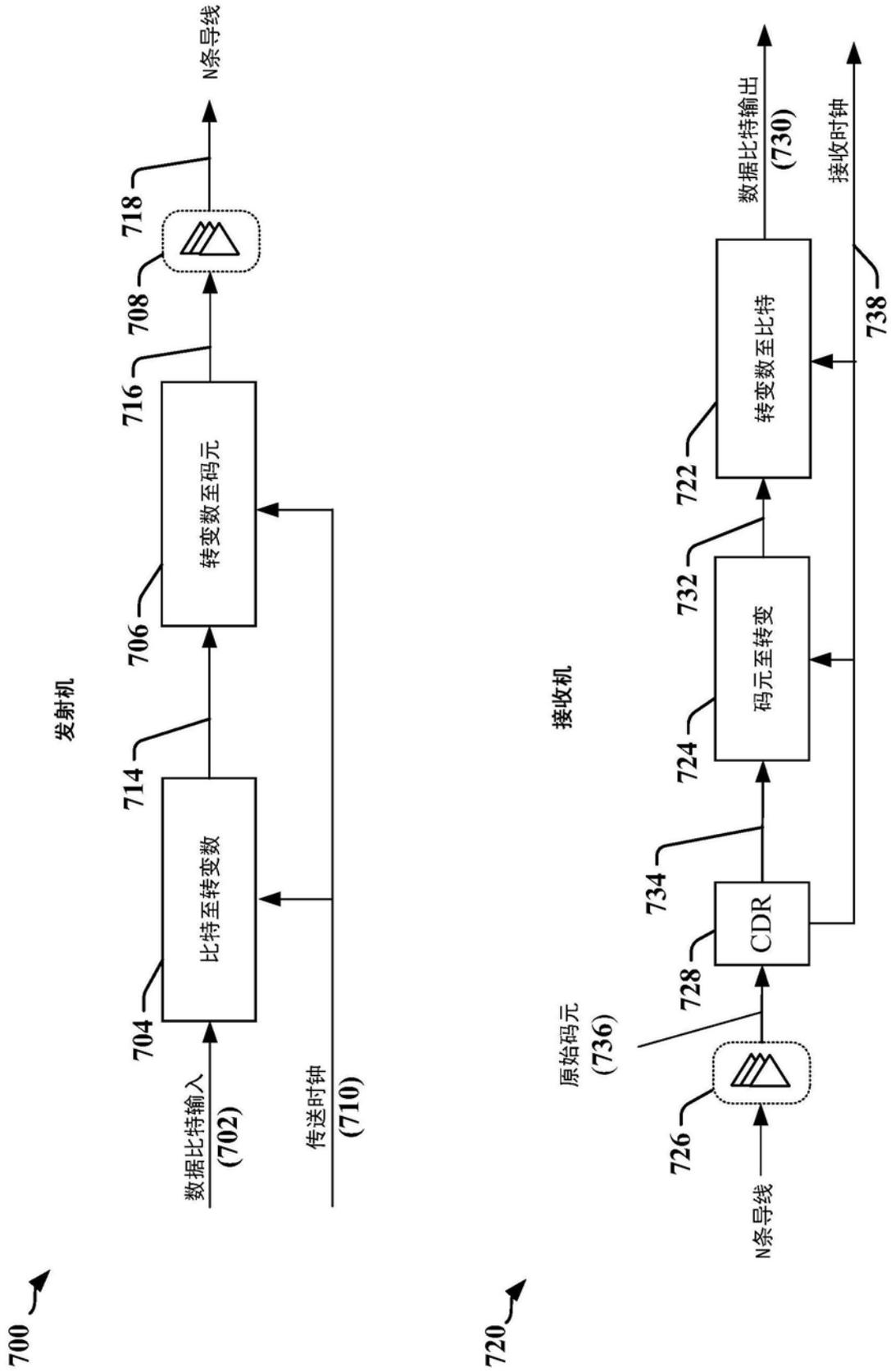


图7

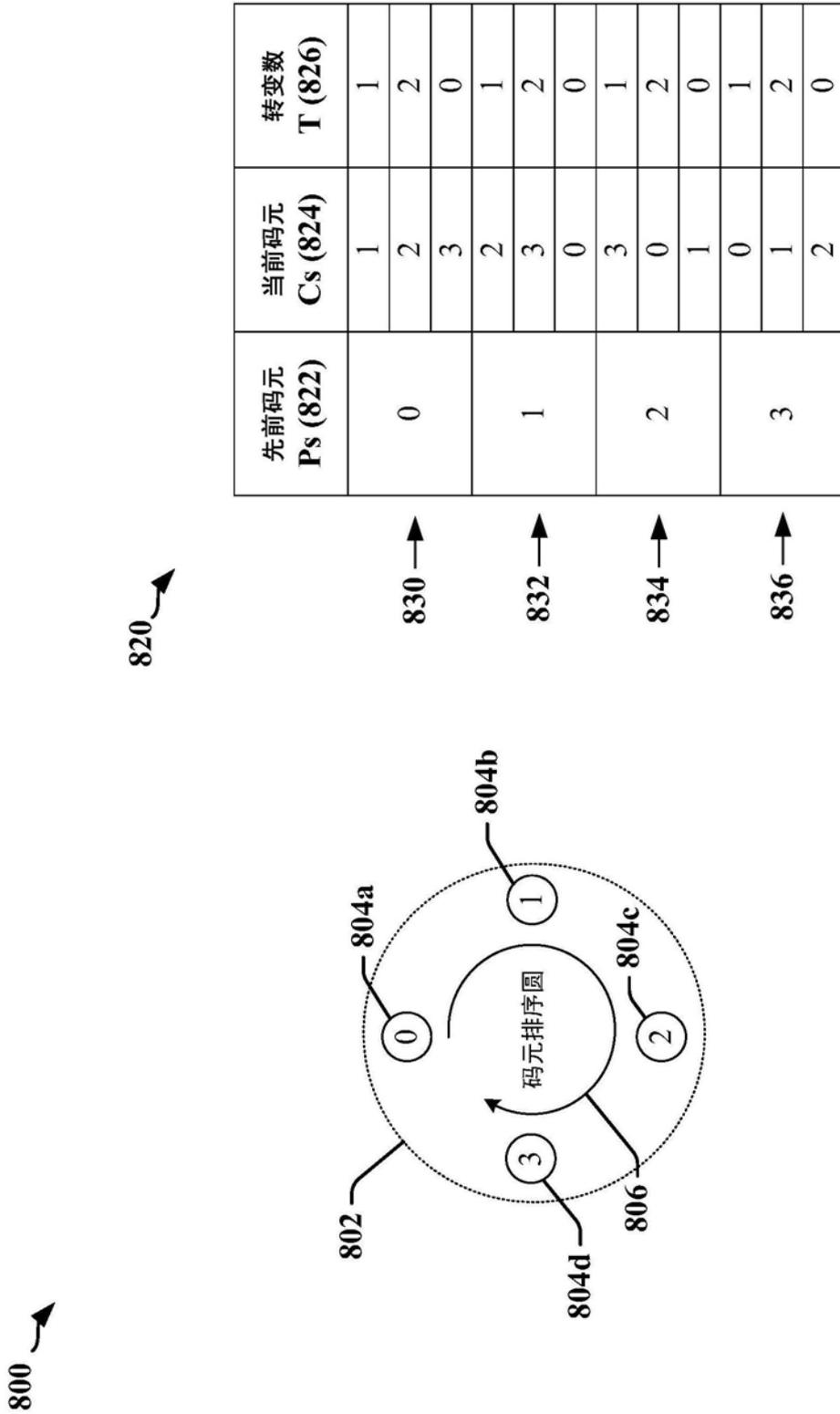


图8

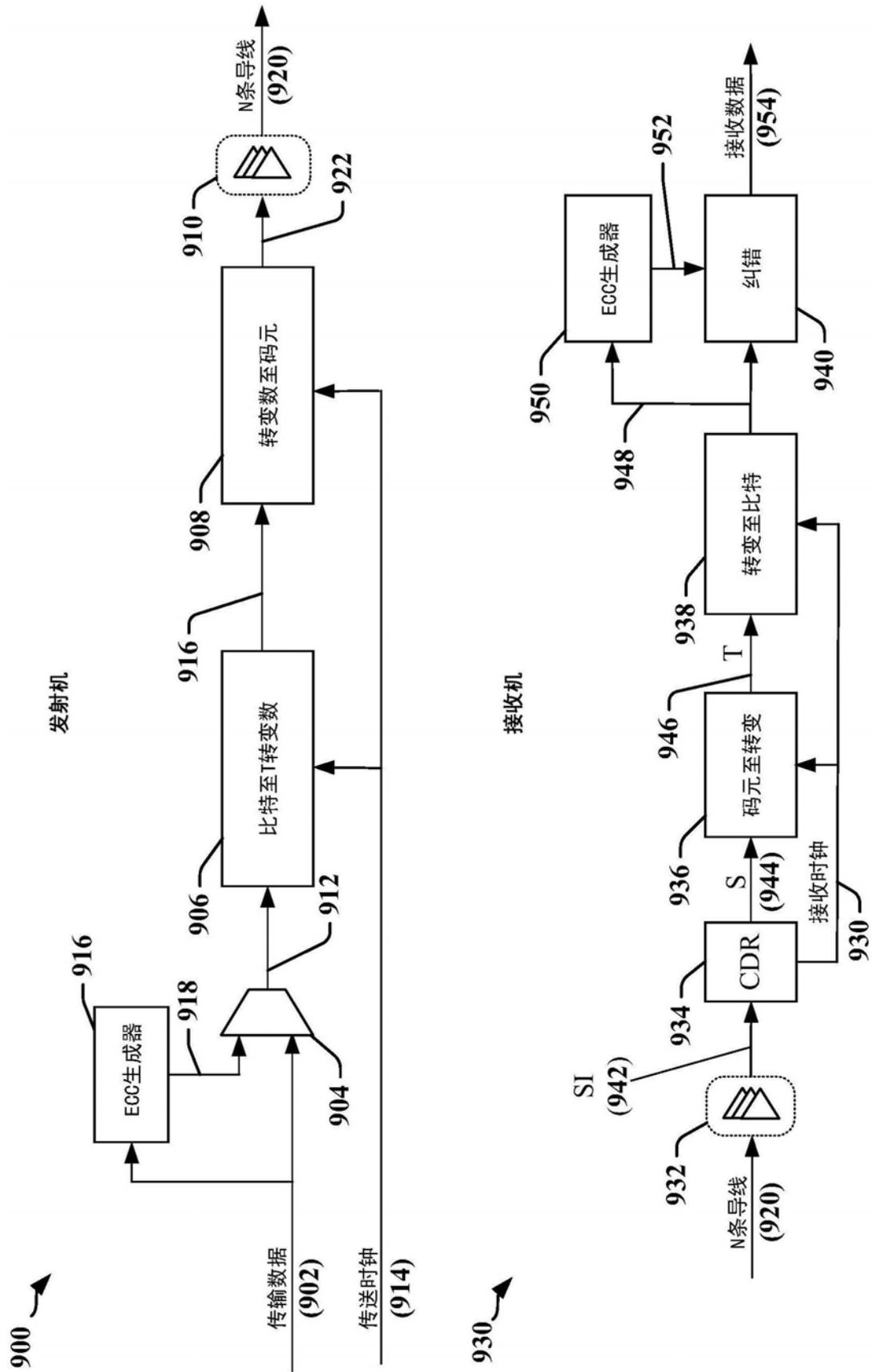


图9

码元	T11...T0	十六进制	比特 [19...0]
0321_0321_0321	0000_0000_0000	00000	0000_0000_0000_0000_0000
0321_0321_0321 ^①	0000_0000_0002	00002	0000_0000_0000_0000_0010
0321_0321_0321 ^③	0000_0000_0001	00001	0000_0000_0000_0000_0001
0321_0321_03 ^① 1	0000_0000_0011	00004	0000_0000_0000_0000_0100
0321_0321_0 ^① 21	0000_0000_0110	0000C	0000_0000_0000_0000_1100
0321_0321_ ^② 321	0000_0000_1100	00024	0000_0000_0000_0010_0100
0321_0321 ^③ _0321	0000_0001_1000	0006C	0000_0000_0000_0110_1100
0321_03 ^① 1_0321	0000_0011_0000	00144	0000_0000_0001_0100_0100
0321_0 ^① 21_0321	0000_0110_0000	003CC	0000_0000_0011_1100_1100
0321_ ^② 321_0321	0000_1100_0000	00B64	0000_0000_1011_0110_0100
0321 ^③ _0321_0321	0001_1000_0000	0222C	0000_0010_0010_0010_1100
03 ^② 1_0321_0321	0011_0000_0000	06684	0000_0110_0110_1000_0100
0 ^① 21_0321_0321	0110_0000_0000	1338C	0001_0011_0011_1000_1100
^② 321_0321_0321	1100_0000_0000	39AA4	0011_1001_1010_1010_0100

图10

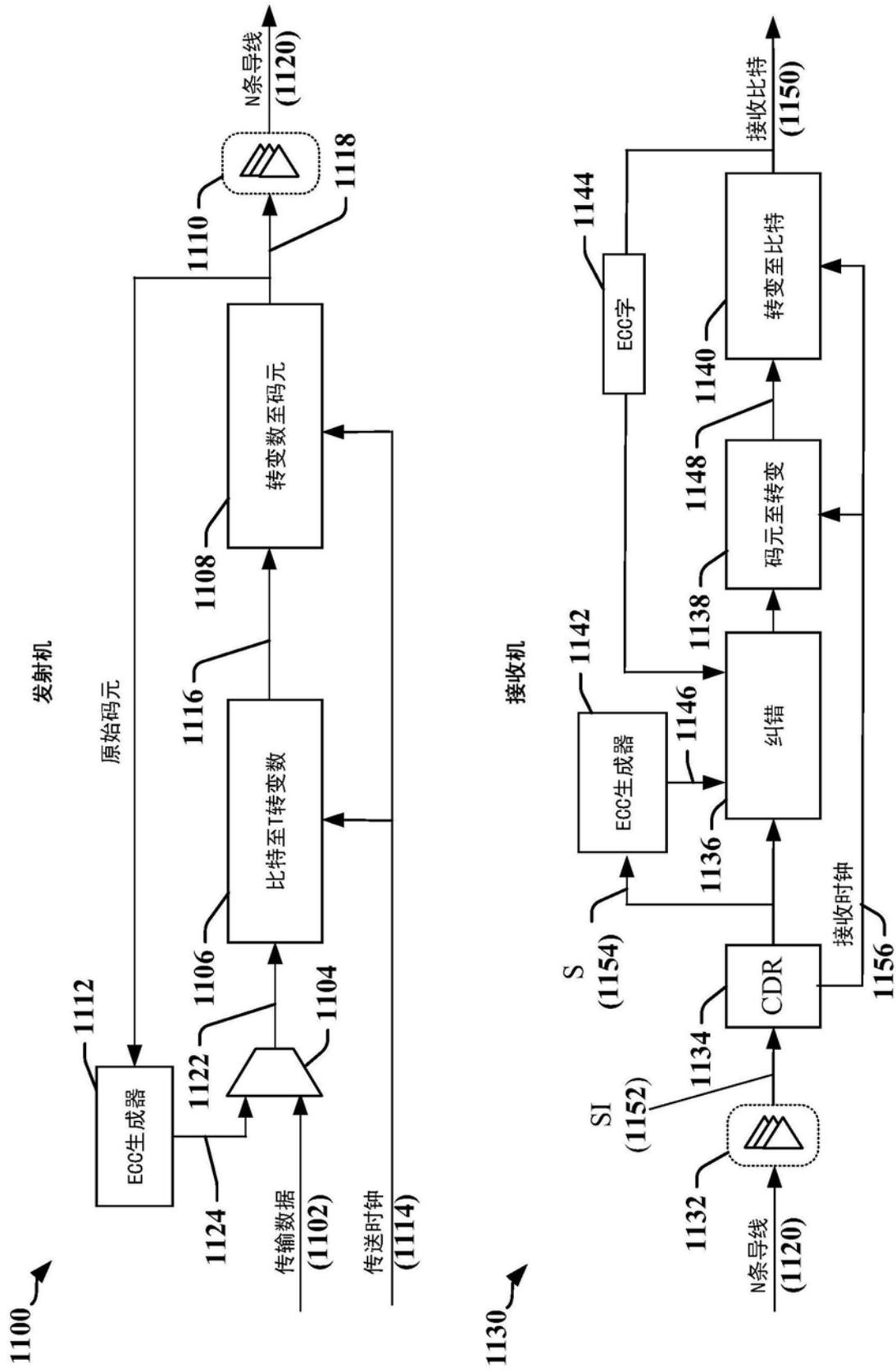


图11

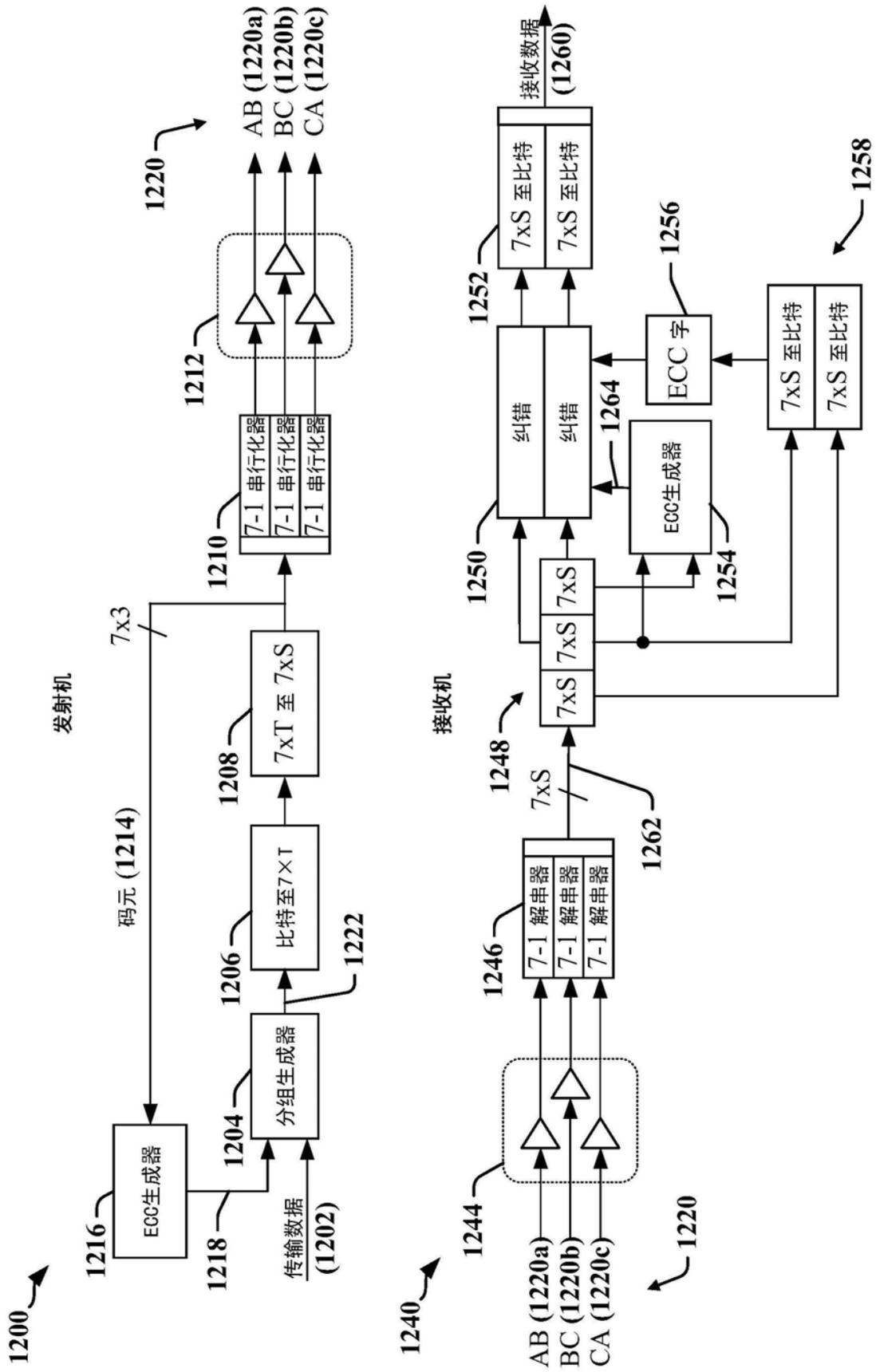


图12

1300 ↗

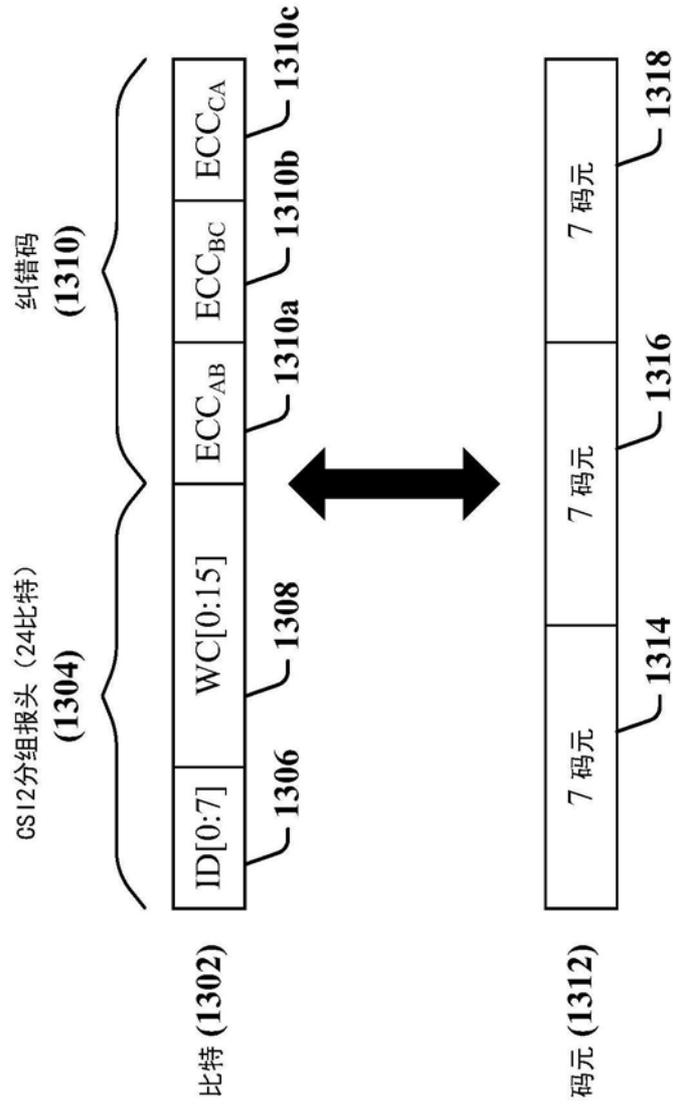


图13

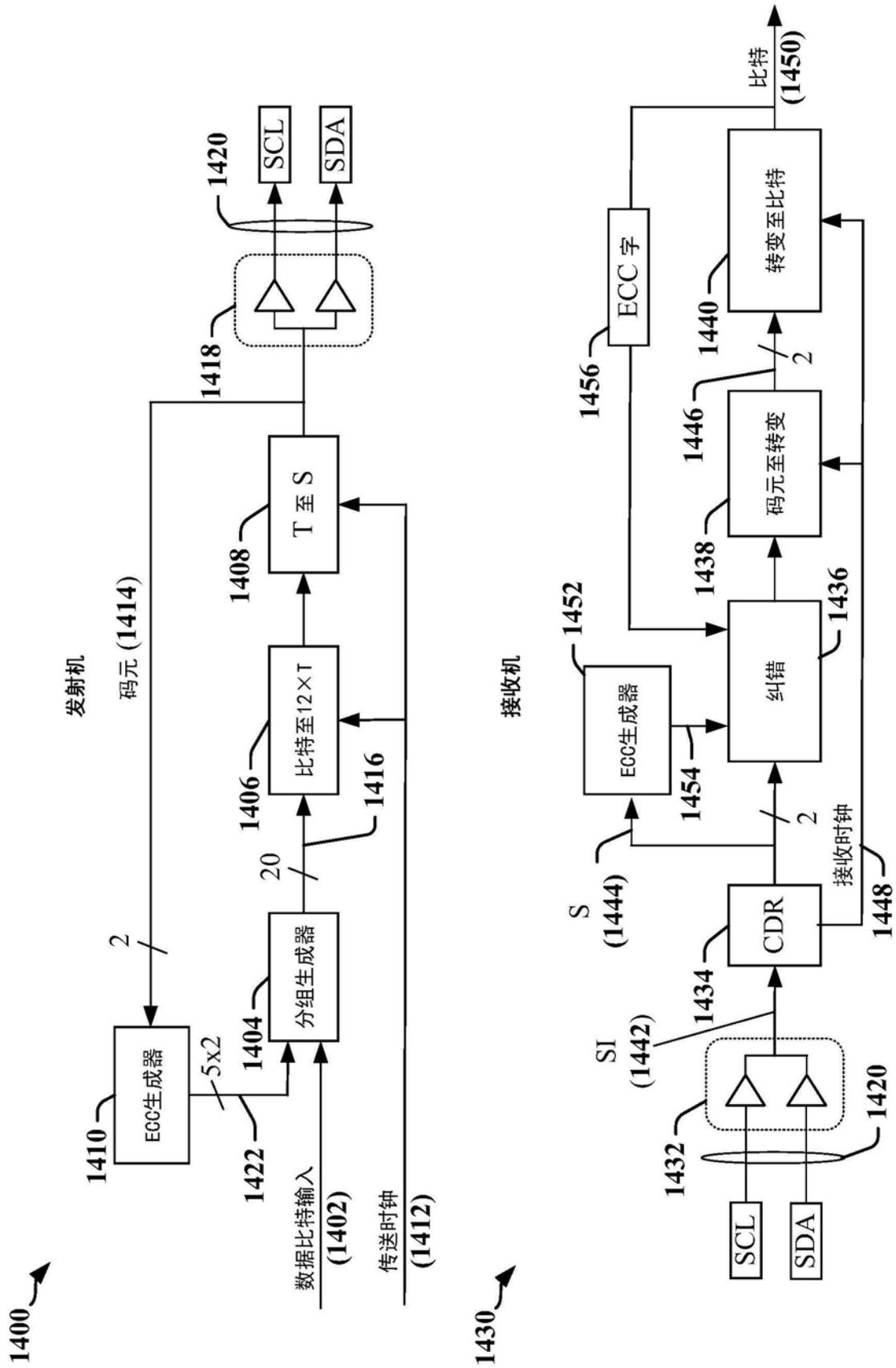


图14

1500 ↗

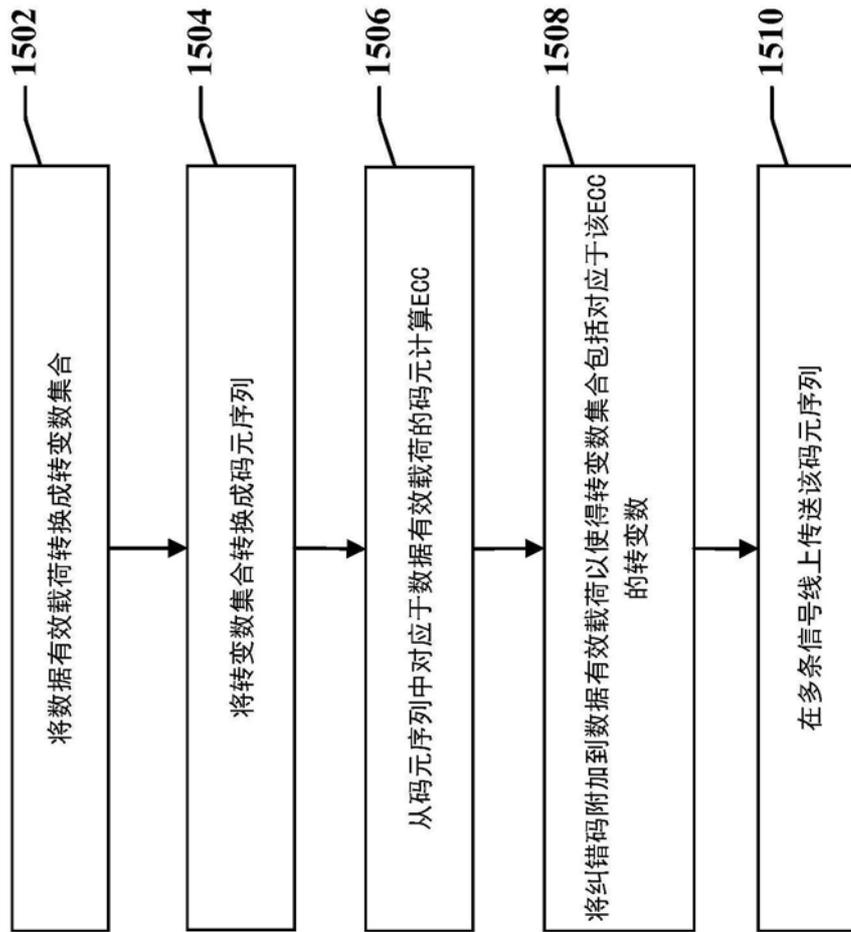


图15

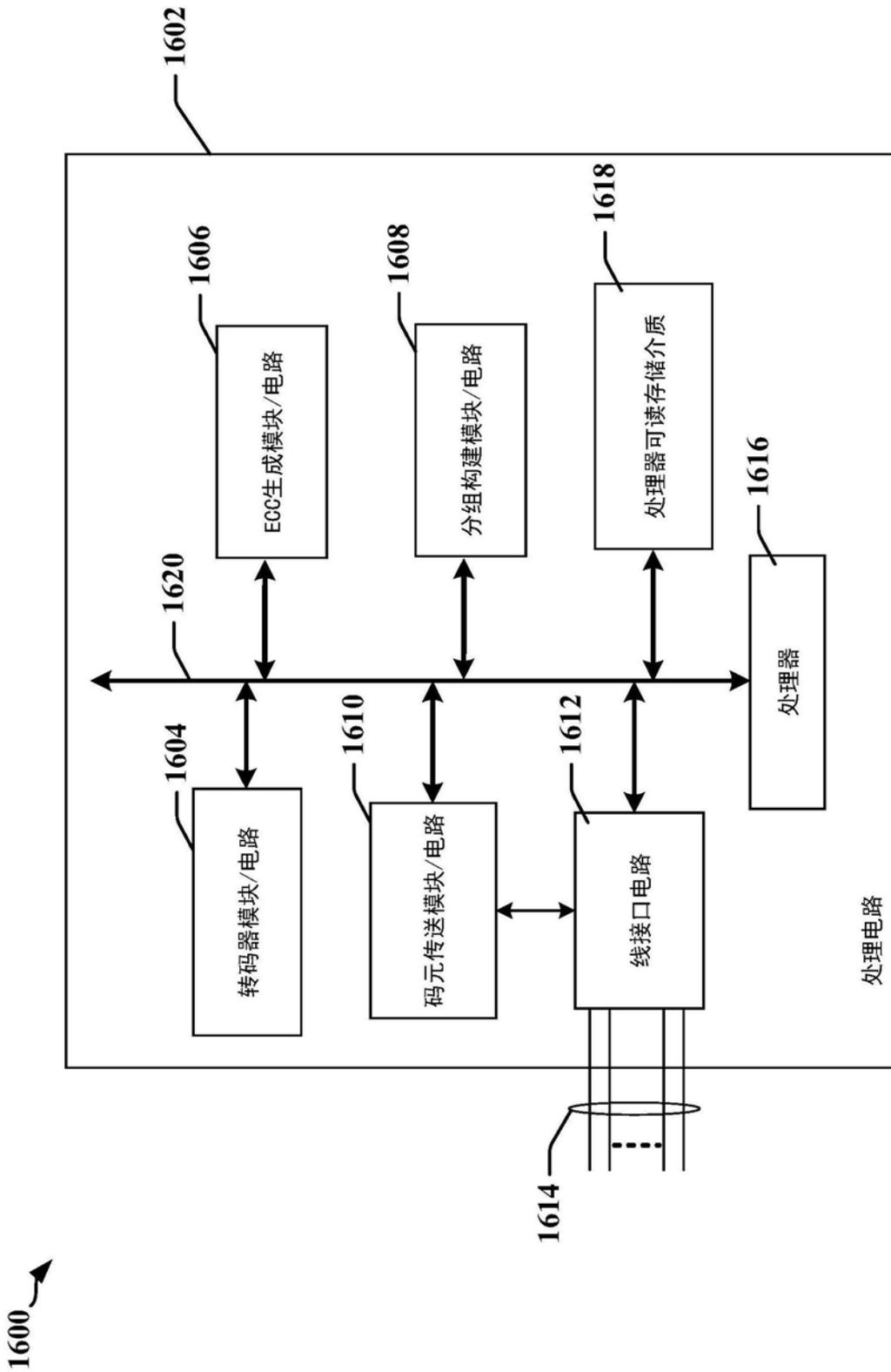


图16

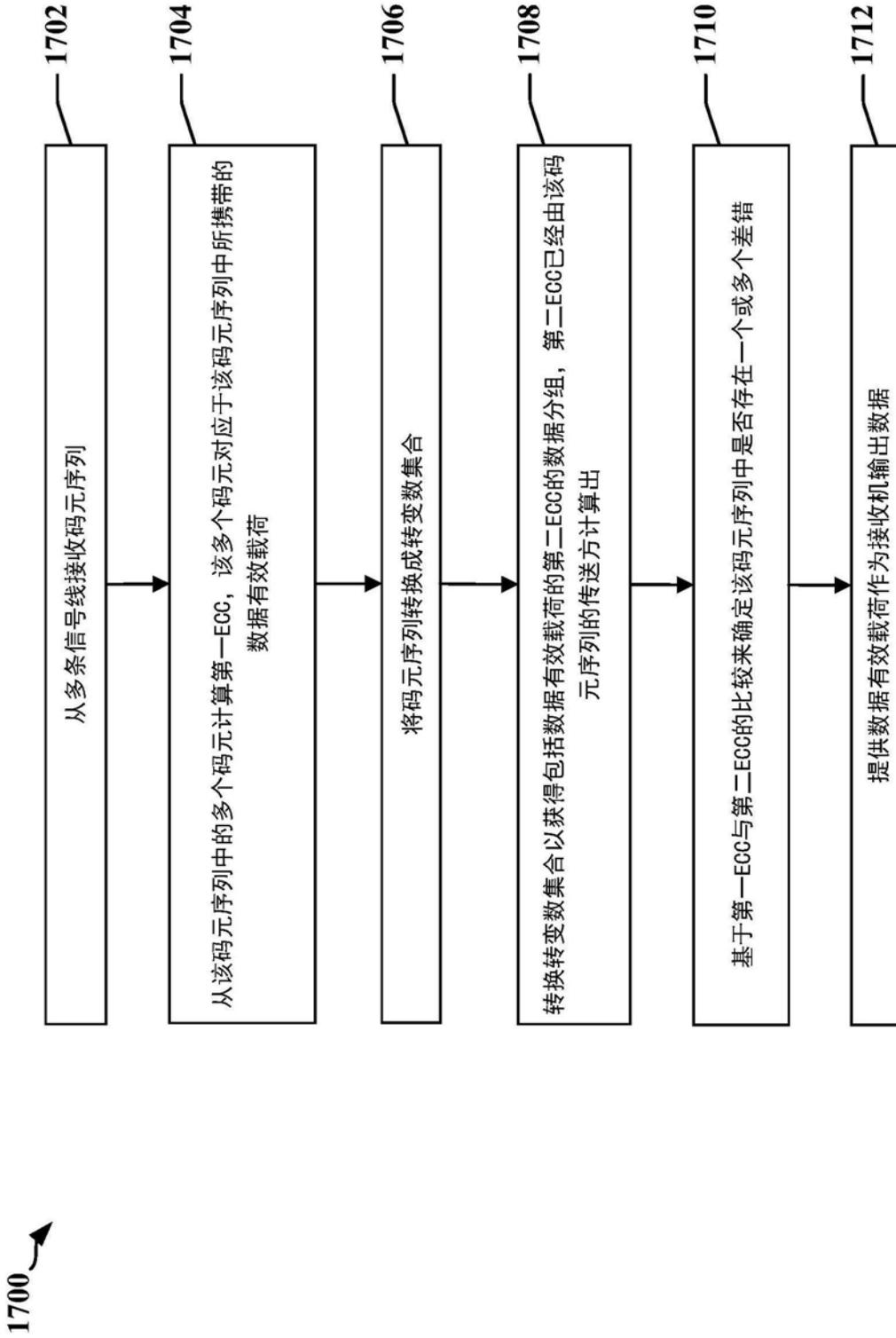


图17

1800 ↗

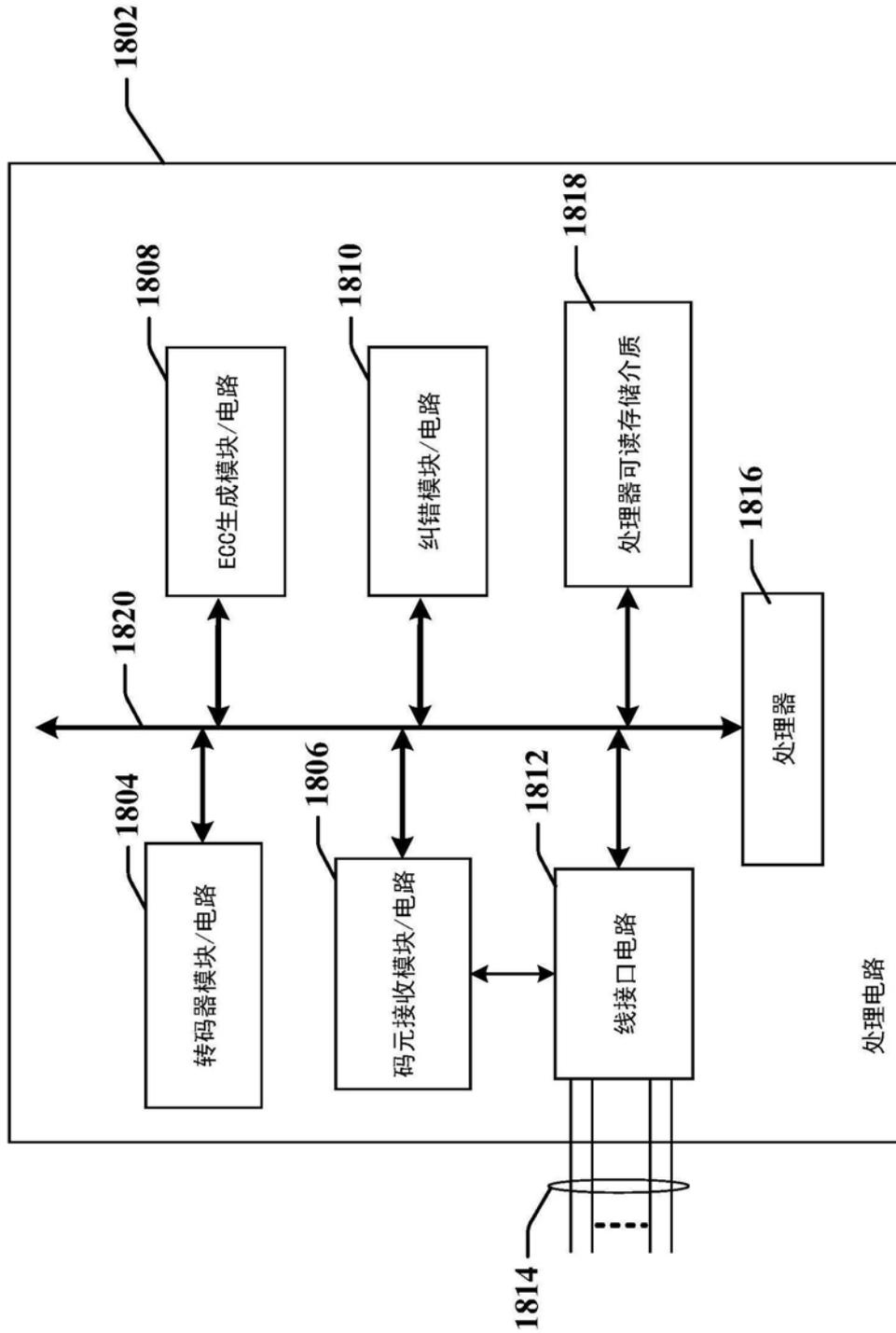


图18