



(12) 发明专利申请

(10) 申请公布号 CN 113924657 A

(43) 申请公布日 2022.01.11

(21) 申请号 202080041969.7

(71) 申请人 株式会社半导体能源研究所

(22) 申请日 2020.06.02

地址 日本神奈川县

(30) 优先权数据

(72) 发明人 山崎舜平 泽井寛美 駒形大树
神保安弘 奥野直树 小松良宽
安藤元晴 森若智昭 森谷幸司
石川纯

2019-111337 2019.06.14 JP

2019-156743 2019.08.29 JP

2019-165482 2019.09.11 JP

2019-183633 2019.10.04 JP

2019-239534 2019.12.27 JP

2020-050342 2020.03.20 JP

(85) PCT国际申请进入国家阶段日

(74) 专利代理机构 上海专利商标事务所有限公司 31100

2021.12.07

代理人 宋俊寅

(86) PCT国际申请的申请数据

(51) Int.CI.

PCT/IB2020/055190 2020.06.02

H01L 29/786 (2006.01)

H01L 27/088 (2006.01)

H01L 21/336 (2006.01)

(87) PCT国际申请的公布数据

W02020/250083 JA 2020.12.17

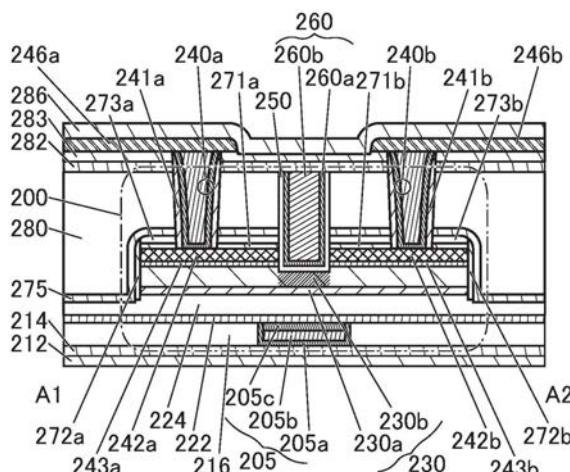
权利要求书2页 说明书81页 附图73页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

提供一种晶体管特性的不均匀小的半导体装置。该半导体装置包括半导体膜、半导体膜上的一对遮蔽膜、位于半导体膜上且设置在一对遮蔽膜间的绝缘膜，其中半导体膜包括一对n型区域、设置在一对n型区域间的i型区域，n型区域与遮蔽膜重叠，i型区域与绝缘膜重叠。



1. 一种半导体装置,包括:

半导体膜;

所述半导体膜上的一对遮蔽膜;以及

位于所述半导体膜上且设置在所述一对遮蔽膜间的绝缘膜,

其中,所述半导体膜包括一对n型区域以及设置在所述一对n型区域间的i型区域,

所述n型区域与所述遮蔽膜重叠,

并且,所述i型区域与所述绝缘膜重叠。

2. 一种半导体装置,包括:

半导体膜;

所述半导体膜上的一对遮蔽膜;

所述一对遮蔽膜上的保护膜;以及

位于所述半导体膜上且设置在所述一对遮蔽膜间的绝缘膜,

其中,所述半导体膜包括一对n型区域以及设置在所述一对n型区域间的i型区域,

所述n型区域与所述遮蔽膜重叠,

并且,所述i型区域与所述绝缘膜重叠。

3. 根据权利要求2所述的半导体装置,

其中所述保护膜包含铝及氧。

4. 根据权利要求1至3中任一项所述的半导体装置,

其中所述遮蔽膜具有遮蔽300MHz以上且300GHz以下的电磁波的功能。

5. 根据权利要求1至4中任一项所述的半导体装置,

其中所述遮蔽膜包含钽及氮。

6. 根据权利要求1至5中任一项所述的半导体装置,

其中所述i型区域的载流子浓度为 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上且低于 $1 \times 10^{17} \text{ cm}^{-3}$,

并且所述n型区域的载流子浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。

7. 根据权利要求1至6中任一项所述的半导体装置,

其中所述半导体膜使用金属氧化物。

8. 根据权利要求1至7中任一项所述的半导体装置,

其中所述半导体膜使用选自In、Ga和Zn中的一个或多个。

9. 根据权利要求1至8中任一项所述的半导体装置,

其中所述绝缘膜包含硅及氧。

10. 一种半导体装置的制造方法,包括:

形成半导体膜的第一工序;

在所述半导体膜上形成遮蔽膜的第二工序;

将所述半导体膜及所述遮蔽膜加工为岛状的第三工序;

在所述半导体膜及所述遮蔽膜上形成氧化物绝缘膜的第四工序;

加工所述氧化物绝缘膜及所述遮蔽膜而形成到达所述半导体膜的开口部的第五工序;

对所述半导体膜、所述遮蔽膜及所述氧化物绝缘膜进行热处理的第六工序;

以覆盖所述开口部的方式形成绝缘膜的第七工序;以及

透过所述绝缘膜对所述半导体膜照射微波的第八工序,

其中,所述微波的照射在至少包含氧的气氛下进行且在100℃以上且750℃以下的温度范围内进行。

11.根据权利要求10所述的半导体装置的制造方法,

其中所述微波的照射在300℃以上且500℃以下的温度范围内进行。

12.根据权利要求10或11所述的半导体装置的制造方法,

其中所述微波的照射在300Pa以上且700Pa以下的压力范围内进行。

13.根据权利要求10至12中任一项所述的半导体装置的制造方法,

其中所述热处理包括第一热处理及第二热处理,

所述第一热处理在氧气气氛下以300℃以上且500℃以下的温度范围内进行,

并且所述第二热处理在氮气氛下以300℃以上500℃以下的温度范围内进行。

14.根据权利要求13所述的半导体装置的制造方法,

其中所述第一热处理比所述第二热处理长时间进行。

15.根据权利要求10至14中任一项所述的半导体装置的制造方法,

其中所述绝缘膜利用等离子体增强化学气相沉积法或原子层沉积法形成。

16.根据权利要求10至15中任一项所述的半导体装置的制造方法,

其中所述半导体膜包括金属氧化物,

所述金属氧化物包含选自In、Ga和Zn中的任一个或多个,

并且所述金属氧化物利用溅射法、原子层沉积法或有机金属化学气相沉积法形成。

17.根据权利要求10至16中任一项所述的半导体装置的制造方法,在所述第八工序之后还包括第九工序,

其中在所述第九工序中通过原子层沉积法形成氧化铪。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明的一个方式涉及一种晶体管、半导体装置及电子设备。另外,本发明的一个方式涉及一种半导体装置的制造方法。此外,本发明的一个方式涉及一种半导体晶片及模块。

[0002] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等有时包括半导体装置。

[0003] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

背景技术

[0004] 近年来,已对半导体装置进行开发,尤其是,将该半导体装置用于LSI(Large Scale Integrated Circuit:大规模集成电路)、CPU(Central Processing Unit:中央处理器)、存储器的开发正日益火热。CPU是包括从半导体晶片分开的半导体集成电路(至少包括晶体管及存储器)且形成有作为连接端子的电极的半导体元件的集合体。

[0005] LSI、CPU、存储器等的半导体电路(IC(Integrated Circuit)芯片)安装在例如印刷线路板等电路板上,并被用作各种电子设备的部件之一。

[0006] 此外,通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到注目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(也简单地记载为显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。作为其他材料,氧化物半导体受到关注。

[0007] 另外,已知使用氧化物半导体的晶体管的泄漏电流在非导通状态下极小。例如,已公开了应用使用氧化物半导体的晶体管的泄漏电流小的特性的低功耗CPU等(参照专利文献1)。另外,例如,已公开了利用使用氧化物半导体的晶体管的泄漏电流低的特性实现存储内容的长期保持的存储装置等(参照专利文献2)。

[0008] 近年来,随着电子设备的小型化和轻量化,对集成电路的进一步高密度化的要求提高。此外,有提高包含集成电路的半导体装置的生产率的需求。

[先行技术文献]

[专利文献]

[0009] [专利文献1]日本专利申请公开第2012-257187号公报

[专利文献2]日本专利申请公开第2011-151383号公报

发明内容

发明所要解决的技术问题

[0010] 本发明的一个方式的目的之一是提供一种晶体管特性的不均匀小的半导体装置。此外,本发明的一个方式的目的之一是提供一种可靠性良好的半导体装置。另外,本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。此外,本发明的一个方式的目的之一是提供一种通态电流大的半导体装置。此外,本发明的一个方式的目的之一是提供一种能够实现微型化或高集成化的半导体装置。另外,本发明的一个方式的目的之一是提供一种低功耗的半导体装置。

[0011] 注意,这些目的的记载不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。除上述目的外的目的从说明书、附图、权利要求书等的描述中是显而易见的,并且可以从所述描述中抽出。

解决技术问题的手段

[0012] 本发明的一个方式是一种半导体装置,包括半导体膜、半导体膜上的一对遮蔽膜以及位于半导体膜上且设置在一对遮蔽膜间的绝缘膜,其中半导体膜包括一对n型区域、设置在一对n型区域间的i型区域,n型区域与遮蔽膜重叠,i型区域与绝缘膜重叠。

[0013] 本发明的另一个方式是一种半导体装置,包括半导体膜、半导体膜上的一对遮蔽膜、一对遮蔽膜上的保护膜以及位于半导体膜上且设置在一对遮蔽膜间的绝缘膜,其中半导体膜包括一对n型区域、设置在一对n型区域间的i型区域,n型区域与遮蔽膜重叠,i型区域与绝缘膜重叠。

[0014] 在上述半导体装置中,保护膜优选包含铝及氧。另外,在上述半导体装置中,遮蔽膜优选具有遮蔽300MHz以上且300GHz以下的电磁波的功能。另外,在上述半导体装置中,遮蔽膜优选包含钽及氮。

[0015] 在上述半导体装置中,优选的是,i型区域的载流子浓度为 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上且低于 $1 \times 10^{17} \text{ cm}^{-3}$,并且n型区域的载流子浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。另外,在上述半导体装置中,半导体膜优选使用金属氧化物。另外,在上述半导体装置中,半导体膜优选使用选自In、Ga和Zn中的一个或多个。另外,在上述半导体装置中,绝缘膜优选包含硅及氧。

[0016] 本发明的另一个方式是一种半导体装置的制造方法,包括:形成半导体膜的第一工序;在半导体膜上形成遮蔽膜的第二工序;将半导体膜及遮蔽膜加工为岛状的第三工序;在半导体膜及遮蔽膜上形成氧化物绝缘膜的第四工序;加工氧化物绝缘膜及遮蔽膜而形成到达半导体膜的开口部的第五工序;对半导体膜、遮蔽膜及氧化物绝缘膜进行热处理的第六工序;以覆盖开口部的方式形成绝缘膜的第七工序;以及透过绝缘膜对半导体膜照射微波的第八工序,其中微波的照射在至少包含氧的气氛下进行且在100℃以上且750℃以下的温度范围内进行。

[0017] 在上述半导体装置的制造方法中,微波的照射优选在300℃以上且500℃以下的温度范围内进行。另外,在上述半导体装置的制造方法中,微波的照射优选在300Pa以上且700Pa以下的压力范围内进行。

[0018] 在上述半导体装置的制造方法中,优选的是,热处理包括第一热处理及第二热处理,第一热处理在氧气气氛下以300℃以上且500℃以下的温度范围内进行,第二热处理在氮气氛下以300℃以上且500℃以下的温度范围内进行。另外,在上述半导体装置的制造方法中,第一热处理优选比第二热处理长时间进行。

[0019] 在上述半导体装置的制造方法中,绝缘膜优选利用等离子体增强化学气相沉积法

或原子层沉积法形成。另外,在上述半导体装置的制造方法中,优选的是,半导体膜包括金属氧化物,该金属氧化物包含选自In、Ga和Zn中的任一个或多个,金属氧化物利用溅射法、原子层沉积法或有机金属化学气相沉积法形成。

[0020] 在上述半导体装置中,优选的是,在第八工序之后还包括第九工序,在第九工序中通过原子层沉积法形成氧化铪。

[0021] 本发明的另一个方式是一种半导体装置的制造方法,包括如下步骤:在衬底上形成氧化膜;在氧化膜上形成第一导电膜;将氧化膜及第一导电膜加工为岛状而形成氧化物及第一导电体;以覆盖氧化物及第一导电体的方式形成第一绝缘体;去除第一绝缘体的一部分形成开口;通过去除重叠于该开口的第一导电体的一部分,形成第二导电体及第三导电体而使氧化物在该第二导电体与该第三导电体间的区域露出;以与氧化物的顶面接触的方式形成绝缘膜;在含氧气气氛下进行微波处理;在绝缘膜上形成第二导电膜;以及直到第一绝缘体的顶面露出为止对绝缘膜及第二导电膜进行CMP处理来形成第二绝缘体及第四导电体。

[0022] 本发明的另一个方式是一种半导体装置的制造方法,包括如下步骤:在衬底上形成氧化膜;在氧化膜上形成第一导电膜;将氧化膜及第一导电膜加工为岛状而形成氧化物及第一导电体;以覆盖氧化物及第一导电体的方式形成第一绝缘体;去除第一绝缘体的一部分形成开口;通过去除重叠于该开口的第一导电体的一部分,形成第二导电体及第三导电体而使氧化物在该第二导电体与该第三导电体间的区域露出;在含氧气气氛下进行微波处理;以与氧化物的顶面接触的方式形成绝缘膜;在绝缘膜上形成第二导电膜;以及直到第一绝缘体的顶面露出为止对绝缘膜及第二导电膜进行CMP处理来形成第二绝缘体及第四导电体。

[0023] 本发明的另一个方式是一种半导体装置的制造方法,包括如下步骤:在衬底上形成氧化膜;在氧化膜上形成第一导电膜;将氧化膜及第一导电膜加工为岛状而形成氧化物及第一导电体;以覆盖氧化物及第一导电体的方式形成第一绝缘体;去除第一绝缘体的一部分形成开口;通过去除重叠于该开口的第一导电体的一部分,形成第二导电体及第三导电体而使氧化物在该第二导电体与该第三导电体间的区域露出;在含氧气气氛下进行微波处理;以与氧化物的顶面接触的方式利用PEALD法形成第一绝缘膜;以与第一绝缘膜的顶面接触的方式利用热ALD法形成第二绝缘膜;在第二绝缘膜上形成第二导电膜;以及直到第一绝缘体的顶面露出为止对第一绝缘膜、第二绝缘膜及第二导电膜进行CMP处理来形成第二绝缘体、第三绝缘体及第四导电体,其中第三绝缘体比第二绝缘体不容易使氧扩散。

[0024] 在上述半导体装置的制造方法中,优选以不暴露于大气的方式连续进行微波处理、第一绝缘膜的形成、第二绝缘膜的形成。另外,优选的是,在上述半导体装置的制造方法中,第一绝缘膜是包含硅的氧化膜,第二绝缘膜是包含铪的氧化膜。

[0025] 在上述半导体装置的制造方法中,微波处理在含氧气气氛下进行,氧流量比也可以大于0%且为100%以下。另外,在上述半导体装置的制造方法中,微波处理优选在包含氧及氩的气氛下进行且氧流量比为10%以上且40%以下。

发明效果

[0026] 根据本发明的一个方式可以提供一种晶体管特性的不均匀小的半导体装置。此外,根据本发明的一个方式可以提供一种可靠性良好的半导体装置。另外,根据本发明的一

个方式可以提供一种具有良好的电特性的半导体装置。此外,根据本发明的一个方式可以提供一种通态电流大的半导体装置。此外,根据本发明的一个方式可以提供一种能够实现微型化或高集成化的半导体装置。另外,根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0027] 注意,这些效果的记载不妨碍其他效果的存在。注意,本发明的一个方式并不需要实现所有上述效果。除上述效果外的效果从说明书、附图、权利要求书等的描述中是显而易见的,并且可以从所述描述中抽出。

附图简要说明

[0028] 图1A是本发明的一个方式的半导体装置的俯视图。图1B至图1D是本发明的一个方式的半导体装置的截面图。

图2是本发明的一个方式的半导体装置的截面图。

图3A是说明IGZO的结晶结构的分类的图。图3B是说明CAAC-IGZO膜的XRD谱的图,图3C是说明CAAC-IGZO膜的纳米束电子衍射图案的图。

图4A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图4B至图4D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图5A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图5B至图5D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图6A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图6B至图6D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图7A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图7B至图7D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图8A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图8B至图8D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图9A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图9B至图9D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图10A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图10B至图10D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图11A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图11B至图11D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图12A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图12B至图12D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图13A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图13B至图13D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图14A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图14B至图14D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图15A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图15B至图15D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图16A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图16B至图16D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图17是说明本发明的一个方式的微波处理装置的俯视图。

图18是说明本发明的一个方式的微波处理装置的截面图。

图19是说明本发明的一个方式的微波处理装置的截面图。

图20是说明本发明的一个方式的微波处理装置的截面图。

图21A是本发明的一个方式的半导体装置的俯视图。图21B至图21D是本发明的一个方式的半导体装置的截面图。

图22A是本发明的一个方式的半导体装置的俯视图。图22B至图22D是本发明的一个方式的半导体装置的截面图。

图23A及图23B是本发明的一个方式的半导体装置的截面图。

图24是示出本发明的一个方式的存储装置的结构的截面图。

图25是示出本发明的一个方式的存储装置的结构的截面图。

图26是本发明的一个方式的半导体装置的截面图。

图27A及图27B是本发明的一个方式的半导体装置的截面图。

图28是本发明的一个方式的半导体装置的截面图。

图29是本发明的一个方式的半导体装置的截面图。

图30A是示出本发明的一个方式的存储装置的结构例子的方框图。图30B是示出本发明的一个方式的存储装置的结构例子的示意图。

图31A至图31H是示出本发明的一个方式的存储装置的结构例子的电路图。

图32以层级示出各种存储装置。

图33A及图33B是本发明的一个方式的半导体装置的示意图。

图34A及图34B是说明电子构件的一个例子的图。

图35A至图35E是本发明的一个方式的存储装置的示意图。

图36A至图36H是示出本发明的一个方式的电子设备的图。

图37是根据本实施例的样品的电特性的图。

图38A至图38C是说明根据本实施例的工作频率的算出方法的示意图。

图39是示出计算根据本实施例的样品的工作频率的结果的图。

图40A及图40B是示出根据本实施例的样品的电特性的图。

图41A及图41B是根据本实施例的样品的示意图。

图42A及图42B是示出根据本实施例的样品的薄层电阻的图。

图43A及图43B是示出根据本实施例的样品的薄层电阻的图。

图44A及图44B是示出根据本实施例的样品的氢浓度的图。

图45是根据本实施例的样品的示意图。

图46是示出根据本实施例的样品的载流子浓度的图。

图47是根据本实施例的样品的示意图。

图48A及图48B是示出根据本实施例的样品的CPM谱的图。

图49A是示出根据本实施例的样品的吸收系数的图。图49B是示出根据本实施例的样品的载流子浓度的图。

图50A是根据本实施例的样品的吸收系数的图。图50B是示出根据本实施例的样品的载流子浓度的图。

图51是根据本实施例的样品的示意图。

图52是根据本实施例的样品的截面STEM图像。

图53A及图53B是根据本实施例的样品的SCM极性图像。

实施发明的方式

[0029] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0030] 在附图中,为显而易见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,在实际的制造工序中,有时由于蚀刻等处理而层或抗蚀剂掩模等非意图性地被减薄,但是为了便于理解有时不反映于附图中。另外,在附图中,有时在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0031] 另外,尤其在俯视图(也称为平面图)或立体图等中,为了便于对发明的理解,有时省略部分构成要素的记载。另外,有时省略部分隐藏线等的记载。

[0032] 此外,在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0033] 在本说明书等中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0034] 另外,在本说明书等中,当明确地记载为“X与Y连接”时,意味着如下情况:X与Y电连接;X与Y在功能上连接;X与Y直接连接。因此,不局限于附图或文中所示的连接关系等规定的连接关系,附图或文中所示的连接关系以外的连接关系也在附图或文中公开了。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0035] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏极区域或漏电极)与源极(源极端子、源极区域或源电极)之间具有形成沟道的区域(以下也称为沟道形成区域),并且通过沟道形成区域电流能够流过源极和漏极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0036] 此外,在采用晶体管的与说明书、附图等的记载不同的极性的晶体管或者电路工作中的电流方向变化的情况下,源极及漏极的功能有时相互调换。因此,在本说明书等中,有时源极和漏极可以相互调换。

[0037] 注意,沟道长度例如是指晶体管的俯视图中的半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极互相重叠的区域或者沟道形成区域中的源极(源极区域或源电极)和漏极(漏极区域或漏电极)之间的距离。另外,在一个晶体管中,沟道长度不一定在所有的区域中成为相同的值。也就是说,一个晶体管的沟道长度有时不限定于一个值。因此,在本说明书中,沟道长度是沟道形成区域中的任一个值、最大值、最小值或平

均值。

[0038] 沟道宽度例如是指在晶体管的俯视图中半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极互相重叠的区域或者沟道形成区域中的垂直于沟道长度方向的沟道形成区域的方向的长度。另外,在一个晶体管中,沟道宽度不一定在所有的区域中成为相同的值。也就是说,一个晶体管的沟道宽度有时不限定于一个值。因此,在本说明书中,沟道宽度是沟道形成区域中的任一个值、最大值、最小值或平均值。

[0039] 在本说明书等中,根据晶体管的结构,有时形成沟道的区域中的实际上的沟道宽度(以下,也称为“实效沟道宽度”)和晶体管的俯视图所示的沟道宽度(以下,也称为“外观上的沟道宽度”)不同。例如,在栅电极覆盖半导体的侧面时,有时因为实效的沟道宽度大于外观上的沟道宽度,所以不能忽略其影响。例如,在微型且栅电极覆盖半导体的侧面的晶体管中,有时形成在半导体的侧面上的沟道形成区域的比例增高。在此情况下,实效的沟道宽度大于外观上的沟道宽度。

[0040] 在上述情况下,有时难以通过实测估计实效沟道宽度。例如,为了根据设计值估计实效沟道宽度,需要预先知道半导体的形状的假定。因此,当不确定半导体的形状时,难以准确地测量实效的沟道宽度。

[0041] 在本说明书中,在简单地描述为“沟道宽度”时,有时是指外观上的沟道宽度。或者,在本说明书中,在简单地表示“沟道宽度”时,有时表示实效沟道宽度。注意,通过对截面TEM图像等进行分析等,可以决定沟道长度、沟道宽度、实效沟道宽度、外观上的沟道宽度等的值。

[0042] 注意,半导体的杂质例如是指半导体的主要成分之外的元素。例如,浓度小于0.1原子%的元素可以说是杂质。在包含杂质时,例如有时发生半导体的缺陷态密度的提高或者结晶性的降低等。当半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半导体的主要成分外的过渡金属等。例如,有氢、锂、钠、硅、硼、磷、碳、氮等。此外,有时水也作为杂质起作用。此外,例如有时杂质的混入导致氧化物半导体中的氧空位(也称为 V_0 :oxygen vacancy)的形成。

[0043] 注意,在本说明书等中,氧氮化物是指在其组成中含氧量多于含氮量的物质。例如,“氧氮化硅”是指在其组成中氧含量多于氮含量。另外,氮氧化物是指在其组成中含氮量多于含氧量的物质。例如,氮氧化硅是指氮含量大于氧含量的物质。

[0044] 注意,在本说明书等中,可以将“绝缘体”换称为“绝缘膜”或“绝缘层”。另外,可以将“导电体”换称为“导电膜”或“导电层”。另外,可以将“半导体”换称为“半导体膜”或“半导体层”。

[0045] 在本说明书等中,“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此,也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。另外,“垂直”是指两条直线的角度为80°以上且100°以下的状态。因此,也包括该角度为85°以上且95°以下的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0046] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体

(Oxide Semiconductor, 也可以简称为OS) 等。例如, 在将金属氧化物用于晶体管的半导体层的情况下, 有时将该金属氧化物称为氧化物半导体。换言之, 可以将OS晶体管换称为包含金属氧化物或氧化物半导体的晶体管。

[0047] 注意, 在本说明书等中, 常关闭是指: 在不对栅极施加电位或者对栅极施加接地电位时流过晶体管的每沟道宽度1μm的漏极电流在室温下为 1×10^{-20} A以下, 在85℃下为 1×10^{-18} A以下, 或在125℃下为 1×10^{-16} A以下。

[0048] (实施方式1)

在本实施方式中, 使用图1至图23对包括根据本发明的一个方式的晶体管200的半导体装置的一个例子及其制造方法进行说明。

[0049] <半导体装置的结构例子>

使用图1A至图1D说明包括晶体管200的半导体装置的结构。图1A是该半导体装置的俯视图。另外, 图1B至图1D是该半导体装置的截面图。在此, 图1B是沿着图1A中的点划线A1-A2的截面图, 该截面图相当于晶体管200的沟道长度方向上的截面图。图1C是沿着图1A中的点划线A3-A4的截面图, 该截面图相当于晶体管200的沟道宽度方向上的截面图。图1D是在图1A中由点划线A5-A6表示的部分的截面图。在图1A的俯视图中, 为了明确起见, 省略一部分构成要素。

[0050] 本发明的一个方式的半导体装置包括: 衬底(未图示)上的绝缘体212、绝缘体212上的绝缘体214、绝缘体214上的晶体管200、晶体管200上的绝缘体280、绝缘体280上的绝缘体282、绝缘体282上的绝缘体283。绝缘体212、绝缘体214、绝缘体280、绝缘体282及绝缘体283被用作层间膜。另外, 该半导体装置还包括与晶体管200电连接且被用作插头的导电体240(导电体240a及导电体240b)。此外, 还包括与被用作插头的导电体240的侧面接触的绝缘体241(绝缘体241a及绝缘体241b)。另外, 在绝缘体283上及导电体240上设置与导电体240电连接且被用作布线的导电体246(导电体246a及导电体246b)。另外, 导电体246上及绝缘体283上设置绝缘体286。

[0051] 以与绝缘体280、绝缘体282、绝缘体283的开口的内壁接触的方式设置绝缘体241a, 以与绝缘体241a的侧面接触的方式设置导电体240a的第一导电体, 其内侧设置导电体240a的第二导电体。此外, 以与绝缘体280、绝缘体282及绝缘体283的开口的内壁接触的方式设置绝缘体241b, 以与绝缘体241b的侧面接触的方式设置导电体240b的第一导电体, 并且在其内侧设置导电体240b的第二导电体。在此, 导电体240的顶面的高度与重叠于导电体246的区域的绝缘体283的顶面的高度可以大致一致。另外, 在晶体管200中, 层叠有导电体240的第一导电体与导电体240的第二导电体, 但是本发明不局限于此。例如, 导电体240也可以具有单层结构或者三层以上的叠层结构。另外, 在结构体具有叠层结构的情况下, 有时按形成顺序赋予序数以进行区别。

[0052] [晶体管200]

如图1A至图1D所示, 晶体管200包括绝缘体214上的绝缘体216、以埋入于绝缘体216的方式配置的导电体205(导电体205a、导电体205b及导电体205c)、绝缘体216上及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b上的氧化物243(氧化物243a及氧化物243b)、氧化物243a上的导电体242a、导电体242a上的绝缘体271a、绝缘体271a上的绝缘体273a、氧化物243b上的导

电体242b、导电体242b上的绝缘体271b、绝缘体271b上的绝缘体273b、氧化物230b上的绝缘体250、位于绝缘体250上且与氧化物230b的一部分重叠的导电体260(导电体260a及导电体260b)、与氧化物230b的侧面、氧化物243a的侧面及导电体242a的侧面接触的绝缘体272a、与氧化物230b的侧面、氧化物243b的侧面及导电体242b的侧面接触的绝缘体272b以及配置在绝缘体224、绝缘体272a、绝缘体272b、绝缘体273a及绝缘体273b上的绝缘体275。在此,如图1B及图1C所示,导电体260的顶面的高度与绝缘体250的顶面的至少一部分及绝缘体280的顶面的至少一部分的高度大致一致。另外,绝缘体282与导电体260、绝缘体250及绝缘体280的各顶面的至少一部分接触。

[0053] 以下,有时将氧化物230a及氧化物230b统称为氧化物230。另外,有时将绝缘体271a及绝缘体271b统称为绝缘体271。另外,有时将绝缘体272a及绝缘体272b统称为绝缘体272。另外,有时将绝缘体273a及绝缘体273b统称为绝缘体273。另外,有时将导电体242a及导电体242b统称为导电体242。

[0054] 在绝缘体280及绝缘体275中形成到达氧化物230b的开口。在该开口内设置绝缘体250及导电体260。另外,在晶体管200的沟道长度方向上,绝缘体271a、绝缘体273a、导电体242a及氧化物243a与绝缘体271b、绝缘体273b、导电体242b及氧化物243b间设置有导电体260及绝缘体250。绝缘体250具有与导电体260的侧面接触的区域及与导电体260的底面接触的区域。

[0055] 氧化物230优选包括绝缘体224上的氧化物230a及氧化物230a上的氧化物230b。当在氧化物230b的下方包括氧化物230a,可以抑制杂质从形成在氧化物230a的下方的结构物向氧化物230b扩散。

[0056] 注意,在晶体管200中氧化物230具有氧化物230a及氧化物230b的两层叠层结构,但是本发明不局限于此。例如,氧化物230可以具有氧化物230b的单层或三层以上的叠层结构,也可以具有氧化物230a及氧化物230b分别具有叠层的结构。

[0057] 导电体260被用作第一栅(也称为顶栅极)电极,导电体205被用作第二栅(也称为背栅极)电极。另外,绝缘体250被用作第一栅极绝缘体,绝缘体224被用作第二栅极绝缘体。另外,导电体242a被用作源极和漏极中的一方,导电体242b被用作源极和漏极中的另一方。另外,氧化物230的与导电体260重叠的区域的至少一部分被用作沟道形成区域。

[0058] 在此,图2示出图1B中的沟道形成区域附近的放大图。如图2所示,氧化物230b包括被用作晶体管200的沟道形成区域的区域230bc及夹持区域230bc并被用作源极区域或漏极区域的一对的区域230ba及区域230bb。区域230bc的至少一部分与导电体260重叠。换言之,区域230bc设置在一对的导电体242a与导电体242b间。区域230ba与导电体242a重叠,区域230bb与导电体242b重叠。

[0059] 与区域230ba及区域230bb相比,其氧空位少或杂质浓度低,所以被用作沟道形成区域的区域230bc是载流子浓度低的高电阻区域。另外,被用作源极区域或漏极区域的区域230ba及区域230bb是其氧空位多或者氢、氮、金属元素等的杂质浓度高而载流子浓度提高,所以被低电阻化的区域。就是说,区域230ba及区域230bb是比区域230bc载流子浓度高且电阻低的区域。

[0060] 在此,优选被用作沟道形成区域的区域230bc的载流子浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ 以下,更优选低于 $1 \times 10^{17} \text{ cm}^{-3}$,进一步优选低于 $1 \times 10^{16} \text{ cm}^{-3}$,更优选的是低于 $1 \times 10^{13} \text{ cm}^{-3}$,进一步优

选的是低于 $1 \times 10^{12} \text{ cm}^{-3}$ 。对被用作沟道形成区域的区域230bc的载流子浓度的下限值没有特别的限定,例如,可以将其设定为 $1 \times 10^9 \text{ cm}^{-3}$ 。

[0061] 另外,例如被用作源极区域或漏极区域的区域230ba及区域230bb的载流子浓度优选为 $1 \times 10^{17} \text{ cm}^{-3}$ 以上,更优选为 $1 \times 10^{18} \text{ cm}^{-3}$ 以上,进一步优选为 $1 \times 10^{19} \text{ cm}^{-3}$ 以上。被用作源极区域或漏极区域的区域230ba及区域230bb的载流子浓度的上限值没有特别的限制,例如可以为 $1 \times 10^{21} \text{ cm}^{-3}$ 。

[0062] 另外,有时形成区域230bc与区域230ba或区域230bb间的载流子浓度相等于或低于区域230ba及区域230bb的载流子浓度且相等于或高于区域230bc的载流子浓度的区域。换言之,该区域被用作区域230bc与区域230ba或区域230bb的接合区域。该接合区域的氢浓度有时相等于或低于区域230ba及区域230bb的氢浓度且相等于或高于区域230bc的氢浓度。另外,该接合区域的氧空位有时相等于或少于区域230ba及区域230bb的氧空位且相等于或多于区域230bc的氧空位。

[0063] 注意,图2示出区域230ba、区域230bb及区域230bc形成在氧化物230b的例子,但是本发明不局限于此。例如,上述各区域也可以形成在氧化物230b和氧化物230a。

[0064] 在氧化物230中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度不需要必须按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越接近沟道形成区域,金属元素和氢及氮等杂质元素的浓度越小即可。

[0065] 另外,优选在晶体管200中将被用作氧化物半导体的金属氧化物(以下,有时称为氧化物半导体)用于包含沟道形成区域的氧化物230(氧化物230a、氧化物230b)。

[0066] 被用作半导体的金属氧化物优选使用其带隙为2eV以上,优选为2.5eV以上的金属氧化物。如此,通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流(off-state current)。

[0067] 例如,作为氧化物230优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)等的金属氧化物。另外,作为氧化物230也可以使用In-Ga氧化物、In-Zn氧化物、铟氧化物。

[0068] 在此,优选的是,用于氧化物230b的金属氧化物中的In与元素M的原子个数比大于用于氧化物230a的金属氧化物中的In与元素M的原子个数比。

[0069] 如此,通过在氧化物230b的下方配置氧化物230a,可以抑制杂质及氧从形成在氧化物230a的下方的结构物向氧化物230b扩散。

[0070] 另外,氧化物230a及氧化物230b除了氧以外还包含共同元素(作为主要成分),所以可以降低氧化物230a与氧化物230b的各界面的缺陷态密度。因为可以降低氧化物230a与氧化物230b的界面的缺陷态密度,所以界面散射给载流子传导带来的影响小,从而可以得到高通态电流。

[0071] 氧化物230b优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物230b。

[0072] CAAC-OS具有结晶性高的致密结构且是杂质、缺陷(例如,氧空位(V_O)等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一

步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0073] 另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及可靠性良好。

[0074] 此外,在使用氧化物半导体的晶体管中,如果氧化物半导体中的形成沟道的区域存在杂质或氧空位,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为 V_0H)而可能会生成成为载流子的电子。因此,当在氧化物半导体中的形成沟道的区域中包含氧空位时,晶体管会成为常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的形成沟道的区域中,优选尽量减少杂质、氧空位及 V_0H 。换言之,优选的是,氧化物半导体中的形成沟道的区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0075] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧。)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 V_0H 。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管200的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧在衬底面内有不均匀时,包括晶体管的半导体装置特性中发生不均匀。

[0076] 因此,优选的是,在氧化物半导体中,被用作沟道形成区域的区域230bc的载流子浓度得到降低且被i型化或实质上被i型化。另一方面,优选的是,被用作源极区域或漏极区域的区域230ba及区域230bb的载流子浓度高且被n型化。换言之,优选减少氧化物半导体的区域230bc的氧空位及 V_0H 且不对区域230ba及区域230bb供应过多的氧。

[0077] 于是,本实施方式以在氧化物230b上设置导电体242a及导电体242b的状态在含氧气氛下进行微波处理来减少区域230bc的氧空位及 V_0H 。在此,微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。另外,在本说明书等中,有时微波是指具有300MHz以上且300GHz以下的频率的电磁波。

[0078] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。此时,也可以将微波或RF等高频照射到区域230bc。通过等离子体、微波等的作用,可以使区域230bc的 V_0H 分开。因此,可以将氢H从区域230bc去除而由氧填补氧空位 V_0 。换言之,在区域230bc中发生“ $V_0H \rightarrow H + V_0$ ”的反应而降低区域230bc的氢浓度。由此,可以减少区域230bc中的氧空位及 V_0H 而降低载流子浓度。

[0079] 另外,当在含氧气氛下进行微波处理时,微波、RF等的高频、氧等离子体等作用被导电体242a及导电体242b遮蔽并不涉及于区域230ba及区域230bb。换言之,导电体242被用作保护免受微波、RF等高频、氧等离子体等的遮蔽膜。再者,可以通过覆盖氧化物230b及导电体242的绝缘体271、绝缘体273、绝缘体275及绝缘体280降低氧等离子体的作用。由此,由于在进行微波处理时在区域230ba及区域230bb不发生 V_0H 的减少以及过多的氧的供应,所以可以防止载流子浓度的降低。

[0080] 如上所述,可以在氧化物半导体的区域230bc选择性地去除氧空位及 V_0H 而使区域230bc成为i型化或实质上i型化。并且,可以抑制对被用作源极区域或漏极区域的区域230ba及区域230bb供应过多的氧而保持n型。由此,可以抑制晶体管200的电特性变动而抑制在衬底面内晶体管200的电特性不均匀。

[0081] 通过采用上述结构,可以提供一种晶体管特性不均匀小的半导体装置。另外,可以提供一种可靠性良好的半导体装置。此外,可以提供一种具有良好的电特性的半导体装置。

[0082] 在图1等中,埋入有导电体260等的开口(包括氧化物230b的槽部)的侧面与氧化物230b的被形成面大致垂直,但是本实施方式不局限于此。例如,该开口的底部也可以为具有平缓曲面的U字型形状。另外,例如,该开口的侧面也可以倾斜于氧化物230b的被形成面。

[0083] 另外,如图1C所示,在从晶体管200的沟道宽度的截面看时,也可以在氧化物230b的侧面与氧化物230b的顶面之间具有弯曲面。就是说,该侧面的端部和该顶面的端部也可以弯曲(以下,也称为圆形)。

[0084] 上述弯曲面的曲率半径优选大于0nm且小于与导电体242重叠的区域的氧化物230b的厚度或者小于不具有上述弯曲面的区域的一半长度。具体而言,上述弯曲面的曲率半径大于0nm且为20nm以下,优选为1nm以上且15nm以下,更优选为2nm以上且10nm以下。通过采用上述形状,可以提高绝缘体250及导电体260的氧化物230b的覆盖性。

[0085] 氧化物230优选具有化学组成互不相同的多个氧化物层的叠层结构。具体而言,用于氧化物230a的金属氧化物中的相对于主要成分的金属元素的元素M的原子数比优选大于用于氧化物230b的金属氧化物中的相对于主要成分的金属元素的元素M的原子数比。另外,用于氧化物230a的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的In与元素M的原子个数比。另外,用于氧化物230b的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230a的金属氧化物中的In与元素M的原子个数比。

[0086] 另外,氧化物230b优选为具有CAAC-OS等的结晶性的氧化物。CAAC-OS等的具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此,可以抑制源电极或漏电极从氧化物230b抽出氧。因此,即使进行热处理也可以减少从氧化物230b被抽出的氧,所以晶体管200对制造工序中的高温度(所谓热积存;thermal budget)也很稳定。

[0087] 在此,在氧化物230a与氧化物230b的接合部中,导带底平缓地变化。换言之,也可以将上述情况表达为氧化物230a与氧化物230b的接合部的导带底连续地变化或者连续地接合。为此,优选降低形成在氧化物230a与氧化物230b的界面的混合层的缺陷态密度。

[0088] 具体而言,通过使氧化物230a与氧化物230b除了包含氧之外还包含共同元素作为主要成分,可以形成缺陷态密度低的混合层。例如,在氧化物230b为In-M-Zn氧化物的情况下,作为氧化物230a也可以使用In-M-Zn氧化物、M-Zn氧化物、元素M的氧化物、In-Zn氧化物、铟氧化物等。

[0089] 具体而言,作为氧化物230a使用 $In:M:Zn=1:3:4$ [原子个数比]或其附近的组成或者 $In:M:Zn=1:1:0.5$ [原子个数比]或其附近的组成的金属氧化物,即可。另外,作为氧化物230b,使用 $In:M:Zn=1:1:1$ [原子个数比]或其附近的组成、或者 $In:M:Zn=4:2:3$ [原子个数比]或其附近的组成的金属氧化物,即可。注意,附近的组成包括所希望的原子个数比的±30%的范围。另外,作为元素M优选使用镓。

[0090] 另外,在通过溅射法形成金属氧化物时,上述原子个数比不局限于所形成的金属氧化物的原子个数比,而也可以是用于金属氧化物的形成的溅射靶材的原子个数比。

[0091] 通过使氧化物230a及氧化物230b具有上述结构,可以降低氧化物230a与氧化物230b的界面的缺陷态密度。因此,界面散射对载流子传导带来的影响减少,从而晶体管200可以得到高通态电流及高频特性。

[0092] 绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283和绝缘体286中的至少一个优选被用作抑制水、氢等杂质从衬底一侧或晶体管200的上方扩散到晶体管200的阻挡绝缘膜。因此，绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283和绝缘体286中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。另外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0093] 另外，在本说明书中，阻挡绝缘膜是指具有阻挡性的绝缘膜。注意，在本说明书中，阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者，是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0094] 作为绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286，例如可以使用氧化铝、氧化镁、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如，作为绝缘体212、绝缘体271、绝缘体272、绝缘体283及绝缘体286，优选使用氢阻挡性更高的氮化硅等。另外，例如，作为绝缘体214、绝缘体275及绝缘体282，优选使用俘获并固定氢的性能高的氧化铝或氧化镁等。由此，可以抑制水、氢等杂质经过绝缘体212及绝缘体214从衬底一侧扩散到晶体管200一侧。另外，可以抑制水、氢等杂质从配置在绝缘体286的外方的层间绝缘膜等扩散到晶体管200一侧。此外，可以抑制包含在绝缘体224等中的氧经过绝缘体212及绝缘体214扩散到衬底一侧。或者，可以抑制含在绝缘体280等的氧通过绝缘体282等向晶体管200的上方扩散。如此，优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286围绕晶体管200的结构。

[0095] 在此，作为绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286，优选使用具有非晶结构的氧化物。例如，优选使用 AlO_x (x是大于0的任意数)或 MgO_y (y是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物具有如下性质：氧原子具有悬空键而有时由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围，可以俘获或固定含在晶体管200中的氢或存在于晶体管200的周围的氢。尤其是，优选俘获或固定含在晶体管200的沟道形成区域的氢。通过将具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围，可以制造具有良好特性的可靠性高的晶体管200及半导体装置。

[0096] 另外，绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286优选具有非晶结构，但是也可以在其一部分形成多晶结构的区域。另外，绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如，也可以具有在非晶结构的层上层叠有多晶结构的层的叠层结构。

[0097] 绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286的成膜例如利用溅射法即可。溅射法不需要作为成膜气体使用氢，所以可以降低绝缘体212、绝缘体214、绝缘体271、绝缘体272、绝缘体275、绝缘体282、绝缘体283及绝缘体286的氢浓度。作为成膜方法，除了溅射法以外还可以适当地使用化学气相沉积(CVD：

Chemical Vapor Deposition) 法、分子束外延(MBE:Molecular Beam Epitaxy) 法、脉冲激光沉积(PLD:Pulsed Laser Deposition) 法、原子层沉积(ALD:Atomic Layer Deposition) 法等。

[0098] 另外,有时优选降低绝缘体212、绝缘体283及绝缘体286的电阻率。例如,通过使绝缘体212、绝缘体283及绝缘体286的电阻率约为 $1 \times 10^{13} \Omega \text{ cm}$,在半导体装置制造工序的利用等离子体等的处理中,有时绝缘体212、绝缘体283及绝缘体286可以缓和导电体205、导电体242、导电体260或导电体246的电荷积聚。绝缘体212、绝缘体283及绝缘体286的电阻率为 $1 \times 10^{10} \Omega \text{ cm}$ 以上且 $1 \times 10^{15} \Omega \text{ cm}$ 以下。

[0099] 此外,绝缘体216及绝缘体280的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体216、绝缘体280,适当地使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。

[0100] 导电体205以与氧化物230及导电体260重叠的方式配置。另外,导电体205优选以埋入于绝缘体216的开口中的方式设置。导电体205的一部分也可以以埋入于绝缘体214的方式设置。

[0101] 导电体205包括导电体205a、导电体205b及导电体205c。导电体205a与该开口的底面及侧壁接触。导电体205b以埋入于形成在导电体205a的凹部的方式设置。在此,导电体205b的顶面低于导电体205a的顶面及绝缘体216的顶面。导电体205c与导电体205b的顶面及导电体205a的侧面接触。在此,导电体205c的顶面的高度与导电体205a的顶面的高度及绝缘体216的顶面的高度大致一致。换言之,导电体205b由导电体205a及导电体205c包围。

[0102] 在此,作为导电体205a及导电体205c优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0103] 通过作为导电体205a及导电体205c使用具有抑制氢的扩散的功能的导电材料,可以防止含在导电体205b的氢等杂质通过绝缘体224等扩散到氧化物230。另外,通过作为导电体205a及导电体205c使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体205b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。因此,作为导电体205a及导电体205c使用单层或叠层的上述导电材料即可。例如,作为导电体205a及导电体205c使用氮化钛即可。

[0104] 另外,导电体205b优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体205b可以使用钨。

[0105] 导电体205有时被用作第二栅电极。此时,通过施加到导电体205的电位不与施加到导电体260的电位联动而独立地变化,可以控制晶体管200的阈值电压(V_{th})。尤其是,通过对导电体205施加负电位,与不对导电体205施加电位的情况相比,可以增大晶体管200的 V_{th} 而减少关态电流。由此,与不对导电体205施加负电位的情况相比,在对导电体205施加负电位的情况下,可以减少对导电体260施加的电位为0V时的漏极电流。

[0106] 另外,导电体205的电阻率根据上述施加到导电体205的电位设计,导电体205的厚度根据该电阻率设定。另外,绝缘体216的厚度与导电体205大致相同。在此,优选在导电体

205的设计允许的范围内减少导电体205及绝缘体216的厚度。通过减少绝缘体216的厚度，可以降低含在绝缘体216中的氢等杂质的绝对量，所以可以抑制该杂质扩散到氧化物230。

[0107] 此外，如图1A所示，导电体205优选比氧化物230中不与导电体242a及导电体242b重叠的区域大。尤其是，如图1C所示，导电体205优选延伸到氧化物230a及氧化物230b的与沟道宽度方向交叉的端部的外侧的区域。就是说，优选在氧化物230的沟道宽度方向的侧面的外侧，导电体205和导电体260隔着绝缘体重叠。通过具有上述结构，可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕氧化物230的沟道形成区域。在本说明书中，将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。

[0108] 在本说明书中等，S-channel结构的晶体管是指由一对栅电极中的一方及另一方的电场电围绕沟道形成区域的晶体管的结构。此外，本说明书中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构，可以实现对短沟道效应的耐性得到提高的晶体管，换言之，可以实现不容易发生短沟道效应的晶体管。

[0109] 此外，如图1C所示，将导电体205延伸来被用作布线。但是，本发明不局限于此，也可以在导电体205下设置被用作布线的导电体。此外，不一定需要在每一个晶体管中设置一个导电体205。例如，在多个晶体管中可以共同使用导电体205。

[0110] 注意，示出在晶体管200中导电体205层叠有导电体205a、导电体205b及导电体205c的结构，但是本发明不局限于此。例如，导电体205可以具有单层结构，也可以具有两层或四层以上的叠层结构。例如，可以具有导电体205a与导电体205b的两层结构。

[0111] 绝缘体222及绝缘体224被用作栅极绝缘体。

[0112] 绝缘体222优选具有抑制氢(例如，氢原子、氢分子等中的至少一个)的扩散的功能。此外，绝缘体222优选具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能。例如，与绝缘体224相比，绝缘体222优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0113] 绝缘体222优选使被用作为绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体，优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使用这种材料形成绝缘体222时，绝缘体222被用作抑制氧从氧化物230释放到衬底一侧或氢等杂质从晶体管200的周围部扩散到氧化物230的层。因此，通过设置绝缘体222，可以抑制氢等杂质扩散到晶体管200的内侧，而可以抑制在氧化物230中生成氧空位。另外，可以抑制导电体205与绝缘体224或氧化物230所包含的氧起反应。

[0114] 或者，例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。或者，也可以对上述绝缘体进行氮化处理。此外，绝缘体222还可以在上述绝缘体上层叠有氧化硅、氧氮化硅或氮化硅。

[0115] 此外，作为绝缘体222，例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时，由于栅极绝缘体的薄膜化，有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料，可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0116] 在此，在与氧化物230接触的绝缘体224中，优选包含过剩氧(通过加热使氧脱离)。

例如,作为绝缘体224适当地使用氧化硅、氧氮化硅等,即可。通过以与氧化物230接触的方式设置上述包含氧的绝缘体,可以减少氧化物230中的氧空位,从而可以提高晶体管200的可靠性。

[0117] 具体而言,作为绝缘体224优选使用通过加热使一部分氧脱离的氧化物材料,即具有过剩氧区域的绝缘体材料。通过加热使氧脱离的氧化物是指在TDS (Thermal Desorption Spectroscopy:热脱附谱) 分析中的氧分子的脱离量为 1.0×10^{18} molecules/cm³以上, 优选为 1.0×10^{19} molecules/cm³以上, 进一步优选为 2.0×10^{19} molecules/cm³以上, 或者 3.0×10^{20} molecules/cm³以上的氧化膜。进行上述TDS分析时的膜的表面温度优选在100°C以上且700°C以下, 或者100°C以上且400°C以下的范围内。

[0118] 另外,在晶体管200的制造工程中,热处理优选在氧化物230的表面露出的状态下进行。该热处理例如优选以100°C以上且600°C以下,更优选以350°C以上且550°C以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气气氛下进行。由此,对氧化物230供应氧,从而可以减少氧空位(V_0)。热处理也可以在减压状态下进行。另外,也可以在氮气体或惰性气体的气氛下进行热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。另外,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理,然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0119] 通过对氧化物230进行加氧化处理,可以使所供应的氧填补氧化物230中的氧空位,换言之可以促进“ $V_0 + 0 \rightarrow \text{null}$ ”的反应。再者,氧化物230中残留的氢与被供给的氧发生反应而可以将氢以H₂O的形态去除(脱水化)。由此,可以抑制残留在氧化物230中的氢与氧空位再结合而形成V₀H。

[0120] 此外,绝缘体222及绝缘体224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。另外,绝缘体224也可以形成为岛状且与氧化物230a重叠。在此情况下,绝缘体275与绝缘体224的侧面及绝缘体222的顶面接触。

[0121] 氧化物243a及氧化物243b设置在氧化物230b上。氧化物243a与氧化物243b隔着导电体260分离。

[0122] 氧化物243(氧化物243a及氧化物243b) 优选具有抑制氧透过的功能。通过在被用作源电极或漏电极的导电体242与氧化物230b之间配置具有抑制氧的透过的功能的氧化物243, 导电体242与氧化物230b之间的电阻被减少, 所以是优选的。通过采用这样的结构, 可以提高晶体管200的电特性及晶体管200的可靠性。另外, 在能够充分降低导电体242与氧化物230b间的电阻的情况下, 也可以不设置氧化物243。

[0123] 作为氧化物243也可以使用包含元素M的金属氧化物。尤其是, 作为元素M优选使用铝、镓、钇或锡。氧化物243的元素M的浓度优选比氧化物230b高。此外, 作为氧化物243也可以使用氧化镓。另外, 作为氧化物243也可以使用In-M-Zn氧化物等金属氧化物。具体而言, 用于氧化物243的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的In与元素M的原子个数比。此外, 氧化物243的厚度优选为0.5nm以上且5nm以下, 更优选为1nm以上且3nm以下, 进一步优选为1nm以上且2nm以下。另外, 氧化物243优选具有结晶性。在氧化物243具有结晶性的情况下, 可以适当地抑制氧化物230中的氧的释放。例

如,在氧化物243具有六方晶等结晶结构的情况下,有时可以抑制氧化物230中的氧的释放。

[0124] 优选的是,导电体242a与氧化物243a的顶面接触,导电体242b与氧化物243b的顶面接触。导电体242a及导电体242b分别被用作晶体管200的源电极或漏电极。

[0125] 作为导电体242(导电体242a及导电体242b)例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0126] 在此,作为导电体242也可以使用应力较大的膜,例如可以使用通过溅射法形成的氮化钽。在区域230ba及区域230bb的结晶结构中因导电体242的应力而产生畸变时,在上述区域中容易形成氧空位 V_0 。由此,产生在区域230ba及区域230bb的 V_0H 的量增加,所以可以提高区域230ba及区域230bb的载流子浓度而被n型化。

[0127] 导电体242优选被用作在含氧气氛下进行微波处理时保护免受微波、RF等高频或氧等离子体等的作用的遮蔽膜。由此,导电体242优选具有遮蔽300MHz以上且300GHz以下,例如2.4GHz以上且2.5GHz以下的电磁波的功能。

[0128] 注意,有时包含在氧化物230b等中的氢扩散到导电体242a或导电体242b。尤其是,通过作为导电体242a及导电体242b使用包含钽的氮化物,有时包含在氧化物230b等中的氢容易扩散到导电体242a或导电体242b,该扩散的氢与导电体242a或导电体242b所包含的氮键合。也就是说,有时包含在氧化物230b等中的氢被导电体242a或导电体242b吸收。

[0129] 另外,优选在导电体242的侧面与导电体242的顶面之间不形成弯曲面。通过使导电体242不具有该弯曲面,可以增大如图1D所示的沟道宽度方向的截面上的导电体242的截面积。由此,可以提高导电体242的导电率而提高晶体管200的通态电流。

[0130] 绝缘体271a与导电体242a的顶面接触,绝缘体271b与导电体242b的顶面接触。绝缘体271优选具有至少对氧具有阻挡性的功能的绝缘膜。因此,绝缘体271优选具有抑制氧扩散的功能。例如,与绝缘体280相比,绝缘体271优选具有进一步抑制氧扩散的功能。作为绝缘体271,例如可以使用氮化硅等包含硅的氮化物。

[0131] 绝缘体273a与绝缘体271a的顶面接触,绝缘体273b与绝缘体271b的顶面接触。另外,优选的是,绝缘体273a的顶面与绝缘体275接触,绝缘体273a的侧面与绝缘体250接触。另外,优选的是,绝缘体273b的顶面与绝缘体275接触,绝缘体273b的侧面与绝缘体250接触。与绝缘体224同样,绝缘体273优选包含过剩氧区域或过剩氧。另外,绝缘体273中的水、氢等杂质浓度优选得到降低。例如,绝缘体273可以适当地使用氧化硅、氧氮化硅、氮化硅、氮氧化硅等包含硅的氧化物或氮化物。通过以与绝缘体250接触的方式设置包含过剩氧的绝缘体,由经过绝缘体250扩散到氧化物230的氧减少氧化物230中的氧空位而可以提高晶体管200的可靠性。

[0132] 在可以从绝缘体224及绝缘体280向氧化物230供应充分量的氧时,也可以不设置绝缘体273。

[0133] 绝缘体272a与氧化物230a、氧化物230b、氧化物243a、导电体242a、绝缘体271a及绝缘体273a的侧面接触,绝缘体272b与氧化物230a、氧化物230b、氧化物243b、导电体242b、绝缘体271b及绝缘体273b的侧面接触。另外,绝缘体272a及绝缘体272b与绝缘体224的顶面

接触。绝缘体272优选被用作至少对氧具有阻挡性的绝缘膜。因此，绝缘体272优选具有抑制氧扩散的功能。例如，与绝缘体280相比，绝缘体272优选具有进一步抑制氧扩散的功能。作为绝缘体272，例如使用氮化硅等包含硅的氮化物即可。

[0134] 通过设置上述绝缘体271及绝缘体272，可以由具有对氧具有阻挡性的绝缘体包围导电体242。换言之，可以抑制在形成绝缘体275时添加的氧或包含在绝缘体273的氧扩散到导电体242。由此，可以抑制因形成绝缘体275时添加的氧或包含在绝缘体273的氧等而导致导电体242直接被氧化使得电阻率增大而通态电流减少。

[0135] 注意，图1B等示出绝缘体272与氧化物230a、氧化物230b、氧化物243、导电体242、绝缘体271及绝缘体273的侧面接触的结构，但是绝缘体272至少与绝缘体271及导电体242的侧面接触即可。例如，有时绝缘体272与氧化物230a、氧化物230b、氧化物243、导电体242及绝缘体271的侧面接触而不与绝缘体273接触。在此情况下，绝缘体273侧面与绝缘体275接触。

[0136] 另外，在绝缘体275对氧等具有充分的阻挡性时，也可以不设置绝缘体271和绝缘体272中的一方或双方。

[0137] 绝缘体275覆盖绝缘体224、绝缘体272及绝缘体273，在将设置绝缘体250及导电体260的区域中形成开口。绝缘体275优选与绝缘体224的顶面、绝缘体272的侧面及绝缘体273的顶面接触。另外，绝缘体275优选被用作抑制氧透过的阻挡绝缘膜。另外，绝缘体275优选被用作抑制水、氢等杂质从上方向绝缘体224或绝缘体273扩散的阻挡绝缘膜且具有俘获氢等杂质的功能。作为绝缘体275，例如优选使用氧化铝或氮化硅等绝缘体的单层或叠层。

[0138] 通过在夹在绝缘体212与绝缘体283的区域内设置与绝缘体280、绝缘体224或绝缘体273接触且具有俘获氢等杂质的功能的绝缘体275，可以俘获包含在绝缘体280、绝缘体224或绝缘体273等的氢等杂质而将该区域内的氢量设定为一定的值。此时，作为绝缘体275优选使用氧化铝等。

[0139] 绝缘体250被用作栅极绝缘体。绝缘体250优选以与氧化物230b的顶面接触的方式配置。绝缘体250可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。

[0140] 与绝缘体224同样，优选绝缘体250中的水或氢等杂质的浓度得到降低。绝缘体250的厚度优选为1nm以上且20nm以下。

[0141] 注意，在图1B及图1C中示出绝缘体250的结构为单层，但是也可以为两层以上的叠层结构。当绝缘体250的结构为两层的叠层结构时，优选的是绝缘体250的下层使用通过加热释放氧的绝缘体形成，绝缘体250的上层使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构，可以抑制包含在绝缘体250的下层中的氧扩散到导电体260。换言之，可以抑制对氧化物230供应的氧量的减少。此外，可以抑制因包含在绝缘体250的下层中的氧导致的导电体260的氧化。例如，绝缘体250的下层可以使用能够用于上述绝缘体250的材料设置，绝缘体250的上层可以使用与绝缘体222相同的材料设置。

[0142] 注意，当绝缘体250的下层使用氧化硅及氧氮化硅等形成时，绝缘体250的上层也可以使用相对介电常数高的high-k材料的绝缘材料形成。通过作为栅极绝缘体采用上述绝缘体250的下层及绝缘体250的上层的叠层结构，可以形成具有热稳定性且相对介电常数高

的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。另外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0143] 作为绝缘体250的上层,具体而言,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗、镁等中的一种或两种以上的金属氧化物或者能够用于氧化物230的金属氧化物。特别是,优选使用包含铝和铪中的一个或两个的氧化物的绝缘体。例如,作为绝缘体250的上层使用氧化铪即可。

[0144] 此外,也可以在绝缘体250与导电体260之间设置金属氧化物。该金属氧化物优选抑制氧从绝缘体250扩散到导电体260。通过设置抑制氧的扩散的金属氧化物,从绝缘体250扩散到导电体260的氧被抑制。换言之,可以抑制对氧化物230供应的氧量的减少。此外,可以抑制因包含在绝缘体250中的氧导致的导电体260的氧化。

[0145] 另外,上述金属氧化物也可以被用作第一栅电极的一部分。例如,可以将能够用于氧化物230的金属氧化物被用作上述金属氧化物。在此情况下,通过利用溅射法形成导电体260a,可以降低上述金属氧化物的电阻值使其变为导电体。上述导电体可以称为OC(Oxide Conductor)电极。

[0146] 通过设置上述金属氧化物,可以提高晶体管200的通态电流,而无需减少来自导电体260的电场的影响。另外,通过利用绝缘体250及上述金属氧化物的物理厚度保持导电体260与氧化物230之间的距离,可以抑制导电体260与氧化物230之间的泄漏电流。另外,通过设置绝缘体250及上述金属氧化物的叠层结构,可以容易调整导电体260与氧化物230之间的物理距离及从导电体260施加到氧化物230的电场强度。

[0147] 导电体260被用作晶体管200的第一栅电极。导电体260优选包括导电体260a以及配置在导电体260a上的导电体260b。例如,优选以包围导电体260b的底面及侧面的方式配置导电体260a。另外,如图1B及图1C所示,导电体260的顶面的最上部与绝缘体250的顶面的最上部大致一致。虽然在图1B及图1C中导电体260具有导电体260a和导电体260b的两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0148] 在此,作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0149] 此外,当导电体260a具有抑制氧的扩散的功能时,可以抑制绝缘体250所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。

[0150] 另外,由于导电体260还被用作布线,所以优选使用导电性高的导电体。例如,导电体260b可以使用钨、铜或铝为主要成分的导电材料。另外,导电体260b可以具有叠层结构,例如可以具有钛、氮化钛与上述导电材料的叠层。

[0151] 另外,在晶体管200中,以填埋形成于绝缘体280等的开口的方式自对准地形成导电体260。通过如此形成导电体260,可以在导电体242a和导电体242b之间的区域中无需对准并确实地配置导电体260。

[0152] 另外,如图1C所示,在晶体管200的沟道宽度方向上,以绝缘体222的底面为基准,导电体260的导电体260不与氧化物230b重叠的区域的底面的高度优选比氧化物230b的底面的高度低。通过采用被用作栅电极的导电体260隔着绝缘体250等覆盖氧化物230b的沟道

形成区域的侧面及顶面的结构,容易使导电体260的电场作用于氧化物230b的沟道形成区域整体。由此,可以提高晶体管200的通态电流及频率特性。以绝缘体222的底面为基准时的氧化物230a及氧化物230b不与导电体260重叠的区域的导电体260的底面的高度与氧化物230b的底面的高度之差为0nm以上且100nm以下,优选为3nm以上且50nm以下,更优选为5nm以上且20nm以下。

[0153] 绝缘体280设置在绝缘体275上,在将设置绝缘体250及导电体260的区域中形成开口。此外,绝缘体280的顶面也可以被平坦化。

[0154] 优选的是,被用作层间膜的绝缘体280的介电常数低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。绝缘体280例如优选使用与绝缘体216相同的材料形成。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。特别是,因为氧化硅、氧氮化硅、具有空孔的氧化硅等的材料容易形成包含通过加热脱离的氧的区域,所以是优选的。

[0155] 与绝缘体224同样,绝缘体280优选包含过剩氧区域或过剩氧。另外,绝缘体280中的水、氢等杂质浓度优选得到降低。例如,作为绝缘体280适当地使用氧化硅、氧氮化硅等,即可。通过以与氧化物230接触的方式设置包含过剩氧的绝缘体,可以减少氧化物230中的氧空位,从而可以提高晶体管200的可靠性。

[0156] 另外,绝缘体282优选被用作抑制水、氢等杂质从上方向绝缘体280扩散的阻挡绝缘膜且具有俘获氢等杂质的功能。另外,绝缘体282优选被用作抑制氧透过的阻挡绝缘膜。作为绝缘体282,例如使用氧化铝等绝缘体即可。通过在夹在绝缘体212与绝缘体283的区域内设置与绝缘体280接触且具有俘获氢等杂质的功能的绝缘体282,可以俘获包含在绝缘体280等的氢等杂质而将该区域内的氢量为一定的值。

[0157] 绝缘体283可以被用作抑制水、氢等杂质从上方扩散到绝缘体280的阻挡绝缘膜。绝缘体283配置在绝缘体282上。作为绝缘体283,优选使用氮化硅或氮氧化硅等包含硅的氮化物。例如,作为绝缘体283使用通过溅射法形成的氮化硅。通过使用溅射法形成绝缘体283,可以形成密度高且不容易形成空洞等的氮化硅膜。另外,作为绝缘体283,也可以在通过溅射法形成的氮化硅上还层叠通过CVD法形成的氮化硅。

[0158] 导电体240a及导电体240b优选使用以钨、铜或铝为主要成分的导电材料。此外,导电体240a及导电体240b也可以具有叠层结构。

[0159] 当作为导电体240采用叠层结构时,作为与绝缘体283、绝缘体282、绝缘体280、绝缘体275、绝缘体273及绝缘体271接触的导电体优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钌、氧化钌等。可以以单层或叠层使用具有抑制水、氢等杂质的透过的功能的导电材料。此外,可以防止包含在绝缘体283的上方的层的水、氢等杂质通过导电体240a及导电体240b混入到氧化物230。

[0160] 作为绝缘体241a及绝缘体241b,例如可以使用氮化硅、氧化铝、氮氧化硅等绝缘体。因为绝缘体241a及绝缘体241b与绝缘体283、绝缘体282、绝缘体275及绝缘体271接触地设置,所以可以抑制包含在绝缘体280等中的水、氢等杂质经过导电体240a及导电体240b混入氧化物230。尤其是,氮化硅对氢的阻挡性高,所以是优选的。此外,可以防止绝缘体280所包含的氧被导电体240a及导电体240b吸收。

[0161] 可以以与导电体240a的顶面及导电体240b的顶面接触的方式配置被用作布线的

导电体246(导电体246a及导电体246b)。导电体246优选使用以钨、铜或铝为主要成分的导电材料。另外,该导电体可以具有叠层结构,例如,可以具有钛、氮化钛与上述导电材料的叠层结构。此外,该导电体也可以以嵌入绝缘体的开口中的方式形成。

[0162] 绝缘体286设置在导电体246上及绝缘体283上。由此,导电体246的顶面及导电体246的侧面与绝缘体286接触,导电体246的底面与绝缘体283接触。也就是说,导电体246可以采用由绝缘体283及绝缘体286包围的结构。通过采用这种结构,可以抑制来自外部的氧的透过来防止导电体246的氧化。此外,可以防止水、氢等杂质从导电体246向外扩散,所以是优选的。

[0163] <半导体装置的构成材料>

以下,说明可用于半导体装置的构成材料。

[0164] <<衬底>>

作为形成晶体管200的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。另外,作为半导体衬底,例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓等构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。另外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻元件、开关元件、发光元件、存储元件等。

[0165] <<绝缘体>>

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0166] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0167] 作为相对介电常数较高的绝缘体,可以举出氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或者含有硅及铪的氮化物等。

[0168] 作为相对介电常数较低的绝缘体,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0169] 此外,通过由具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕或钽

的绝缘体的单层或叠层。具体而言,作为具有抑制氢等杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0170] 此外,被用作栅极绝缘体的绝缘体优选为具有包含通过加热脱离的氧的区域的绝缘体。例如,通过采用具有包含通过加热脱离的氧的区域的氧化硅或者氧氮化硅接触于氧化物230的结构,可以填补氧化物230所包含的氧空位。

[0171] <<导电体>>

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锇和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锇和钌的氧化物、包含镧和镍的氧化物等。另外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锇和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0172] 另外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0173] 此外,在将氧化物用于晶体管的沟道形成区域的情况下,作为被用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0174] 尤其是,作为被用作栅电极的导电体,优选使用包含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,可以使用氮化钛、氮化钽等包含氮的导电材料。另外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。通过使用上述材料,有时可以俘获形成有沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0175] <<金属氧化物>>

作为氧化物230,优选使用被用作半导体的金属氧化物(氧化物半导体)。下面,对可用于根据本发明的氧化物230及氧化物243的金属氧化物进行说明。

[0176] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。另外,除此之外,优选还包含铝、镓、钇、锡等。另外,也可以包含选自硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁及钴等中的一种或多种。

[0177] 在此考虑金属氧化物为包含铟、元素M及锌的In-M-Zn氧化物的情况。注意,元素M为铝、镓、钇或锡等。作为可以应用于元素M的其他元素,有硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁、钴等。注意,作为元素M有时也可以组合多个上述元素。

[0178] 另外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物(metal

oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0179] <结晶结构的分类>

首先,参照图3A对氧化物半导体中的结晶结构的分类进行说明。图3A是说明氧化物半导体,典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0180] 如图3A所示那样,氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”、“Crystal(结晶)”。另外,completely amorphous包含在“Amorphous”中。另外,在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(cloud-aligned composite)(excluding single crystal and poly crystal)。另外,在“Crystalline”的分类中不包含single crystal(单晶)、poly crystal(多晶)及completely amorphous。另外,在“Crystal”中包含single crystal及poly crystal。

[0181] 另外,图3A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态,是属于新颖的边界区域(New crystalline phase)的结构。换言之,该结构与“Crystal(结晶)”或在能量性上不稳定的“Amorphous(无定形)”可以说是完全不同的结构。

[0182] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此,图3B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱。另外,也将GIXD法称为薄膜法或Seemann-Bohlin法。下面,将通过图3B所示的GIXD测量而得到的XRD谱简单地记为XRD谱。另外,图3B所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。另外,图3B所示的CAAC-IGZO膜的厚度为500nm。

[0183] 如图3B所示,在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰值。具体而言,在CAAC-IGZO膜的XRD谱中,2θ=31°附近检测出表示c轴取向的峰值。另外,如图3B所示那样,2θ=31°附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0184] 另外,可以使用纳米束电子衍射法(NBED: Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图3C示出CAAC-IGZO膜的衍射图案。图3C是将电子束向平行于衬底的方向入射的NBED观察的衍射图案。另外,图3C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。另外,在纳米束电子衍射法中,进行束径为1nm的电子衍射法。

[0185] 如图3C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0186] <<氧化物半导体的结构>>

另外,在注目于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图3A不同。例如,氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。另外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0187] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0188] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。另外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、

或者CAAC-OS膜的表面的法线方向。另外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。另外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0189] 另外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。另外,结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0190] 另外,在In-M-Zn氧化物(元素M为选自铝、镓、钇、锡及钛等中的一种或多种)中,CAAC-OS有包括含有层叠有铟(In)及氧的层(以下,In层)、含有元素M、锌(Zn)及氧的层(以下,(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。另外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。另外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0191] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出c轴取向的峰值。注意,表示c轴取向的峰值的位置(2θ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0192] 另外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。另外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0193] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六角形,有是非正六角形的情况。另外,在上述畸变中,有时具有五角形、七角形等晶格排列。另外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变,即a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化。

[0194] 另外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0195] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。另外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧缺陷等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及可靠性良好。此外,CAAC-OS对制造工序中的高温度(所谓热积存;thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0196] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。另外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,不检测出表示结晶性的峰值。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子射线)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0197] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。另外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0198] <<氧化物半导体的结构>>

接着,说明上述的CAC-OS的详细内容。另外,说明CAC-OS与材料构成有关。

[0199] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0200] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0201] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。另外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。另外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。另外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0202] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。另外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。另外,可以将上述第二区域称为以Ga为主要成分的区域。

[0203] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0204] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX: Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布

而混合的结构。

[0205] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0206] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0207] <包括氧化物半导体的晶体管>

在此,说明将上述氧化物半导体用于晶体管的情况。

[0208] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0209] 另外,优选将载流子浓度低的氧化物导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域中的载流子浓度可以为 $1 \times 10^{17} \text{ cm}^{-3}$ 以下,优选为 $1 \times 10^{15} \text{ cm}^{-3}$ 以下,更优选为 $1 \times 10^{13} \text{ cm}^{-3}$ 以下,进一步优选为 $1 \times 10^{11} \text{ cm}^{-3}$ 以下,更进一步优选低于 $1 \times 10^{10} \text{ cm}^{-3}$,且为 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。另外,有时将载流子浓度低的氧化物半导体称为“高纯度本征”或“实质上高纯度本征的氧化物半导体”。

[0210] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0211] 此外,被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0212] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0213] <杂质>

在此,说明氧化物半导体中的各杂质的影响。

[0214] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷能级。因此,将氧化物半导体的沟道形成区域中的硅或碳的浓度、氧化物半导体的与沟道形成区域的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下,优选为 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0215] 另外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开特性。由此,将利用SIMS分析测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。

[0216] 当氧化物半导体包含氮时,容易产生作为载流子的电子,使载流子浓度增高,而被n型化。其结果,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启型特性。或者,在氧化物半导体包含氮时,有时形成陷阱能级。其结果,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为低于 5×10^{19} atoms/cm³,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0217] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧缺陷。当氢进入该氧缺陷时,有时生成作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,具有含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,在氧化物半导体的沟道形成区域中,将利用SIMS测得的氢浓度设定为低于 1×10^{20} atoms/cm³,优选低于 5×10^{19} atoms/cm³,更优选低于 1×10^{19} atoms/cm³,进一步优选低于 5×10^{18} atoms/cm³,还进一步优选低于 1×10^{18} atoms/cm³。

[0218] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0219] <<其他半导体材料>>

可以用于氧化物230的半导体材料不局限于上述金属氧化物。作为氧化物230,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是,优选将被用作半导体的层状物质用于半导体材料。

[0220] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键或离子键弱的键合层叠的结构。层状物质在每单位层中具有高导电性,即,具有高二维导电性。通过将被用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0221] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、鉻。另外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0222] 作为氧化物230,例如优选使用被用作半导体的过渡金属硫族化物。作为能够被用作氧化物230的过渡金属硫族化物,具体地可以举出硫化钼(典型的是MoS₂)、硒化钼(典型的是MoSe₂)、碲化钼(典型的是MoTe₂)、硫化钨(典型的是WS₂)、硒化钨(典型的是WSe₂)、碲化钨(典型的是WTe₂)、硫化铪(典型的是HfS₂)、硒化铪(典型的是HfSe₂)、硫化锆(典型的是ZrS₂)、硒化锆(典型的是ZrSe₂)等。

[0223] <半导体装置的制造方法>

接着,使用图4A至图16A、图4B至图16B、图4C至图16C及图4D至图16D说明图1A至图1D所示的本发明的一个方式的半导体装置的制造方法。

[0224] 图4A至图16A是俯视图。另外,图4B至图16B是相当于沿着图4A至图16A中的点划线A1-A2的截面图,也是晶体管200的沟道长度方向的截面图。另外,图4C至图16C是相当于沿着图4A至图16A中的点划线A3-A4的截面图,也是晶体管200的沟道宽度方向的截面图。另

外,图4D至图16D是相当于沿着图4A至图16A中的点划线A5-A6的截面图。注意,为了明确起见,在图4A至图16A的俯视图中省略部分构成要素。

[0225] 以下,用来形成绝缘体的绝缘材料、用来形成导电体的导电材料或用来形成半导体的半导体材料可以适当地使用溅射法、CVD法、MBE法、PLD法、ALD法等进行成膜。

[0226] 作为溅射法,可以举出将高频电源用于溅射用电源的RF溅射法、利用直流电源的DC溅射法、以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在形成绝缘膜时使用,DC溅射法主要在形成金属导电膜时使用。另外,脉冲DC溅射法主要在利用反应性溅射法形成氧化物、氮化物、碳化物等化合物时使用。

[0227] 注意,CVD法可以分为利用等离子体的等离子体增强CVD (PECVD: Plasma Enhanced CVD,也称为化学气相沉积) 法、利用热量的热CVD (TCVD: Thermal CVD) 法及利用光的光CVD (Photo CVD) 法等。再者,可以根据使用的源气体分类为金属CVD (MCVD: Metal CVD) 法及有机金属CVD (MOCVD: Metal Organic CVD,有时也称为金属化学气相沉积) 法。

[0228] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。另外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而会产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。另外,在热CVD法中,不生成膜时的等离子体损伤,因此能够得到缺陷较少的膜。

[0229] 作为ALD法,采用只利用热能使前驱物及反应物起反应的热ALD (Thermal ALD) 法、使用受到等离子体激发的反应物的PEALD (Plasma Enhanced ALD) 法等。

[0230] 另外,ALD法可以利用作为原子的性质的自调整性来沉积每一层的原子,从而发挥能够形成极薄的膜、能够对纵横比高的结构形成膜、能够以针孔等的缺陷少的方式形成膜、能够形成覆盖性优良的膜及能够在低温下形成膜等的效果。在PEALD法中,通过利用等离子体可以在更低温下进行成膜,所以有时是优选的。ALD法中使用的前驱物有时包含碳等杂质。因此,利用ALD法形成的膜有时与利用其它的成膜方法形成的膜相比包含更多的碳等杂质。另外,杂质的定量可以利用X射线光电子能谱 (XPS: X-ray Photoelectron Spectroscopy) 测量。

[0231] 不同于从靶材等中被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表面的反应而形成膜的形成方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口部的表面的膜。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0232] CVD法或ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法或ALD法时,可以通过调整源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法或ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为不需要传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以缩短成膜时间。因此,有时可以提高半导体装置的生产率。

[0233] 首先,准备衬底(未图示。),在该衬底上形成绝缘体212(参照图4A至图4D。)。绝缘体212优选使用溅射法形成。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体212中的氢浓度。注意,绝缘体212的成膜不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0234] 在本实施方式中,作为绝缘体212在含氮气体气氛下使用硅靶材通过脉冲DC溅射法形成氮化硅。通过使用脉冲DC溅射法,可以抑制因靶材表面的电弧(arcing)而发生的微粒,所以可以使厚度更均匀。另外,通过使用脉冲电压,与高频电压相比可以使放电时的上升或下降急剧。由此,可以更高效地对电极供应功率而提高溅射速率及膜质。

[0235] 另外,通过使用如氮化硅等不容易使水、氢等杂质透过的绝缘体,可以抑制绝缘体212的下方的层所包含的水、氢等杂质扩散。另外,通过作为绝缘体212使用氮化硅等不容易使铜透过的绝缘体,即使作为绝缘体212的下方的层(未图示)的导电体使用铜等容易扩散的金属,也可以抑制该金属通过绝缘体212向上方扩散。

[0236] 接着,在绝缘体212上形成绝缘体214(参照图4A至图4D。)。绝缘体214优选使用溅射法形成。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体214中的氢浓度。注意,绝缘体214的成膜不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0237] 在本实施方式中,作为绝缘体214在含氧气体气氛下使用硅靶材通过脉冲DC溅射法形成氧化铝。通过使用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜质。

[0238] 通过作为绝缘体214使用俘获并固定氢的性能高的氧化铝,可以俘获或固定包含在绝缘体216等中的氢以防止该氢扩散到氧化物230。

[0239] 接着,在绝缘体214上形成绝缘体216。绝缘体216优选使用溅射法形成。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体216中的氢浓度。注意,绝缘体216的成膜不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0240] 在本实施方式中,作为绝缘体216在包含氧气体气氛下使用硅靶材通过脉冲DC溅射法形成氧化硅。通过使用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜质。

[0241] 绝缘体212、绝缘体214及绝缘体216优选以不暴露于大气的方式连续形成。例如,使用多室方式的成膜装置即可。由此,可以降低膜中的氢而形成绝缘体212、绝缘体214及绝缘体216,并且可以降低在各成膜工序之间氢混入膜中。

[0242] 接着,在绝缘体216中形成到达绝缘体214的开口。开口例如包括槽或狭缝等。有时将形成有开口的区域称为开口部。在形成该开口时,可以使用湿蚀刻法,但是对微型加工来说干蚀刻法是优选的。作为绝缘体214,优选选择在对绝缘体216进行蚀刻以形成槽时被用作蚀刻停止膜的绝缘体。例如,当作为形成槽的绝缘体216使用氧化硅膜或氧氮化硅时,绝缘体214优选使用氮化硅、氧化铝、氧化铪。

[0243] 作为干蚀刻装置,可以使用包括平行平板型电极的电容耦合型等离子体(CCP: Capacitively Coupled Plasma)蚀刻装置。包括平行平板型电极的电容耦合型等离子体蚀刻装置也可以采用对平行平板型电极中的一方施加高频电压的结构。或者,也可以采用对平行平板型电极中的双方施加不同的多个高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率相同的高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率不同的高频电压的结构。或者,也可以利用具有高密度等离子体源的干蚀刻装置。例如,作为具有高密度等离子体源的干蚀刻装置,可以使用感应耦合等离子体(ICP:

Inductively Coupled Plasma) 蚀刻装置等。

[0244] 在形成开口之后,形成导电膜205A(参照图4A至图4D)。导电膜205A优选包括具有抑制氧透过的功能的导电体。例如,可以使用氮化钽、氮化钨、氮化钛等。或者,可以使用具有抑制氧透过的功能的导电体与钽、钨、钛、钼、铝、铜或钼钨合金的叠层膜。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成导电膜205A。

[0245] 在本实施方式中,作为导电膜205A形成氮化钛。通过作为导电体205b的下层使用上述金属氮化物,可以抑制由于绝缘体216等导电体205b被氧化。另外,即使作为导电体205b使用铜等容易扩散的金属,也可以防止该金属从该导电体205a向外扩散。

[0246] 接着,形成导电膜205B(参照图4A至图4D)。作为导电膜205B,可以使用钽、钨、钛、钼、铝、铜、钼钨合金等。该导电膜的成膜可以使用电镀法、溅射法、CVD法、MBE法、PLD法、ALD法等。在本实施方式中,作为导电膜205B形成钨。

[0247] 接着,通过CMP处理去除导电膜205A及导电膜205B的一部分而使绝缘体216露出(参照图5A至图5D)。其结果,只在开口部残留导电体205a及导电体205b。另外,有时通过该CMP处理绝缘体216的一部分被去除。

[0248] 接着,进行蚀刻去除导电体205b的顶部(参照图6A至图6D)。由此,导电体205b的顶面低于导电体205a的顶面及绝缘体216的顶面。在对导电体205b进行蚀刻时可以使用干蚀刻法或湿蚀刻法,从微细加工的观点来看,使用干蚀刻法是更优选的。

[0249] 接着,在绝缘体216、导电体205a及导电体205b上形成导电膜205C(参照图7A至图7D)。与导电膜205A同样,导电膜205C优选包括具有抑制氧透过的功能的导电体。

[0250] 在本实施方式中,作为导电膜205C形成氮化钛。通过作为导电体205b的上层使用上述金属氮化物,可以抑制由于绝缘体222等导电体205b被氧化。另外,即使作为导电体205b使用铜等容易扩散的金属,也可以防止该金属从导电体205c向外扩散。

[0251] 接着,通过CMP处理去除导电膜205C的一部分而使绝缘体216露出(参照图8A至图8D)。其结果,只在开口部残留导电体205a、导电体205b及导电体205c。由此,可以形成其顶面平坦的导电体205。并且,导电体205b由导电体205a及导电体205c包围。因此,可以防止氢从导电体205b扩散到导电体205a及导电体205c之外侧且防止从到导电体205a及导电体205c之外侧混入氧而导电体205b被氧化。另外,有时通过该CMP处理绝缘体216的一部分被去除。

[0252] 接着,在绝缘体216及导电体205上形成绝缘体222(参照图9A至图9D)。绝缘体222优选使被用作包含铝和铪中的一方或双方的氧化物的绝缘体。作为包含铝和铪中的一方或双方的氧化物的绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。包含铝和铪中的一方或双方的氧化物的绝缘体对氧、氢及水具有阻挡性。当绝缘体222对氢及水具有阻挡性时,可以抑制晶体管200的周围的结构体所包含的氢及水通过绝缘体222扩散到晶体管200的内侧,从而可以抑制氧化物230中的氧空位的生成。

[0253] 可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成绝缘体222。在本实施方式中,作为绝缘体222利用溅射法形成氧化铪。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体222中的氢浓度。

[0254] 接着,优选进行热处理。热处理以250℃以上且650℃以下的温度,优选以300℃以上且500℃以下的温度,更优选以320℃以上且450℃以下进行即可。热处理在氮气体或惰性

气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。热处理例如,当在氮气体和氧气体的混合气氛下进行热处理时,氧气体的比例设为20%左右即可。热处理也可以在减压状态下进行。或者,热处理也可以在氮气体或惰性气体气氛下进行热处理,然后为了填补脱离了的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。

[0255] 另外,在上述热处理中使用的气体优选被高纯度化。例如,在上述热处理中使用的气体所包含的水分量为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下即可。通过使用高纯度化了的气体进行热处理,可以尽可能地防止水分等被绝缘体222等吸收。

[0256] 在本实施方式中,作为热处理在形成绝缘体222后以氮气体与氧气体的流量比为4s1m:1s1m且400℃的温度进行1小时的处理。通过进行该热处理,可以去除绝缘体222所包含的水、氢等杂质。另外,在作为绝缘体222使用含铅氧化物时,有时通过进行该热处理绝缘体222的一部分被晶化。此外,也可以在形成绝缘体224之后等进行热处理。

[0257] 接着,在绝缘体222上形成绝缘体224(参照图9A至图9D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成绝缘体224。在本实施方式中,作为绝缘体224利用溅射法形成氧化硅。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体224中的氢浓度。绝缘体224在后面工序中与氧化物230a接触,所以如此那样氢浓度得到降低是优选的。

[0258] 在此,为了在绝缘体224中形成过剩氧区域,也可以在减压状态下进行包含氧的等离子体处理。包含氧的等离子体处理例如优选采用包括用来使用微波产生高密度等离子体的电源的装置。或者,也可以包括对衬底一侧施加RF(Radio Frequency:射频)的电源。通过使用高密度等离子体可以生成高密度氧自由基,且通过对衬底一侧施加RF可以将由高密度等离子体生成的氧自由基高效地导入绝缘体224中。或者,也可以在使用这种装置进行包含惰性气体的等离子体处理之后,为填补脱离的氧而进行包含氧的等离子体处理。此外,通过适当地选择该等离子体处理的条件,可以去除绝缘体224所包含的水、氢等杂质。此时,也可以不进行热处理。

[0259] 在此,也可以在绝缘体224上例如通过溅射法进行氧化铝的成膜,并对该氧化铝进行CMP处理直到到达绝缘体224为止。通过进行该CMP处理,可以进行绝缘体224表面的平坦化及绝缘体224表面的平滑化。通过将该氧化铝配置于绝缘体224上进行CMP处理,容易检测出CMP处理的终点。此外,有时由于绝缘体224的一部分通过CMP处理被抛光而绝缘体224的厚度变薄,但是在绝缘体224的成膜时调整厚度,即可。通过进行绝缘体224表面的平坦化及平滑化,有时可以防止下面进行成膜的氧化物的覆盖率的降低并防止半导体装置的成品率的降低。此外,通过在绝缘体224上利用溅射法进行氧化铝的成膜,可以对绝缘体224添加氧,所以是优选的。

[0260] 接着,在绝缘体224上依次形成氧化膜230A以及氧化膜230B(参照图9A至图9D)。优选在不暴露于大气环境的情况下连续地形成氧化膜230A及氧化膜230B。通过不暴露于大气而形成氧化膜,由于可以防止来自大气环境的杂质或水分附着于氧化膜230A及氧化膜230B上,所以可以保持氧化膜230A与氧化膜230B的界面附近的清洁。

[0261] 氧化膜230A及氧化膜230B可以利用溅射法、CVD法、MOCVD法、MBE法、PLD法、ALD法等形成。

[0262] 例如,在利用溅射法形成氧化膜230A以及氧化膜230B的情况下,作为溅射气体使

用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比例,可以增加形成的氧化膜中的过剩氧。此外,在利用溅射法形成上述氧化膜的情况下,例如可以使用上述In-M-Zn氧化物等靶材。

[0263] 尤其是,在形成氧化膜230A时,有时溅射气体所包含的氧的一部分供应给绝缘体224。因此,该溅射气体所包含的氧的比率可以为70%以上,优选为80%以上,更优选为100%。

[0264] 在使用溅射法形成氧化膜230B的情况下,通过在包含在溅射气体中的氧的比率为超过30%且100%以下,优选为70%以上且100%以下的条件下形成膜,可以形成氧过剩型氧化物半导体。将氧过剩型氧化物半导体用于沟道形成区域的晶体管可以得到比较高的可靠性。注意,本发明的一个方式不局限于此。在利用溅射法形成氧化膜230B的情况下,当在溅射气体所包含的氧的比率设定为1%以上且30%以下、优选为5%以上且20%以下的情况下进行成膜时,形成氧缺乏型氧化物半导体。将氧缺乏型氧化物半导体用于沟道形成区域的晶体管可以具有较高的场效应迁移率。此外,通过边加热衬底边形成膜,可以提高该氧化膜的结晶性。

[0265] 在本实施方式中,利用溅射法使用 $In:Ga:Zn=1:3:4$ [原子个数比]的氧化物靶材形成氧化膜230A。另外,利用溅射法使用 $In:Ga:Zn=4:2:4.1$ [原子个数比]的氧化物靶材形成氧化膜230B。上述氧化膜可以根据氧化物230a及氧化物230b所需的特性适当地选择成膜条件及原子个数比来形成。

[0266] 接着,在氧化膜230B上形成氧化膜243A(参照图9A至图9D)。氧化膜243A可以使用溅射法、CVD法、MBE法、PLD法、ALD法等形成。氧化膜243A中的相对于In的Ga的原子个数比优选比氧化膜230B中的相对于In的Ga的原子个数比大。在本实施方式中,利用溅射法使用 $In:Ga:Zn=1:3:4$ [原子个数比]的氧化物靶材形成氧化膜243A。

[0267] 在此,优选通过溅射法以不暴露于大气的方式形成绝缘体222、绝缘体224、氧化膜230A及氧化膜230B及氧化膜243A。例如,使用多室方式的成膜装置即可。由此,可以降低膜中的氢而形成绝缘体222、绝缘体224、氧化膜230A、氧化膜230B及氧化膜243A,并且可以降低在各成膜工序之间氢混入膜中。

[0268] 接着,优选进行热处理。热处理在氧化膜230A、氧化膜230B及氧化膜243A不发生多晶化的温度范围内进行即可,可以在250℃以上且650℃以下,优选在400℃以上且600℃以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行热处理时,氧气体的比例设为20%左右即可。热处理也可以在减压状态下进行。或者,热处理也可以在氮气体或惰性气体气氛下进行热处理,然后为了填补脱离了的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。

[0269] 另外,在上述热处理中使用的气体优选被高纯度化。例如,在上述热处理中使用的气体所包含的水分量为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下即可。通过使用高纯度化了的气体进行热处理,可以尽可能地防止水分等被氧化膜230A、氧化膜230B及氧化膜243A等吸收。

[0270] 在本实施方式中,作为热处理,在氮气氛下以550℃的温度进行1小时的处理,接下来连续地在氧气气氛下以550℃的温度进行1小时的处理。通过进行该热处理,可以去除氧化

膜230A、氧化膜230B以及氧化膜243A中的水、氢等杂质。再者,通过进行该热处理,可以提高氧化膜230B的结晶性实现密度更高的致密结构。由此,可以降低氧化膜230B中的氧或杂质的扩散。

[0271] 接着,在氧化膜243A上形成导电膜242A(参照图9A至图9D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成导电膜242A。例如,作为导电膜242A利用溅射法形成氮化钽即可。另外,在形成导电膜242A之前也可以进行热处理。该热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地形成导电膜242A。通过进行这种处理,可以去除附着于氧化膜243A的表面等的水分及氢,而且减少氧化膜230A、氧化膜230B及氧化膜243A中的水分浓度及氢浓度。热处理的温度优选为100℃以上且400℃以下。在本实施方式中,将热处理的温度设定为200℃。

[0272] 接着,在导电膜242A上形成绝缘膜271A(参照图9A至图9D)。绝缘膜271A可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成。作为绝缘膜271A,优选使用具有抑制氧的透过的功能的绝缘膜。例如,作为绝缘膜271A通过溅射法形成氮化硅即可。

[0273] 接着,在绝缘膜271A上形成绝缘膜273A(参照图9A至图9D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成绝缘膜273A。例如,作为绝缘膜273A通过溅射法形成氧化硅即可。

[0274] 优选通过溅射法以不暴露于大气的方式形成导电膜242A、绝缘膜271A及绝缘膜273A。例如,使用多室方式的成膜装置即可。由此,可以降低膜中的氢而形成导电膜242A、绝缘膜271A及绝缘膜273A,并且可以降低在各成膜工序之间氢混入膜中。另外,当在绝缘膜273A上形成硬掩模时,成为该硬掩模的膜也以不暴露于大气的方式连续形成即可。

[0275] 接着,使用光刻法将氧化膜230A、氧化膜230B、氧化膜243A、导电膜242A、绝缘膜271A及绝缘膜273A加工为岛状,来形成氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B(参照图10A至图10D)。此外,作为该加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。另外,可以以彼此不同的条件形成氧化膜230A、氧化膜230B、氧化膜243A、导电膜242A、绝缘膜271A及绝缘层271B。此外,在该工序中,有时绝缘体224中的不与氧化物230a重叠的区域的厚度变薄。另外,在该工序中,也可以以与氧化物230a重叠的方式将绝缘体224加工为岛状。

[0276] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域而形成抗蚀剂掩模。接着,通过该抗蚀剂掩模进行蚀刻处理来将导电体、半导体或绝缘体等加工为所希望的形状。例如,使用KrF受激准分子激光、ArF受激准分子激光、EUV(Extreme Ultraviolet:极紫外)光等对抗蚀剂进行曝光来形成抗蚀剂掩模,即可。此外,也可以利用在衬底和投影透镜之间填满液体(例如,水)的状态下进行曝光的液浸技术。另外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。另外,在去除抗蚀剂掩模时,可以进行灰化处理等干蚀刻处理或湿蚀刻处理,也可以在进行干蚀刻处理之后进行湿蚀刻处理,又可以在进行湿蚀刻处理之后进行干蚀刻处理。

[0277] 再者,也可以在抗蚀剂掩模下使用由绝缘体或导电体构成的硬掩模。当使用硬掩模时,可以在导电膜242A上形成成为硬掩模材料的绝缘膜或导电膜且在其上形成抗蚀剂掩模,然后对硬掩模材料进行蚀刻来形成所希望的形状的硬掩模。对导电膜242A等进行的蚀刻既可以在去除抗蚀剂掩模后进行,又可以不去除抗蚀剂掩模进行。在采用后者的情况下,

进行蚀刻时有时抗蚀剂掩模消失。可以在导电膜242A等的蚀刻之后,通过蚀刻去除硬掩模。另一方面,在硬掩模材料没有影响到后工序或者可以在后工序中使用的情况下,不一定要去除硬掩模。在本实施方式中,将绝缘层271B及绝缘层273B作为硬掩模使用。

[0278] 在此,绝缘层271B及绝缘层273B被用作用于形成导电层242B的掩模,如图10B至图10D所示,导电层242B在侧面与顶面之间不具有弯曲面。由此,图1B及图1D所示的导电体242a及导电体242b的侧面与顶面交叉的端部成为角状。在导电体242的侧面与顶面交叉的端部成为角状时,与该端部具有曲面的情况相比,导电体242的截面积增大。由此,导电体242的电阻下降,从而可以增大晶体管200的通态电流。

[0279] 在此,氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B以其至少一部分与导电体205重叠的方式形成。此外,氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B的侧面优选相对于绝缘体222的顶面大致垂直。在氧化物230a、氧化物230b、氧化物层243B及导电层242B、绝缘层271B及绝缘层273B的侧面对绝缘体222的顶面大致垂直时,当设置多个晶体管200时能够实现小面积化、高密度化。或者,也可以采用氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B的侧面与绝缘体222的顶面所形成的角度较低的结构。在此情况下,氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B的侧面与绝缘体222的顶面所形成的角度优选为60度以上且低于70度。通过采用这种形状,在下面的工序中提高绝缘体275等的覆盖性,并可以减少空洞等缺陷。

[0280] 另外,有时在上述蚀刻工序中产生的副产物以层状形成在氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B的侧面。在此情况下,该层状的副产物形成在氧化物230a、氧化物230b、氧化物243、导电体242、绝缘体271及绝缘体273与绝缘体272间。另外,同样地,有时层状的副产物形成在绝缘体224上。如果以该层状的副产物形成在绝缘体224上的状态形成绝缘体275,该层状的副产物则阻碍对绝缘体224的氧的添加。因此,优选去除接触于绝缘体224的顶面的该层状的副产物。

[0281] 接着,在绝缘体224、氧化物230a、氧化物230b、氧化物层243B、导电层242B、绝缘层271B及绝缘层273B上形成成为绝缘体272的绝缘膜。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成成为绝缘体272的绝缘膜。在本实施方式中,作为成为绝缘体272的绝缘膜利用溅射法形成氮化硅。

[0282] 接着,通过对成为绝缘体272的绝缘膜进行各向异性蚀刻,去除绝缘层273B上的该绝缘膜及绝缘体224上的该绝缘膜(参照图11A至图11D)。另外,当在图10所示的工序中残留层状的副产物时,可以通过该各向异性蚀刻去除。由此,以与氧化物230a的侧面、氧化物230b的侧面、氧化物层243B的侧面、导电层242B的侧面、绝缘层271B的侧面及绝缘层273B的侧面接触的方式形成绝缘层272A。

[0283] 如此,可以由具有抑制氧扩散的功能的绝缘层272A及绝缘层271B覆盖氧化物230a、氧化物230b、氧化物层243B及导电层242B。由此,可以抑制在后面工序的绝缘体275的成膜等中氧扩散到氧化物230a、氧化物230b、氧化物层243B及导电层242B。

[0284] 接着,在绝缘体224、绝缘层272A及绝缘层273B上形成绝缘体275(参照图11A至图11D)。绝缘体275可以通过溅射法、CVD法、MBE法、PLD法或ALD法等形成。绝缘体275优选使用抑制氧透过的功能的绝缘膜。例如,作为绝缘体275通过溅射法形成氧化铝即可。

[0285] 绝缘体275优选使用溅射法形成。通过使用溅射法形成绝缘体275,可以对绝缘体224及绝缘层273B添加氧。此时,以与导电层242B的顶面接触的方式设置绝缘层271B且以与导电层242B的侧面接触的方式设置绝缘层272A,所以可以抑制导电层242B的氧化。

[0286] 接着,在绝缘体275上形成成为绝缘体280的绝缘膜。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成该绝缘膜。例如,作为该绝缘膜通过溅射法形成氧化硅即可。通过在含氧气氛下使用溅射法形成成为绝缘体280的绝缘膜,可以形成包含过剩氧的绝缘体280。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体280中的氢浓度。另外,在形成该绝缘膜之前也可以进行热处理。该热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地形成该绝缘膜。通过进行这种处理,可以去除附着于绝缘体275的表面等的水分及氢,而且减少氧化物230a、氧化物230b、氧化物层243B及绝缘体224中的水分浓度及氢浓度。该热处理可以采用上述热处理的条件。

[0287] 接着,通过对上述成为绝缘体280的绝缘膜进行CMP处理,形成其顶面平坦的绝缘体280(参照图11A至图11D)。另外,也可以在绝缘体280上例如通过溅射法进行氮化硅的成膜,直到该氮化硅到达绝缘体280为止进行CMP处理。

[0288] 接着,对绝缘体280的一部分、绝缘体275的一部分、绝缘层273B的一部分、绝缘层271B的一部分、绝缘层272A的一部分、导电层242B的一部分、氧化物层243B的一部分及氧化物230b的一部分进行加工来形成到达氧化物230b的开口。该开口优选以与导电体205重叠的方式形成。通过形成该开口,形成绝缘体273a、绝缘体273b、绝缘体271a、绝缘体271b、绝缘体272a、绝缘体272b、导电体242a、导电体242b、氧化物243a及氧化物243b(参照图12A至图12D)。

[0289] 注意,在形成上述开口时,有时氧化物230b的顶部被去除。通过氧化物230b的一部分被去除,在氧化物230b中形成槽部。根据槽部的深度,既可以在上述开口的形成工序中形成该槽部,又可以在与上述开口的形成工序不同的工序形成该槽部。

[0290] 此外,也可以对绝缘体280的一部分、绝缘体275的一部分、绝缘层273B的一部分、绝缘层271B的一部分、绝缘层272A的一部分、导电层242B的一部分、氧化物层243B的一部分及氧化物230b的一部分通过干蚀刻法或湿蚀刻法进行加工。利用干蚀刻法的加工适合于微细加工。此外,该加工也可以以互不相同的条件进行。例如,也可以通过干蚀刻法对绝缘体280的一部分进行加工,通过湿蚀刻法对绝缘体275的一部分、绝缘层273B的一部分、绝缘层271B的一部分、绝缘层272A的一部分进行加工,并通过干蚀刻法对氧化物层243B的一部分、导电层242B的一部分及氧化物230b的一部分进行加工。注意,氧化物层243B的一部分及导电层242B的一部分的加工可以与氧化物230b的一部分的加工不同的条件进行。

[0291] 在此,优选去除附着于氧化物230a、氧化物230b等的表面或者扩散到其内部的杂质。另外,优选去除因上述干蚀刻法在氧化物230b的表面上形成的损伤区域。作为该杂质,可以举出起因于如下成分的杂质:绝缘体280、绝缘体275、绝缘层273B的一部分、绝缘层271B的一部分、绝缘层272A的一部分及导电层242B所包含的成分;包含于形成上述开口时使用的装置所使用的构件中的成分;用于蚀刻的气体或液体所包含的成分;等。作为该杂质,例如有铝、硅、钽、氟、氯等。

[0292] 尤其是,铝或硅等的杂质妨碍氧化物230b的CAAC-OS化。因此,优选减少或去除铝或硅等妨碍CAAC-OS化的杂质元素。例如,氧化物230b及其附近的铝原子的浓度可以为5.0

原子%以下,优选为2.0原子%以下,更优选为1.5原子%以下,进一步优选为1.0原子%以下,尤其优选小于0.3原子%。

[0293] 有时将被铝或硅等杂质妨碍CAAC-OS化而成为a-like OS (amorphous-like oxide semiconductor) 的金属氧化物的区域称为非CAAC区域。在非CAAC区域中,结晶结构的致密度降低,所以产生大量 V_0H 而晶体管容易变成常开启化。由此,优选减少或去除氧化物230b中的非CAAC化区域。

[0294] 相对于此,氧化物230b优选具有层状的CAAC结构。尤其是,优选氧化物230b的漏极的下端部也具有CAAC结构。在此,在晶体管200中,导电体242a或导电体242b及其附近被用作漏极。换言之,导电体242a (导电体242b) 的下端部附近的氧化物230b优选具有CAAC结构。如此,通过去除对漏极耐压带来显著影响的漏极端部中的氧化物230b的损伤区域而使其具有CAAC结构,可以进一步抑制晶体管200的电特性的变动。另外,可以进一步提高晶体管200的可靠性。

[0295] 为了去除上述杂质,也可以进行洗涤处理。作为洗涤方法,有使用洗涤液等的湿式洗涤、使用等离子体的等离子体处理、使用热处理的洗涤等,也可以适当地组合上述洗涤。注意,通过进行该洗涤处理有时上述槽部变深。

[0296] 作为湿式洗涤,可以使用用碳酸水或纯水稀释氨水、草酸、磷酸或氢氟酸等而成的水溶液、纯水或碳酸水等进行洗涤处理。或者,可以使用上述水溶液、纯水或碳酸水进行超声波洗涤。另外,也可以适当地组合上述洗涤。

[0297] 注意,在本说明书等中,有时将用纯水稀释市售的氟化氢酸的水溶液称为稀氟化氢酸且将用纯水稀释市售的氨水的水溶液称为稀氨水。另外,该水溶液的浓度、温度等可以根据要去除的杂质、被洗涤的半导体装置的结构等适当地调整即可。稀氨水的氨浓度设定为0.01%以上且5%以下,优选设定为0.1%以上且0.5%以下即可。另外,稀氟化氢酸的氟化氢浓度设定为0.01ppm以上且100ppm以下,优选设定为0.1ppm以上且10ppm以下即可。

[0298] 另外,作为超声波洗涤优选使用200kHz以上,优选为900kHz以上的频率。通过使用该频率,可以降低对氧化物230b等造成的损伤。

[0299] 另外,可以多次进行上述洗涤处理,也可以按每个洗涤处理改变洗涤液。例如,也可以作为第一洗涤处理进行使用稀氟化氢酸或稀氨水的处理,作为第二洗涤处理进行使用纯水或碳酸水的处理。

[0300] 作为上述洗涤处理,在本实施方式中,使用稀氟化氢酸进行湿式洗涤,然后用纯水或碳酸水进行湿式洗涤。通过进行该洗涤处理,可以去除附着于氧化物230a、氧化物230b等的表面或者扩散到其内部的杂质。并且,可以提高氧化物230b的结晶性。

[0301] 通过进行上述干蚀刻法等的加工或上述洗净处理,有时重叠于上述开口且不重叠于氧化物230b的区域的绝缘体224的厚度比重叠于氧化物230b的区域的绝缘体224的厚度薄。

[0302] 可以在上述蚀刻或上述洗涤后进行热处理。热处理以100℃以上且500℃以下,优选以300℃以上且500℃以下,更优选以350℃以上且400℃以下进行即可。热处理在氮气体、惰性气体或氧化性气体气氛下进行。或者,该热处理可以在包含10ppm以上、1%以上或10%以上的氧化性气体的氮气体、惰性气体气氛下进行。例如,热处理优选在氧气气氛下进行。由此,对氧化物230a及氧化物230b供应氧,从而可以减少氧空位(V_0)。另外,通过进行上述热

处理,可以提高氧化物230b的结晶性。热处理也可以在减压状态下进行。或者,也可以在氧气氛下进行热处理,然后以不暴露于大气的方式在氮气氛下连续地进行热处理。另外,当在进行氧气氛下的热处理后以不暴露于大气的方式在氮气氛下连续进行热处理时,氧气氛下的热处理也可以比氮气氛下的热处理长时间进行。

[0303] 接着,形成绝缘膜250A(参照图13A至图13D)。也可以在形成绝缘膜250A之前进行热处理,并且优选的是,该热处理在减压下进行,以不暴露于大气的方式连续形成绝缘膜250A。此外,该热处理优选在包含氧的气氛下进行。通过进行这种处理,可以去除附着于氧化物230b的表面等的水分及氢,而且减少氧化物230a、氧化物230b中的水分浓度及氢浓度。热处理的温度优选为100℃以上且400℃以下。

[0304] 可以利用溅射法、CVD法、PECVD法、MBE法、PLD法、ALD法等形成绝缘膜250A。绝缘膜250A优选使用减少或去除氢原子的气体的成膜方法形成。由此,可以降低绝缘膜250A的氢浓度。绝缘膜250A在后面工序中成为与氧化物230b接触的绝缘体250,所以如此那样氢浓度得到降低是优选的。

[0305] 另外,绝缘膜250A优选使用ALD法形成。被微型化的晶体管200的被用作栅极绝缘膜的绝缘体250需要其厚度非常薄(例如,5nm以上且30nm以下左右)且不均匀小。对此,ALD法是交替地导入前驱物及反应物(例如氧化剂等)进行的成膜方法,由于膜的厚度可以根据反复该循环的次数进行调整,所以ALD法可以精密地调整厚度。因此,可以实现对微型化了的晶体管200必要的栅极绝缘膜的厚度的精度。另外,如图13B及图13C所示,绝缘膜250A需要以高覆盖率地形成在由绝缘体280等形成的开口的底面及侧面。由于可以在该开口的底面及侧面上沉积每一层的原子层,所以可以对该开口高覆盖率地形成绝缘膜250A。

[0306] 另外,例如,在SiH₄(或Si₂H₆)等含氢气体作为成膜气体使用PECVD法进行绝缘膜250A的成膜时,含氢的成膜气体在等离子体中被分解而产生大量氢自由基。在通过氢自由基的还原反应氧化物230b中的氧被抽出而形成V₀H时,氧化物230b中的氢浓度提高。然而,在使用ALD法形成绝缘膜250A时,在导入前驱物时和导入反应物时都可以抑制氢自由基的产生。因此,通过使用ALD法形成绝缘膜250A,可以防止氧化物230b中的氢浓度提高。

[0307] 注意,在图13B及图13D中示出绝缘膜250A的结构为单层,但是也可以为两层以上的叠层结构。当绝缘膜250A的结构为两层的叠层结构时,优选的是绝缘膜250A的下层使用通过加热释放氧的绝缘体形成,绝缘膜250A的上层使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构,可以抑制包含在绝缘体250的下层中的氧扩散到导电体260。换言之,可以抑制对氧化物230供应的氧量的减少。此外,可以抑制因包含在绝缘体250的下层中的氧导致的导电体260的氧化。例如,绝缘膜250A的下层可以使用能够用于上述绝缘体250的材料设置,绝缘膜250A的上层可以使用与绝缘体222相同的材料设置。

[0308] 作为绝缘膜250A的上层,具体而言,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗、镁等中的一种或两种以上的金属氧化物或者能够用于氧化物230的金属氧化物。特别是,优选使用包含铝和铪中的一方或双方的氧化物的绝缘体。

[0309] 在绝缘膜250A具有两层叠层结构时,也可以作为下层通过PECVD法形成氧化硅且作为上层通过ALD法形成氧化铪。另外,也可以下层的氧化硅和上层的氧化铪都通过ALD法形成。另外,在两者都通过ALD法形成时,也可以作为下层通过PEALD法形成氧化硅且作为上层通过热ALD法形成氧化铪。

[0310] 注意,在绝缘膜250A具有两层叠层结构时,成为绝缘膜250A的下层的绝缘膜及成为绝缘膜250A的上层的绝缘膜优选以不暴露于大气的方式连续形成。通过以不暴露于大气的方式形成,可以防止来自大气环境的氢等杂质或水分附着于成为绝缘膜250A的下层的绝缘膜及成为绝缘膜250A的上层的绝缘膜上。因此,可以保持成为绝缘膜250A的下层的绝缘膜与成为绝缘膜250A的上层的绝缘膜的界面附近的清洁。

[0311] 接着,在含氧气氛下进行微波处理(参照图13A至图13D)。在此,图13B至图13D所示的虚线表示微波、RF等高频氧等离子体或氧自由基等。微波处理例如优选使用包括用微波产生高密度等离子体的电源的微波处理装置。在此,微波处理装置的频率优选为300MHz以上且300GHz以下,优选为2.4GHz以上且2.5GHz以下,例如为2.45GHz即可。另外,微波处理装置的施加微波的电源的功率为1000W以上且10000W以下,优选为2000W以上且5000W以下即可。在本说明书等中,将上述电源的功率除以作为微波处理装置的处理室的上部的面积(例如,在处理室上部作为介质板设置石英顶板(top plate)时,相当于该石英顶板的面积)的量定义为功率密度PD。例如,在上述微波处理装置的处理室上部的面积为2000cm²时,功率密度PD为0.5W/cm²以上且5W/cm²以下,优选为1W/cm²以上且2.5W/cm²以下即可。另外,微波处理装置也可以包括对衬底一侧施加RF的电源。通过使用高密度等离子体,可以生成高密度的氧自由基。另外,通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧离子高效地导入到氧化物230b中。

[0312] 另外,上述微波处理优选在减压下进行,压力为60Pa以上,优选为133Pa以上,更优选为200Pa以上,进一步优选为400Pa以上即可。例如,设定为10Pa以上1000Pa以下,优选为300Pa以上且700Pa以下即可。另外,处理温度为750℃以下,优选为500℃以下,例如400℃左右即可。另外,也可以在进行氧等离子体处理之后以不暴露于外部空气的方式连续进行热处理。例如,加热到100℃以上且750℃以下,优选加热到300℃以上且500℃以下即可。

[0313] 另外,例如,上述微波处理使用氧气体及氩气体进行即可。在此,氧流量比(O_2/O_2+Ar)大于0%且为100%以下即可。优选的是,氧流量比(O_2/O_2+Ar)大于0%且为50%以下即可。更优选的是,氧流量比(O_2/O_2+Ar)为10%以上且40%以下即可。进一步优选的是,氧流量比(O_2/O_2+Ar)为10%以上且30%以下即可。如此,通过在含氧气氛下进行微波处理,可以降低区域230bc中的载流子浓度。另外,通过在微波处理中不对处理室导入过多氧,可以防止在区域230ba及区域230bb中载流子浓度过度地降低。另外,通过在微波处理中不对处理室导入过多氧,可以防止导电体242a及导电体242b的侧面过度地被氧化。

[0314] 如图13B至图13D所示,通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用于氧化物230b的导电体242a与导电体242b间的区域。此时,也可以将微波或RF等高频照射到区域230bc。换言之,可以使该微波或RF等高频氧等离子体在图2所示的区域230bc中作用。通过等离子体、微波等的作用,可以使区域230bc的 V_0H 分开来从区域230bc去除氢H。换言之,在区域230bc中发生“ $V_0H \rightarrow H+V_0$ ”的反应而降低包含在区域230bc的 V_0H 。因此,可以减少区域230bc中的氧空位及 V_0H 而降低载流子浓度。另外,通过对形成在区域230bc中的氧空位供应在上述氧等离子体中产生的氧自由基或包含在绝缘体250的氧,可以进一步降低区域230bc中的氧空位,由此可以降低载流子浓度。

[0315] 另一方面,在图2所示的区域230ba及区域230bb上设置导电体242a及导电体242b。如图13B至图13D所示,导电体242a及导电体242b遮蔽微波或RF等高频氧等离子体等的作

用,所以不作用于区域230ba及区域230bb。由此,不发生通过微波处理在区域230ba及区域230bb中 V_0H 的下降及过多的氧的供应,所以可以防止载流子浓度的降低。

[0316] 如上所述,可以由氧化物半导体的区域230bc选择性地去除氧空位及 V_0H 而使区域230bc成为i型化或实质上i型化。并且,可以抑制被用作源极区域或漏极区域的区域230ba及区域230bb供应过多的氧而保持n型化。由此,可以抑制晶体管200的电特性变动而抑制在衬底面内晶体管200的电特性不均匀。

[0317] 因此,可以提供一种晶体管特性的不均匀小的半导体装置。另外,可以提供一种可靠性良好的半导体装置。此外,可以提供一种具有良好的电特性的半导体装置。

[0318] 另外,在微波处理中,有时由于微波与氧化物230b中的分子的电磁相互作用而对氧化物230b直接传递热能量。有时因该热能量而氧化物230b被加热。有时将该热处理成为微波退火。通过在含氧气氛下进行微波处理,有时可以得到与氧退火相等的效果。另外,可认为:在氧化物230b包含氢时,上述热能量传递到氧化物230b中的氢而被活性化的氢从氧化物230b释放。

[0319] 在图13所示的工序中,在形成绝缘膜250A之后进行微波处理,但是本发明不局限于此。例如,既可以在形成绝缘膜250A之前进行微波处理,又可以在形成绝缘膜250A之前和形成绝缘膜250A之后都进行微波处理。另外,例如,在绝缘膜250A具有上述两层结构时,也可以先形成绝缘膜250A的下层再进行微波处理,然后形成绝缘膜250A的上层。

[0320] 例如,先PECVD法形成绝缘膜250A的下层的氧化硅再进行微波处理,然后通过热ALD法形成绝缘膜250A的上层的氧化铪即可。另外,例如,也可以先进行微波处理再通过PEALD法形成绝缘膜250A的下层的氧化硅且通过热ALD法形成绝缘膜250A的上层的氧化铪。在此,上述微波处理、氧化硅的成膜及氧化铪的成膜以不暴露于大气的方式连续进行。例如,使用多室方式的处理装置即可。另外,也可以使用PEALD装置的等离子体激发的反应物(氧化剂)的处理以代替上述微波处理。在此,作为反应物(氧化剂)使用氧气体即可。

[0321] 此外,也可以在微波处理之后在保持减压状态下进行热处理。通过进行这种处理,可以高效地去除绝缘膜250A中、氧化物230b中及氧化物230a中的氢。另外,氢的一部分有时被导电体242(导电体242a及导电体242b)吸杂。另外,也可以反复在进行微波处理之后保持减压状态下进行热处理的步骤。通过反复进行热处理,可以进一步高效地去除绝缘膜250A中、氧化物230b中及氧化物230a中的氢。注意,热处理温度优选为300℃以上且500℃以下。上述微波处理,即微波退火也可以兼作该热处理。在通过微波退火氧化物230b等充分地被加热时,也可以不进行该热处理。

[0322] 另外,通过进行微波处理而改变绝缘膜250A的膜品质,可以抑制氢、水、杂质等的扩散。由此,可以抑制因成为导电体260的导电膜的成膜等后工序或热处理等后处理而氢、水、杂质等经过绝缘体250扩散到氧化物230b、氧化物230a等。

[0323] 接着,依次形成成为导电体260a的导电膜及成为导电体260b的导电膜。成为导电体260a的导电膜及成为导电体260b的导电膜可以通过溅射法、CVD法、MBE法、PLD法或ALD法等形成。在本实施方式中,利用ALD法形成成为导电体260a的导电膜,利用CVD法形成成为导电体260b的导电膜。

[0324] 接着,通过利用CMP处理直到绝缘体280露出为止对绝缘膜250A、成为导电体260a的导电膜及成为导电体260b的导电膜进行抛光,来形成绝缘体250及导电体260(导电体

260a及导电体260b) (参照图14A至图14D)。由此,绝缘体250以覆盖到达氧化物230b的开口及氧化物230b的槽部的内壁(侧壁及底面)的方式配置。另外,导电体260隔着绝缘体250以填充上述开口及上述槽部的方式配置。

[0325] 接着,也可以在与上述热处理同样的条件下进行热处理。在本实施方式中,在氮气氛下以400℃的温度进行1小时的处理。通过该热处理,可以减少绝缘体250及绝缘体280中的水分浓度及氢浓度。此外,在上述热处理之后,以不暴露于大气的方式连续地进行作为下一个工序的绝缘体282的形成。

[0326] 接着,在绝缘体250上、导电体260上及绝缘体280上形成绝缘体282(参照图15A至图15D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成绝缘体282。绝缘体282优选使用溅射法形成。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体282中的氢浓度。另外,通过使用溅射法在含氧气氛下形成绝缘体282,可以在进行成膜的同时对绝缘体280添加氧。由此,可以使绝缘体280包含过剩氧。此时,优选在加热衬底的同时形成绝缘体282。

[0327] 在本实施方式中,作为绝缘体282在含氧气体气氛下使用铝靶材通过脉冲DC溅射法形成氧化铝。通过使用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜质。

[0328] 接着,在绝缘体282上形成绝缘体283(参照图16A至图16D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成绝缘体283。绝缘体283优选使用溅射法形成。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体283中的氢浓度。通过使用不需要氢作为成膜气体的溅射法,可以降低绝缘体283中的氢浓度。此外,绝缘体283也可以采用多层结构。例如,可以通过溅射法形成氮化硅,并在该氮化硅上通过CVD法形成氮化硅。通过由阻挡性高的绝缘体283及绝缘体212包围晶体管200,可以防止水分及氢从外部进入。

[0329] 接着,可以进行热处理。在本实施方式中,在氮气氛下以400℃的温度进行1小时的处理。如图2所示,通过该热处理可以将在形成绝缘体282时添加的氧扩散到绝缘体280、绝缘体250而选择地供应到氧化物230的沟道形成区域。另外,该热处理不局限于在形成绝缘体283之后进行,也可以在形成绝缘体282之后等进行。

[0330] 接着,在绝缘体271、绝缘体273、绝缘体275、绝缘体280、绝缘体282及绝缘体283中形成到达导电体242的开口(参照图16A至图16D)。在形成该开口时,可以利用光刻法。注意,在图16A中该开口在俯视时的形状为圆形,但是不局限于此。例如,在俯视时,该开口也可以具有椭圆等大致圆形形状、四角形等多角形形状、使四角形等多角形的角部带弧形的形状。

[0331] 接着,形成成为绝缘体241的绝缘膜,并对该绝缘膜进行各向异性蚀刻来形成绝缘体241(参照图16A至图16D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成成为绝缘体241的绝缘膜。作为成为绝缘体241的绝缘膜,优选使用具有抑制氧的透过的功能的绝缘膜。例如,优选通过ALD法形成氧化铝。或者,优选使用PEALD法形成氮化硅。氮化硅对氢具有高阻挡性,所以是优选的。

[0332] 此外,作为对成为绝缘体241的绝缘膜进行的各向异性蚀刻,例如可以采用干蚀刻法等。通过在开口的侧壁部设置绝缘体241,可以抑制来自外部的氧的透过,并防止接下来要形成的导电体240a及导电体240b的氧化。此外,可以防止水、氢等杂质从导电体240a及导电体240b扩散到外部。

[0333] 接着,形成成为导电体240a及导电体240b的导电膜。成为导电体240a及导电体

240b的导电膜优选具有包含具有抑制水、氢等杂质的透过的功能的导电体的叠层结构。例如,可以使用氮化钽、氮化钛等与钨、钼、铜等的叠层。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成成为导电体240的导电膜。

[0334] 接着,通过进行CMP处理,去除成为导电体240a及导电体240b的导电膜的一部分,使绝缘体283的顶面露出。其结果是,上述导电膜只残留在上述开口中,由此可以形成其顶面平坦的导电体240a及导电体240b(参照图16A至图16D)。注意,有时由于该CMP处理而绝缘体283的顶面的一部分及绝缘体274的顶面的一部分被去除。

[0335] 接着,形成成为导电体246的导电膜。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成成为导电体246的导电膜。

[0336] 接着,通过光刻法对成为导电体246的导电膜进行加工,来形成与导电体240a的顶面接触的导电体246a及与导电体240b的顶面接触的导电体246b(参照图1A至图1D)。此时,虽然未图示,但是导电体246a及导电体246b与绝缘体283不重叠的区域的绝缘体283的一部分有时被去除。

[0337] 接着,在导电体246上及绝缘体283上形成绝缘体286(参照图1A至图1D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成绝缘体286。此外,绝缘体286也可以采用多层结构。例如,可以通过溅射法形成氮化硅,并在该氮化硅上通过CVD法形成氮化硅。

[0338] 通过上述工序,可以制造包括图1A至图1D所示的晶体管200的半导体装置。如图4A至图16A、图4B至图16B、图4C至图16C及图4D至图16D所示,通过使用本实施方式所示的半导体装置的制造方法,可以制造晶体管200。

[0339] <微波处理装置>

以下,说明可以在上述半导体装置的制造方法中使用的微波处理装置。

[0340] 首先,参照图17、图18及图19对制造半导体装置等时可以减少杂质的混入的制造装置的结构进行说明。

[0341] 图17示意性地示出单片式多室制造装置2700的俯视图。制造装置2700包括:具备收纳衬底的盒式接口(cassette port)2761和进行衬底对准的对准接口(alignment port)2762的大气侧衬底供应室2701;从大气侧衬底供应室2701传送衬底的大气侧衬底传送室2702;进行衬底的搬入且将室内的压力从大气压切换为减压或从减压切换为大气压的装载闭锁室2703a;进行衬底的搬出且将室内的压力从减压切换为大气压或从大气压切换为减压的卸载闭锁室2703b;在真空中进行衬底的传送的传送室2704;处理室2706a、处理室2706b、处理室2706c及处理室2706d。

[0342] 另外,大气侧衬底传送室2702与装载闭锁室2703a以及卸载闭锁室2703b连接,装载闭锁室2703a以及卸载闭锁室2703b与传送室2704连接,传送室2704与处理室2706a、处理室2706b、处理室2706c以及处理室2706d连接。

[0343] 在各室之间的连接部设置有闸阀GV,由此除了大气侧衬底供应室2701及大气侧衬底传送室2702以外,各室可以独立地保持为真空状态。在大气侧衬底传送室2702中设置有传送机器人2763a,并且在传送室2704中设置有传送机器人2763b。通过利用传送机器人2763a及传送机器人2763b在制造装置2700中可以传送衬底。

[0344] 传送室2704及各处理室的背压(全压)例如为 1×10^{-4} Pa以下,优选为 3×10^{-5} Pa以下,更优选为 1×10^{-5} Pa以下。传送室2704及各处理室的质量电荷比(m/z)是18的气体分子

(原子)的分压例如为 3×10^{-5} Pa以下,优选为 1×10^{-5} Pa以下,更优选为 3×10^{-6} Pa以下。另外,传送室2704及各处理室的m/z是28的气体分子(原子)的分压例如为 3×10^{-5} Pa以下,优选为 1×10^{-5} Pa以下,更优选为 3×10^{-6} Pa以下。传送室2704及各处理室的m/z是44的气体分子(原子)的分压例如为 3×10^{-5} Pa以下,优选为 1×10^{-5} Pa以下,更优选为 3×10^{-6} Pa以下。

[0345] 传送室2704及各处理室内的全压及分压可以使用质量分析器测量。例如,使用由ULVAC, Inc. 制造的四极质量分析器(也称为Q-mass) Qulee CGM-051即可。

[0346] 另外,传送室2704及各处理室优选具有外部泄漏或内部泄漏少的结构。例如,传送室2704及各处理室的泄漏率为 3×10^{-6} Pa · m³/s以下,优选为 1×10^{-6} Pa · m³/s以下。另外,例如,将m/z是18的气体分子(原子)的泄漏率设定为 1×10^{-7} Pa · m³/s以下,优选设定为 3×10^{-8} Pa · m³/s以下。另外,例如,将m/z是28的气体分子(原子)的泄漏率设定为 1×10^{-5} Pa · m³/s以下,优选设定为 1×10^{-6} Pa · m³/s以下。另外,例如,将m/z是44的气体分子(原子)的泄漏率设定为 3×10^{-6} Pa · m³/s以下,优选设定为 1×10^{-6} Pa · m³/s以下。

[0347] 泄漏率可以根据利用上述质量分析器测量出的全压及分压算出。泄漏率取决于外部泄漏及内部泄漏。外部泄漏是指由于微小的孔或密封不良等,气体从真空系统的外部流入的现象。内部泄漏起因于来自真空系统中的阀等隔板的泄漏或来自内部构件的释放气体。为了将泄漏率设定为上述数值以下,需要从外部泄漏及内部泄漏的两个方面采取措施。

[0348] 例如,优选使用金属垫片对传送室2704及各处理室的开闭部分进行密封。金属垫片优选使用由氟化铁、氧化铝或氧化铬覆盖的金属。金属垫片的紧密性比O形环高,因此可以降低外部泄漏。通过利用由氟化铁、氧化铝、氧化铬等覆盖钝态的金属,可以抑制从金属垫片释放的包含杂质的释放气体,由此可以降低内部泄漏。

[0349] 作为构成制造装置2700的构件,使用包含杂质的释放气体少的铝、铬、钛、锆、镍或钒。也可以使用上述构件覆盖含有铁、铬及镍等的合金。含有铁、铬及镍等的合金具有刚性,耐热且适于加工。在此,通过进行抛光等减少构件表面上的凹凸以缩小表面积,可以减少释放气体。

[0350] 或者,也可以使用氟化铁、氧化铝、氧化铬等覆盖上述制造装置2700的构件。

[0351] 制造装置2700的构件优选尽量只由金属构成,例如当设置由石英等构成的观察窗(viewing window)等时,为了抑制释放气体,优选由其厚度薄的氟化铁、氧化铝或氧化铬等覆盖观察窗的表面。

[0352] 虽然存在于传送室2704及各处理室的附着物附着于内壁等而不影响到传送室2704及各处理室的压力,但是该附着物成为对传送室2704及各处理室进行排气时产生的气体释放的原因。因此,虽然泄漏率与排气速度不相关,但是使用排气能力高的泵尽量地使存在于传送室2704及各处理室内的附着物脱离并预先进行排气是十分重要的。为了促进附着物的脱离,也可以对传送室2704及各处理室进行烘烤。通过进行烘烤,可以将吸附物的脱离速度提高到10倍左右。烘烤以100℃以上且450℃以下进行即可。此时,通过一边将惰性气体导入传送室2704及各处理室一边去除附着物,可以进一步提高仅通过排气不容易脱离的水等的脱离速度。另外,通过对导入的惰性气体以与烘烤温度相同程度的温度进行加热,可以进一步提高吸附物的脱离速度。这里,作为惰性气体优选使用稀有气体。

[0353] 另外,优选通过导入被加热的稀有气体等惰性气体或氧等提高传送室2704及各处理室内的压力,并在经过一定时间之后再次对传送室2704及各处理室进行排气处理。可以

由被加热的气体的导入使传送室2704及各处理室内的附着物脱离,由此可以减少存在于传送室2704及各处理室内的杂质。有效的是将该处理反复进行2次以上且30次以下,优选为5次以上且15次以下。具体地,通过导入40℃以上且400℃以下,优选为50℃以上且200℃以下的惰性气体或氧等来将传送室2704及各处理室内的压力设定为0.1Pa以上且10kPa以下,优选为1Pa以上且1kPa以下,更优选为5Pa以上且100Pa以下,并将保持压力的期间设定为1分钟以上且300分钟以下,优选为5分钟以上且120分钟以下,即可。然后,对传送室2704及各处理室进行排气5分钟以上且300分钟以下,优选为10分钟以上且120分钟以下。

[0354] 接着,使用图18所示的截面示意图说明处理室2706b及处理室2706c。

[0355] 处理室2706b及处理室2706c例如是能够对被处理物进行微波处理的处理室。注意,处理室2706b与处理室2706c的不同之处仅在于进行微波处理时的气氛。因为处理室2706b和处理室2706c的其他结构相同,所以下面一并说明。

[0356] 处理室2706b及处理室2706c包括缝隙天线板2808、电介质板2809、衬底架2812以及排气口2819。另外,在处理室2706b及处理室2706c的外部等设置有气体供应源2801、阀2802、高频产生器2803、波导管2804、模式转换器2805、气体管2806、波导管2807、匹配器(matching box)2815、高频电源2816、真空泵2817以及阀2818。

[0357] 高频产生器2803通过波导管2804与模式转换器2805连接。模式转换器2805通过波导管2807与缝隙天线板2808连接。缝隙天线板2808与电介质板2809接触地配置。此外,气体供应源2801通过阀2802与模式转换器2805连接。并且,由经过模式转换器2805、波导管2807及电介质板2809的气体管2806对处理室2706b及处理室2706c导入气体。另外,真空泵2817具有通过阀2818及排气口2819从处理室2706b及处理室2706c排出气体等的功能。另外,高频电源2816通过匹配器2815与衬底架2812连接。

[0358] 衬底架2812能够保持衬底2811。例如,衬底架2812具有对衬底2811进行静电卡盘或机械卡盘的功能。此外,衬底架2812具有由高频电源2816供应功率的电极的功能。另外,衬底架2812在其内部包括加热机构2813并具有对衬底2811进行加热的功能。

[0359] 作为真空泵2817,可以使用例如干燥泵、机械增压泵、离子泵、钛升华泵、低温泵或涡轮分子泵等。另外,除了真空泵2817以外,还可以使用低温冷阱。当使用低温泵及低温冷阱时可以高效地排出水,这是特别优选的。

[0360] 作为加热机构2813,例如使用利用电阻发热体等进行加热的加热机构即可。或者,还可以使用利用被加热的气体等的介质的热传导或热辐射来进行加热的加热机构。例如,可以使用GRTA (Gas Rapid Thermal Annealing: 气体快速热退火) 或LRTA (Lamp Rapid Thermal Annealing: 灯快速热退火) 等的RTA (Rapid Thermal Annealing: 快速热退火)。GRTA利用高温气体进行热处理。作为气体使用惰性气体。

[0361] 另外,气体供应源2801可以通过质量流量控制器与精制器连接。作为气体,优选使用露点为-80℃以下,优选为-100℃以下的气体。例如,可以使用氧气体、氮气体及稀有气体(氩气体等)。

[0362] 作为电介质板2809例如使用氧化硅(石英)、氧化铝(alumina)或氧化钇(yttria)等即可。另外,也可以在电介质板2809的表面进一步形成有其他保护层。作为保护层可以使用氧化镁、氧化钛、氧化铬、氧化锆、氧化铪、氧化钽、氧化硅、氧化铝或氧化钇等。因为电介质板2809暴露于后述的高密度等离子体2810的特别高密度区域中,所以通过设置保护层可

以缓和损伤。其结果是,可以抑制进行处理时的微粒的增加等。

[0363] 高频产生器2803具有例如产生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高频产生器2803所产生的微波通过波导管2804传送到模式转换器2805。在模式转换器2805中,将被传送的TE模式的微波转换为TEM模式的微波。然后,该微波通过波导管2807传送到缝隙天线板2808。在缝隙天线板2808中设置有多个缝隙,微波透过该缝隙及电介质板2809。然后,在电介质板2809的下方产生电场而可以生成高密度等离子体2810。高密度等离子体2810包括根据从气体供应源2801供应的气体种类的离子及自由基。例如,高密度等离子体2810包括氧自由基等。

[0364] 此时,通过利用在高密度等离子体2810中生成的离子及自由基可以改善衬底2811上的膜品质等。另外,有时优选使用高频电源2816对衬底2811一侧施加偏压。作为高频电源2816,例如可以使用13.56MHz、27.12MHz等频率的RF电源。通过对衬底一侧施加偏压,可以高效地使高密度等离子体2810中的离子到达衬底2811上的膜等的开口部的深部。

[0365] 例如,通过从气体供应源2801导入氧,可以在处理室2706b或处理室2706c进行使用高密度等离子体2810的氧自由基处理。

[0366] 接着,使用图19所示的截面示意图说明处理室2706a及处理室2706d。

[0367] 处理室2706a及处理室2706d例如是能够对被处理物照射电磁波的处理室。注意,处理室2706a与处理室2706d的不同之处仅在于电磁波的种类。因为处理室2706a和处理室2706d的其他结构相同,所以下面一并说明。

[0368] 处理室2706a及处理室2706d包括一个或多个灯2820、衬底架2825、气体导入口2823以及排气口2830。另外,在处理室2706a及处理室2706d的外部等设置有气体供应源2821、阀2822、真空泵2828以及阀2829。

[0369] 气体供应源2821通过阀2822与气体导入口2823连接。真空泵2828通过阀2829与排气口2830连接。灯2820与衬底架2825相对地配置。衬底架2825具有保持衬底2824的功能。另外,衬底架2825在其内部包括加热机构2826并具有对衬底2824进行加热的功能。

[0370] 作为灯2820,例如可以使用具有放射可见光或紫外线光等的电磁波的功能的光源。例如,可以使用具有放射在10nm以上且2500nm以下、500nm以上且2000nm以下或者40nm以上且340nm以下的波长区域中具有峰值的电磁波的功能的光源。

[0371] 例如,作为灯2820,可以使用卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、高压汞灯等的光源。

[0372] 例如,从灯2820放射的电磁波的一部分或全部被衬底2824抽吸,由此可以改善衬底2824上的膜等的品质。例如,可以生成或减少缺陷、或者可以去除杂质。另外,在对衬底2824进行加热的同时生成或降低缺陷、或者去除杂质的情况下,可以高效地生成或降低缺陷、或者可以去除杂质。

[0373] 或者,例如,也可以利用从灯2820发射的电磁波使衬底架2825发热,由此对衬底2824进行加热。在此情况下,不需要在衬底架2825的内部包括加热机构2826。

[0374] 真空泵2828可参照关于真空泵2817的记载。另外,加热机构2826可参照关于加热机构2813的记载。另外,气体供应源2821可参照关于气体供应源2801的记载。

[0375] 可用于本实施方式的微波处理装置不局限于上述微波处理装置,也可以使用图20所示的微波处理装置2900。微波处理装置2900包括石英管2901、气体供应源2801、阀2802、

高频产生器2803、波导管2804、气体管2806、真空泵2817、阀2818及排气口2819。另外，微波处理装置2900在石英管2901内包括支撑多个衬底2811(2811_1至2811_n, n是2以上的整数)的衬底架2902。另外，微波处理装置2900也可以在石英管2901的外侧包括加热单元2903。

[0376] 由高频产生器2803产生的微波通过波导管2804照射到设置在石英管2901内的衬底。真空泵2817通过阀2818与排气口2819连接，可以调整石英管2901内部的压力。另外，气体供应源2801通过阀2802与气体管2806连接，可以对石英管2901内导入所希望的气体。另外，通过加热单元2903可以将石英管2901内的衬底2811加热到所希望的温度。或者，也可以通过加热单元2903加热从气体供应源2801供应的气体。通过微波处理装置2900，可以对衬底2811同时进行热处理和微波处理。另外，可以在加热衬底2811之后进行微波处理。另外，可以在对衬底2811进行微波处理之后进行热处理。

[0377] 可以将衬底2811_1至衬底2811_n都设为形成半导体装置或存储装置的处理衬底，也可以将衬底2811_1至衬底2811_n的一部衬底设为伪衬底。例如，也可以将衬底2811_1及衬底2811_n设为伪衬底且将衬底2811_2至衬底2811_n-1设为处理衬底。另外，也可以将衬底2811_1、衬底2811_2、衬底2811_n-1及衬底2811_n设为伪衬底且将衬底2811_3至衬底2811_n-2设为处理衬底。通过使用伪衬底，可以在微波处理或热处理时多个处理衬底均匀地被处理而可以降低处理衬底间的不均匀，所以是优选的。例如，通过将伪衬底配置在最接近于高频产生器2803及波导管2804的处理衬底上，可以抑制该处理衬底直接暴露于微波，所以是优选的。

[0378] 通过使用上述制造装置，可以抑制杂质混入到被处理物并可以改善膜品质。

[0379] <半导体装置的变形例子>

以下，使用图21A至图21D及图22A至图22D说明本发明的一个方式的半导体装置的一个例子。

[0380] 各附图的A是半导体装置的俯视图。各附图的B是沿着各附图的A中的A1-A2的点划线的部分的截面图。各附图C是沿着各附图A中的点划线A3-A4的部分的截面图。每个附图中的D示出沿着A中的点划线A5-A6的部分的截面图。为了明确起见，在每个附图中的A的俯视图中省略部分构成要素。

[0381] 注意，在各附图A至D所示的半导体装置中，对具有与<半导体装置的结构例子>所示的半导体装置的构成要素相同的功能的构成要素附加相同的附图标记。注意，本节中的构成半导体装置的材料可以使用在<半导体装置的结构例子>中详细说明的材料。

[0382] <半导体装置的变形例子1>

图21A至图21D所示的半导体装置是图1A至图1D所示的半导体装置的变形例子。图21A至图21D所示的半导体装置与图1A至图1D所示的半导体装置的不同之处在于：绝缘体283的形状；以及包括绝缘体284及绝缘体274。

[0383] 在图21A至图21D所示的半导体装置中，绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体275、绝缘体280及绝缘体282被图案化。另外，绝缘体284覆盖绝缘体212、绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体275、绝缘体280及绝缘体282。换言之，绝缘体284与绝缘体282的顶面、绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体275及绝缘体280的侧面以及绝缘体212的顶面接触。并且，以覆盖绝缘体284的方式配置有绝缘体284。由此，氧化物230等、绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体280及绝缘

体282被绝缘体283、绝缘体284及绝缘体212与外部隔开。换言之，晶体管200配置在由绝缘体284以及绝缘体212密封的区域内。

[0384] 例如，绝缘体214、绝缘体282及绝缘体284使用具有俘获并固定氢的功能的材料形成即可。此外，作为绝缘体284可以使用与绝缘体282同样的绝缘体。另外，绝缘体212及绝缘体283使用具有抑制氢及氧的扩散的功能的材料形成即可。典型的是，作为绝缘体214、绝缘体282及绝缘体284可以使用氧化铝。此外，作为绝缘体212、绝缘体283，典型地可以使用氮化硅。

[0385] 通过上述结构，可以抑制包含在上述密封的区域外的氢混入上述密封的区域中。

[0386] 另外，在图21A至图21D所示的晶体管200中，绝缘体212、绝缘体283具有单层的结构，但是本发明不局限于此。例如，绝缘体212、绝缘体283都具有两层以上的叠层结构。

[0387] 绝缘体274覆盖绝缘体283且被用作层间膜。绝缘体274的介电常数优选低于绝缘体214。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。绝缘体274例如优选使用与绝缘体280相同的材料形成。

[0388] <半导体装置的变形例子2>

图22A至图22D所示的半导体装置是图21A至图21D所示的半导体装置的变形例子。图22A至图22D所示的半导体装置与图21A至图21D所示的半导体装置不同之处在于：包括氧化物230c及氧化物230d；包括绝缘体287；以及不包括绝缘体271、绝缘体272、绝缘体273及绝缘体284。

[0389] 图22A至图22D所示的半导体装置还包括氧化物230b上的氧化物230c及氧化物230c上的氧化物230d。氧化物230c及氧化物230d设置在形成在绝缘体280及绝缘体275中的开口中。另外，氧化物230c与氧化物243a的侧面、氧化物243b的侧面、导电体242a的侧面、导电体242b的侧面及绝缘体275的侧面接触。另外，氧化物230c的顶面及氧化物230d的顶面与绝缘体282接触。

[0390] 另外，通过在氧化物230c上配置氧化物230d，可以抑制杂质从形成在氧化物230d的上方的结构物向氧化物230b或氧化物230c扩散。另外，通过在氧化物230c上配置氧化物230d，可以抑制氧从氧化物230b或氧化物230c向上方扩散。

[0391] 另外，在从晶体管的沟道长度的截面看时，优选的是，氧化物230b设置有槽部且氧化物230c埋入于该槽部。此时，氧化物230c以覆盖该槽部的内壁(侧壁及底面)的方式配置。另外，氧化物230c的厚度优选与该槽部的深度大致相同。通过采用上述结构，即使在形成用于埋入导电体260等的开口时相当于开口底部的氧化物230b的表面上形成有损伤区域，也可以去除该损伤区域。由此，可以抑制起因于损伤区域的晶体管200的电特性的不良。

[0392] 在此，优选的是，用于氧化物230c的金属氧化物中的In与元素M的原子个数比大于用于氧化物230a或氧化物230d的金属氧化物中的相对于元素M的In的原子个数比。

[0393] 注意，在使氧化物230c成为载流子的主要路径时，优选的是，氧化物230c中的相对于主要成分的金属元素的铟的原子个数比大于氧化物230b中的相对于主要成分的金属元素的铟的原子个数比。另外，氧化物230c中的In与元素M的原子个数比优选大于氧化物230b中的In与元素M的原子个数比。通过将铟的含量多的金属氧化物用于沟道形成区域，可以增大晶体管的通态电流。因此，通过使氧化物230c中的相对于主要成分的金属元素的铟的原子个数比大于氧化物230b中的相对于主要成分的金属元素的铟的原子个数比，可以使氧化

物230c成为载流子的主要路径。另外,优选的是,氧化物230c的导带底比氧化物230a及氧化物230b的导带底更远离于真空能级。换言之,氧化物230c的电子亲和势优选大于氧化物230a及氧化物230b的电子亲和势。此时,载流子的主要路径为氧化物230c。

[0394] 另外,优选作为氧化物230c使用CAAC-OS,并且氧化物230c所包含的结晶的c轴优选沿大致垂直于氧化物230c的被形成面或顶面的方向取向。CAAC-OS具有容易将氧向垂直于c轴的方向上移动的性质。因此,可以将氧化物230c所包含的氧高效率地供应到氧化物230b。

[0395] 氧化物230d优选包含构成用于氧化物230c的金属氧化物的金属元素中的至少一个,更优选包含所有该金属元素。例如,优选的是,作为氧化物230c使用In-M-Zn氧化物、In-Zn氧化物或铟氧化物,作为氧化物230d使用In-M-Zn氧化物、M-Zn氧化物或元素M的氧化物。由此,可以降低氧化物230c与氧化物230d的界面的缺陷态密度。

[0396] 优选的是,使氧化物230d的导带底比氧化物230c的导带底更接近于真空能级。换言之,氧化物230d的电子亲和势优选小于氧化物230c的电子亲和势。在此情况下,氧化物230d优选使用可用于氧化物230a或氧化物230b的金属氧化物。此时,载流子的主要路径为氧化物230c。

[0397] 具体而言,作为氧化物230c,使用 $In:M:Zn=4:2:3$ [原子个数比]或其附近的组成、 $In:M:Zn=5:1:3$ [原子个数比]或其附近的组成、或者 $In:M:Zn=10:1:3$ [原子个数比]或其附近的组成的金属氧化物,或者铟氧化物即可。另外,作为氧化物230d,使用 $In:M:Zn=1:3:4$ [原子个数比]或其附近的组成、 $M:Zn=2:1$ [原子个数比]或其附近的组成、或者 $M:Zn=2:5$ [原子个数比]或其附近的组成的金属氧化物,或者元素M的氧化物即可。注意,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。另外,作为元素M优选使用镓。

[0398] 另外,在通过溅射法形成金属氧化物时,上述原子个数比不局限于所形成的金属氧化物的原子个数比,而也可以是用于金属氧化物的形成的溅射靶材的原子个数比。

[0399] 另外,氧化物230d优选为比氧化物230c抑制氧的扩散或透过的金属氧化物。通过在绝缘体250与氧化物230c间设置氧化物230d,可以通过氧化物230c对氧化物230b高效地供应氧。

[0400] 另外,当用于氧化物230d的金属氧化物中的相对于主要成分的金属元素的In的原子数比小于用于氧化物230c的氧化物的金属氧化物中的相对于主要成分的金属元素的In的原子数比时,可以抑制In扩散到绝缘体250一侧。另外,氧化物230d中的In与元素M的原子个数比优选大于氧化物230c中的In与元素M的原子个数比。由于绝缘体250被用作栅极绝缘体,因此在In进入绝缘体250等的情况下导致晶体管的特性不良。因此,通过在氧化物230c与绝缘体250之间设置氧化物230d,可以提供一种可靠性高的半导体装置。

[0401] 注意,氧化物230c也可以设置在每个晶体管200中。换言之,晶体管200的氧化物230c也可以不接触于与该晶体管200相邻的晶体管200的氧化物230c。另外,也可以将晶体管200的氧化物230c和相邻于该晶体管200的晶体管200的氧化物230c分离。换言之,氧化物230c也可以不配置在晶体管200和相邻于该晶体管200的晶体管200之间。

[0402] 在多个晶体管200在沟道宽度方向上排列的半导体装置具有上述结构时,在晶体管200中分别独立地设置氧化物230c。因此,可以抑制晶体管200和相邻于该晶体管200的晶体管200之间产生寄生晶体管而可以抑制产生上述泄漏路径。因此,可以提供一种具有良好

电特性且可以实现微型化或高集成化的半导体装置。

[0403] 此外,作为绝缘体287可以使用与绝缘体282或绝缘体284同样的绝缘体。另外,通过形成图21所示的绝缘体284之后使用干蚀刻法进行各向异性蚀刻,可以形成图22所示的与绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体275、绝缘体280及绝缘体282的侧面接触的绝缘体287。

[0404] 另外,如图22所示,在不设置绝缘体271及绝缘体273时,有时在导电体242的侧面与导电体242的顶面间具有弯曲面。也就是说,有时侧面的端部与顶面的端部弯曲。例如,在导电体242的端部,弯曲面的曲率半径为3nm以上且10nm以下,优选为5nm以上且6nm以下。通过使端部不具有角,可以提高后面的形成工序中的膜的覆盖性。注意,本发明不局限于此,也可以采用包括图22所示的结构和绝缘体271、绝缘体272及绝缘体273的结构。

[0405] <半导体装置的应用例子>

下面,参照图23A和图23B对与上述<半导体装置的结构例子>及上述<半导体装置的变形例子>不同的包括根据本发明的一个方式的晶体管200的半导体装置的一个例子进行说明。注意,在图23A及图23B所示的半导体装置中,对具有与<<半导体装置的变形例子>>所示的半导体装置(参照图21A至图21D)的构成要素相同的功能的构成要素附加相同的附图标记。在本节中,作为晶体管200的构成材料可以使用在<半导体装置的结构例子>及<半导体装置的变形例子>中进行了详细说明的材料。

[0406] 图23A及图23B示出由绝缘体283和绝缘体212包围多个晶体管200_1至晶体管200_n来将其密封的结构。图23A及图23B示出晶体管200_1至晶体管200_n沿着沟道长度方向上排列,但是不局限于此。晶体管200_1至晶体管200_n既可以在沟道宽度方向上排列,也可以配置为矩阵状。此外,根据设计,也可以不规则地配置。

[0407] 如图23A所示,在多个晶体管(晶体管200_1至晶体管200_n)的外侧形成有绝缘体283与绝缘体212接触的部分(下面,有时称为密封部265)。以围绕多个晶体管200_1至晶体管200_n的方式形成有密封部265。通过采用这种结构,可以由绝缘体283和绝缘体212包围多个晶体管200_1至晶体管200_n。因此,衬底上设置有多个被密封部265围绕的晶体管群。

[0408] 此外,也可以与密封部265重叠地设置切割线(有时称为划分线、分割线或截断线)。因为以切割线分割上述衬底,所以将被密封部265围绕的晶体管群作为一个芯片取出。

[0409] 此外,在图23A中示出多个晶体管(晶体管200_1至晶体管200_n)由一个密封部265围绕的例子,但是不局限于此。如图23B所示,也可以使多个晶体管(晶体管200_1至晶体管200_n)由多个密封部围绕。在图23B中,由密封部265a围绕多个晶体管200_1至晶体管200_n,而且还由外侧的密封部265b围绕该晶体管。

[0410] 像这样,在由多个密封部围绕多个晶体管200_1至晶体管200_n时,绝缘体283和绝缘体212接触的部分变多,因此可以进一步提高绝缘体283和绝缘体212的密接性。由此,可以更牢固地密封多个晶体管200_1至晶体管200_n。

[0411] 在此情况下,可以与密封部265a或密封部265b重叠地设置切割线或在密封部265a和密封部265b之间设置切割线。

[0412] 与图21所示的晶体管200不同,在图23A、图23B所示的晶体管中,绝缘体274的顶面与绝缘体283的顶面大致一致。另外,图23A、图23B所示的晶体管具有不设置绝缘体284的结构。本发明不局限于此,例如也可以采用绝缘体274覆盖绝缘体283的结构或者设置绝缘体

284的结构。

[0413] 根据本发明的一个方式可以提供一种晶体管特性的不均匀小的半导体装置。此外,根据本发明的一个方式可以提供一种可靠性良好的半导体装置。另外,根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。此外,根据本发明的一个方式可以提供一种通态电流大的半导体装置。此外,根据本发明的一个方式可以提供一种能够实现微型化或高集成化的半导体装置。另外,根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0414] 如上所述,本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法或者其他实施方式所示的结构、方法等适当地组合而实施。

[0415] (实施方式2)

在本实施方式中,参照图24及图29说明半导体装置的一个方式。

[0416] [存储装置1]

图24示出使用根据本发明的一个方式的半导体装置(存储装置)的一个例子。在本发明的一个方式的半导体装置中,晶体管200设置在晶体管300的上方,电容器100设置在晶体管300及晶体管200的上方。此外,作为晶体管200,可以使用上述实施方式所说明的晶体管200。

[0417] 晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。因为晶体管200的关态电流低,所以通过将其用于存储装置,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频度极低,所以可以充分降低存储装置的功耗。

[0418] 在图24所示的半导体装置中,布线1001与晶体管300的源极电连接,布线1002与晶体管300的漏极电连接。另外,布线1003与晶体管200的源极和漏极中的一方电连接,布线1004与晶体管200的第一栅极电连接,布线1006与晶体管200的第二栅极电连接。再者,晶体管300的栅极及晶体管200的源极和漏极中的另一方与电容器100的一方电极电连接,布线1005与电容器100的另一方电极电连接。

[0419] 此外,通过将图24所示的存储装置配置为矩阵状,可以构成存储单元阵列。

[0420] <晶体管300>

晶体管300设置在衬底311上,并包括:被用作栅极的导电体316、被用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313以及被用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0421] 在此,在图24所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。另外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。另外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。另外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0422] 注意,图24所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0423] <电容器100>

电容器100设置在晶体管200的上方。电容器100包括被用作第一电极的导电体

110、被用作第二电极的导电体120及被用作介电质的绝缘体130。在此，绝缘体130优选使用可被用作上述实施方式所示的绝缘体286的绝缘体。

[0424] 此外，例如，也可以同时形成设置在导电体240上的导电体112及导电体110。另外，导电体112被用作与电容器100、晶体管200或晶体管300电连接的插头或者布线。另外，导电体112及导电体110相当于上述实施方式所示的导电体246。

[0425] 在图24中，导电体112及导电体110具有单层结构，但是不局限于该结构，也可以具有两层以上的叠层结构。例如，也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体之间的紧密性高的导电体。

[0426] 此外，绝缘体130例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等，并以叠层或单层设置。

[0427] 例如，绝缘体130优选使用氧氮化硅等绝缘耐应力高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构，电容器100可以包括高介电常数(high-k)的绝缘体来确保充分的电容，并可以包括绝缘耐应力高的绝缘体来提高绝缘耐应力，从而可以抑制电容器100的静电破坏。

[0428] 注意，作为高介电常数(high-k)材料(相对介电常数高的材料)的绝缘体，有氧化稼、氧化铪、氧化锆、具有铝及铪的氧化物、具有铝及铪的氧氮化物、具有硅及铪的氧化物、具有硅及铪的氧氮化物、具有硅及铪的氮化物等。

[0429] 另一方面，作为绝缘耐应力高的材料(相对介电常数低的材料)，有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。

[0430] <布线层>

在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外，布线层可以根据设计而设置为多个层。在此，在具有插头或布线的功能的导电体中，有时使用同一附图标记表示多个结构。此外，在本说明书等中，布线、与布线电连接的插头也可以是一个构成要素。就是说，导电体的一部分有时被用作布线，并且导电体的一部分有时被用作插头。

[0431] 例如，在晶体管300上，作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外，与电容器100或晶体管200电连接的导电体328及导电体330等填埋于绝缘体320、绝缘体322、绝缘体324及绝缘体326中。另外，导电体328及导电体330被用作插头或布线。

[0432] 此外，被用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如，为了提高绝缘体322的顶面的平坦性，也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0433] 也可以在绝缘体326及导电体330上设置布线层。例如，在图24中，依次层叠有绝缘体350、绝缘体352及绝缘体354。另外，在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356被用作插头或布线。

[0434] 同样地，在绝缘体210、绝缘体212、绝缘体214及绝缘体216中填充有导电体218及构成晶体管200的导电体(导电体205)等。此外，导电体218被用作与电容器100或晶体管300电连接的插头或布线。再者，导电体120及绝缘体130上设置有绝缘体150。

[0435] 在此,与上述实施方式所示的绝缘体241同样,以与被用作插头的导电体218的侧面接触的方式设置绝缘体217。绝缘体217以与绝缘体210、绝缘体212、绝缘体214及绝缘体216中的开口的内壁接触的方式设置。换言之,绝缘体217设置在导电体218与绝缘体210、绝缘体212、绝缘体214及绝缘体216之间。导电体205可以与导电体218并行形成,所以有时以与导电体205的侧面接触的方式形成绝缘体217。

[0436] 作为绝缘体217,例如可以使用氮化硅、氧化铝或氮氧化硅等绝缘体。绝缘体217以与绝缘体210、绝缘体212、绝缘体214及绝缘体222接触的方式设置,所以可以抑制水、氢等杂质从绝缘体210或绝缘体216等通过导电体218混入氧化物230。尤其是,氮化硅对氢具有高阻挡性,所以是优选的。另外,可以防止包含在绝缘体210或绝缘体216中的氧被导电体218吸收。

[0437] 绝缘体217可以使用与绝缘体241同样的方法形成。例如,使用PEALD法形成氮化硅,使用各向异性蚀刻形成到达导电体356的开口即可。

[0438] 作为能够被用作层间膜的绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0439] 例如,通过将相对介电常数低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0440] 例如,绝缘体150、绝缘体210、绝缘体352及绝缘体354等优选具有相对介电常数低的绝缘体。例如,该绝缘体优选含有氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。或者,该绝缘体优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅和树脂的叠层结构。由于氧化硅及氧氮化硅具有热稳定性,因此通过将其与树脂组合,可以实现具有热稳定性且相对介电常数低的叠层结构。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。

[0441] 此外,通过由具有抑制氢等杂质及氧透过的功能的绝缘体围绕使用氧化物半导体的晶体管,可以使晶体管的电特性稳定。因此,作为绝缘体214、绝缘体212及绝缘体350等,使用具有抑制氢等杂质及氧的透过的功能的绝缘体,即可。

[0442] 作为具有抑制氢等杂质及氧透过的功能的绝缘体,例如可以以单层或叠层使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、镧、钕、钐、镥或钽的绝缘体。具体而言,作为具有抑制氢等杂质及氧透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化镥、氧化钕、氧化镥、氧化钽等金属氧化物、氮氧化硅、氮化硅等。

[0443] 作为能够用于布线、插头的导电体优选使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟以及钌等的金属元素中的一种以上的材料。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0444] 例如,作为导电体328、导电体330、导电体356、导电体218及导电体112等,可以以单层或叠层使用由上述材料形成的金属材料、合金材料、金属氮化物材料、金属氧化物材料等的导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。或者,优选使用铝或铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。

[0445] <设置有氧化物半导体的层的布线或插头>

注意,在将氧化物半导体用于晶体管200时,有时在氧化物半导体附近设置具有过剩氧区域的绝缘体。在此情况下,优选在该具有过剩氧区域的绝缘体和设置于该具有过剩氧区域的绝缘体的导电体之间设置具有阻挡性的绝缘体。

[0446] 例如,在图24中,优选在具有过剩氧的绝缘体224及绝缘体280与导电体240之间设置绝缘体241。通过使绝缘体241与绝缘体222、绝缘体275、绝缘体282及绝缘体283接触地设置,绝缘体224及晶体管200可以具有由具有阻挡性的绝缘体密封的结构。

[0447] 也就是说,通过设置绝缘体241,可以抑制绝缘体224及绝缘体280所具有的过剩氧被导电体240吸收。此外,通过具有绝缘体241,可以抑制作为杂质的氢经过导电体240扩散到晶体管200。

[0448] 另外,作为绝缘体241,优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘材料。例如,优选使用氮化硅、氮氧化硅、氧化铝或氧化铪等。尤其是,氮化硅对氢具有高阻挡性,所以是优选的。此外,例如还可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钽等的金属氧化物等。

[0449] 另外,如上述实施方式所示,晶体管200也可以采用由绝缘体212、绝缘体214、绝缘体282及绝缘体283密封的结构。通过采用上述结构,可以降低包含在绝缘体274、绝缘体150等中的氢混入绝缘体280等。

[0450] 在此,导电体240贯通绝缘体283及绝缘体282,导电体218贯通绝缘体214、绝缘体212,并且,如上所述,绝缘体241与导电体240接触地设置,绝缘体217与导电体218接触地设置。由此,可以减少通过导电体240及导电体218混入绝缘体212、绝缘体214、绝缘体282及绝缘体283的内侧的氢。如此,可以由绝缘体212、绝缘体214、绝缘体282、绝缘体283、绝缘体241及绝缘体217密封晶体管200,而可以减少包含在绝缘体274等中的氢等杂质从外侧混入。

[0451] <切割线>

下面,对当将大面积衬底按每个半导体组件分割而得到芯片形状的多个半导体装置时设置的切割线(有时也称为分割线、分断线或截断线)进行说明。作为分割方法,例如,有时,首先在衬底中形成用来分断半导体组件的槽(切割线)之后,在切割线处截断,得到被分断(被分割)的多个半导体装置。

[0452] 在此,例如,如图24所示,优选以与绝缘体283和绝缘体212接触的区域重叠于切割线的方式进行设计。也就是说,在与设置在包括多个晶体管200的存储单元的边缘的成为切割线的区域附近,在绝缘体282、绝缘体280、绝缘体275、绝缘体224、绝缘体222、绝缘体216及绝缘体214中设置开口。

[0453] 也就是说,在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体224、绝缘体222、绝缘体216及绝缘体214的开口中,绝缘体212与绝缘体283接触。此时,例如也可以使用相同材料及相同方法形成绝缘体212及绝缘体283。通过使用相同的材料及相同的方法形成绝缘体212和绝缘体283,可以提高紧密性。例如,优选使用氮化硅。

[0454] 通过采用该结构,可以由绝缘体212、绝缘体214、绝缘体282及绝缘体283包围晶体管200。绝缘体212、绝缘体214、绝缘体282和绝缘体283中的至少一个由于具有抑制氧、氢及水的扩散的功能,所以即使将衬底按每个形成有本实施方式所示的半导体组件的电路区域分割而加工为多个芯片,也可以防止从截断的衬底的侧面方向混入氢或水等杂质且该杂质

扩散到晶体管200。

[0455] 另外,通过采用该结构,可以防止绝缘体280及绝缘体224中的过剩氧扩散到外部。因此,绝缘体280及绝缘体224中的过剩氧高效地被供应到晶体管200中的形成沟道的氧化物中。由于该氧,而可以减少晶体管200中的形成沟道的氧化物的氧空位。由此,可以使晶体管200中的形成沟道的氧化物成为缺陷态密度低且具有稳定的特性的氧化物半导体。也就是说,可以在抑制晶体管200的电特性变动的同时提高可靠性。

[0456] 注意,在图24所示的存储装置中作为电容器100的形状采用平面型,但是本实施方式所示的存储装置不局限于此。例如,如图25所示,作为电容器100的形状也可以采用圆柱型。图25所示的存储装置的绝缘体150下方的结构与图24所示的半导体装置相同。

[0457] 图25所示的电容器100包括绝缘体130上的绝缘体150、绝缘体150上的绝缘体142、配置在形成于绝缘体150及绝缘体142的开口中的导电体115、导电体115及绝缘体142上的绝缘体145、绝缘体145上的导电体125、导电体125及绝缘体145上的绝缘体152。在此,在形成于绝缘体150及绝缘体142的开口中配置导电体115、绝缘体145及导电体125的至少一部分。另外,在绝缘体152上配置绝缘体154,在绝缘体154上配置导电体153及绝缘体156。在此,导电体140设置在绝缘体130、绝缘体150、绝缘体142、绝缘体145、绝缘体152及绝缘体154中的开口内。

[0458] 导电体115被用作电容器100的下部电极,导电体125被用作电容器100的上部电极,绝缘体145被用作电容器100的介电质。电容器100具有在绝缘体150及绝缘体142的开口中不仅在底面上而且在侧面上上部电极与下部电极隔着介电质对置的结构,因此可以增加每单位面积的静电电容。该开口的深度越深,电容器100的静电电容越大。如此,通过增加电容器100的每单位面积的静电电容,可以推进半导体装置的微型化或高集成化。

[0459] 作为绝缘体152,可以使用能够被用作绝缘体280的绝缘体。另外,作为绝缘体142,优选使用被用作形成绝缘体150的开口时的蚀刻停止层并可以用于绝缘体214的绝缘体。

[0460] 另外,形成在绝缘体150及绝缘体142中的开口的俯视时的形状可以为四角形、四角形以外的多角形状、其角部呈弧形的多角形状或椭圆等圆形形状。在此,在俯视时优选该开口与晶体管200重叠的面积大。通过采用这种结构,可以缩减包括电容器100及晶体管200的半导体装置的占有面积。

[0461] 导电体115以与形成在绝缘体142及绝缘体150中的开口接触的方式配置。导电体115的顶面优选与绝缘体142的顶面大致一致。另外,导电体115的底面通过绝缘体130的开口与导电体110接触。导电体115优选通过ALD法或CVD法等形成,例如使用可用于导电体205的导电体即可。

[0462] 绝缘体145以覆盖导电体115及绝缘体142的方式配置。例如,优选通过ALD法或CVD法等形成绝缘体145。作为绝缘体145,例如使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化锆、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等,并且可以采用叠层结构或单层结构。例如,作为绝缘体145,可以使用依次层叠有氧化锆、氧化铝及氧化铪的绝缘膜。

[0463] 另外,绝缘体145优选使用氧氮化硅等绝缘耐应力高的材料或高介电常数 (high-k) 材料的叠层结构。或者,可以使用绝缘耐应力高的材料及高介电常数 (high-k) 材料的叠层结构。

[0464] 注意,作为高介电常数 (high-k) 材料(相对介电常数高的材料)的绝缘体,有氧化稼、氧化铪、氧化锆、具有铝及铪的氧化物、具有铝及铪的氧氮化物、具有硅及铪的氧化物、具有硅及铪的氧氮化物、具有硅及铪的氮化物等。通过具有这样high-k材料,即使使绝缘体145变厚也可以充分确保电容器100的静电电容。通过使绝缘体145变厚,可以抑制在导电体115与导电体125之间产生的泄漏电流。

[0465] 另一方面,作为绝缘耐应力高的材料,有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。例如,可以使用依次层叠有通过ALD法形成的氮化硅(SiN_x)、通过PEALD法形成的氧化硅(SiO_x)、通过ALD法形成的氮化硅(SiN_x)的绝缘膜。通过使用这样的绝缘耐应力高的绝缘体,绝缘耐应力提高而可以抑制电容器100的静电破坏。

[0466] 导电体125以填埋形成在绝缘体142及绝缘体150中的开口的方式配置。另外,导电体125通过导电体140及导电体153与布线1005电连接。导电体125优选通过ALD法或CVD法等形成,例如使用可用于导电体205的导电体即可。

[0467] 另外,导电体153设置在绝缘体154上且被绝缘体156覆盖。导电体153可以使用可用于导电体112的导电体,绝缘体156可以使用可用于绝缘体152的绝缘体。在此,导电体153与导电体140的顶面接触,并且被用作电容器100、晶体管200或晶体管300的端子。

[0468] [存储装置2]

图26示出使用根据本发明的一个方式的半导体装置(存储装置)的一个例子。

[0469] <存储器件的结构例子>

图26是包括存储器件290的半导体装置的截面图。图26所示的存储器件290除了图1A至图1D所示的晶体管200以外还包括电容器件292。图26相当于晶体管200的沟道长度方向的截面图。

[0470] 电容器件292包括导电体242b、设置在导电体242b上的绝缘体271b及绝缘体273b、以与导电体242b的侧面接触的方式设置的绝缘体272b、覆盖绝缘体273b及绝缘体272b的绝缘体275、以及绝缘体275上的导电体294。即,电容器件292构成MIM(Metal-Insulator-Metal:金属-绝缘体-金属)电容器。另外,电容器件292所包括的一对电极的一方,即导电体242b可以兼作晶体管的源电极。另外,电容器件292所包括的介电质层可以兼作设置在晶体管的保护层,即绝缘体271、绝缘体272及绝缘体275。因此,电容器件292的制造工序也可以使用晶体管的制造工序的一部分,所以可以得到一种生产率的高的半导体装置。另外,电容器件292所包括的一对电极的一方,即导电体242b兼作晶体管的源电极,所以可以减小配置晶体管、电容器件的面积。

[0471] 另外,作为导电体294,例如使用可用于导电体242的材料即可。

[0472] <存储器件的变形例子>

以下使用图27A、图27B、图28及图29说明与在上述<存储器件的结构例子>中示出的半导体装置不同的包括根据本发明的一个方式的晶体管200及电容器件292的半导体装置的一个例子。注意,在图27A、图27B、图28及图29所示的半导体装置中,对具有与构成在上述实施方式及<存储器件的结构例子>中示出的半导体装置(参照图26)的结构相同功能的结构附加相同附图标记。另外,在本节中,晶体管200及电容器件292的构成材料可以使用在上述实施方式及<存储器件的结构例子>中详细说明的材料。

[0473] <<存储器件的变形例子1>>

以下,使用图27A说明包括根据本发明的一个方式的晶体管200a、晶体管200b、电容器件292a及电容器件292b的半导体装置600的一个例子。

[0474] 图27A是包括晶体管200a、晶体管200b、电容器件292a及电容器件292b的半导体装置600的沟道长度方向上的截面图。在此,电容器件292a包括:导电体242a;导电体242a上的绝缘体271a;与导电体242a的侧面接触的绝缘体272a;以及覆盖绝缘体271a、绝缘体272a的导电体294a。另外,电容器件292b包括:导电体242b;导电体242b上的绝缘体271b;与导电体242b的侧面接触的绝缘体272b;以及覆盖绝缘体271b及绝缘体272b的导电体294b。

[0475] 如图27A所示,半导体装置600具有以A3-A4的点划线为对称轴的轴对称的结构。导电体242c兼作晶体管200a的源电极和漏电极中的一方以及晶体管200b的源电极和漏电极中的一方。另外,在导电体242c上设置绝缘体271c,在绝缘体271c上设置绝缘体273c。另外,被用作插头的导电体240用来使被用作布线的导电体246与晶体管200a及晶体管200b连接。如此,通过作为两个晶体管、两个电容器件、布线以及插头的连接关系采用上述结构,可以提供一种可以实现微型化或高集成化的半导体装置。

[0476] 晶体管200a、晶体管200b、电容器件292a及电容器件292b的各结构及效果可以参照图1A至图1D及图26所示的半导体装置的结构例子。

[0477] <<存储器件的变形例子2>>

以上,作为半导体装置的结构例子示出晶体管200a、晶体管200b、电容器件292a及电容器件292b,但是本实施方式所示的半导体装置不局限于此。例如,如图27B所示,也可以采用半导体装置600及具有与半导体装置600同样的结构的半导体装置通过电容部连接的结构。在本说明书中,将包括晶体管200a、晶体管200b、电容器件292a及电容器件292b的半导体装置称为单元。晶体管200a、晶体管200b、电容器件292a及电容器件292b的结构可以参照上述晶体管200a、晶体管200b、电容器件292a及电容器件292b的记载。

[0478] 图27B是包括晶体管200a、晶体管200b、电容器件292a及电容器件292b的半导体装置600及具有与半导体装置600同样的结构的单元通过电容部连接的情况的截面图。

[0479] 如图27B所示,被用作半导体装置600所包括的电容器件292b的一方电极的导电体294b兼作具有与半导体装置600同样的结构的半导体装置601所包括的电容器件的一方电极。另外,虽然未图示,但是被用作半导体装置600所包括的电容器件292a的一方电极的导电体294a兼作在半导体装置600的左侧,即图27B的A1方向上相邻的半导体装置的电容器件的一方电极。另外,在半导体装置601的右侧,即图27B的A2方向上的单元也具有相同结构。换言之,可以构成单元阵列(也可以称为存储器件层)。通过采用上述单元阵列的结构,可以减小相邻单元的间隔,由此可以减小单元阵列的投影面积,而可以实现高集成化。另外,通过将图27B所示的单元阵列的结构配置为矩阵状,可以构成矩阵状的单元阵列。

[0480] 如上所述,通过以本实施方式所示的结构形成晶体管200a、晶体管200b、电容器件292a及电容器件292b,可以减小单元的面积,而可以实现构成单元阵列的半导体装置的微型化或高集成化。

[0481] 此外,除了将上述单元阵列配置为平面状之外还可以层叠上述单元阵列。图28示出层叠有n层的单元阵列610的结构的截面图。如图28所示,通过层叠多个单元阵列(单元阵列610_1至单元阵列610_n),可以集成地配置单元而无需增大单元阵列的占有面积。也就是

说,可以构成3D单元阵列。

[0482] <<存储器件的变形例子3>>

图29示出存储单元470具有包括晶体管200T的晶体管层413及四层的存储器件层415(存储器件层415_1至存储器件层415_4)的例子。

[0483] 存储器件层415_1至存储器件层415_4的每一个包括多个存储器件420。

[0484] 存储器件420通过导电体424及导电体205与不同存储器件层415所包括的存储器件420及晶体管层413所包括的晶体管200T电连接。

[0485] 存储单元470由绝缘体212、绝缘体214、绝缘体282及绝缘体283密封(为了方便起见,以下称为密封结构)。绝缘体283的周围设置有绝缘体274。另外,绝缘体274、绝缘体283及绝缘体212设置有导电体440且与元件层411电连接。

[0486] 另外,在密封结构的内部设置有绝缘体280。绝缘体280具有通过加热释放氧的功能。或者,绝缘体280具有过剩氧区域。

[0487] 绝缘体212及绝缘体283优选使用对氢具有高阻挡性的材料。另外,绝缘体214及绝缘体282优选使用具有俘获或固定氢的功能的材料。

[0488] 例如,作为上述对氢具有高阻挡性的材料,可以举出氮化硅、氮氧化硅等。另外,作为上述具有俘获或固定氢的功能材料,可以举出氧化铝、氧化铪以及包含铝及铪的氧化物(铝酸铪)等。

[0489] 对用于绝缘体212、绝缘体214、绝缘体282及绝缘体283的材料的结晶结构没有特别的限制,可以采用具有非晶或结晶性的结构即可。例如,作为具有俘获或固定氢的功能的材料,优选使用非晶氧化铝膜。非晶氧化铝的俘获或固定氢的量有时比结晶性高的氧化铝多。

[0490] 另外,优选还在晶体管层413与存储器件层415间或者在各存储器件层415间设置绝缘体282及绝缘体214。另外,优选在绝缘体282与绝缘体214间设置绝缘体296。绝缘体296可以使用与绝缘体283相同的材料。或者,可以使用氧化硅、氧氮化硅。另外,也可以使用已知的绝缘材料。

[0491] 在此,作为绝缘体280中的过剩氧的相对于接触于绝缘体280的氧化物半导体中的氢的扩散的模型,可以考虑如下模型。

[0492] 氧化物半导体中的氢通过接触于氧化物半导体的绝缘体280扩散到其他结构体。由于该氢的扩散,绝缘体280中的过剩氧与氧化物半导体中的氢起反应形成OH键合,作为OH在绝缘体280中扩散。具有OH键合的氢原子在到达具有俘获或固定氢的功能的材料(典型的是,绝缘体282)时与键合于绝缘体282中的原子(例如,金属原子等)的氧原子起反应,被绝缘体282俘获或固定。另一方面,可认为具有OH键合的过剩氧的氧原子作为过剩氧留在绝缘体280中。换言之,在该氢的扩散中,绝缘体280中的过剩氧发挥如中介作用的可能性高。

[0493] 为了满足上述模型,半导体装置的制造工序是重要因素之一。

[0494] 作为一个例子,在氧化物半导体上形成包含过剩氧的绝缘体280,然后形成绝缘体282。之后,优选进行热处理。具体而言,该热处理在含氧气氛、含氮气氛或氧和氮的混合气氛下,以350℃以上,优选以400℃以上的温度进行。热处理的时间设定为1小时以上,优选为4小时以上,更优选为8小时以上。

[0495] 通过进行上述热处理,可以抑制氧化物半导体中的氢通过绝缘体280及绝缘体282

向外部扩散。换言之,可以降低存在于氧化物半导体及该氧化物半导体附近的氢的绝对量。
[0496] 在进行上述热处理之后,形成绝缘体283。绝缘体283是对氢具有高阻挡性的材料,所以可以抑制向外部扩散的氢或者存在于外部的氢向内部,具体地是氧化物半导体或绝缘体280一侧进入。

[0497] 注意,示出上述热处理在形成绝缘体282之后进行的结构,但是不局限于此。例如,上述热处理也可以在形成晶体管层413之后或者形成存储器件层415_1至存储器件层415_3之后进行。另外,在通过上述热处理使氢向外部扩散时,氢向晶体管层413的上方或横方向扩散。同样地,在形成存储器件层415_1至存储器件层415_3之后进行热处理时,氢向上方或横方向扩散。

[0498] 通过采用上述制造工序而绝缘体212及绝缘体283贴合在一起,可以得到上述密封结构。

[0499] 如此,通过采用上述结构及上述制造工序,可以提供一种使用氢浓度得到降低的氧化物半导体的半导体装置。由此,可以提供一种可靠性良好的半导体装置。另外,根据本发明的一个方式,可以提供一种具有良好的电特性的半导体装置。

[0500] 本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法或者实施例所示的结构、方法等适当地组合而实施。

[0501] (实施方式3)

在本实施方式中,参照图30A、图30B以及图31A至图31H,对根据本发明的一个方式的使用将氧化物用于半导体的晶体管(以下有时称为OS晶体管)及电容器的存储装置(以下有时称为OS存储装置)进行说明。OS存储装置是至少包括电容器和控制该电容器的充放电的OS晶体管的存储装置。因OS晶体管的关态电流极小所以OS存储装置具有优良的保持特性,从而可以被用作非易失性存储器。

[0502] <存储装置的结构例子>

图30A示出OS存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440及控制逻辑电路1460。

[0503] 列电路1430例如包括列译码器、预充电电路、读出放大器及写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0504] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,数据信号WDATA被输入到写入电路。

[0505] 控制逻辑电路1460对从外部输入的控制信号(CE、WE、RE)进行处理来生成行译码器及列译码器的控制信号。控制信号CE是芯片使能信号,控制信号WE是写入使能信号,并且控制信号RE是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0506] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的个数取决于存储单元MC的结构、包括在一个列中的存储单元MC的个数等。此外,连接存储单元阵列1470和列电路1430的布线的个数取决于存储单元MC的结构、包括在一个行中的存储单元MC的个数等。

[0507] 此外,虽然在图30A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图30B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0508] 在图31A至图31H中说明能够适合用于上述存储单元MC的存储单元的结构例子。

[0509] [DOSRAM]

图31A至图31C示出DRAM的存储单元的电路结构例子。在本说明书等中,有时将使用1OS晶体管1电容器型存储单元的DRAM称为DOSRAM(注册商标,Dynamic Oxide Semiconductor Random Access Memory,动态氧化物半导体随机存取存储器)。图31A所示的存储单元1471包括晶体管M1及电容器CA。此外,晶体管M1包括栅极(有时称为顶栅极)及背栅极。

[0510] 晶体管M1的第一端子与电容器CA的第一端子连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接,晶体管M1的背栅极与布线BGL连接。电容器CA的第二端子与布线CAL连接。

[0511] 布线BIL被用作位线,布线WOL被用作字线。布线CAL被用作用来对电容器CA的第二端子施加指定的电位的布线。在数据的写入及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M1的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M1的阈值电压。

[0512] 在此,图31A所示的存储单元1471对应于图26所示的存储装置。就是说,晶体管M1对应于晶体管200,电容器CA对应于电容器292。

[0513] 此外,存储单元MC不局限于存储单元1471,而可以改变其电路结构。例如,存储单元MC也可以采用如图31B所示的存储单元1472那样的晶体管M1的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图31C所示的存储单元1473那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M1构成的存储单元。

[0514] 在将上述实施方式所示的半导体装置用于存储单元1471等的情况下,作为晶体管M1可以使用晶体管200,作为电容器CA可以使用电容器100。通过作为晶体管M1使用OS晶体管,可以使晶体管M1的泄漏电流为极低。换言之,因为可以由晶体管M1长时间保持写入的数据,所以可以降低存储单元的刷新频率。另外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1471、存储单元1472、存储单元1473中。

[0515] 此外,在DOSRAM中,在如此那样地采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构时,可以缩短位线。由此,位线电容减小,从而可以减少存储单元的保持电容。

[0516] [NOSRAM]

图31D至图31G示出2晶体管1电容器的增益单元型存储单元的电路结构例子。图

31D所示的存储单元1474包括晶体管M2、晶体管M3、电容器CB。此外，晶体管M2包括顶栅极(有时简单地称为栅极)及背栅极。在本说明书等中，有时将包括将OS晶体管用于晶体管M2的增益单元型存储单元的存储装置称为NOSRAM(Nonvolatile Oxide Semiconductor RAM，非易失性氧化物半导体RAM)。

[0517] 晶体管M2的第一端子与电容器CB的第一端子连接，晶体管M2的第二端子与布线WBL连接，晶体管M2的栅极与布线WOL连接，晶体管M2的背栅极与布线BGL连接。电容器CB的第二端子与布线CAL连接。晶体管M3的第一端子与布线RBL连接，晶体管M3的第二端子与布线SL连接，晶体管M3的栅极与电容器CB的第一端子连接。

[0518] 布线WBL被用作写入位线，布线RBL被用作读出位线，布线WOL被用作字线。布线CAL被用作用来对电容器CB的第二端子施加指定的电位的布线。在数据的写入、保持及读出时，优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M2的背栅极施加电位的布线。通过对布线BGL施加任意电位，可以增加或减少晶体管M2的阈值电压。

[0519] 在此，图31D所示的存储单元1474对应于图24所示的存储装置。就是说，晶体管M2对应于晶体管200，电容器CB对应于电容器100，晶体管M3对应于晶体管300，布线WBL对应于布线1003，布线WOL对应于布线1004，布线BGL对应于布线1006，布线CAL对应于布线1005，布线RBL对应于布线1002，布线SL对应于布线1001。

[0520] 此外，存储单元MC不局限于存储单元1474，而可以适当地改变其电路结构。例如，存储单元MC也可以采用如图31E所示的存储单元1475那样的晶体管M2的背栅极不与布线BGL连接，而与布线WOL连接的结构。此外，例如，存储单元MC也可以是如图31F所示的存储单元1476那样的由单栅极结构的晶体管，即不包括背栅极的晶体管M2构成的存储单元。此外，例如，存储单元MC也可以具有如图31G所示的存储单元1477那样的将布线WBL和布线RBL组合为一个布线BIL的结构。

[0521] 在将上述实施方式所示的半导体装置用于存储单元1474等的情况下，作为晶体管M2可以使用晶体管200，作为晶体管M3可以使用晶体管300，作为电容器CB可以使用电容器100。通过作为晶体管M2使用OS晶体管，可以使晶体管M2的泄漏电流为极低。由此，因为可以由晶体管M2长时间保持写入的数据，所以可以降低存储单元的刷新频率。此外，还可以不进行存储单元的刷新工作。此外，由于泄漏电流极低，因此可以将多值数据或模拟数据保持在存储单元1474中。存储单元1475至存储单元1477也是同样的。

[0522] 此外，晶体管M3也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶体管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比OS晶体管高。因此，作为被用作读出晶体管的晶体管M3，也可以使用Si晶体管。此外，通过将Si晶体管用于晶体管M3，可以层叠于晶体管M3上地设置晶体管M2，从而可以减少存储单元的占有面积，并可以实现存储装置的高集成化。

[0523] 此外，晶体管M3也可以是OS晶体管。在将OS晶体管用于晶体管M2、晶体管M3时，在存储单元阵列1470中可以只使用n型晶体管构成电路。

[0524] 此外，图31H示出3晶体管1电容器的增益单元型存储单元的一个例子。图31H所示的存储单元1478包括晶体管M4至晶体管M6及电容器CC。电容器CC可以适当地设置。存储单元1478与布线BIL、布线RWL、布线WWL、布线BGL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。此外，也可以将存储单元1478电连接到布线RBL、布线WBL，而不与布线BIL电连

接。

[0525] 晶体管M4是包括背栅极的OS晶体管,该背栅极与布线BGL电连接。此外,也可以使晶体管M4的背栅极和栅极互相电连接。或者,晶体管M4也可以不包括背栅极。

[0526] 此外,晶体管M5、晶体管M6各自可以是n沟道型Si晶体管或p沟道型Si晶体管。或者,晶体管M4至晶体管M6都是OS晶体管。在此情况下,可以在存储单元阵列1470中只使用n型晶体管构成电路。

[0527] 在将上述实施方式所示的半导体装置用于存储单元1478时,作为晶体管M4可以使用晶体管200,作为晶体管M5、晶体管M6可以使用晶体管300,作为电容器CC可以使用电容器100。通过作为晶体管M4使用OS晶体管,可以使晶体管M4的泄漏电流为极低。

[0528] 注意,本实施方式所示的外围电路1411及存储单元阵列1470等的结构不局限于上述结构。另外,也可以根据需要改变,去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。

[0529] 一般来说,在计算机等半导体装置中,根据用途使用各种存储装置(存储器)。图32以层级示出各种存储装置。位于上层的存储装置需要越快访问速度,位于下层的存储装置需要越大存储容量及越高存储密度。在图32中,从最上层依次示出CPU等在运算处理装置中作为寄存器安装的存储器、SRAM(Static Random Access Memory;静态随机存取存储器)、DRAM(Dynamic Random Access Memory;动态随机存取存储器)、3DNAND存储器。

[0530] 由于用来暂时储存运算结果等,所以在CPU等运算处理装置中作为寄存器安装的存储器的来自运算处理装置的访问频率高。因此,比存储容量更需要快工作速度。另外,寄存器也具有保持运算处理装置的设定数据等的功能。

[0531] SRAM例如用于高速缓冲存储器。高速缓冲存储器具有复制保持在主存储器的数据的一部分而保持的功能。通过将使用频率高的数据复制到高速缓冲存储器中,可以提高对数据的访问速度。

[0532] DRAM例如用于主存储器。主存储器具有保持从存储器(storage)读出的程序或数据的功能。DRAM的存储密度大致为0.1至0.3Gbit/mm²。

[0533] 3DNAND存储器例如用于存储器(storage)。存储器(storage)具有保持需要长期储存的数据或运算处理装置所使用的各种程序等的功能。因此,存储器(storage)比工作速度更需要大存储容量及高存储密度。用于存储器(storage)的存储装置的存储密度大致为0.6至6.0Gbit/mm²。

[0534] 本发明的一个方式的存储装置能够长期间保持数据且其工作速度快。本发明的一个方式的存储装置可以作为位于包括高速缓冲存储器的阶层和主存储器的阶层的双方的边界区域901的存储装置适当地使用。另外,本发明的一个方式的存储装置可以作为位于包括主存储器的阶层和存储器(storage)的阶层的双方的边界区域902的存储装置适当地使用。

[0535] 本实施方式所示的结构可以与其他实施方式等所示的结构适当地组合而实施。

[0536] (实施方式4)

在本实施方式中,参照图33A和图33B说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0537] 如图33A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0538] 在芯片1200上设置有凸块(未图示),该凸块如图33B所示那样与印刷线路板(PCB: Printed Circuit Board)1201的第一面连接。此外,在PCB1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0539] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。此外,例如,可以将上述实施方式所示的NOSRAM应用于闪存1222。

[0540] CPU1211优选具有多个CPU核。此外, GPU1212优选具有多个GPU核。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述NOSRAM或DOSRAM应用于该存储器。此外, GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0541] 此外,因为在同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0542] 模拟运算部1213具有模拟/数字(A/D)转换电路和数字/模拟(D/A)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0543] 存储控制器1214具有被用作DRAM1221的控制器的电路及被用作闪存1222的接口的电路。

[0544] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0545] 网络电路1216具有控制与LAN(Local Area Network:局域网)等的连接的功能。此外,还可以具有网络安全用电路。

[0546] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0547] 可以将包括设置有具有GPU1212的芯片1200的PCB1201、DRAM1221以及闪存1222的母板1203称为GPU模块1204。

[0548] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外, GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200被用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0549] 本实施方式所示的结构可以与其他实施方式等所示的结构适当地组合而实施。

[0550] (实施方式5)

本实施方式示出安装有上述实施方式所示的存储装置等的电子构件及电子设备的一个例子。

[0551] <电子构件>

首先,参照图34A和图34B对组装有存储装置720的电子构件的例子进行说明。

[0552] 图34A示出电子构件700及安装有电子构件700的基板(电路板704)的立体图。图34A所示的电子构件700在模子711内包括存储装置720。在图34A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置720。电子构件700例如安装于印刷电路板702。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0553] 存储装置720包括驱动电路层721及存储电路层722。

[0554] 图34B示出电子构件730的立体图。电子构件730是SiP (System in package:系统封装)或MCM (Multi Chip Module:多芯片封装)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置720。

[0555] 电子构件730示出将存储装置720被用作宽带存储器(HBM:High Bandwidth Memory:高宽带存储器)的例子。另外,半导体装置735可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0556] 封装衬底732可以使用陶瓷衬底、塑料衬底、玻璃环氧衬底等。插板731可以使用硅插板、树脂插板等。

[0557] 插板731具有多个布线并电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。另外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。另外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。另外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0558] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以比集成电路更低的成本制造。硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0559] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0560] 另外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。另外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0561] 另外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置720与半导体装置735的高度一致。

[0562] 为了将电子构件730安装在其他的衬底上,可以在封装衬底732的底部设置电极733。图34B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA (Ball Grid Array: 球栅阵列) 安装。另外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA (Pin Grid Array: 针栅阵列) 安装。

[0563] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA (Staggered Pin Grid Array: 交错针栅阵列) 、LGA (Land Grid Array: 地栅阵列) 、QFP (Quad Flat Package: 四侧引脚扁平封装) 、QFJ (Quad Flat J-leaded package: 四侧J形引脚扁平封装) 或QFN (Quad Flat Non-leaded package: 四侧无引脚扁平封装) 等安装方法。

[0564] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0565] (实施方式6)

在本实施方式中,说明使用上述实施方式所示的半导体装置的存储装置的应用例子。上述实施方式所示的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装置。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的半导体装置应用于存储器卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图35A至图35E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0566] 图35A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如,基板1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于存储器芯片1105等。

[0567] 图35B是SD卡的外观示意图,图35C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如,基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于基板1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于存储器芯片1114等。

[0568] 图35D是SSD的外观示意图,图35E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如,基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于存储器芯片1154等。

[0569] 本实施方式可以与其他的实施方式等所记载的结构适当地组合而实施。

[0570] (实施方式7)

根据本发明的一个方式的半导体装置可以应用于如CPU、GPU等处理器或芯片。图36A至图36H示出具有根据本发明的一个方式的如CPU、GPU等处理器或芯片的电子设备的具

体例子。

[0571] <电子设备及系统>

根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、用于台式或笔记本式信息终端等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、电子书阅读器、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。通过将根据本发明的一个方式的半导体装置设置于上述电子设备,可以提供一种可靠性良好的电子设备。此外,通过将根据本发明的一个方式的GPU或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0572] 本发明的一个方式的电子设备也可以包括天线。通过由天线接收信号,可以在显示部上显示影像或信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0573] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0574] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图36A至图36H示出电子设备的例子。

[0575] [信息终端]

图36A示出信息终端之一的移动电话机(智能手机)。信息终端5100包括外壳5101及显示部5102,作为输入接口在显示部5102中具备触控面板,并且在外壳5101上设置有按钮。

[0576] 通过将本发明的一个方式的芯片应用于信息终端5100,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5102上的应用程序、识别由使用者输入到显示部5102所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5102上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0577] 图36B示出笔记本式信息终端5200。笔记本式信息终端5200包括信息终端主体5201、显示部5202及键盘5203。

[0578] 与上述信息终端5100同样,通过将本发明的一个方式的芯片应用于笔记本式信息终端5200,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用笔记本式信息终端5200,可以研发新颖的人工智能。

[0579] 注意,在上述例子中,图36A及图36B分别示出智能手机及笔记本式信息终端作为电子设备的例子,但是也可以应用智能手机及笔记本式信息终端以外的信息终端。作为智能手机及笔记本式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、台式信息终端、工作站等。

[0580] [游戏机]

图36C示出作为游戏机的一个例子的便携式游戏机5300。便携式游戏机5300包括外壳5301、外壳5302、外壳5303、显示部5304、连接部5305及操作键5306等。可以将外壳5302及外壳5303从外壳5301拆卸。通过将设在外壳5301中的连接部5305安装到其他外壳(未图示),可以将输出到显示部5304的影像输出到其他视频显示设备(未图示)。此时,外壳5302及外壳5303分别可以被用作操作部。由此,多个游戏玩家可以同时玩游戏。可以将上述实施方式所示的芯片嵌入到设置在外壳5301、外壳5302及外壳5303的衬底的芯片等。

[0581] 另外,图36D示出游戏机之一的固定式游戏机5400。固定式游戏机5400以无线或有线连接有控制器5402。

[0582] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300及固定式游戏机5400等游戏机,可以实现低功耗的游戏机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0583] 再者,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300,可以实现具备人工智能的便携式游戏机5300。

[0584] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5300,可以实现不局限于游戏的程序的表现。例如,可以实现游戏玩家提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0585] 此外,当使用便携式游戏机5300玩需要多个游戏玩家的游戏时,可以利用人工智能构成拟人的游戏玩家,由此可以将人工智能的游戏玩家当作对手,一个人也可以玩多人玩的游戏。

[0586] 虽然图36C及图36D示出便携式游戏机及固定式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0587] [大型计算机]

将本发明的一个方式的GPU或芯片可以应用于大型计算机。

[0588] 图36E示出作为大型计算机的一个例子的超级计算机5500。图36F示出超级计算机5500所包括的机架(rack mount)式计算机5502。

[0589] 超级计算机5500包括机架5501及多个机架式计算机5502。注意,多个计算机5502容纳在机架5501中。另外,计算机5502设有多个基板5504,在该基板上可以安装上述实施方式所说明的GPU或芯片。

[0590] 超级计算机5500主要是适合于科学计算的大型计算机。科学计算需要以高速进行庞大的运算,因此功耗大且芯片的发热高。通过将本发明的一个方式的GPU或芯片应用于超级计算机5500,可以实现低功耗的超级计算机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路及模块带来的负面影响。

[0591] 在图36E及图36F中,作为大型计算机的一个例子示出超级计算机,然而应用本发明的一个方式的GPU或芯片的大型计算机不局限于此。作为应用本发明的一个方式的GPU或芯片的大型计算机,例如可以举出提供服务的计算机(服务器)、大型通用计算机(主机)等。

[0592] [移动体]

本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0593] 图36G是示出移动体的一个例子的汽车室内的前挡风玻璃周边的图。图36G示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0594] 通过显示速度表、转速计、行驶距离、燃料表、排档状态、空调的设定，显示面板5701至显示面板5703可以提供其他各种信息。此外，使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等，可以提高设计性。显示面板5701至显示面板5703还可以被用作照明装置。

[0595] 通过将由设置在汽车的摄像装置(未图示)拍摄的影像显示在显示面板5704上，可以补充被支柱遮挡的视野(死角)。也就是说，通过显示由设置在汽车外侧的摄像装置拍摄的影像，可以补充死角，从而可以提高安全性。此外，通过显示补充看不到的部分的影像，可以更自然、更舒适地确认安全。显示面板5704还可以被用作照明装置。

[0596] 因为可以将本发明的一个方式的GPU或芯片被用作人工智能的构成要素，例如可以将该芯片用于汽车的自动驾驶系统。该芯片也可以用于进行导航、危险预测等的系统。此外，可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0597] 虽然在上述例子中作为移动体的一个例子说明了汽车，但是移动体不局限于汽车。例如，作为移动体，也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等，可以对这些移动体应用本发明的一个方式的芯片，以提供利用人工智能的系统。

[0598] [电器产品]

图36H示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0599] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800，可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能，可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0600] 作为电器产品的一个例子说明了电冷藏冷冻箱，但是作为其他电器产品，例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调整器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0601] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他的电子设备的记载适当地组合而实施。

[0602] 本实施方式可以与其他的实施方式等所记载的结构适当地组合而实施。

[实施例1]

[0603] 在本实施例中，制造上述实施方式所示的晶体管而进行电特性的测量以及数据保持时间及工作频率的估计。数据保持时间及工作频率的估计设想在该晶体管中设置电容器的DOSRAM而进行。

[0604] 在本实施例中，制造以 $2.0\text{个}/\mu\text{m}^2$ 的密度配置具有与图22所示的晶体管200相同的结构的晶体管的样品1，对样品1的电特性进行测量。另外，从电特性估计数据保持时间及工

作频率。

[0605] 首先,说明样品1的结构。如图22所示,样品1包括:衬底(未图示)上的绝缘体212;绝缘体212上的绝缘体214;绝缘体214上的绝缘体216;以埋入于绝缘体216的方式配置的导电体205;绝缘体216及导电体205上的绝缘体222;绝缘体222上的绝缘体224;绝缘体224上的氧化物230a;氧化物230a上的氧化物230b;配置在氧化物230b上且彼此分离的氧化物243a及氧化物243b;氧化物243a上的导电体242a;氧化物243b上的导电体242b;导电体242a、导电体242b及绝缘体224上的绝缘体275;绝缘体275上的绝缘体280;氧化物230b上的氧化物230c;氧化物230c上的氧化物230d;氧化物230d上的绝缘体250;绝缘体250上的导电体260;绝缘体280及导电体260上的绝缘体282;以与绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体275、绝缘体280及绝缘体282的侧面接触的方式配置的绝缘体287;以及以覆盖绝缘体212、绝缘体287及绝缘体282的方式配置的绝缘体283。

[0606] 作为绝缘体212使用厚度为60nm的氮化硅。绝缘体212使用硅靶材通过脉冲DC溅射法形成。在形成绝缘体212时,作为成膜气体使用氩气体30sccm(从第一气体供应口供应25sccm、从第二气体供应口供应5sccm)及氮气体85sccm,成膜压力设为0.5Pa,衬底温度设为200℃,靶材与衬底的间隔设为62mm。脉冲DC电源的条件为如下:功率为1kW、频率为100kHz、一周期中的关闭时间为4016nsec。

[0607] 作为绝缘体214使用厚度为40nm的氧化铝。绝缘体214使用铝靶材通过脉冲DC溅射法形成。在形成绝缘体214时,作为成膜气体使用氩气体14sccm(从第一气体供应口供应9sccm、从第二气体供应口供应5sccm)及氧气体69sccm,成膜压力设为0.4Pa,衬底温度设为200℃,靶材与衬底的间隔设为62mm。脉冲DC电源的条件为如下:功率为5kW、频率为100kHz、一周期中的关闭时间为976nsec。

[0608] 作为绝缘体216使用厚度为80nm的氧化铝。绝缘体216使用硅靶材通过脉冲DC溅射法形成。在形成绝缘体216时,作为成膜气体使用氩气体31sccm(从第一气体供应口供应26sccm、从第二气体供应口供应5sccm)及氧气体125sccm,成膜压力设为0.7Pa,衬底温度设为200℃,靶材与衬底的间隔设为62mm。脉冲DC电源的条件为如下:功率为3kW、频率为100kHz、一周期中的关闭时间为4016nsec。

[0609] 上述绝缘体212、绝缘体214及绝缘体216使用多室处理室型溅射装置以不暴露于外部空气的方式连续形成。

[0610] 在导电体205中,以与绝缘体216的开口的底面及侧壁接触的方式配置导电体205a,在导电体205a上配置导电体205b,并且在导电体205b上配置导电体205c。在此,导电体205c的侧面与导电体205a接触。换言之,导电体205b被导电体205a及导电体205c包围。

[0611] 导电体205a及导电体205c是使用通过金属CVD法形成的氮化钛,导电体205b是使用通过金属CVD法形成的钨。导电体205通过在上述实施方式中使用图4至图8说明的方法形成。

[0612] 作为绝缘体222,使用通过ALD法形成的厚度为20nm的氧化铪。作为绝缘体224,使用厚度为30nm的氧氮化硅。

[0613] 作为氧化物230a,使用通过DC溅射法形成的厚度为5nm的In-Ga-Zn氧化物。在形成氧化物230a时,使用In:Ga:Zn=1:3:4[原子个数比]的靶材,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200℃,靶材与衬底的间隔

设为60mm。

[0614] 作为氧化物230b, 使用通过DC溅射法形成的厚度为15nm的In-Ga-Zn氧化物。在形成氧化物230b时, 使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材, 作为成膜气体使用氧气体45sccm, 成膜压力设为0.7Pa, 成膜功率设为500W, 衬底温度设为200℃, 靶材与衬底的间隔设为60mm。

[0615] 作为氧化物243a及氧化物243b, 使用通过DC溅射法形成的厚度为2nm的In-Ga-Zn氧化物。在形成氧化物230a时, 使用In:Ga:Zn=1:3:4[原子个数比]的靶材, 作为成膜气体使用氧气体45sccm, 成膜压力设为0.7Pa, 成膜功率设为500W, 衬底温度设为200℃, 靶材与衬底的间隔设为60mm。

[0616] 在形成成为氧化物243的氧化膜之后, 在氮气氛下以500℃进行1小时的热处理, 接着在氧气氛下以500℃进行1小时的热处理。

[0617] 导电体242a及导电体242b使用厚度为25nm的氮化钽。另外, 绝缘体275使用通过溅射法形成的厚度为5nm的氧化铝与其上的通过ALD法形成的厚度为3nm的氧化铝的叠层膜。

[0618] 绝缘体280使用第一层与第一层上的第二层的层叠膜。绝缘体280的第一层使用通过RF溅射法形成的厚度为60nm的氧化硅。在形成绝缘体280的第一层时, 使用SiO₂靶材, 作为成膜气体使用氧气体50sccm, 成膜压力设为0.7Pa, 成膜功率设为1500W, 衬底温度设为170℃, 靶材与衬底的间隔设为60mm。绝缘体280的第二层使用通过PECVD法形成的氧氮化硅。

[0619] 作为氧化物230c, 使用通过DC溅射法形成的厚度为3nm的In-Ga-Zn氧化物。在形成氧化物230c时, 使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材, 作为成膜气体使用氧气体45sccm, 成膜压力设为0.7Pa, 成膜功率设为500W, 衬底温度设为200℃, 靶材与衬底的间隔设为60mm。

[0620] 作为氧化物230d, 使用通过DC溅射法形成的厚度为3nm的In-Ga-Zn氧化物。在形成氧化物230d时, 使用In:Ga:Zn=1:3:4[原子个数比]的靶材, 作为成膜气体使用氧气体45sccm, 成膜压力设为0.7Pa, 成膜功率设为500W, 衬底温度设为200℃, 靶材与衬底的间隔设为60mm。

[0621] 作为绝缘体250使用厚度为6nm的氧氮化硅。在形成绝缘体250之后, 进行微波处理。在微波处理中, 作为处理气体使用氩气体150sccm及氧气体50sccm, 功率设为4000W, 压力设为400Pa, 处理温度设为400℃, 处理时间设为600秒钟。

[0622] 作为导电体260a, 使用厚度为5nm的氮化钛。另外, 作为导电体260b使用钨。

[0623] 作为绝缘体282使用厚度为40nm的氧化铝。绝缘体282使用铝靶材通过脉冲DC溅射法形成。在形成绝缘体282时, 作为成膜气体使用氩气体14sccm(从第一气体供应口供应9sccm、从第二气体供应口供应5sccm)及氧气体69sccm, 成膜压力设为0.4Pa, 衬底温度设为200℃, 靶材与衬底的间隔设为62mm。脉冲DC的条件为如下: 功率为5kW、频率为100kHz。

[0624] 作为绝缘体287, 使用通过RF溅射法形成的氧化铝。使用干蚀刻法对所形成的氧化铝膜进行各向异性蚀刻, 来形成与绝缘体214、绝缘体216、绝缘体222、绝缘体224、绝缘体275、绝缘体280及绝缘体282的侧面接触的绝缘体287。

[0625] 绝缘体283使用第一层与第一层上的第二层的层叠膜。绝缘体283的第一层使用通过脉冲DC溅射法形成的厚度为20nm的氧化硅。绝缘体283的第二层使用通过PECVD法形成的

厚度为20nm的氮化硅。

[0626] 具有上述结构的样品1以沟道长度成为60nm且沟道宽度成为60nm的方式设计。另外,与晶体管200同样,除了上述结构以外,样品1还包括导电体240、绝缘体241、绝缘体274及导电体246等。另外,样品1在形成之后在氮气气氛下以400℃进行8小时的热处理。

[0627] 使用德科技制造的半导体参数分析仪测量如此那样制造的样品1的27个元件的 I_D - V_G 特性(漏极电流-栅极电压特性)。在 I_D - V_G 特性的测量中,漏极电位 V_D 设为0.1V或1.2V,源极电位 V_S 设为0V,底栅极电位 V_{BG} 设为0V,顶栅极电位 V_G 从-4.0V到4.0V以每次增加0.1V的方式进行扫描。

[0628] 图37示出样品1的 I_D - V_G 特性的测量结果。在图37中,横轴表示顶栅极电位 V_g [V]、第一纵轴表示漏极电流 I_d [A]、第二纵轴表示 $V_D=0.1V$ 时的场效应迁移率 μ_{FE} [cm²/Vs]。另外,以细实线表示 $V_D=0.1V$ 时的漏极电流,以粗虚线表示 $V_D=1.2V$ 的漏极电流,以细虚线表示 $V_D=0.1V$ 时的场效应迁移率。如图37所示,本实施例的样品1的晶体管中,27个元件都呈现良好的电特性。

[0629] 另外,从上述 I_D - V_G 测量的结果求出27个元件的每一个的漂移电压 V_{sh} 而计算其标准偏差 $\sigma(V_{sh})$ 。在此,漂移电压 V_{sh} 定义为在晶体管的 I_D - V_G 曲线中曲线上的倾斜度最大的点的切线与 $I_D=1pA$ 的直线交叉的 V_G 。得到很良好值的标准偏差 $\sigma(V_{sh})$,即34mV。如此,本实施例所示的样品是电特性的不均匀小的晶体管。换言之,通过采用上述实施方式所示的结构,可以提供一种晶体管特性的不均匀小的半导体装置。

[0630] 接着,设想在样品1的晶体管设置电容器(保持电容为3.5fF)的DOSRAM进行数据保持时间及工作频率的估计。DOSRAM的存储单元设想图31A所示的电路。在此,样品1相当于图31A所示的晶体管M1。

[0631] 可以说DOSRAM的“数据保持时间”是指对DOSRAM所包括的电容器施加的电压的变动量到达变动容许电压为止所需要的时间。在此,“变动容许电压”是指对DOSRAM的电容器施加的电压从写入数据后变动的量的容许值。在本实施例中,将“变动容许电压”设为0.2V,将“数据保持时间”设为对电容器(保持电容为3.5fF)施加的电压从数据写入之后的状态降低0.2V所需的时间。例如,在本实施例中,“DOSRAM的数据保持时间为1小时”是指对DOSRAM所包括的电容器施加的电位从写入数据之后降低0.2V为止的时间为1小时。

[0632] DOSRAM的数据保持时间取决于DOSRAM所包括的晶体管的关态电流(记为 I_{off})的大小。例如,在DOSRAM的数据保持特性只取决于DOSRAM所包括的晶体管的 I_{off} 的大小时,DOSRAM的数据保持时间与DOSRAM所包括的晶体管的 I_{off} 的大小成反比。

[0633] 已知DOSRAM所包括的晶体管的 I_{off} 时,DOSRAM的数据保持时间可以通过如下方法求出:将相当于在保持数据时从电容器消失的电荷的量(相当于电容器的保持电容(3.5fF)与对电容器施加的电压下降的量(0.2V)之积的0.7fC)除以 I_{off} 。另外,通过设定目标的DOSRAM的保持时间而将上述电荷量0.7fC除以该保持时间,来估计DOSRAM所包括的晶体管所需的 I_{off} 。在将保持时间的目标设为1小时的情况下,晶体管所需的 I_{off} 大约为200zA($200 \times 10^{-21} A$)。通过以 I_{off} 为200zA的方式调整栅极电压(记为 $V_g(off)$),可以实现以宽温度范围具有高工作频率的DOSRAM。

[0634] 首先,在样品1中进行晶体管的 I_D - V_G 测量。 I_D - V_G 测量通过将晶体管的漏极电位 V_D 设为+1.2V、源极电位 V_S 设为0V、栅极电位 V_G 从-1.0V扫描到+3.3V进行。第二栅极电压 V_{BG} 固定

为-2.2V进行。第二栅极电压 $V_{BG} = -2.2V$ 是在85°C的测量中以样品1的晶体管的保持时间为1小时以上的方式估计的。测量温度的标准为-40°C、27°C、85°C的三个。

[0635] 样品1中的晶体管的 I_D - V_G 测量以将形成有作为测量对象的晶体管的5英寸角衬底固定于设定为上述各温度的热卡盘上的状态进行。另外,在每个设定温度测量18个元件。

[0636] 从所得到的 I_D - V_G 曲线算出晶体管的漂移电压(V_{sh})及亚阈值摆幅值(S 值)。漂移电压(V_{sh})定义为在晶体管的 I_D - V_G 曲线中曲线上的倾斜最大的点的切线与 $I_D = 1\text{pA}$ 的直线交叉的 V_G 。

[0637] 如实施方式1的<半导体装置的制造方法>所示,本晶体管的沟道形成区域使用金属氧化物。与沟道形成区域使用Si的晶体管相比,例如作为沟道形成区域使用金属氧化物的晶体管在非导通状态下的泄漏电流极小。因此,作为沟道形成区域使用金属氧化物的晶体管有时难以通过实测检测出 I_{off} 。在本晶体管中也难以实测 I_{off} ,所以通过根据上述 I_D - V_G 曲线得到的 V_{sh} 及 S 值使用算式(1)外推,估计 I_{off} 为200zA的 $V_{g(off)}$ 。样品1的 $V_{g(off)} = -0.72V$ 。另外如算式(1)所示,假设直到晶体管的状态电流到达 $V_G = V_{g(off)}$ 为止 I_D 根据 S 值单调地减少。

[0638] [算式1]

$$I_{off} = 1 \times 10^{\left(-12 - \frac{V_{sh} - V_{g(off)}}{S}\right)} \quad (1)$$

[0639] 在此,说明DOSRAM工作频率的估计方法。DOSRAM的工作频率定义为DOSRAM的数据写入循环时间的倒数。DOSRAM的数据写入循环是根据DOSRAM所包括的电容器的充电时间等设定的参数。在本实施例方式中,将相当于DOSRAM的数据写入循环时间(DOSRAM的工作频率的倒数)的40%的时间设定为DOSRAM所包括的电容器的充电时间。

[0640] DOSRAM的工作频率取决于DOSRAM所包括的电容器的充电时间。由此,在估计DOSRAM的工作频率时,要预先知道DOSRAM所包括的电容器的充电时间。在本实施方式中,将DOSRAM所包括的电容器(保持电容是3.5fF)供应有0.52V以上的电位的状态定义为该电容器处于“被充电的状态”。由此,在本实施方式例中,从开始DOSRAM的数据写入工作直到该电容器供应有的电位到达0.52V为止的时间相当于DOSRAM所包括的电容器的充电时间。

[0641] DOSRAM所包括的电容器的充电时间取决于写入DOSRAM数据时的DOSRAM所包括的晶体管的 I_D 的大小。于是,在本实施例中,通过将设想对写入DOSRAM数据时的DOSRAM所包括的晶体管施加的电位(参照图38A)实际施加到根据本发明的一个方式的晶体管而再现DOSRAM数据的写入工作,并测量此时的该晶体管的 I_D 。图38A是假设通过晶体管Tr1将数据写入到电容器Cs的情况。D表示漏极,G表示栅极,S表示源极。晶体管Tr1的源极的电位(施加到电容器Cs的电压)为 V_s 。通过使晶体管Tr1成为开启状态,电流 I_D 流过,电容器Cs被充电。在样品1中,晶体管开启的栅极电位 $V_{g(on)}$ 设为 $V_{g(off)} + 2.97V$ 。换言之,通过将栅极电位 $V_{g(on)}$ 设为 $-0.72V + 2.97V = +2.25V$ 、漏极电位 V_d 设为 $+1.08V$ 、源极电位 V_s 从 $0V$ 扫描到 $+0.52V$ 而进行晶体管的 I_D 测量。背栅极电压 V_{BG} 固定为 $-2.2V$ 。测量温度的标准为-40°C、27°C、85°C的三个。

[0642] DOSRAM的充电开始之后 V_s 到达写入判定电压 V_{CS} 时充电结束。将此时的时间定义为充电时间 t_w (参照图38B)。在将对DOSRAM所包括的保持电容Cs[F]的电容器充电的电荷设为 $Q[C]$ 、充电时间设为 $t_w[sec]$ 、通过充电施加到电容器的电位设为 $V_{CS}(=V_s)[V]$ 、DOSRAM所

包括的晶体管的漏极电流设为 I_D [A]时,各参数满足以下算式(2)的关系。

[0643] [算式2]

$$Q = \int_0^{t_w} I_D dt = C_S \times V_{cs} \quad (2)$$

[0644] 通过改变算式(2),可以以下面算式(3)表示DOSRAM所包括的电容器的充电时间 t_w (图38C参照)。

[0645] [算式3]

$$t_w = \int_0^{V_{cs}} \frac{C_S}{I_D} dV_S \quad (3)$$

[0646] 在本实施例中,将3.5fF代入到算式(3)的 C_S ,将+0.52V代入到 V_{cs} 、并代入上述 I_D - V_S 测量得到的 I_D ,来算出DOSRAM所包括的电容器的充电时间 t_w 。

[0647] 可以以算式(4)表示DOSRAM的工作频率 f 与充电时间 t_w 的关系。

[0648] [算式4]

$$f = \frac{A}{t_w} \quad (4)$$

[0649] 在算式(4)中,A是系数。设想在DOSRAM的一个工作时间中写入所需的时间占4成,所以在本实施例中,在 t_w 超过2.0nsec时将系数A固定为0.4。另外,在 t_w 为2.0nsec以下时,不能忽略存储器的外围电路的信号延迟的影响,所以需要考虑该影响设定系数A。表1示出考虑存储器的外围电路的信号延迟的影响而算出的结果。外围电路设想以2.5GHz的时钟工作。

[0650] [表1]

充电时间 (t_w) [nsec]	写入时间 (系数 A)	工作频率 [MHz]
2.0	0.42	208
1.6	0.36	227
1.2	0.30	250
0.8	0.25	312
0.4	0.14	357

[0651] 通过上述方法测量样品1而算出工作频率。图39示出样品1中的工作频率与数据保持时间的相关。在图39中,横轴表示数据保持时间[sec],纵轴表示工作频率[MHz]。在此,图39的粗虚线表示保持时间1小时,图39的细虚线表示工作频率200MHz。如图39所示,样品1的18个元件都以85°C测量时的数据保持时间为1小时以上且在以-40°C测量时的工作频率为200MHz以上。

[0652] 另外,图40A示出样品1中的S值与Vsh的相关。在图40A中,横轴表示Vsh[V],纵轴表示S值[V/dec]。图40A的虚线表示数据保持时间为1小时以上的边界,该虚线之下的元件是

数据保持时间为1小时以上的元件。如图40A所示,样品1的18个元件的数据保持时间都为1小时以上。

[0653] 另外,图40B示出样品1中的场效应迁移率 μ_{FE} 与阈值 V_{th} 的相关。在图40B中,横轴表示 V_{th} [V],纵轴表示 μ_{FE} [cm^2/Vs]。如图40B所示,样品1的18个元件都呈现良好电特性,即场效应迁移率 μ_{FE} 为 $10\text{cm}^2/\text{Vs}$ 以上、阈值 V_{th} 为0.3V以上。

[0654] 本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[实施例2]

[0655] 在本实施例中,说明制造具有图41A所示的结构的样品2A及样品2B以及具有图41B所示的结构的样品2C及样品2D而对上述样品进行薄层电阻测量的结果。

[0656] 图41A所示的结构包括衬底10、衬底10上的氧化物12、氧化物12上的氧化物14、氧化物14上的导电体16、导电体16上的绝缘体18。在此,图41A所示的结构对应于图22所示的晶体管200的源极或漏极附近的结构。就是说,氧化物12对应于氧化物230b,氧化物14对应于氧化物243,导电体16对应于导电体242,绝缘体18对应于绝缘体275。

[0657] 另外,图41B所示的结构包括衬底10、衬底10上的氧化物12、氧化物12上的氧化物20、氧化物20上的氧化物22、氧化物22上的绝缘体24。在此,图41B所示的结构对应于图22所示的晶体管200的沟道形成区域附近的结构。就是说,氧化物12对应于氧化物230b,氧化物20对应于氧化物230c,氧化物22对应于氧化物230d,绝缘体24对应于绝缘体250。

[0658] 首先,说明图41A所示的样品2A及样品2B的制造方法。

[0659] 首先,在样品2A及样品2B中,作为衬底10准备石英衬底。然后,在衬底10上作为氧化物12形成In-Ga-Zn氧化物,接下来以不暴露于外部空气的方式在氧化物12上作为氧化物14连续形成In-Ga-Zn氧化物。

[0660] 氧化物12使用 $\text{In:Ga:Zn}=4:2:4.1$ [原子个数比]的靶材以厚度为100nm的方式通过DC溅射法形成。在形成氧化物12时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200°C,靶材与衬底的间隔设为60mm。

[0661] 氧化物14使用 $\text{In:Ga:Zn}=1:3:4$ [原子个数比]的靶材以厚度为2nm的方式通过DC溅射法形成。在形成氧化物14时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200°C,靶材与衬底的间隔设为60mm。

[0662] 接着,对样品2A及样品2B在氮气氛下以400°C进行1小时的热处理,接下来以不暴露于外部空气的方式在氧气氛下以400°C连续进行1小时的热处理。

[0663] 接着,在样品2A及样品2B中,在氧化物14上作为导电体16形成氮化钽。导电体16在含氮气氛下使用钽靶材以厚度为20nm的方式通过DC溅射法形成。

[0664] 接着,在样品2A及样品2B中,在导电体16上作为绝缘体18形成氧化铝。另外,绝缘体18使用通过溅射法形成的厚度为5nm的氧化铝与其上的通过ALD法形成的厚度为3nm的氧化铝的叠层膜。

[0665] 接着,对样品2B进行微波处理。在微波处理中,作为处理气体使用氩气体150sccm及氧气体50sccm,功率设为4000W,压力设为400Pa,处理温度设为400°C,处理时间设为600秒钟。在此,用于微波处理的微波处理装置的处理室的石英顶板的面积为 2000cm^2 。因此,上述微波处理中的功率密度PD为 2W/cm^2 。

[0666] 接着,说明图41B所示的样品2C及样品2D的制造方法。

[0667] 样品2C及样品2D的制造方法到形成氧化物12与样品2A及样品2B的制造方法相同,所以可以参照该制造方法。

[0668] 接着,对样品2C及样品2D在氮气氛下以400℃进行1小时的热处理,接下来以不暴露于外部空气的方式在氧气气氛下以400℃连续进行1小时的热处理。

[0669] 接着,在样品2C及样品2D中,在氧化物12上作为氧化物20形成In-Ga-Zn氧化物,接下来以不暴露于外部空气的方式在氧化物20上作为氧化物22连续形成In-Ga-Zn氧化物。

[0670] 氧化物20使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材以厚度为5nm的方式通过DC溅射法形成。在形成氧化物20时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200℃,靶材与衬底的间隔设为60mm。

[0671] 氧化物22使用In:Ga:Zn=1:3:4[原子个数比]的靶材以厚度为5nm的方式通过DC溅射法形成。在形成氧化物22时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200℃,靶材与衬底的间隔设为60mm。

[0672] 接着,在样品2C及样品2D中,在氧化物22上作为绝缘体24形成氮化硅。绝缘体24以厚度为10nm的方式通过PECVD法形成。

[0673] 最后,对样品2D进行微波处理。在微波处理中,作为处理气体使用氩气体150sccm及氧气体50sccm,功率设为4000W,压力设为400Pa,处理温度设为400℃,处理时间设为600秒钟。在此,用于微波处理的微波处理装置的处理室的石英顶板的面积为2000cm²。因此,上述微波处理中的功率密度PD为2W/cm²。

[0674] 在如此那样制造的样品2A至样品2D中,通过蚀刻以各样品中暴露氧化物12的顶面的方式去除绝缘体18、导电体16及氧化物14或者去除绝缘体24、氧化物22及氧化物20。

[0675] 在氧化物12的顶面露出的样品2A至样品2D中,反复进行氧化物12的顶面的一部分的去除以及薄层电阻测量。图42A、图42B、图43A及图43B示出样品2A、样品2B、样品2C及样品2D中的从氧化物12的顶面的深度与薄层电阻的相关。在图42A、图42B、图43A及图43B中,横轴表示从氧化物12的顶面的深度[nm],纵轴表示薄层电阻[Ω/平方]。另外,图42A、图42B、图43A及图43B所示的虚线表示薄层电阻测量器的测量上限(6.0×10⁶Ω/平方)。

[0676] 如图42A及图42B所示,即使在氧化物12被导电体16覆盖的状态下进行微波处理,氧化物12的表面及内部的薄层电阻也没有变化。

[0677] 但是,如图43A及图43B所示,通过在氧化物12不被导电体覆盖的状态下进行微波处理,氧化物12的表面及内部的薄层电阻增加到测量上限。

[0678] 另外,使用SIMS分析装置对样品2A至样品2D的氢浓度进行评价。分析从各样品的表面一侧进行。图44A示出样品2A及样品2B的SIMS分析的结果,图44B示出样品2C及样品2D的SIMS分析的结果。

[0679] 图44A及图44B是各样品的氧化物12的深度方向的氢浓度分布。在图44A及图44B中,横轴表示从氧化物12的顶面的深度[nm],纵轴表示膜中的氢浓度[atoms/cm³]。另外,图44A及图44B中的虚线B.G表示SIMS分析的本底水平(background level)。

[0680] 如图44A所示,即使在氧化物12被导电体16覆盖的状态下进行微波处理,氧化物12的表面及内部的氢浓度没有变化。

[0681] 但是,如图44B所示,通过在氧化物12不被导电体覆盖的状态下进行微波处理,氧

化物12的表面及内部的氢浓度得到降低。

[0682] 如本实施例的开头所示,样品2A及样品2B对应于上述实施方式中图22所示的晶体管200的源极或漏极。另一方面,样品2C及样品2D对应于上述实施方式中图22所示的晶体管200的沟道形成区域。由此,可知:通过对氧化物230b进行微波处理,与氧化物230b的源电极或漏电极重叠的区域保持低电阻且不与导电体重叠的沟道形成区域被高电阻化。另外,也可知:与源电极或漏电极重叠的区域的氢浓度保持,沟道形成区域的氢浓度降低。换言之,可知:通过微波处理,氧化物半导体的沟道形成区域中载流子浓度降低而被*i*型化,源极或漏极的载流子浓度保持而保持*n*型。

[0683] 本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[实施例3]

[0684] 在本实施例中,说明制造图45所示的结构的样品3A至样品3I而对上述样品的载流子浓度进行测量的结果。

[0685] 在此,图45所示的结构包括衬底10、衬底10上的氧化物12、氧化物12上的绝缘体24。在此,图45所示的结构对应于图1所示的晶体管200的沟道形成区域附近的结构。就是说,氧化物12对应于氧化物230b,绝缘体24对应于绝缘体250。

[0686] 接着,说明图45所示的样品3A至样品3I的制造方法。

[0687] 首先,在样品3A至样品3I中,作为衬底10准备石英衬底而在衬底10上形成氧化物12。

[0688] 氧化物12使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材以厚度为35nm的方式通过DC溅射法形成。在形成氧化物12时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200°C,靶材与衬底的间隔设为60mm。

[0689] 接着,对样品3A至样品3I在氮气氛下以400°C进行1小时的热处理,接下来以不暴露于外部空气的方式在氧气氛下以400°C连续进行1小时的热处理。

[0690] 接着,在样品3A至样品3I中,在氧化物12上形成绝缘体24。绝缘体24以厚度为10nm的方式通过PECVD法形成。

[0691] 接着,对样品3B至样品3I进行微波处理。在微波处理中,功率设为4000W,压力设为400Pa,处理温度设为400°C,处理时间设为600秒钟。在此,用于微波处理的微波处理装置的处理室的石英顶板的面积为2000cm²。因此,上述微波处理中的功率密度PD为2W/cm²。另外,作为处理气体使用氩气体及氧气体,表2示出样品3B至样品3I的氩气体流量、氧气体流量及处理气体中的氧气体的流量比。

[0692] [表2]

样品	氩气体流量	氧气体流量	氧气体流量比
----	-------	-------	--------

	[sccm]	[sccm]	[%]
3B	200	0	0
3C	180	20	10
3D	170	30	15
3E	160	40	20
3F	150	50	25
3G	140	60	30
3H	130	70	35
3I	120	80	40

[0693] 在如此那样制造的样品3A至样品3I中,以各样品中暴露氧化物12的顶面的一部分的方式使用干蚀刻法进行蚀刻处理而除去绝缘体24的一部分。并且,在各样品中,形成接触于所露出的氧化物12的一部分且被用作电极的Ti-Al合金膜。

[0694] 使用株式会社TOYO Corporation制造的霍尔效应测量器“ResiTTest 8400 series”测量如此那样制造的样品3A至样品3I的载流子浓度。图46示出样品3A至样品3I的载流子浓度[1/cm³]。

[0695] 如图46所示,与不进行微波处理的样品3A相比,以0%的氧气体流量比进行微波处理的样品3B的载流子浓度更高。另一方面,以10%以上的氧气体流量比进行微波处理的样品3C至样品3I的载流子浓度为测量下限($1.0 \times 10^{12} / \text{cm}^3$)以下,成为比样品B显著地降低的载流子浓度。

[0696] 如此,通过包含氧气体的气氛,即氧流量比大于0%且为100%以下的气氛下进行微波处理,可以降低氧化物半导体的沟道形成区域的载流子浓度而被i型化或实质上被i型化。另外,在氧流量比大于0%且为50%以下的气氛下,更优选在氧流量比为10%以上且40%以下的气氛下,进一步优选在氧流量比为10%以上且30%以下的气氛下进行微波处理即可。由此,可以充分降低氧化物半导体的沟道形成区域的载流子浓度且防止氧化物半导体、源电极及漏电极暴露于过多的氧气体。

[0697] 本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[实施例4]

[0698] 在本实施例中,说明制造具有图47所示的结构的样品4A及样品4B而对上述样品使用恒定光电流法(CPM:Constant photocurrent method)测量进行分析的结果。

[0699] 另外,图47所示的结构910包括衬底911、衬底911上的绝缘体912、绝缘体912上的绝缘体913、绝缘体913上的氧化物914、氧化物914上的导电体915(导电体915a及导电体915b)以及氧化物914及导电体915上的绝缘体916。在此,结构910对应于图1所示的晶体管200的沟道形成区域附近的结构。就是说,绝缘体913对应于绝缘体224,氧化物914对应于氧化物230b,绝缘体916对应于绝缘体250。

[0700] 接着,对各样品的制造方法进行说明。

[0701] 首先,作为衬底911准备石英衬底。接着,在衬底911上作为绝缘体912通过ALD法形成厚度为10nm的氧化铝膜。

[0702] 接着,在绝缘体912上作为绝缘体913通过CVD法形成厚度为100nm的氧氮化硅膜。

[0703] 接着,在绝缘体913上作为氧化物914通过溅射法形成厚度为40nm的包含In、Ga及Zn的氧化物。氧化物914使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材通过DC溅射法形成。在形成氧化物914时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa,成膜功率设为500W,衬底温度设为200℃,靶材与衬底的间隔设为60mm。

[0704] 接着,在氮气氛下以400℃进行1小时的热处理之后,切换为氧气氛,在氧气氛下以400℃进行1小时的热处理。

[0705] 接着,在氧化物914上作为成为导电体915的导电膜通过溅射法形成厚度为30nm的钨膜。接着,加工该导电膜形成被用作电极的导电体915a及导电体915b。

[0706] 接着,在导电体915及氧化物914上形成绝缘体916。作为成为绝缘体916的绝缘膜通过CVD法形成厚度为10nm的氧化硅膜。接着,以暴露导电体915的一部分的方式在该绝缘膜的一部分形成开口来形成绝缘体916。

[0707] 最后,对样品4A及样品4B进行微波处理。在微波处理中,作为处理气体使用氩气体150sccm及氧气体50sccm,功率设为4000W,压力设为400Pa,处理温度设为400℃秒钟。在此,用于微波处理的微波处理装置的处理室的石英顶板的面积为2000cm²。因此,上述微波处理中的功率密度PD为2W/cm²。在样品4A中处理时间设为10分钟,在样品4B中处理时间设为30分钟。

[0708] 通过上述工序,制造本实施例的样品4A及样品4B。

[0709] 对样品4A及样品4B进行CPM测量而评价各样品的氧化物914的局部能级。另外,在CPM测量中,作为分析装置使用Bunkoukeiki Co.,Ltd制造的亚带隙(subgap)光吸收谱测量系统(SGA-5型)。

[0710] 在CPM测量中,可以以高灵敏度测量局部能级中的光吸收量,并且可以相对地比较各样品的局部能级密度或起因于局部能级的吸收。具体而言,在对与氧化物914接触的被用作一对电极的导电体915a和导电体915b间施加电压的状态下以光电流的值为一定的方式调整照射到端子间的样品面的单色光的光量,从该单色光的照射光量求出吸收系数。该单色光在波长为350nm至750nm的范围内从长波长向短波长每隔10nm进行扫描来照射。另外,有时将相对于通过CPM测量得到的波长(能量)的吸收系数的变化称为CPM谱。

[0711] 另外,在本实施例中,使用单色光的各波长求出吸收系数。在CPM测量中,能量(从波长换算)中的吸收系数根据局部能级密度增加。另外,通过对CPM谱的曲线中的吸收系数比起因于价带一侧的带尾的光吸收(乌尔巴赫带尾(Urbach tail))大的区域进行积分,可以求出样品的起因于局部能级的吸收。

[0712] 具体而言,样品的起因于局部能级的吸收 α 可以从以下算式求出。

[0713] [算式5]

$$\alpha = \int \frac{\alpha_{\text{CPM}} - \alpha_u}{E} dE$$

[0714] 在此,E表示能量, α_{CPM} 表示通过CPM测量得到的吸收系数, α_u 表示乌尔巴赫带尾的吸收系数。

[0715] 在此,图48A示出样品4A的CPM测量的结果,图48B示出样品4B的CPM测量的结果。在图48A及图48B中,横轴表示所照射的单色光的能量[eV],纵轴表示吸收系数 $\alpha_{CPM} [\text{cm}^{-1}]$ 。图48A及图48B中的实线表示CPM曲线且虚线表示乌尔巴赫带尾。

[0716] 如图48A及图48B所示,样品4A和样品4B都在较深能级处CPM曲线与乌尔巴赫带尾彼此分离。这可能是因为由于起因于缺陷的局部能级(以下,称为缺陷能级)的吸收而发生的。从上述算式算出:样品4A的缺陷能级的吸收系数成为 $4.75 \times 10^{-3} [\text{cm}^{-1}]$ 、样品4B的缺陷能级的吸收系数成为 $1.62 \times 10^{-3} [\text{cm}^{-1}]$ 。

[0717] 样品4A及样品4B的缺陷能级的吸收系数与氧空位 V_0 的量相关。因此,可知在样品4B中氧空位 V_0 少于样品4A。换言之,示出通过长时间进行微波处理氧空位 V_0 进一步减少的倾向。

[0718] 另外,与实施例3同样,也对样品4A及样品4B的载流子浓度进行测量,样品4A及样品4B的载流子浓度都为测量下限($1.0 \times 10^{12}/\text{cm}^3$)以下。载流子浓度与 V_0H 的量相关。因此,通过进行微波处理,减少 V_0H 。

[0719] 如本实施例的开头所示,样品4A及样品4B对应于上述实施方式中的图1所示的晶体管200的沟道形成区域。因此,可知通过从绝缘体250上对氧化物230b进行微波处理,在沟道形成区域中减少氧空位 V_0 及 V_0H 。

[0720] 接着,制造与样品4A相同的结构的样品4H。注意,样品4H与样品4A不同之处是:作为导电体915使用通过溅射法形成的厚度为20nm的氮化钽膜;以及在形成导电体915a及导电体915b之后进行热处理。在此,在形成导电体915a及导电体915b之后的热处理中,在氧气气下以350℃进行1小时的热处理,然后切换为氮气气,在氮气气下以350℃进行10分钟的热处理。

[0721] 另外,制造进行样品4H的制造工序的中途为止的样品4C至4F。样品4C是制造导电体915a及导电体915b为止的样品。样品4D是还在氧气气下以350℃进行1小时的热处理的样品。样品4E是还在氮气气下以350℃进行10分钟的热处理的样品。样品4F是还形成绝缘体916的样品。

[0722] 另外,制造微波处理条件与样品4H不同的样品4G。样品4G与样品4H不同之处是在微波处理中处理温度为350℃。

[0723] 通过与样品4A及样品4B相同的方法对上述样品4C至样品4H进行CPM测量,评价各样品的氧化物914的局部能级。CPM测量在各样品中的两个地方(衬底中央及衬底右上)进行。另外,对样品4C至样品4H的载流子浓度通过与样品4A及样品4B相同的方法进行测量。载流子浓度的测量在各样品的两个地方(衬底中央及衬底右侧)进行。

[0724] 图49A示出通过CPM测量得到的样品4C至样品4H的缺陷能级的吸收系数 $[\text{cm}^{-1}]$ 。在此,样品4F的缺陷能级较多,不能进行用CPM测量的评价。另外,图49B示出样品4C至样品4H的载流子浓度 $[1/\text{cm}^3]$ 。在此,样品4G及样品4H的载流子浓度为测量下限($1.0 \times 10^{12}/\text{cm}^3$)以下。

[0725] 如图49A所示,样品4C至样品4F中的氧空位 V_0 多,尤其是形成绝缘体916之后的样品4F中的氧空位 V_0 明显地多。另外,示出样品4C至样品4E的氧空位 V_0 减少的倾向,可知通过形成导电体915之后进行热处理氧空位 V_0 减少的倾向。另一方面,被进行了微波处理的样品4G及样品4H的氧空位 V_0 大幅度地减少。尤其是,处理温度设为400℃的样品4H的氧空位 V_0 显

著地减少,缺陷能级的吸收系数为 $1.01 \times 10^{-3} [\text{cm}^{-1}]$ 。如此,可知通过微波处理工序氧化物914的氧空位 V_0 大幅度地减少。

[0726] 另外,如图49B所示,载流子浓度也有与上述氧空位 V_0 相同的倾向。形成绝缘体916之后的样品4F的载流子浓度明显地高,被进行了微波处理的样品4G及样品4H的载流子浓度降低到测量下限($1.0 \times 10^{12}/\text{cm}^3$)以下。如此,可知通过微波处理工序氧化物914的载流子浓度也大幅度地降低。

[0727] 接着,制造与样品4H相同的结构的样品4L。在此,样品4L与样品4H不同之处在于在形成导电体915a及导电体915b之后的热处理中,在氧气气氛下以400℃进行1小时的热处理,然后切换氮气气氛在氮气气氛下以400℃进行10分钟的热处理。

[0728] 另外,制造进行样品4L的制造工序的中途为止的样品4I至4K。样品4I是制造导电体915a及导电体915b为止的样品。样品4J是还在氧气气氛下以400℃进行1小时的热处理的样品。样品4K是还在氮气气氛下以400℃进行10分钟的热处理的样品。

[0729] 对上述样品4I至样品4L通过与样品4A及样品4B相同的方法进行CPM测量,评价各样品的氧化物914的局部能级。CPM测量在各样品中的两个地方(衬底中央及衬底右上)进行。另外,对样品4I至样品4L的载流子浓度通过与样品4A及样品4B相同的方法进行测量。载流子浓度测量在各样品的两个地方(衬底中央及衬底右侧)进行。

[0730] 图50A示出通过CPM测量得到的样品4I至样品4L的缺陷能级的吸收系数 $[\text{cm}^{-1}]$ 。在此,样品4J及样品4K的衬底右上的缺陷能级较多,不能进行用CPM测量的评价。另外,图50B示出样品4I至样品4L的载流子浓度 $[1/\text{cm}^3]$ 。在此,样品4L的载流子浓度为测量下限($1.0 \times 10^{12}/\text{cm}^3$)以下。

[0731] 如图50A及图50B所示,与样品4C至样品4E不同,样品4I至样品4K的氧空位 V_0 不具有减少的倾向,在形成导电体915之后的热处理中氧空位 V_0 几乎没有减少。但是,在样品4L中氧空位 V_0 及载流子浓度比样品4K大幅度地降低。

[0732] 上述各样品对应于上述实施方式中图1所示的晶体管200的沟道形成区域。因此,可知通过从绝缘体250上对氧化物230b进行微波处理,在沟道形成区域中确实地减少氧空位 V_0 及 V_0H 。

[0733] 本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[实施例5]

[0734] 在本实施例中,说明制造具有图51所示的结构的样品5而使用扫描电容显微镜(SCM:Scanning Capacitance Microscopy)进行分析的结果。

[0735] 图51所示的结构包括衬底40、衬底40上的绝缘体42、绝缘体42上的氧化物44、氧化物44上的导电体46、导电体46上的绝缘体48、绝缘体48上的绝缘体50。在此,导电体46及绝缘体48以线与间隙(line and space)图案形成。导电体46及绝缘体48以线/间隙=100nm/100nm或者以线/间隙=60nm/60nm进行设计。因此,绝缘体50覆盖导电体46及绝缘体48且在氧化物44的顶面从导电体46露出的区域中绝缘体50与氧化物44接触。

[0736] 在此,图51所示的结构对应于多个图1所示的晶体管200通过源极及漏极彼此串联连接的结构。换言之,绝缘体42对应于绝缘体224,氧化物44对应于氧化物230b,导电体46对应于导电体242,绝缘体48对应于绝缘体280,绝缘体50对应于绝缘体250。

[0737] 首先,说明图51所示的样品5的制造方法。

[0738] 首先,在样品5中作为衬底40准备硅衬底。然后,在衬底40上作为绝缘体42形成氮化硅。绝缘体42以厚度为100nm的方式通过PECVD法形成。

[0739] 接着,在绝缘体42上作为氧化物44形成In-Ga-Zn氧化物。

[0740] 氧化物44使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材以厚度为50nm的方式通过DC溅射法形成。在形成氧化物44时,作为成膜气体使用氧气体45sccm,成膜压力设为0.7Pa、成膜功率设为500W、衬底温度设为200℃、靶材与衬底的间隔设为60mm。

[0741] 接着,在氮气氛下以400℃对样品5进行1小时的热处理,然后还以不暴露于外部空气的方式在氧气气氛下以400℃进行1小时的热处理。

[0742] 接着,在氧化物44上形成成为导电体46的氮化钽膜。成为导电体46的氮化钽膜在含氮气体的气氛下使用钽靶材以厚度为20nm的方式通过DC溅射法形成。

[0743] 接着,在上述氮化钽膜上形成成为绝缘体48的氧化硅膜。成为绝缘体48的氧化硅膜在含氧气气氛下使用硅靶材以厚度为40nm的方式通过脉冲DC溅射法形成。

[0744] 接着,对上述氮化钽膜及上述氧化硅膜进行干蚀刻处理而形成线与间隙图案的导电体46及绝缘体48。

[0745] 接着,在氧化物44、导电体46及绝缘体48上作为绝缘体50形成氮化硅。绝缘体50以厚度为10nm的方式通过PECVD法形成。

[0746] 接着,对样品5进行微波处理。在微波处理中,作为处理气体使用氩气体150sccm及氧气体50sccm,功率设为4000W,压力设为400Pa,处理温度设为400℃,处理时间设为600秒钟。在此,用于微波处理的微波处理装置的处理室的石英顶板的面积为2000cm²。因此,上述微波处理中的功率密度PD为2W/cm²。

[0747] 对如此那样制造的样品5进行截面STEM图像的拍摄及SCM分析。图52示出样品5的截面STEM图像。对线/间隙=60nm/60nm的区域进行截面STEM图像的拍摄。在此,样品5的截面STEM图像使用日立高新技术公司制造的“HD-2300”以加速电压为200kV进行拍摄。

[0748] 图53A及图53B示出样品5的SCM极性图像。SCM分析对线/间隙=100nm/100nm的区域进行。图53A及图53B是对样品5的不同区域进行SCM分析而得到的SCM极性图像。另外,图53A及图53B所示的虚线表示氧化物44、导电体46及绝缘体48与绝缘体50的边界。

[0749] 在图53A及图53B所示的SCM极性图像中,暗部分的载流子浓度低且白色部分的载流子浓度高。可知在氧化物44中暗部分的载流子浓度为10¹⁶至10¹⁷[cm⁻³]左右且白色部分的载流子浓度为10¹⁹至10²⁰[cm⁻³]左右。注意,SCM分析是定性评价,上述载流子浓度是一个指标。

[0750] 如图53A及图53B所示,氧化物44在与导电体46重叠的区域和不与导电体46重叠而与绝缘体50接触的区域的SCM图像的明暗有明显的差异。换言之,氧化物44的与绝缘体50接触的区域的载流子浓度比氧化物44的与导电体46重叠的区域低。

[0751] 在此,如在本实施例的开头所示,样品5对应于多个图1所示的晶体管200通过源极及漏极中彼此串联连接的结构。因此,样品5的氧化物44与导电体46重叠的区域对应于晶体管200的源极或漏极,氧化物44的顶面与绝缘体50接触的区域对应于晶体管200的沟道形成区域。

[0752] 因此,可知:通过用绝缘体250覆盖且对氧化物230b进行微波处理,可以降低不与

源电极或漏电极重叠的沟道形成区域中的载流子浓度,同时可以保持氧化物230b的与源电极或漏电极重叠的区域中的载流子浓度。就是说,可知:通过微波处理,氧化物半导体的沟道形成区域中载流子浓度降低而被i型化,源极或漏极的载流子浓度保持而保持n型。换言之,可知通过微波处理只对氧化物半导体的沟道形成区域自对准地降低载流子浓度。

[0753] 本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[符号说明]

[0754] BGL:布线、BIL:布线、CA:电容器、CB:电容器、CC:电容器、CAL:布线、GNDL:布线、MC:存储单元、M1:晶体管、M2:晶体管、M3:晶体管、M4:晶体管、M5:晶体管、M6:晶体管、RBL:布线、RWL:布线、SL:布线、WBL:布线、WOL:布线、WWL:布线、Tr1:晶体管、10:衬底、12:氧化物、14:氧化物、16:导电体、18:绝缘体、20:氧化物、22:氧化物、24:绝缘体、40:衬底、42:绝缘体、44:氧化物、46:导电体、48:绝缘体、50:绝缘体、100:电容器、110:导电体、112:导电体、115:导电体、120:导电体、125:导电体、130:绝缘体、140:导电体、142:绝缘体、145:绝缘体、150:绝缘体、152:绝缘体、153:导电体、154:绝缘体、156:绝缘体、200:晶体管、200_n:晶体管、200_1:晶体管、200a:晶体管、200b:晶体管、200T:晶体管、205:导电体、205a:导电体、205A:导电膜、205b:导电体、205B:导电膜、205c:导电体、205C:导电膜、210:绝缘体、212:绝缘体、214:绝缘体、216:绝缘体、217:绝缘体、218:导电体、222:绝缘体、224:绝缘体、230:氧化物、230a:氧化物、230A:氧化膜、230b:氧化物、230B:氧化膜、230ba:区域、230bb:区域、230bc:区域、230c:氧化物、230d:氧化物、240:导电体、240a:导电体、240b:导电体、241:绝缘体、241a:绝缘体、241b:绝缘体、242:导电体、242a:导电体、242A:导电膜、242b:导电体、242B:导电层、242c:导电体、243:氧化物、243a:氧化物、243A:氧化膜、243b:氧化物、243B:氧化物层、246:导电体、246a:导电体、246b:导电体、250:绝缘体、250A:绝缘膜、260:导电体、260a:导电体、260b:导电体、265:密封部、265a:密封部、265b:密封部、271:绝缘体、271a:绝缘体、271A:绝缘膜、271b:绝缘体、271B:绝缘层、271c:绝缘体、272:绝缘体、272a:绝缘体、272A:绝缘层、272b:绝缘体、273:绝缘体、273a:绝缘体、273A:绝缘膜、273b:绝缘体、273B:绝缘层、273c:绝缘体、274:绝缘体、275:绝缘体、280:绝缘体、282:绝缘体、283:绝缘体、284:绝缘体、286:绝缘体、287:绝缘体、290:存储器件、292:电容器件、292a:电容器件、292b:电容器件、294:导电体、294a:导电体、294b:导电体、296:绝缘体、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、411:元件层、413:晶体管层、415:存储器件层、415_1:存储器件层、415_3:存储器件层、415_4:存储器件层、420:存储器件、424:导电体、440:导电体、470:存储单元、600:半导体装置、601:半导体装置、610:单元阵列、610_n:单元阵列、610_1:单元阵列、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、720:存储装置、721:驱动电路层、722:存储电路层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、901:边界区域、902:边界区域、910:结构、911:衬底、912:绝缘体、913:绝缘体、914:氧化物、915:导电体、915a:导电体、915b:导电体、916:绝缘体、1001:布线、1002:布线、1003:布线、1004:布线、1005:布线、1006:布线、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:衬底、1105:存

储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:衬底、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:衬底、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:PCB、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、1400:存储装置、1411:外围电路、1420:行电路、1430:列电路、1440:输出电路、1460:控制逻辑电路、1470:存储单元阵列、1471:存储单元、1472:存储单元、1473:存储单元、1474:存储单元、1475:存储单元、1476:存储单元、1477:存储单元、1478:存储单元、2700:制造装置、2701:大气侧衬底供应室、2702:大气侧衬底传送室、2703a:装载闭锁室、2703b:卸装载闭锁室、2704:传送室、2706a:处理室、2706b:处理室、2706c:处理室、2706d:处理室、2761:盒式接口、2762:对准接口、2763a:传送机器人、2763b:传送机器人、2801:气体供应源、2802:阀、2803:高频产生器、2804:波导管、2805:模式转换器、2806:气体管、2807:波导管、2808:缝隙天线板、2809:电介质板、2810:高密度等离子体、2811:衬底、2811_n:衬底、2811_n-1:衬底、2811_n-2:衬底、2811_1:衬底、2811_2:衬底、2811_3:衬底、2812:衬底架、2813:加热机构、2815:匹配器、2816:高频电源、2817:真空泵、2818:阀、2819:排风口、2820:灯、2821:气体供应源、2822:阀、2823:气体导入口、2824:衬底、2825:衬底架、2826:加热机构、2828:真空泵、2829:阀、2830:排风口、2900:微波处理装置、2901:石英管、2902:衬底架、2903:加热单元、5100:信息终端、5101:外壳、5102:显示部、5200:笔记本式信息终端、5201:主体、5202:显示部、5203:键盘、5300:携带游戏机、5301:外壳、5302:外壳、5303:外壳、5304:显示部、5305:连接部、5306:操作键、5400:固定式游戏机、5402:控制器、5500:超级计算机、5501:机架、5502:计算机、5504:衬底、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门。

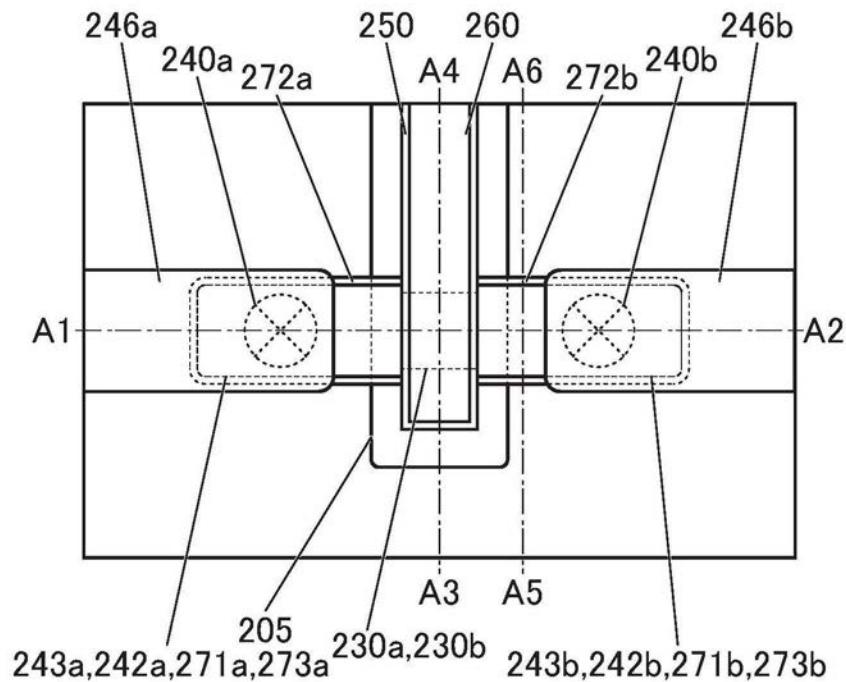


图1A

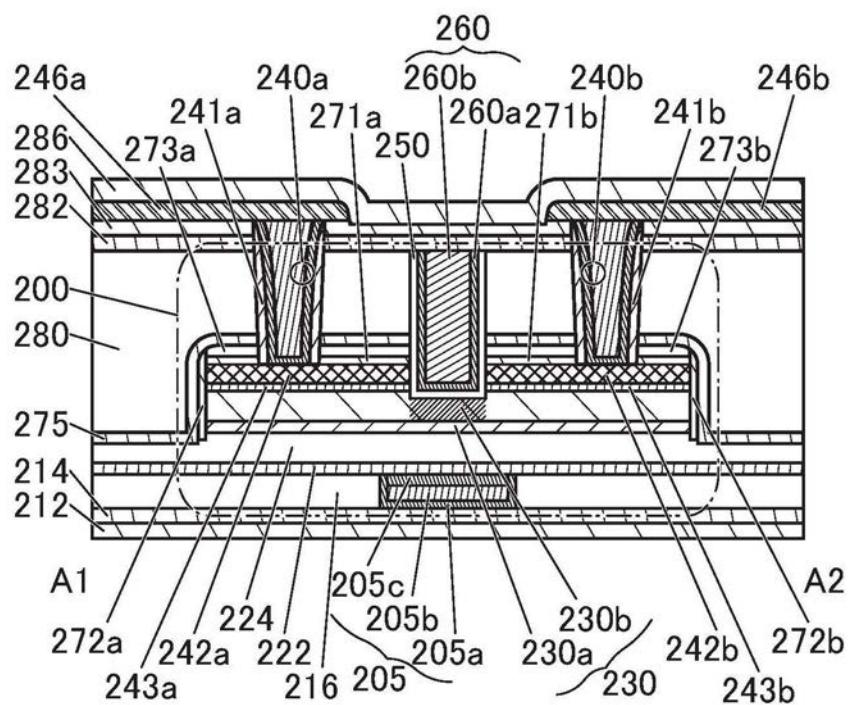


图1B

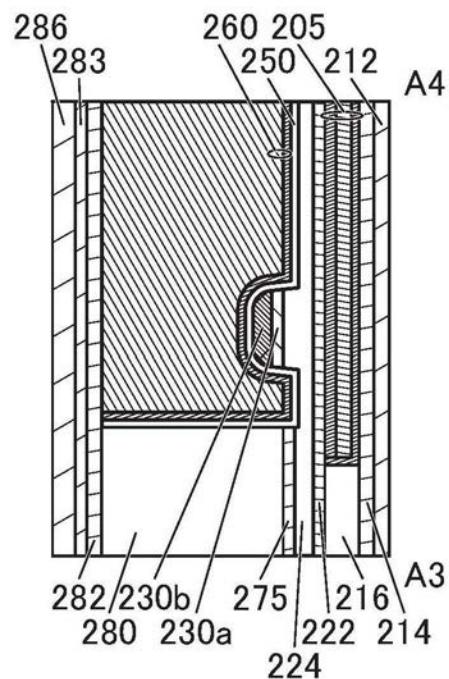


图1C

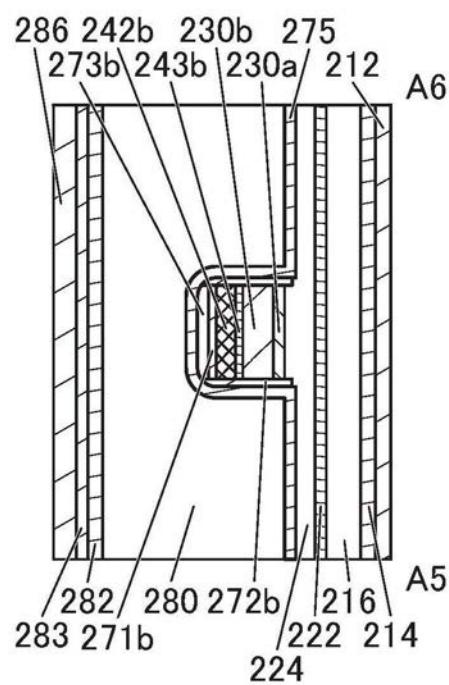


图1D

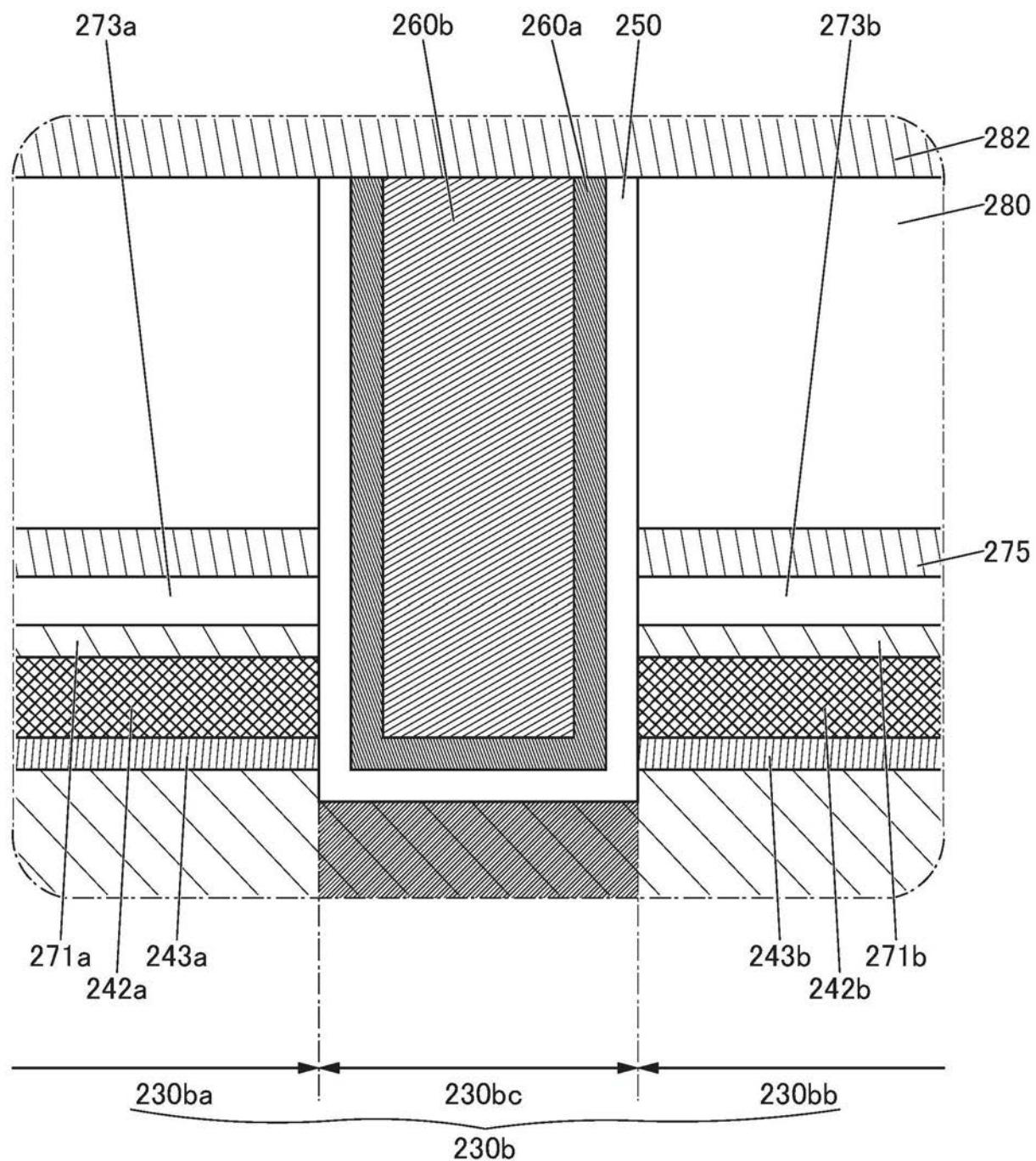


图2

中间状态
新颖的边界区域

Amorphous (无定形)	Crystalline (结晶性)	Crystal (结晶)
• completely amorphous	• CAAC • nc • CAC 不包含 single crystal 及 poly crystal	• single crystal • poly crystal

图3A

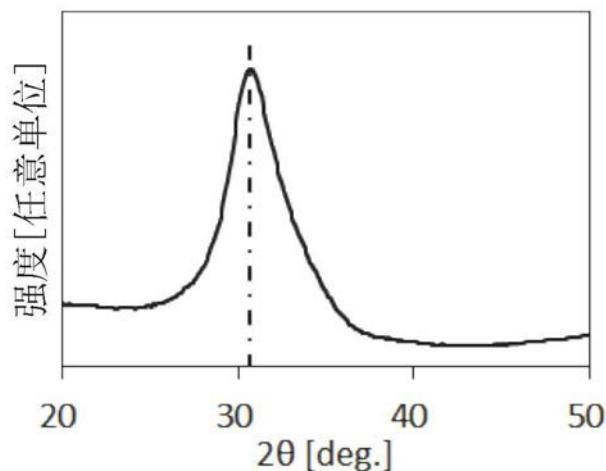


图3B

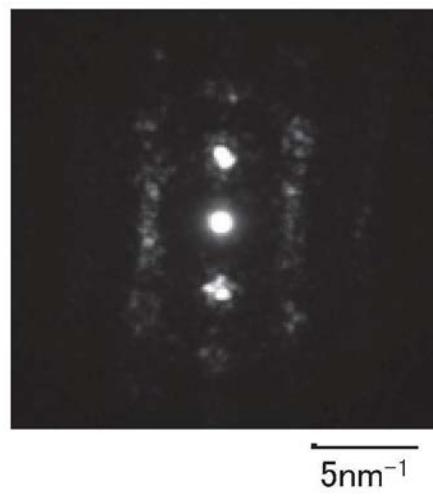


图3C

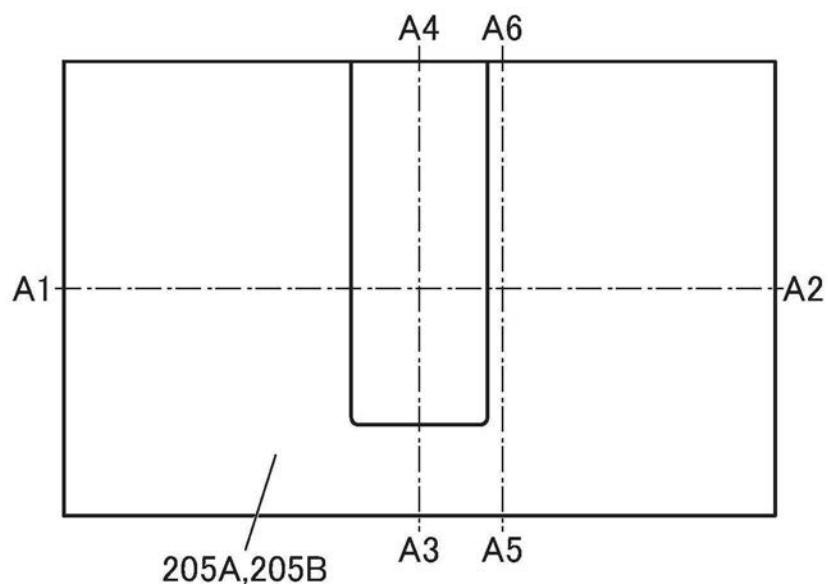


图4A

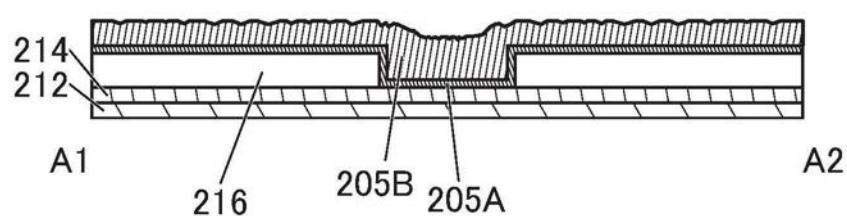


图4B

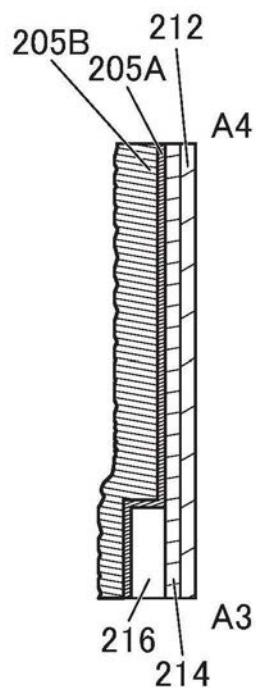


图4C

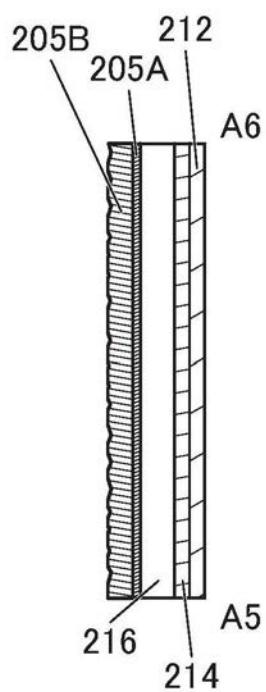


图4D

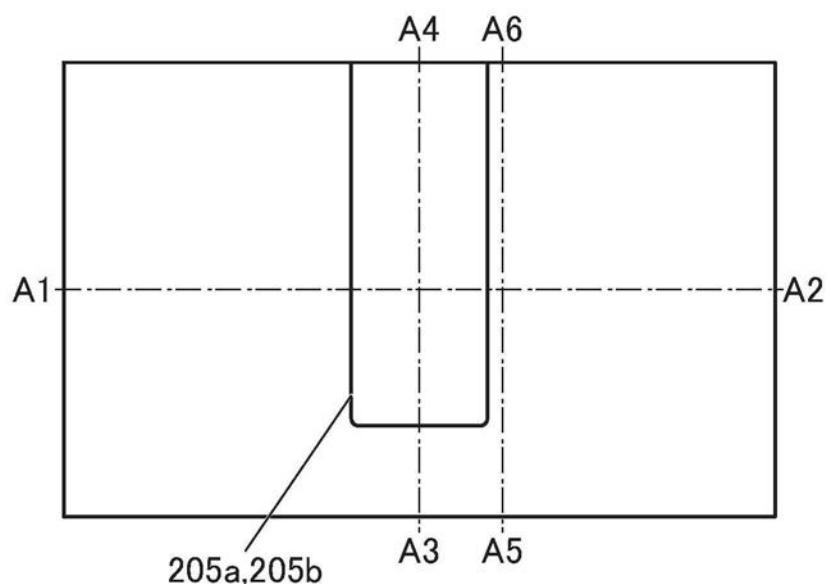


图5A

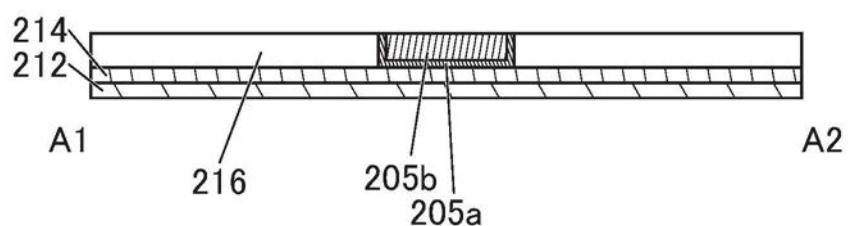


图5B

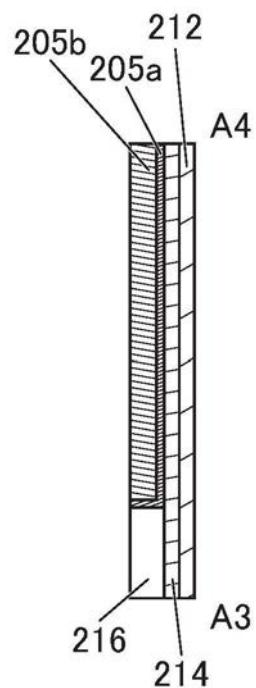


图5C

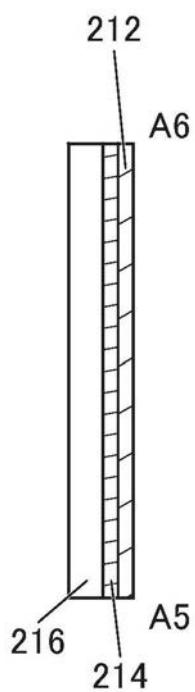


图5D

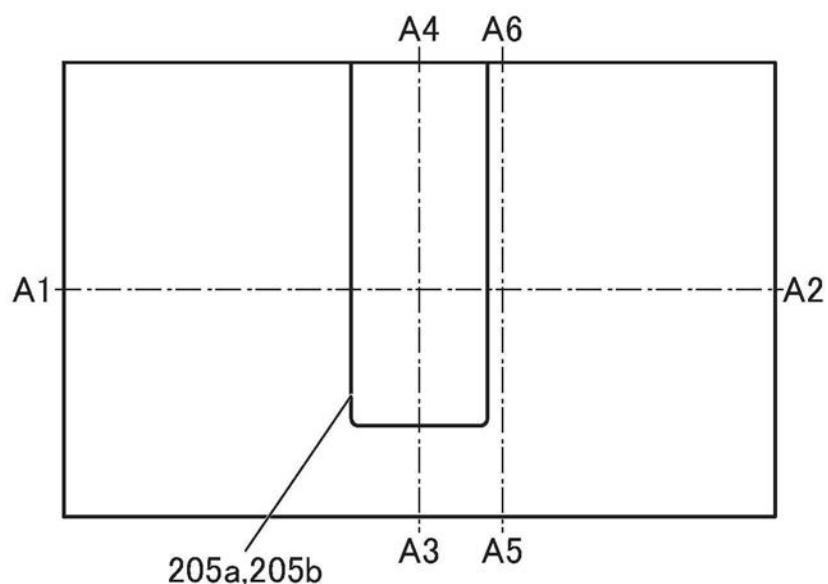


图6A

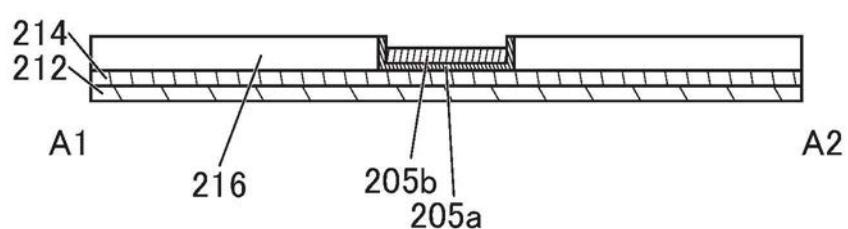


图6B

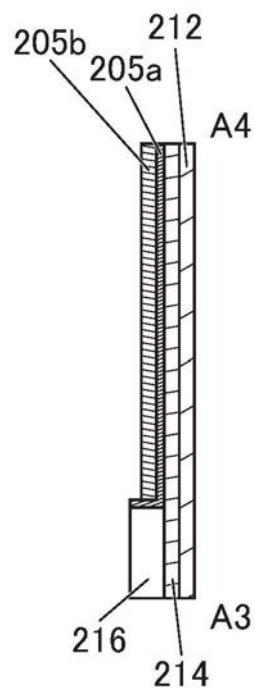


图6C

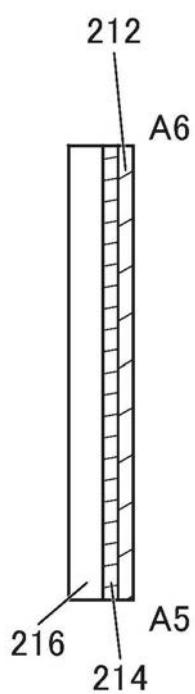


图6D

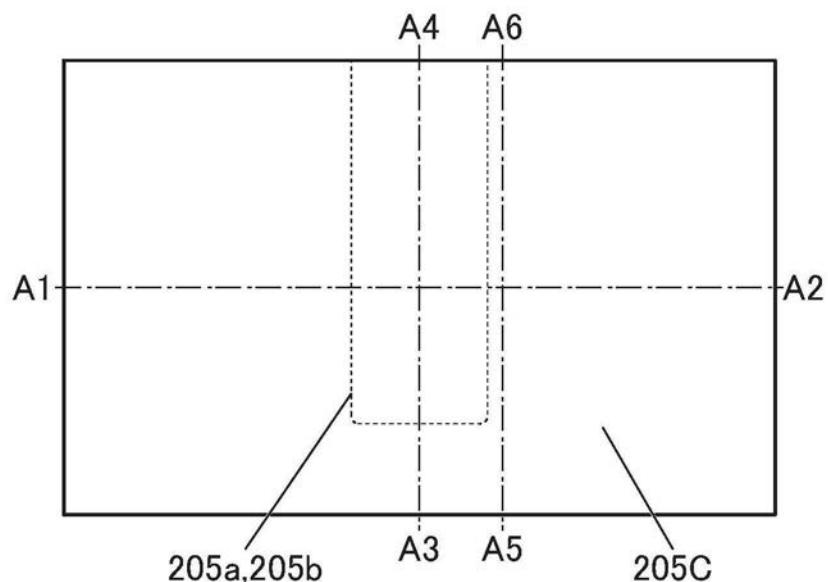


图7A

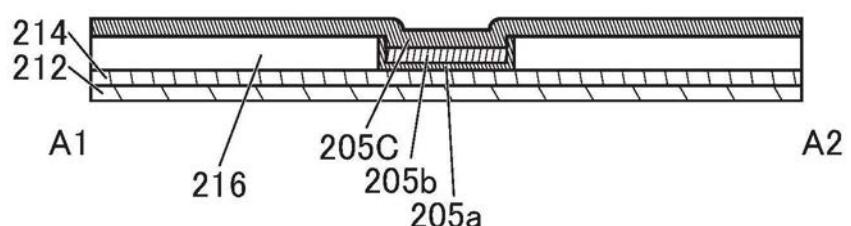


图7B

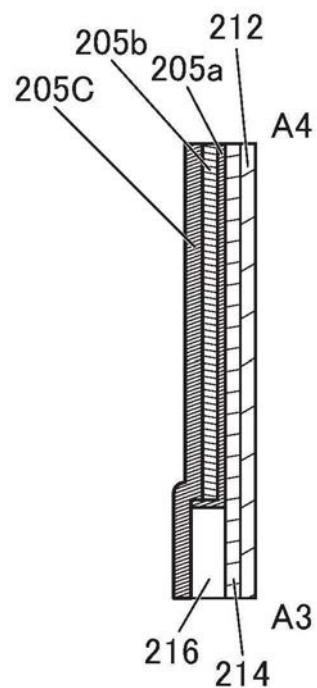


图7C

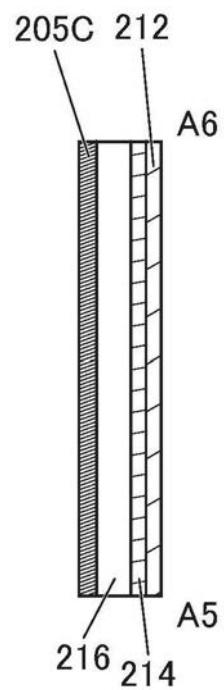


图7D

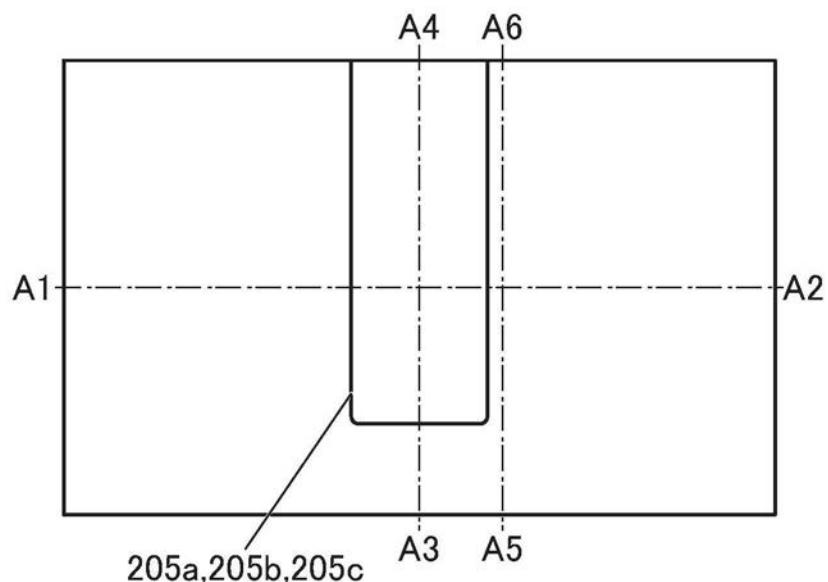


图8A

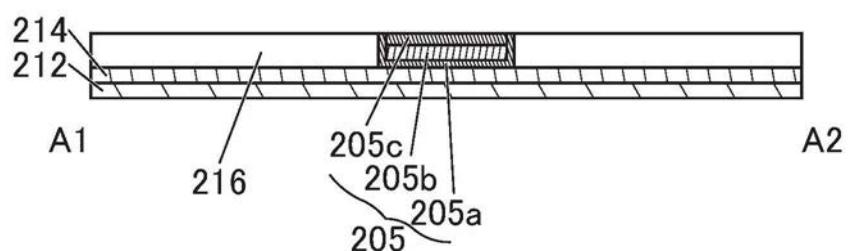


图8B

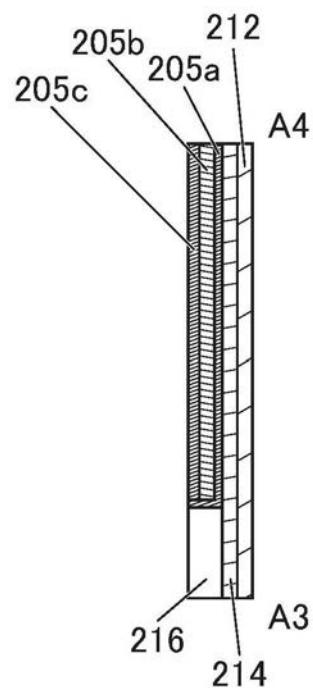


图8C

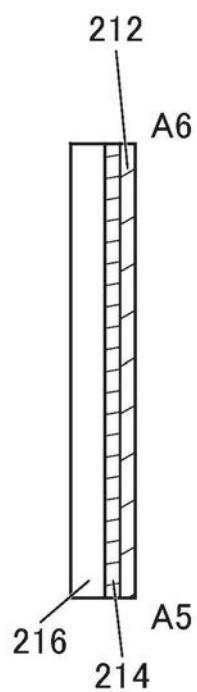


图8D

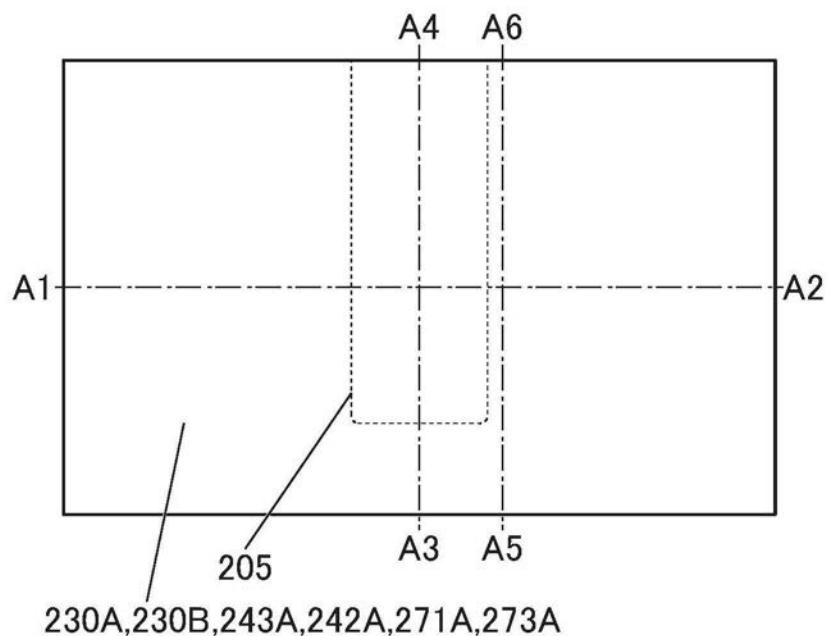


图9A

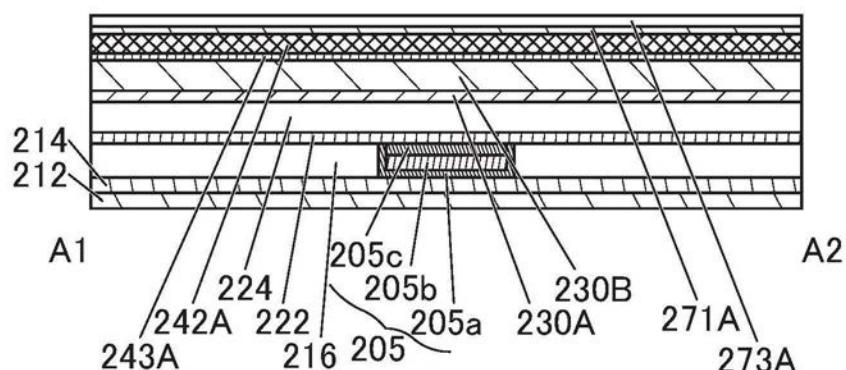


图9B

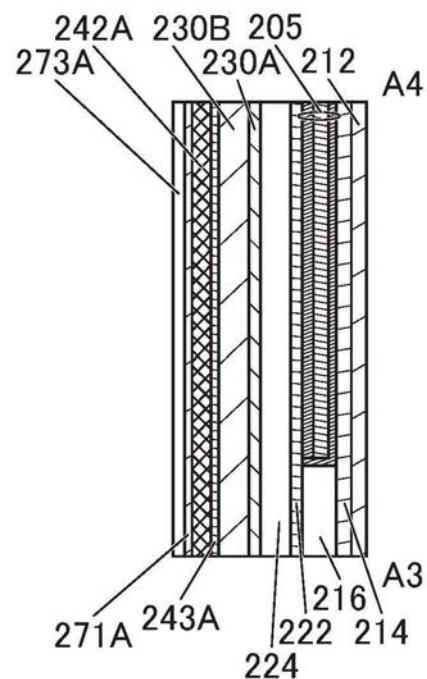


图9C

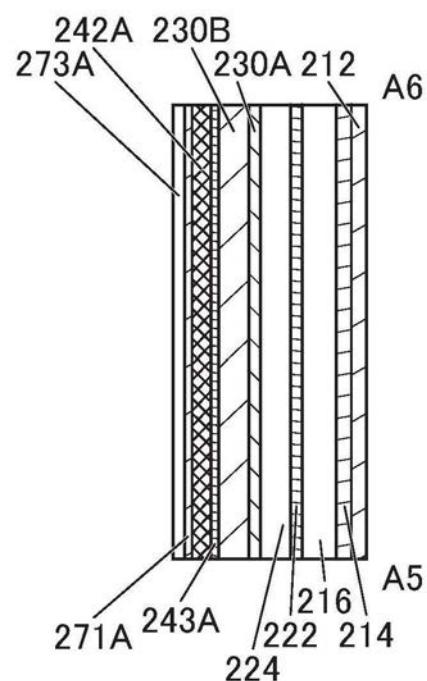


图9D

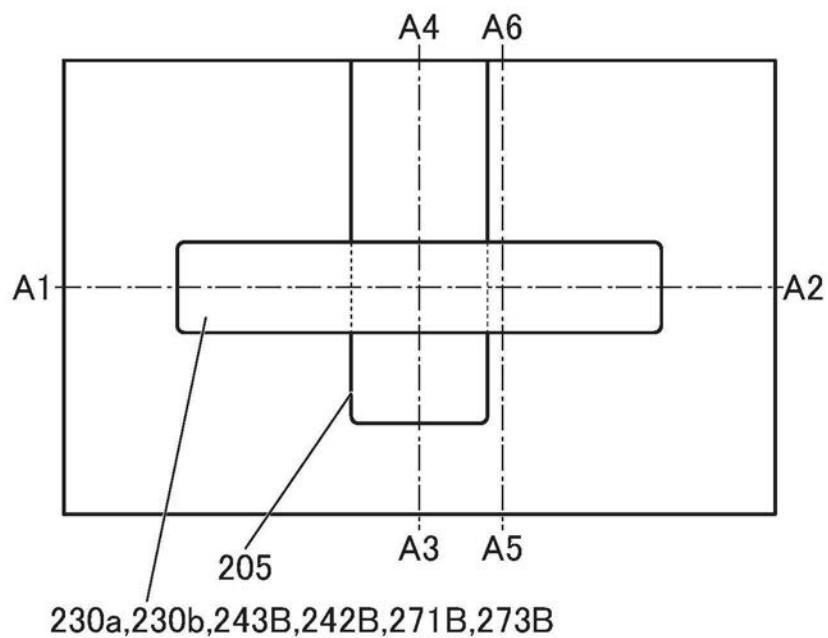


图10A

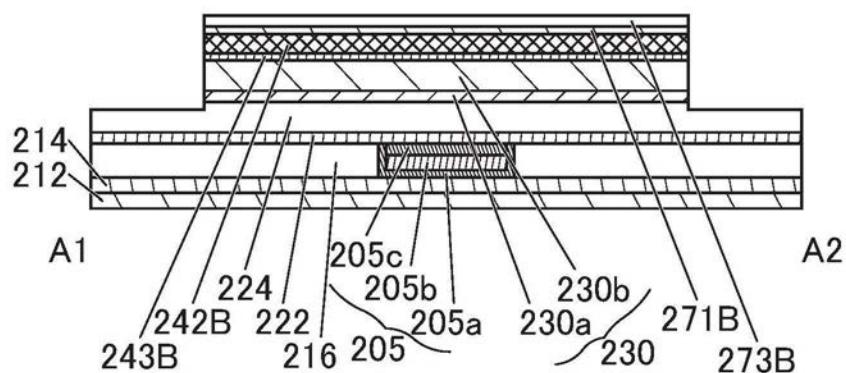


图10B

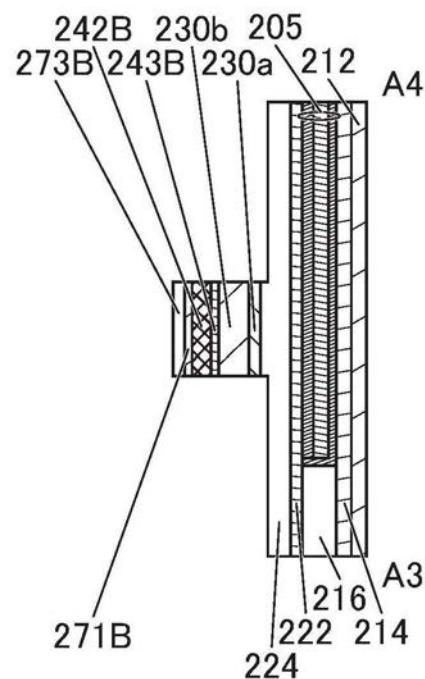


图10C

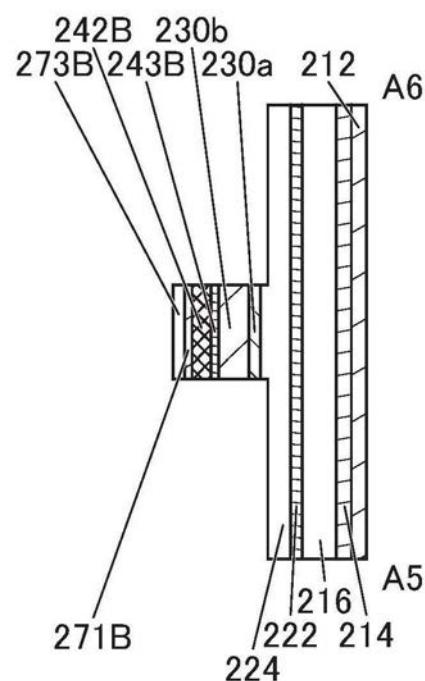


图10D

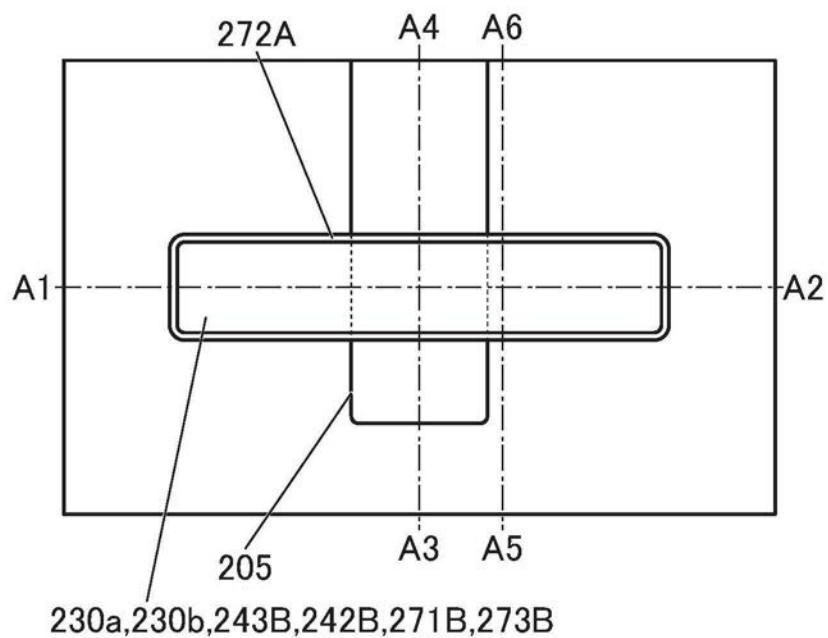


图11A

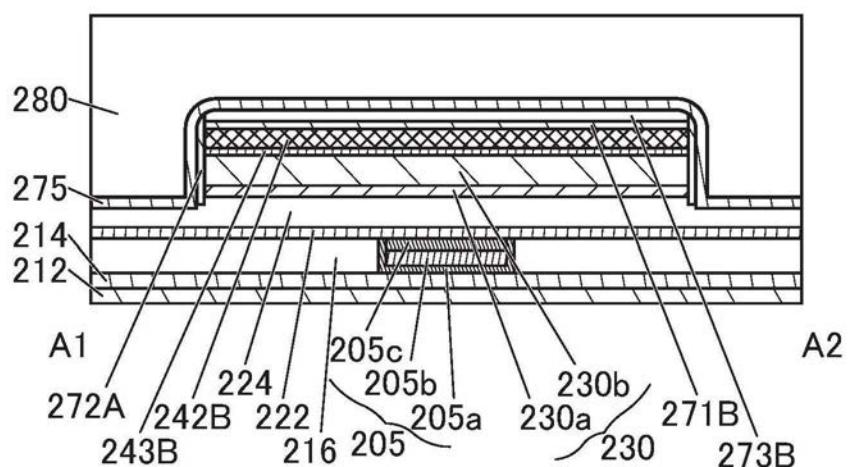


图11B

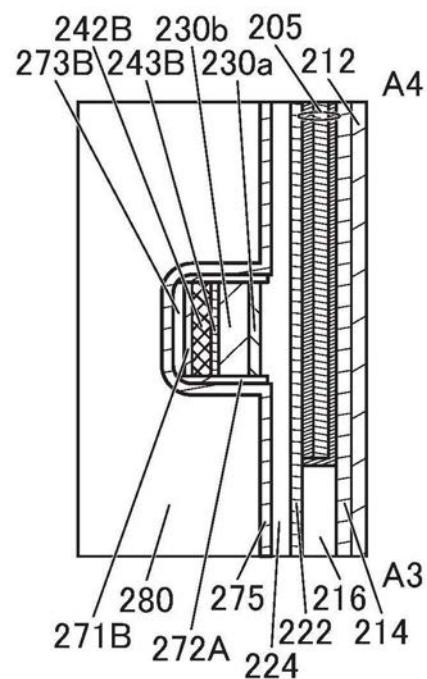


图11C

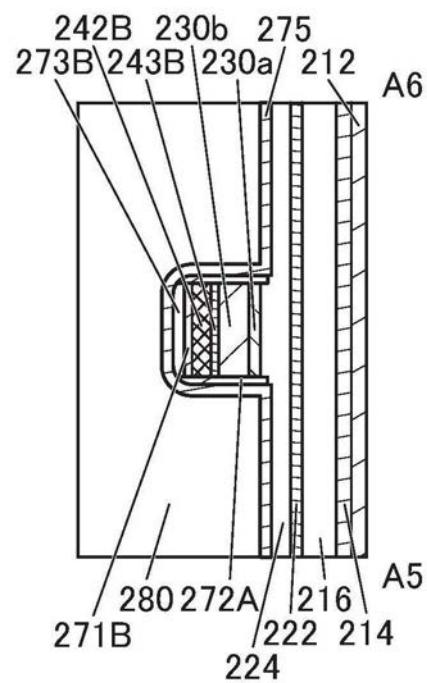


图11D

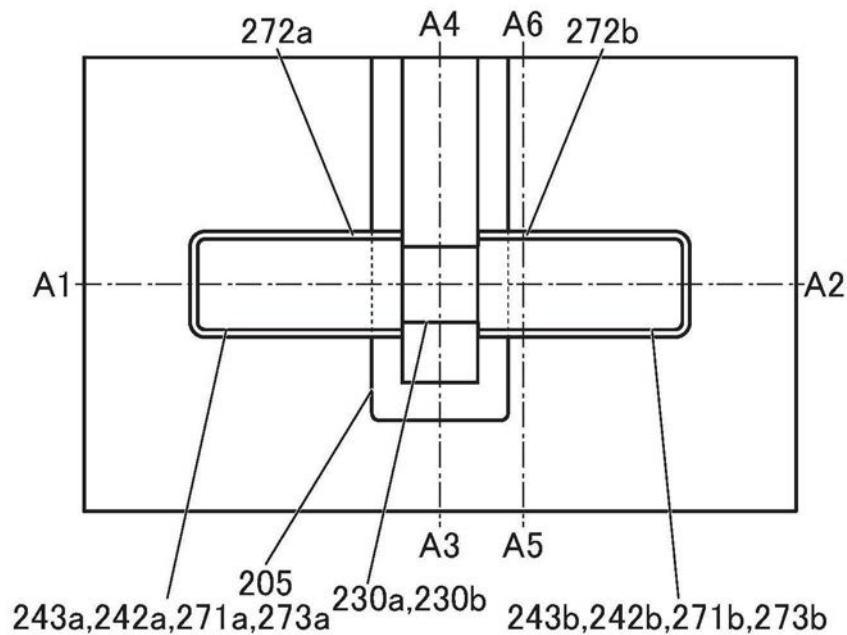


图12A

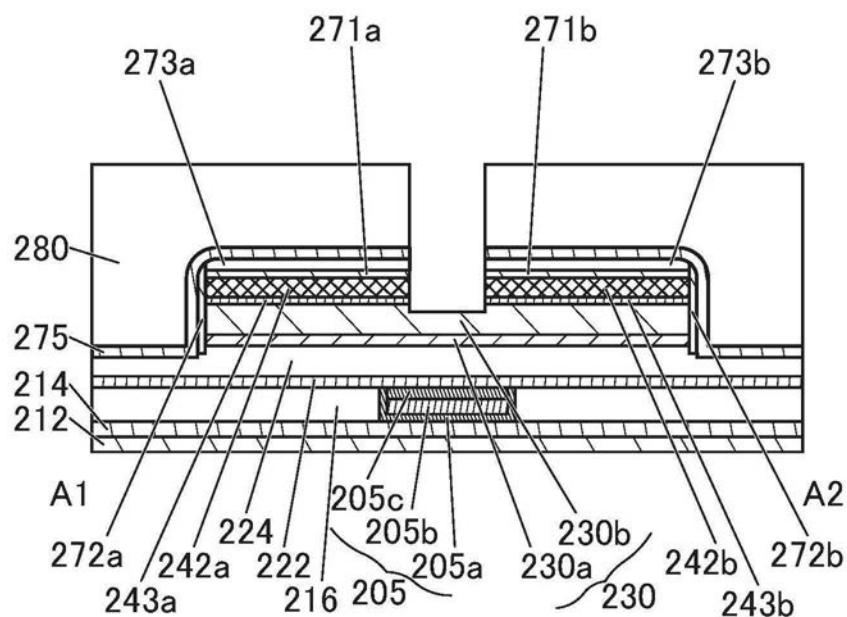


图12B

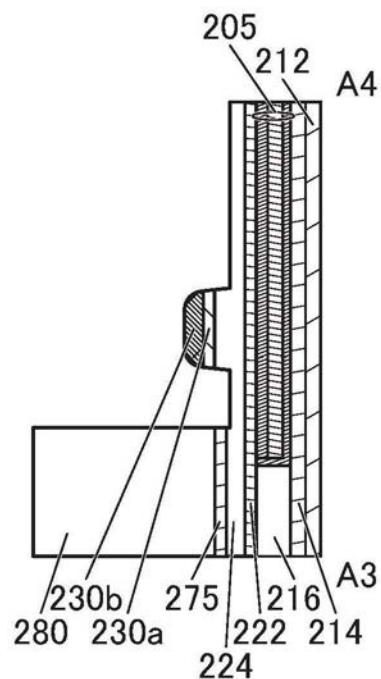


图12C

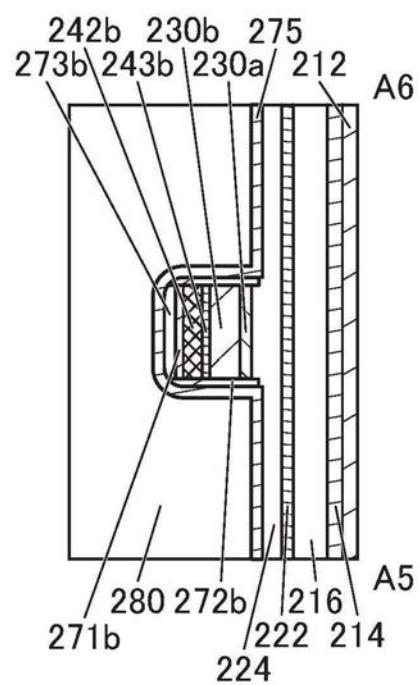


图12D

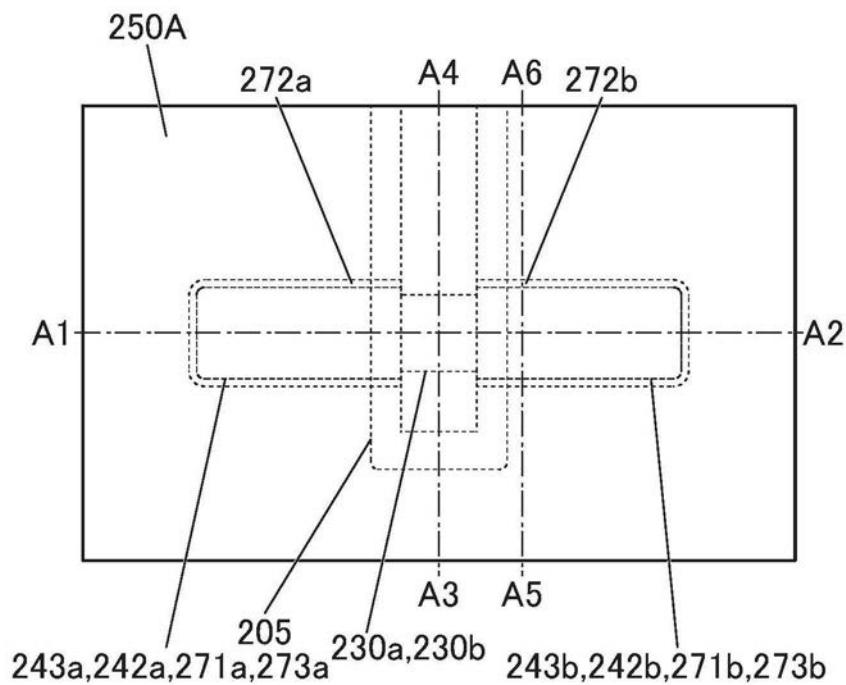


图13A

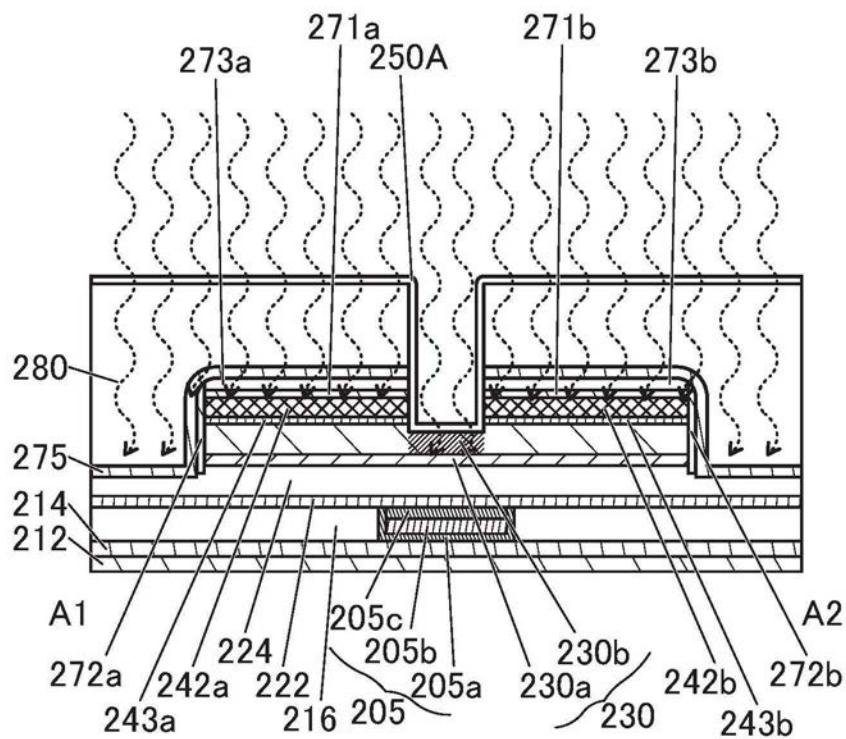


图13B

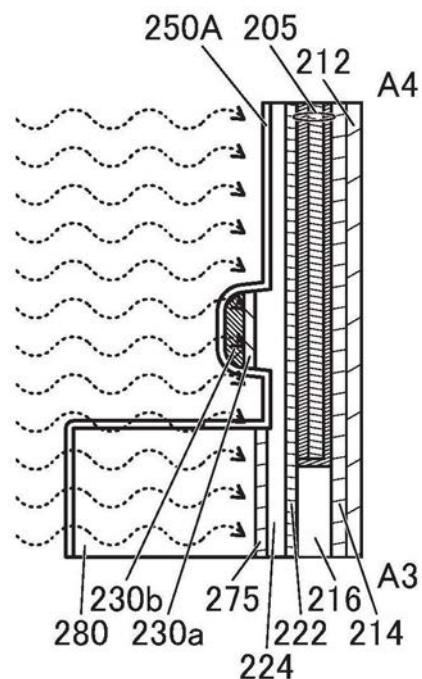


图13C

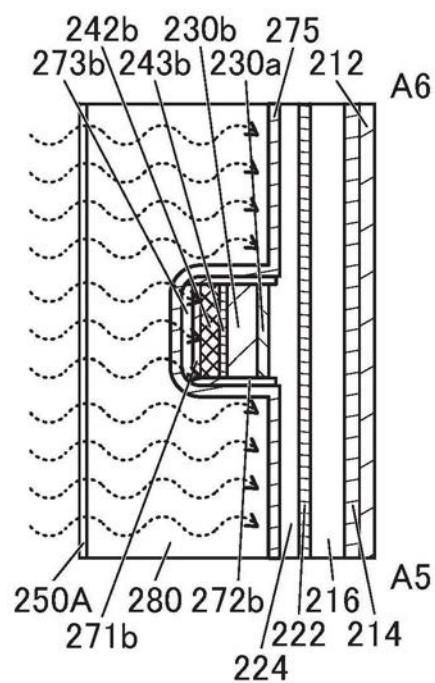


图13D

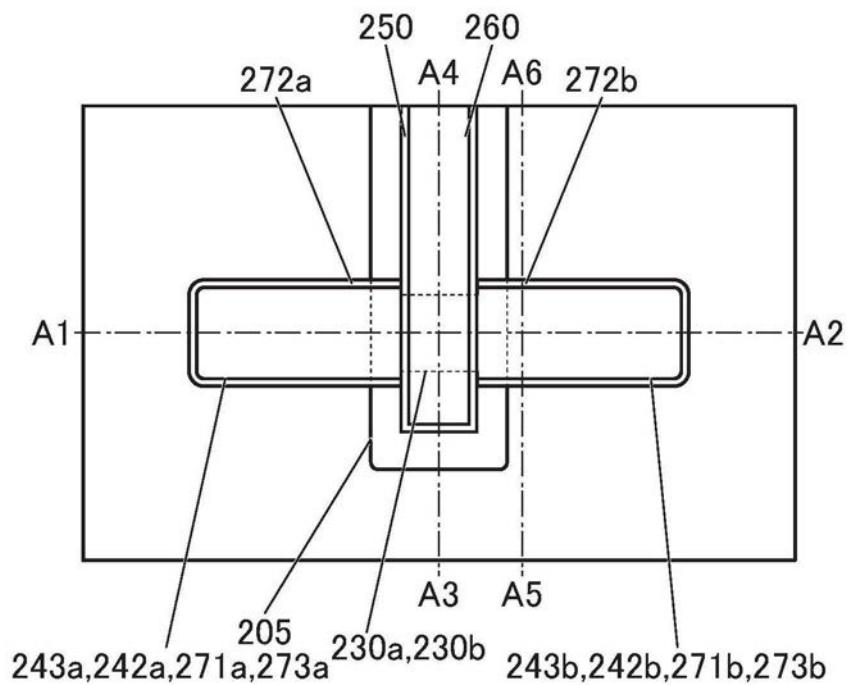


图14A

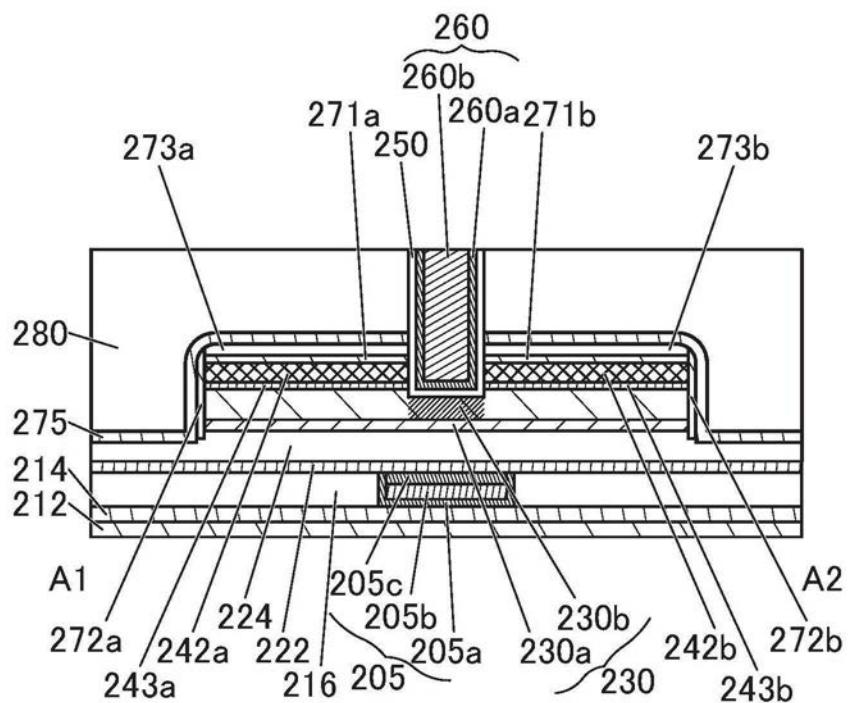


图14B

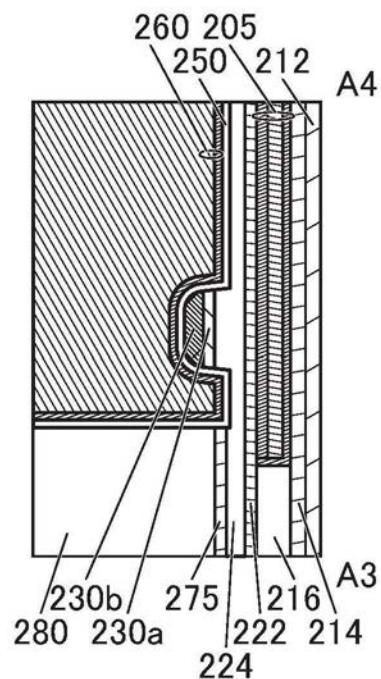


图14C

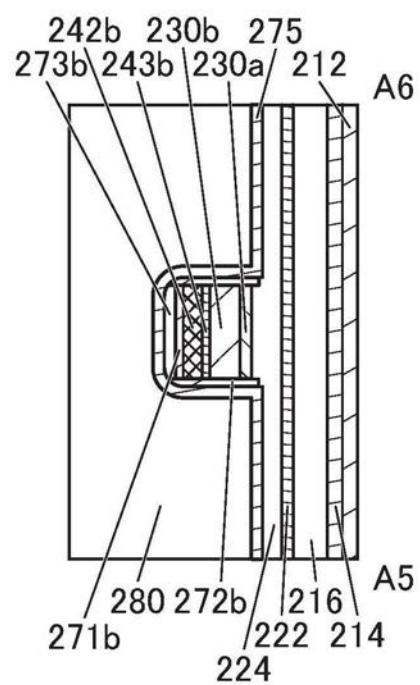


图14D

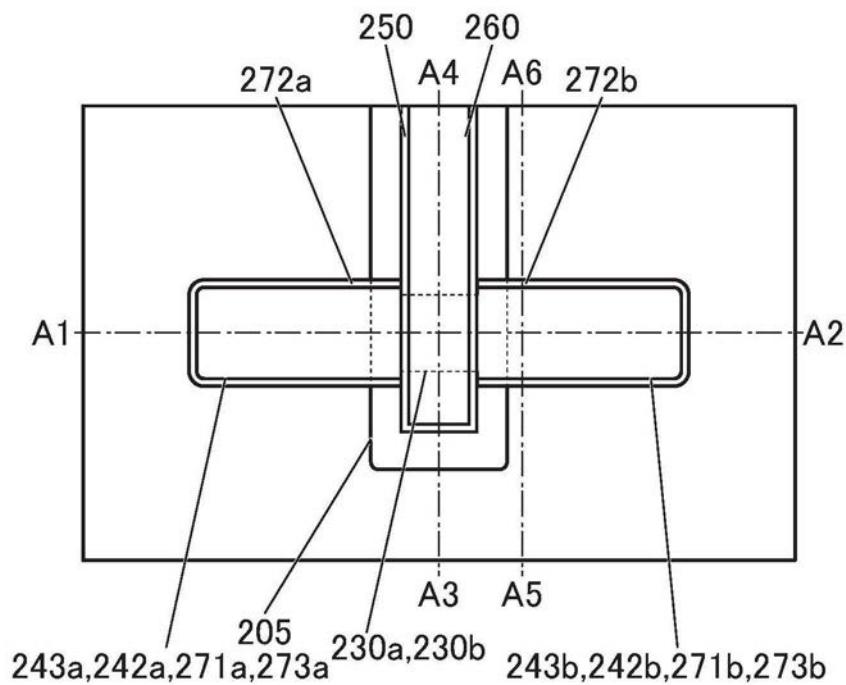


图15A

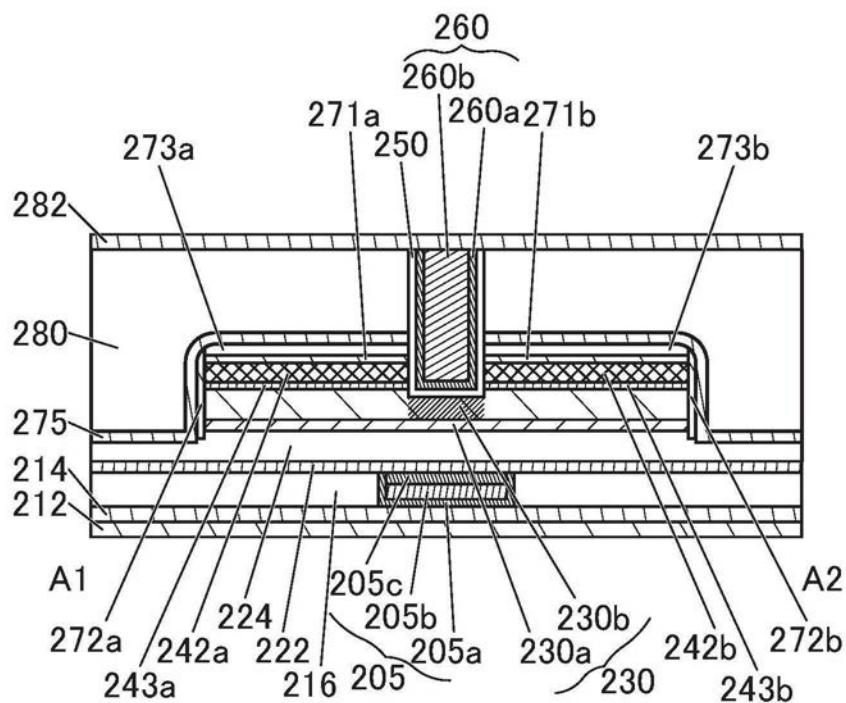


图15B

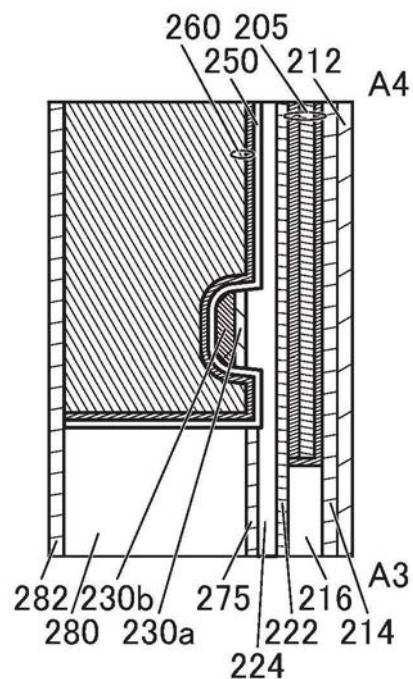


图15C

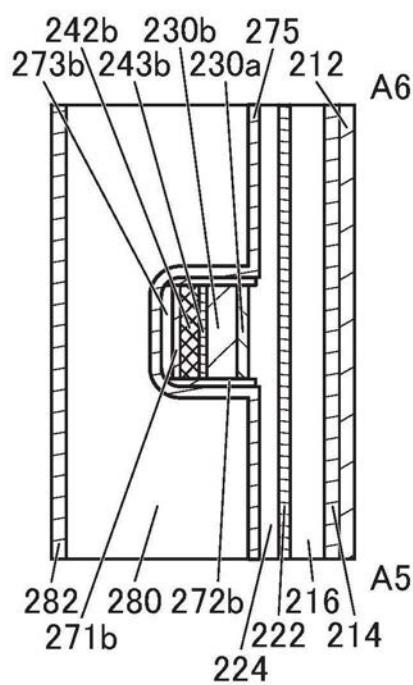


图15D

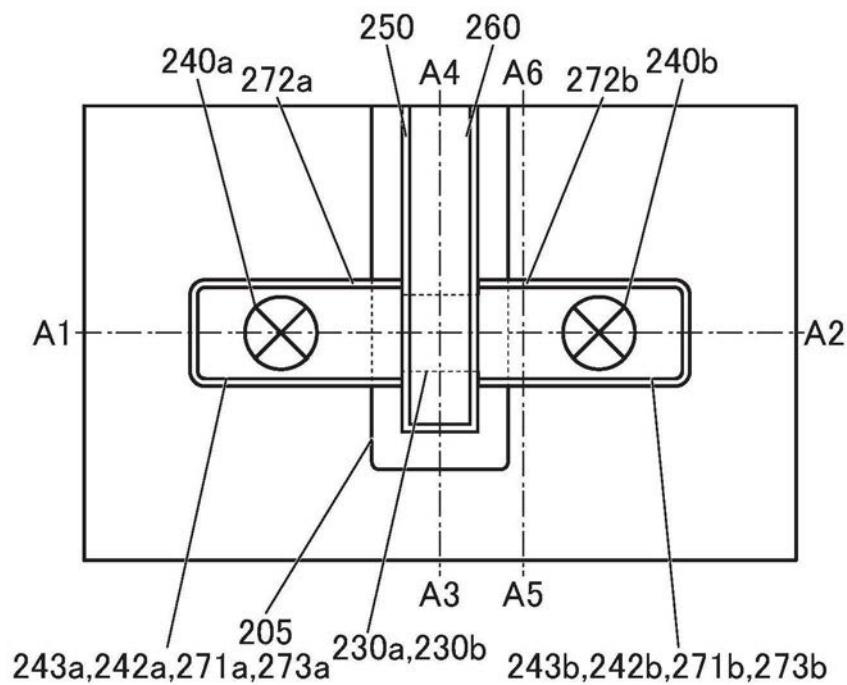


图16A

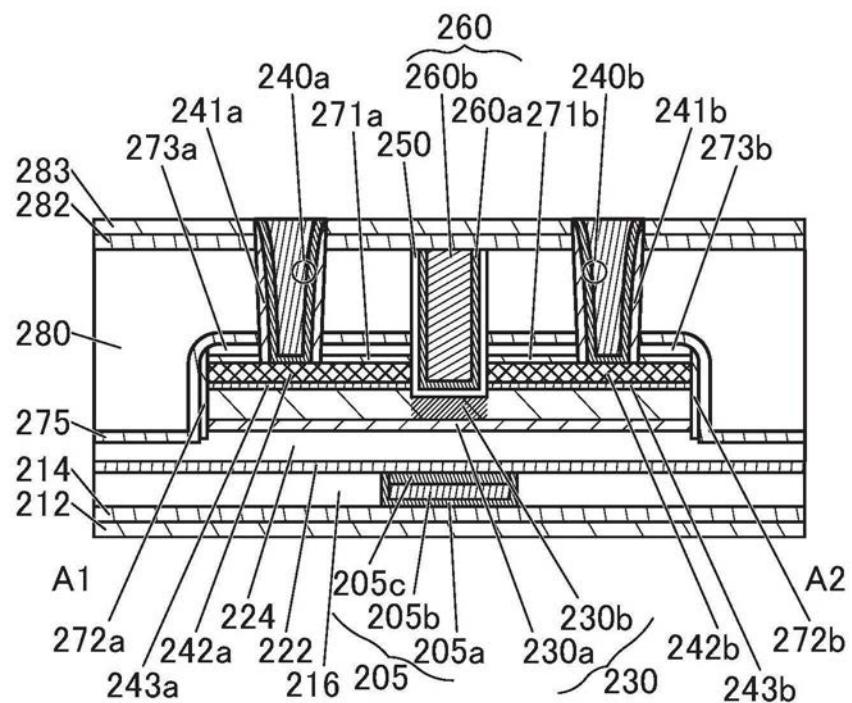


图16B

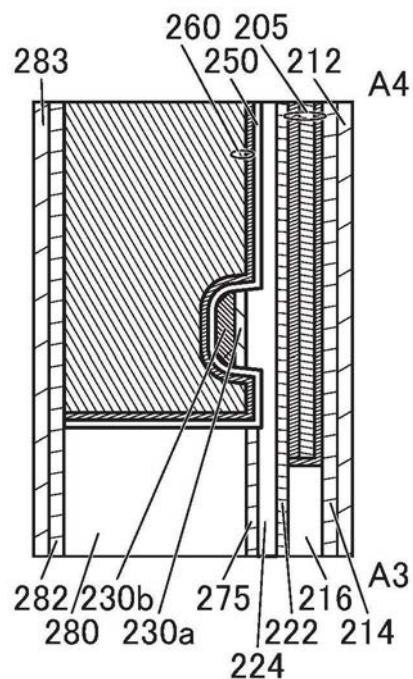


图16C

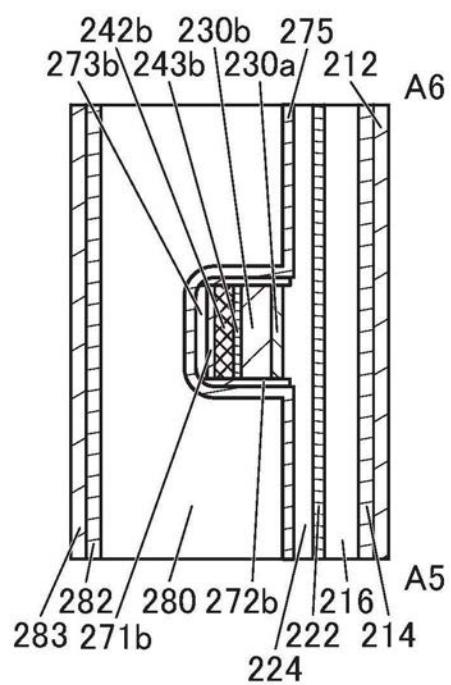


图16D

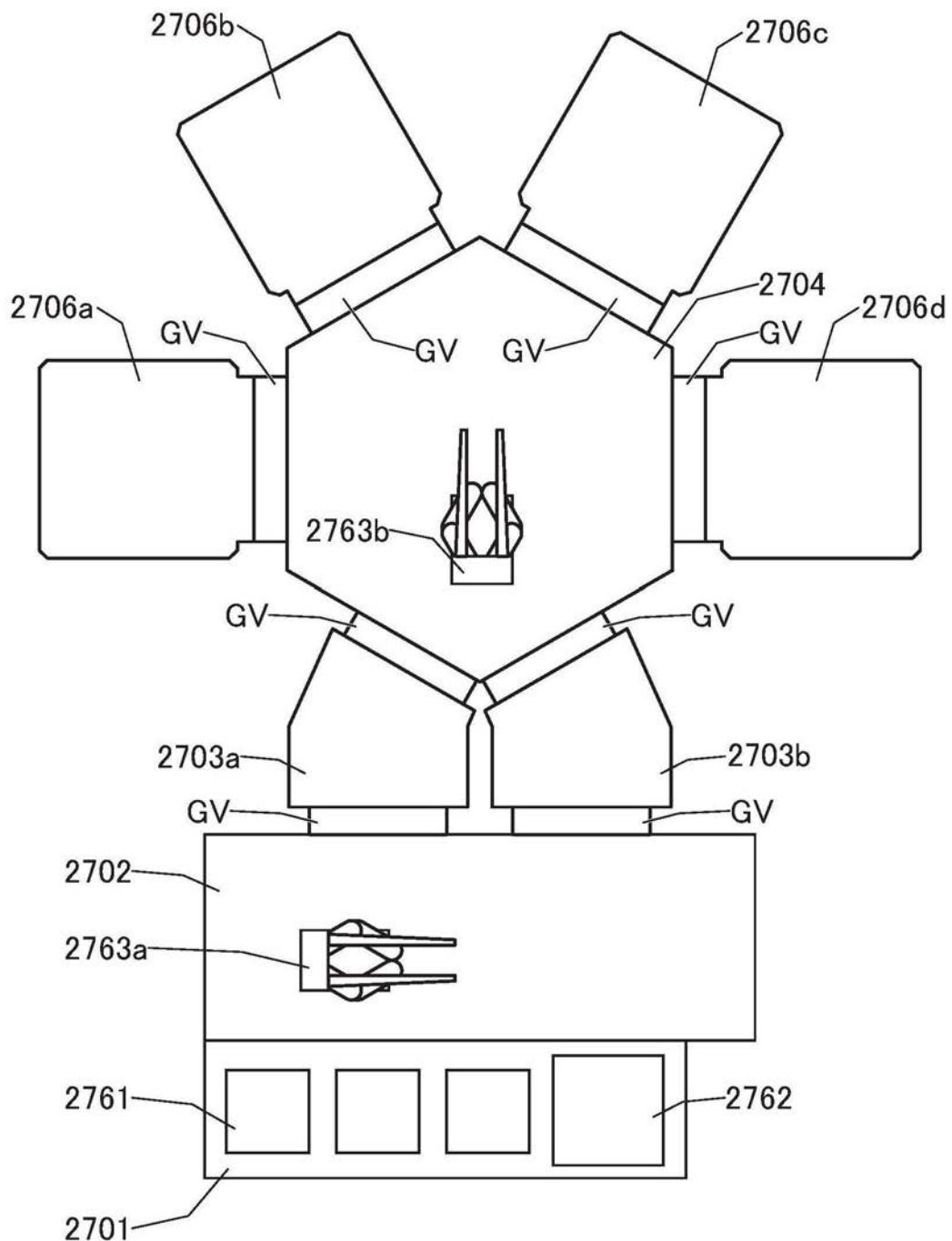
2700

图17

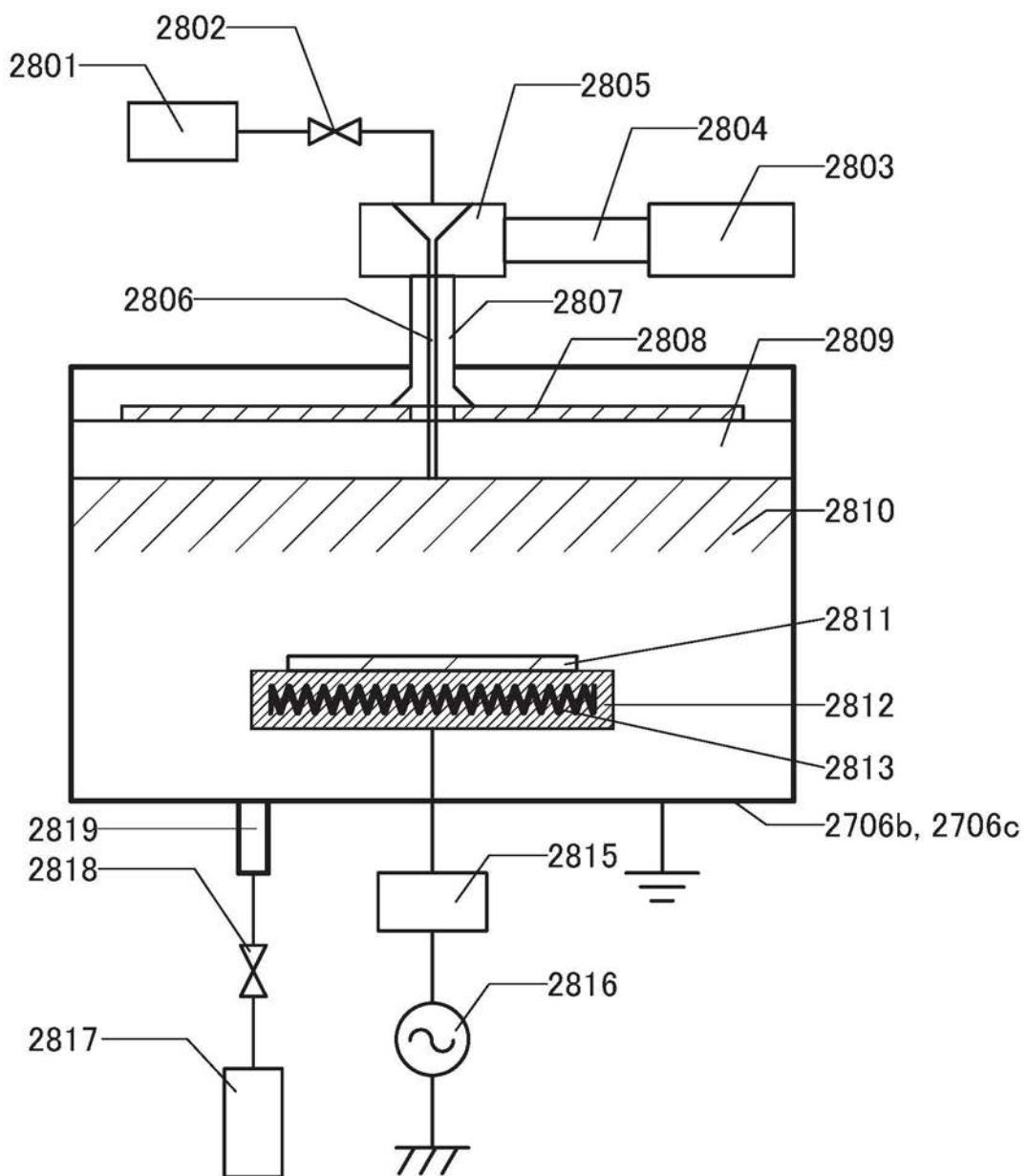


图18

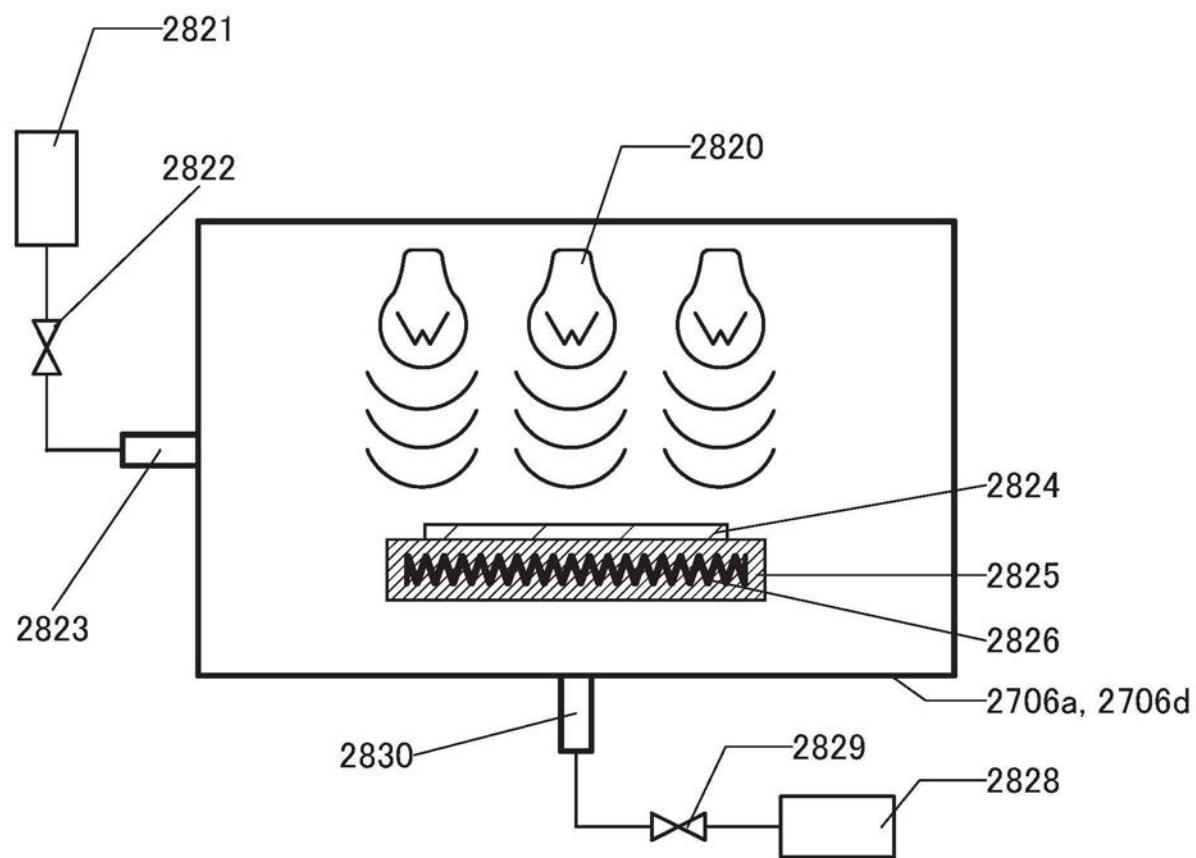


图19

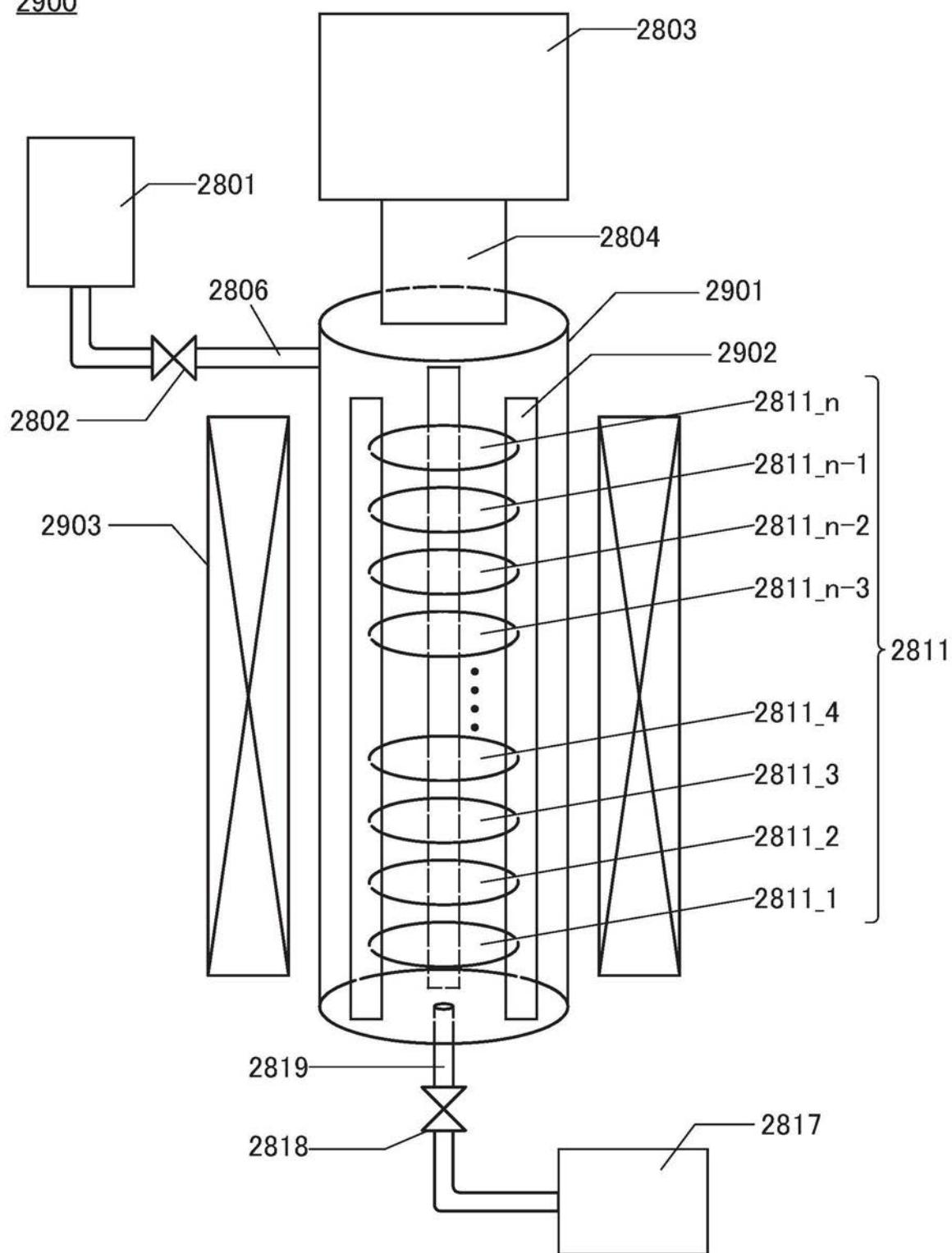
2900

图20

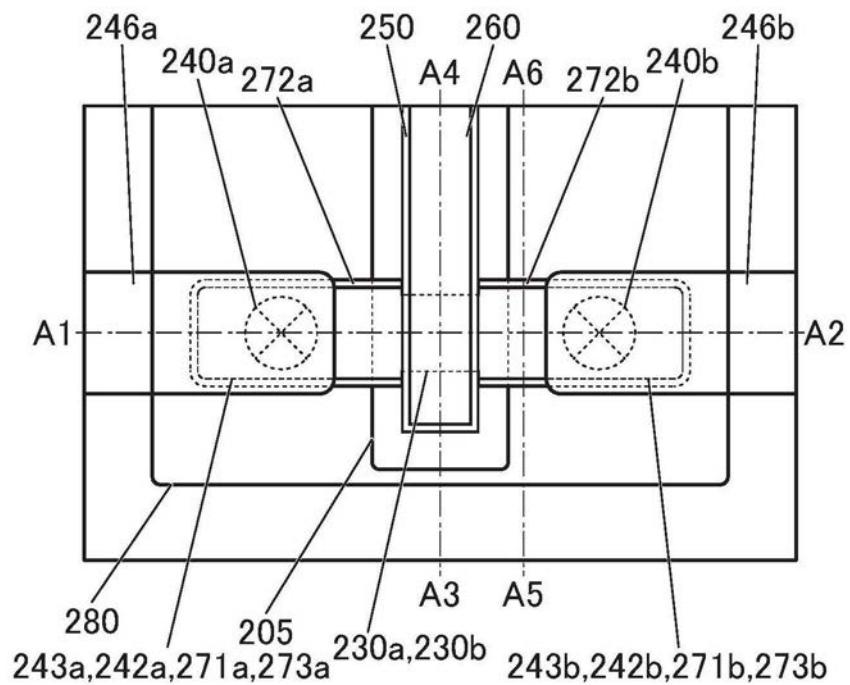


图21A

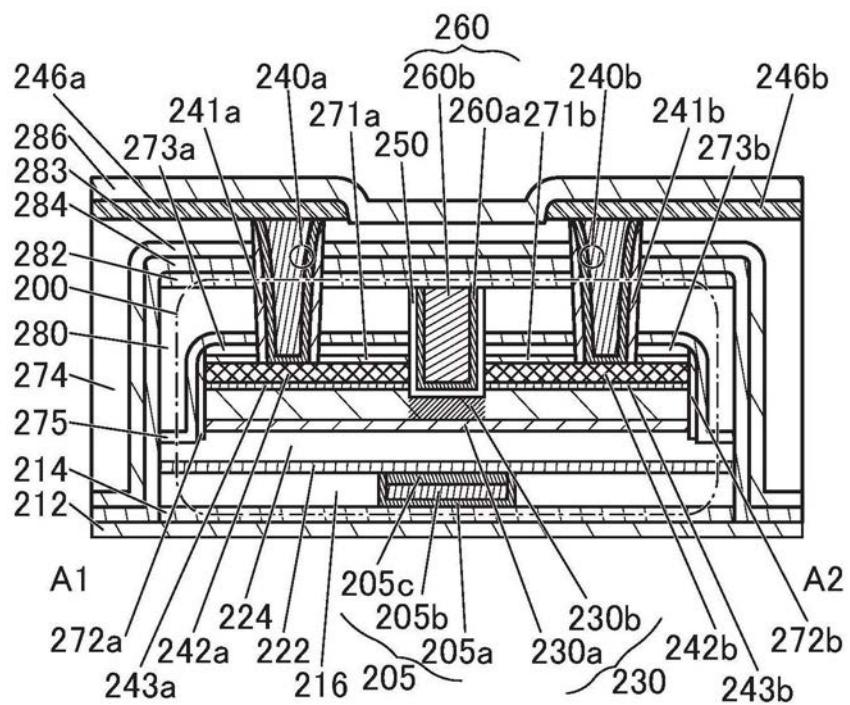


图21B

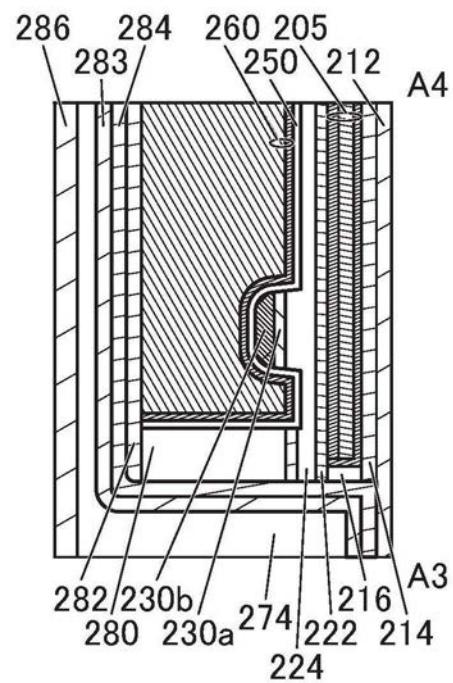


图21C

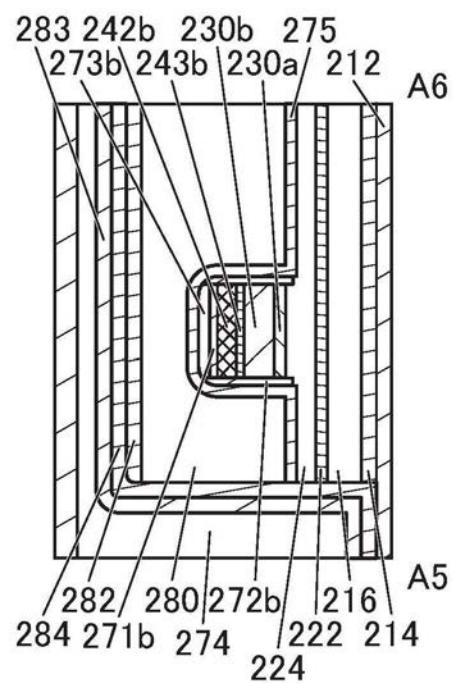


图21D

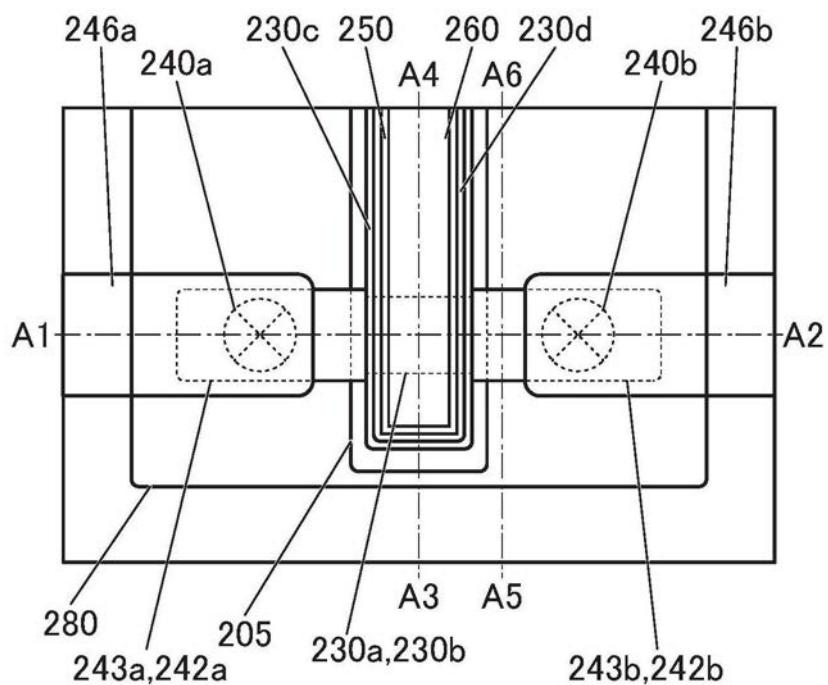


图22A

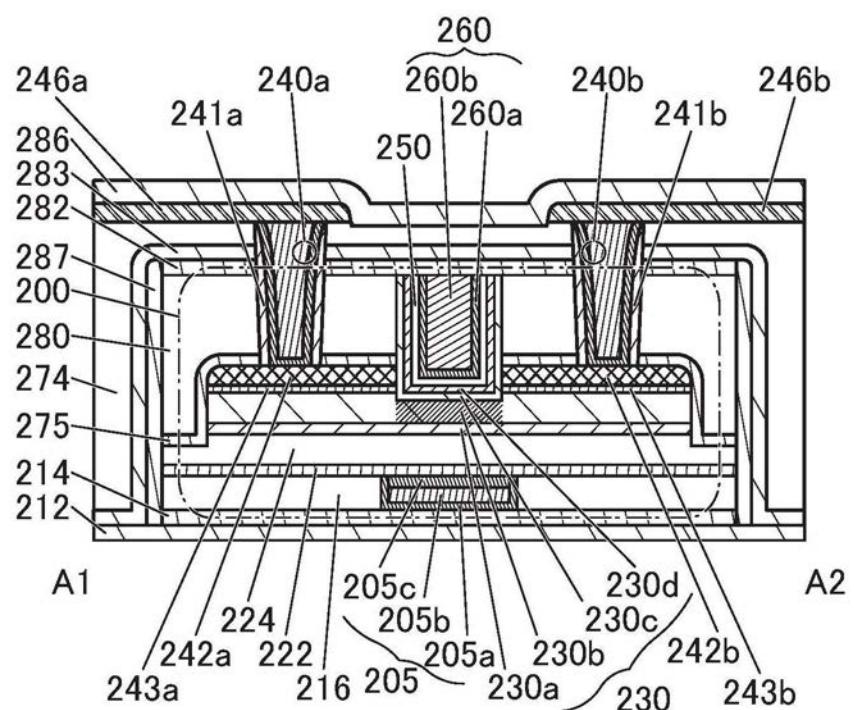


图22B

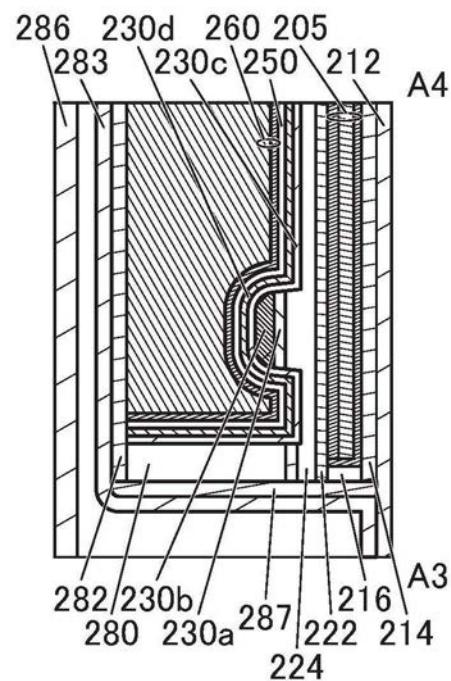


图22C

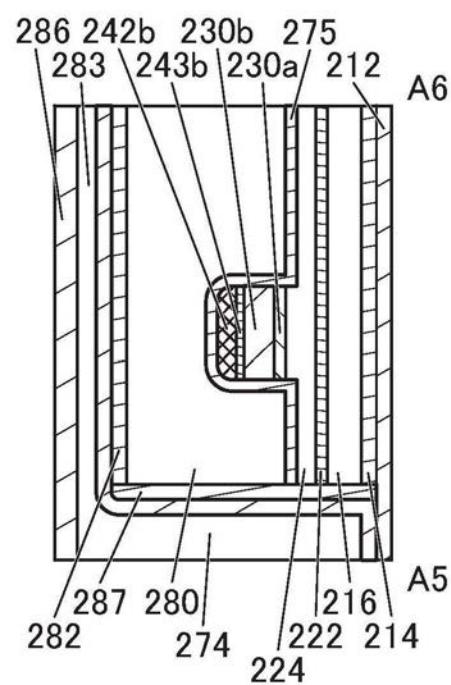


图22D

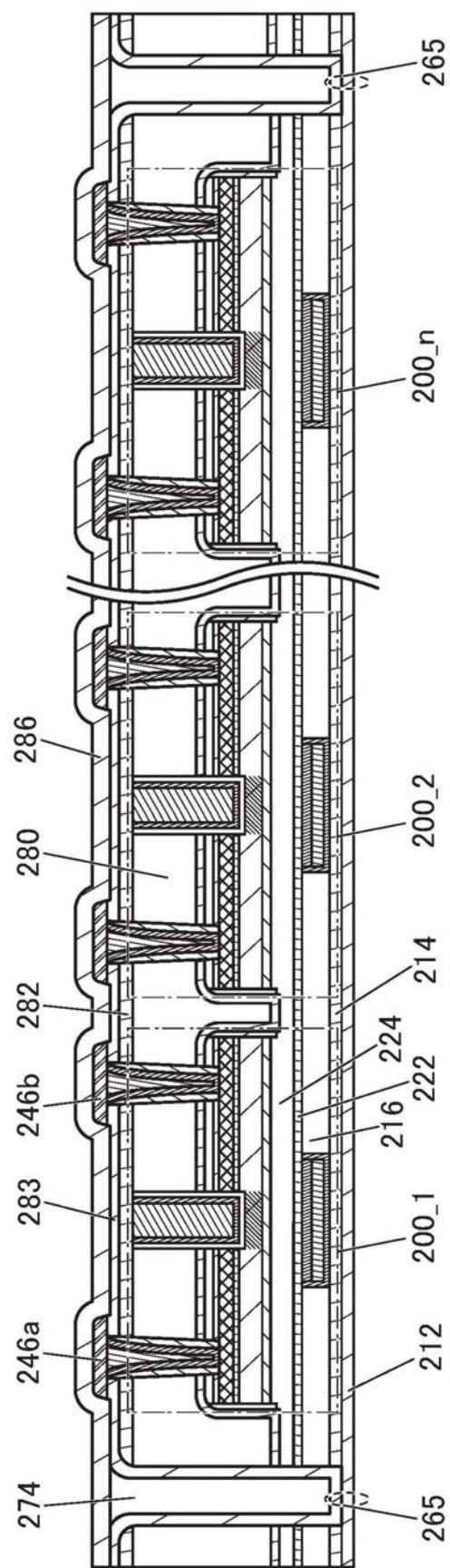


图23A

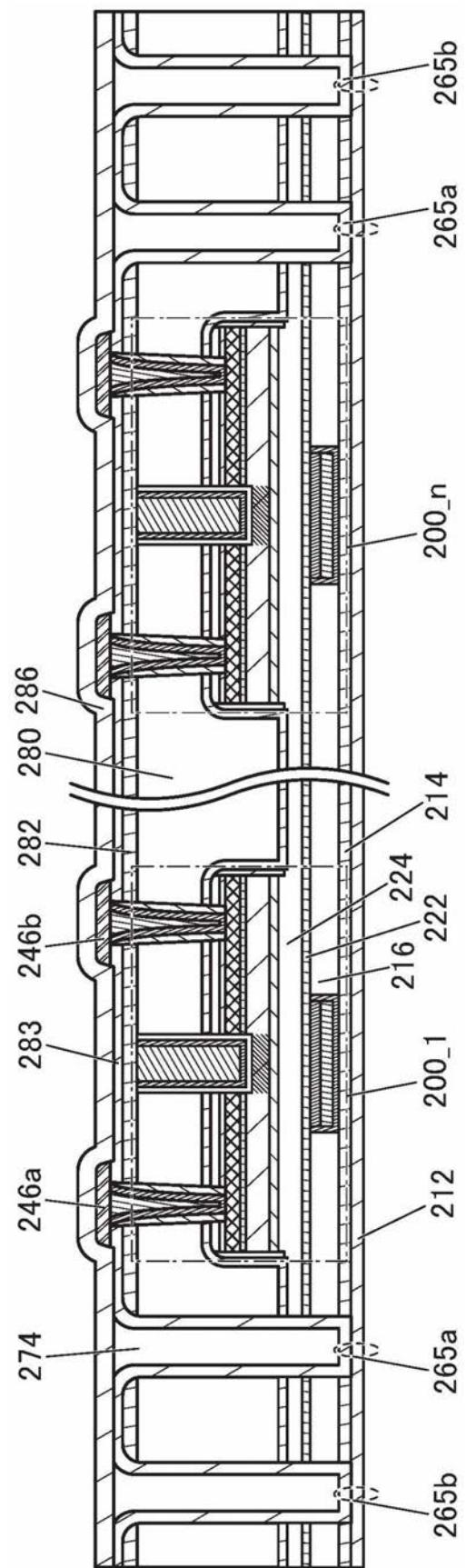


图23B

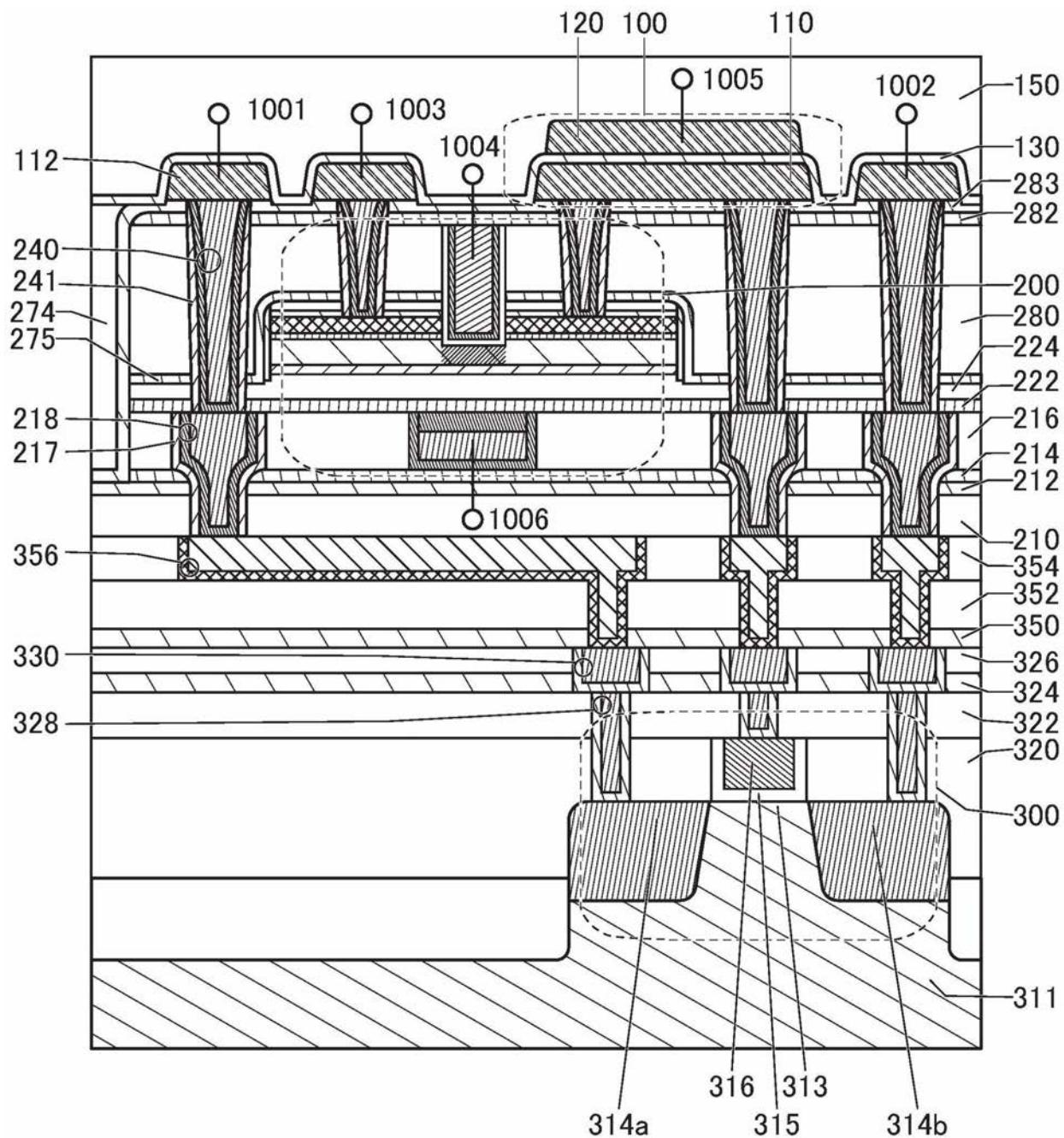


图24

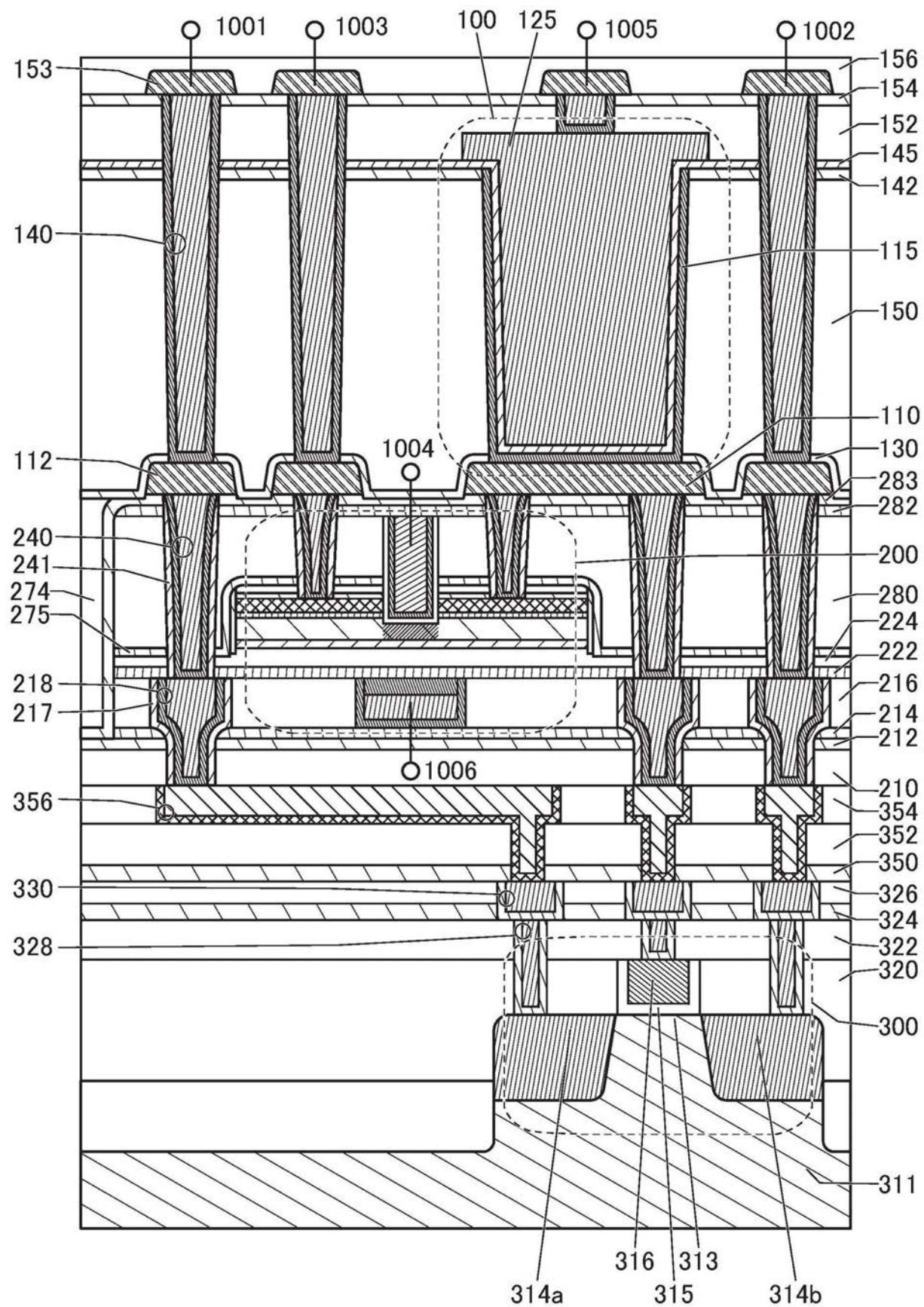


图25

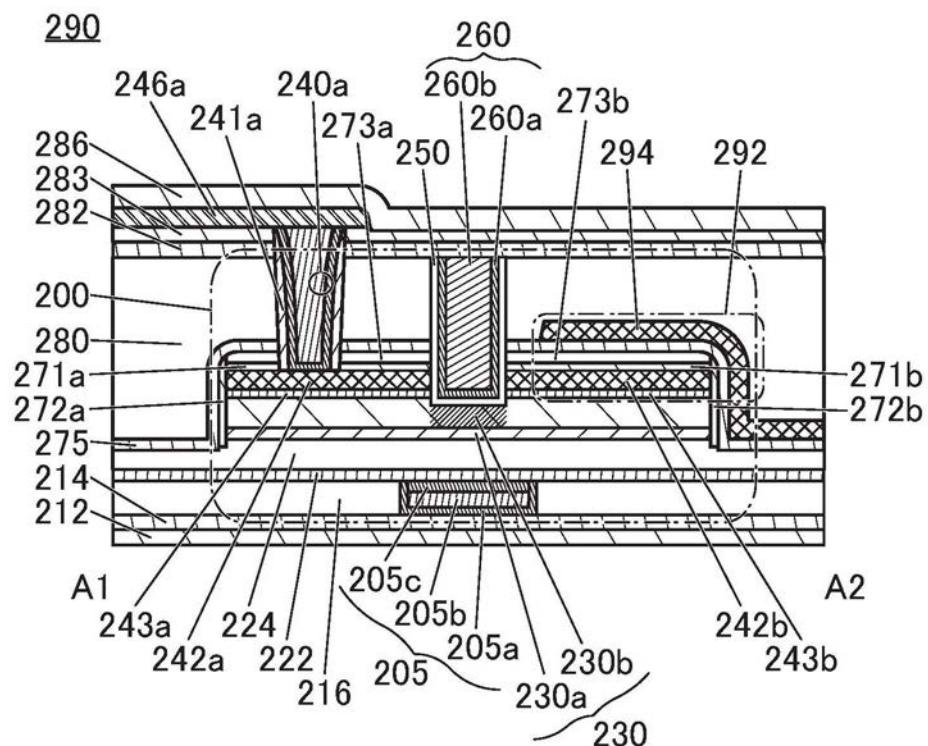


图26

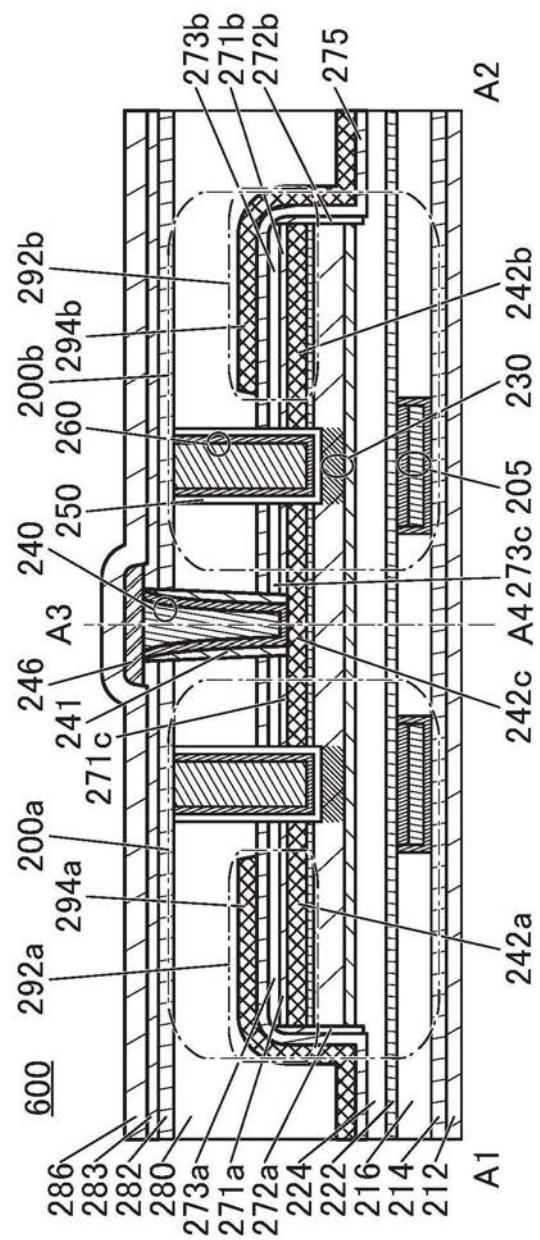


图27A

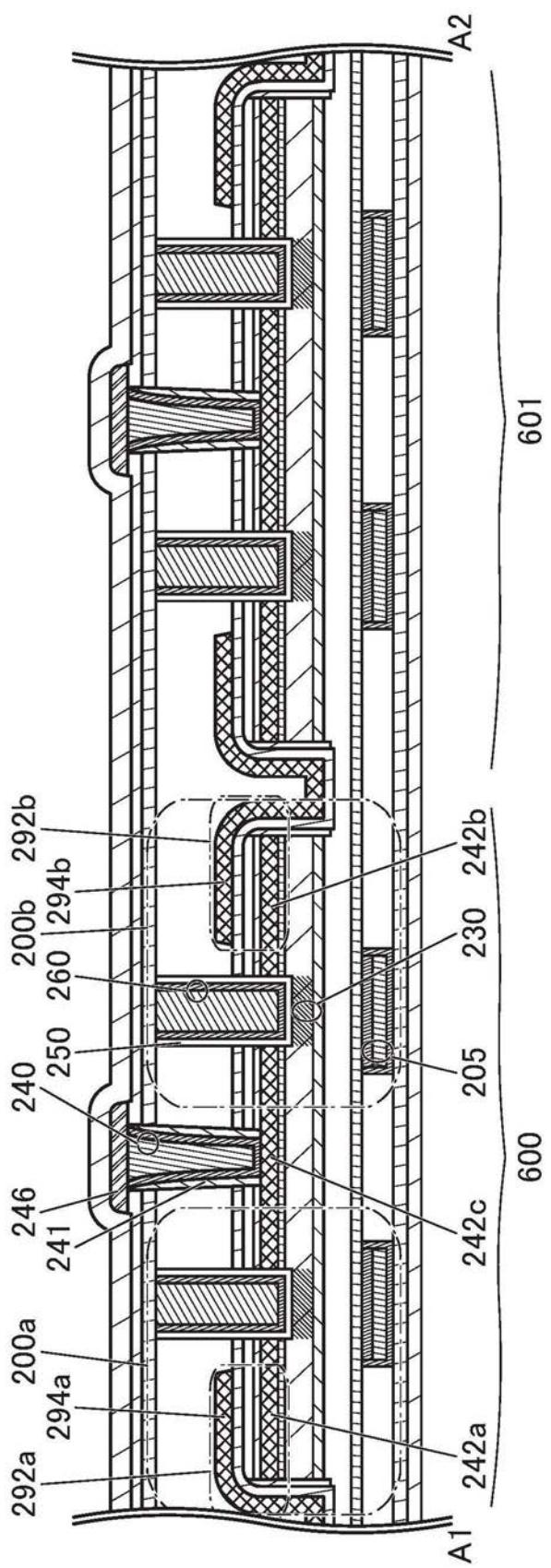


图27B

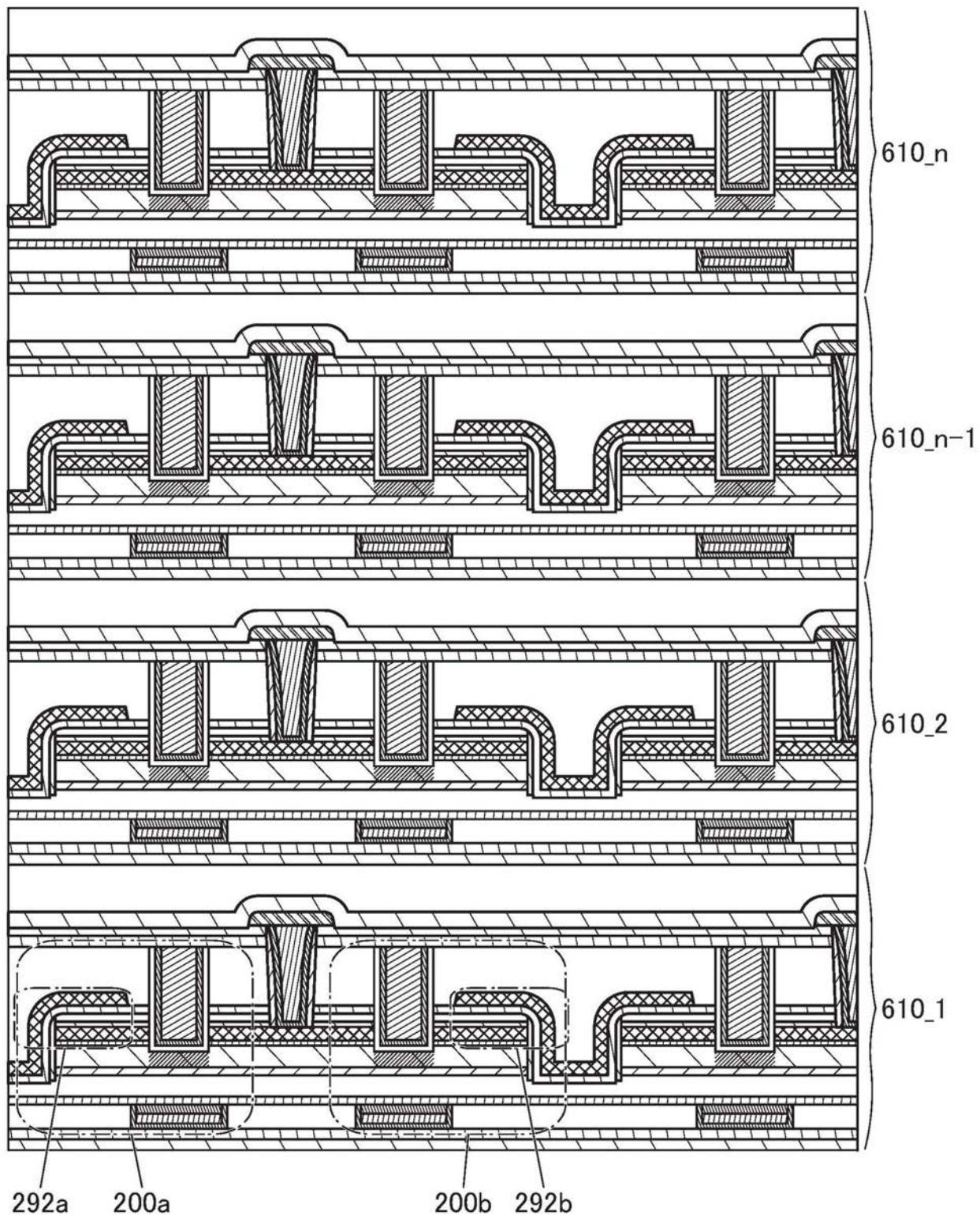


图28

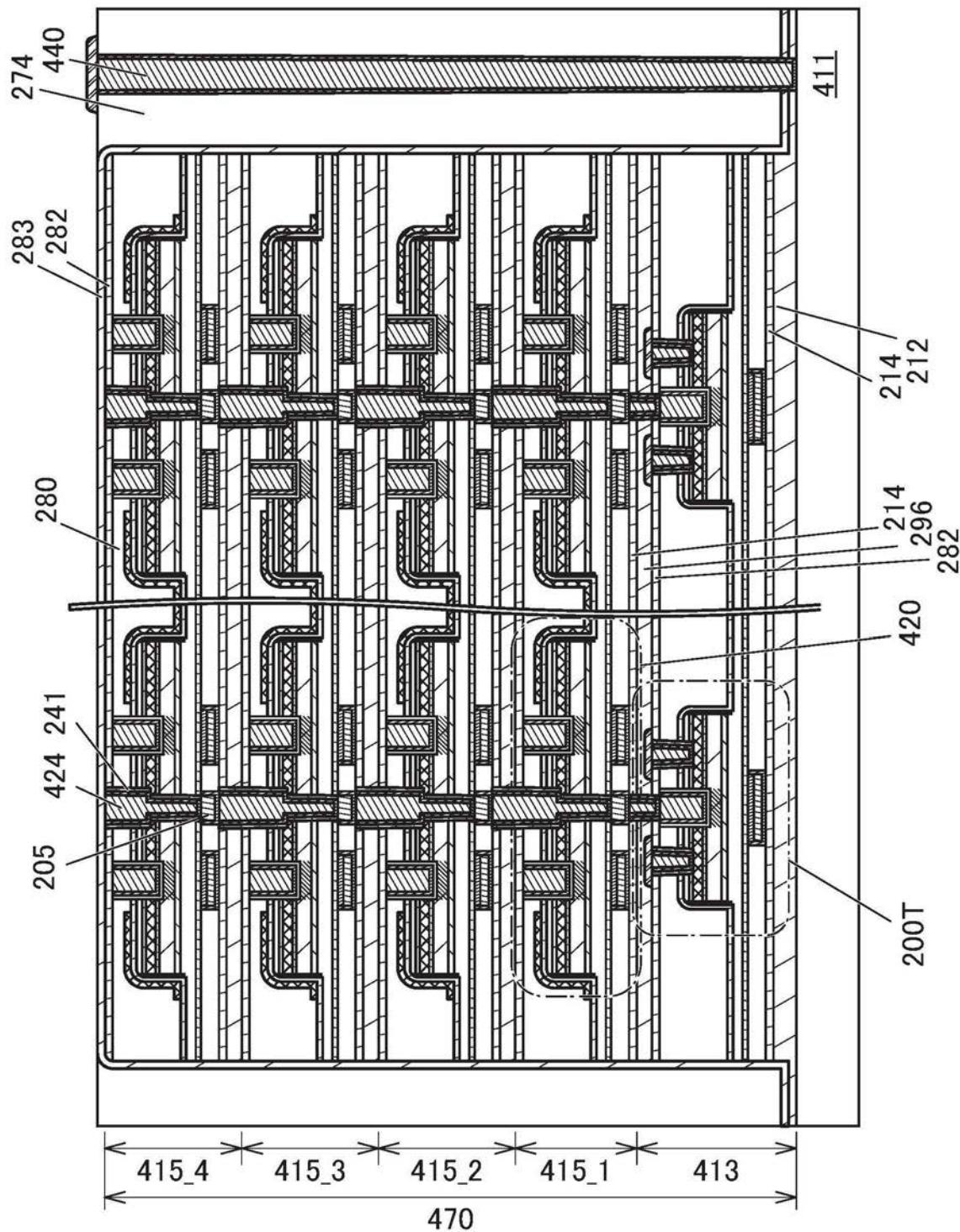


图29

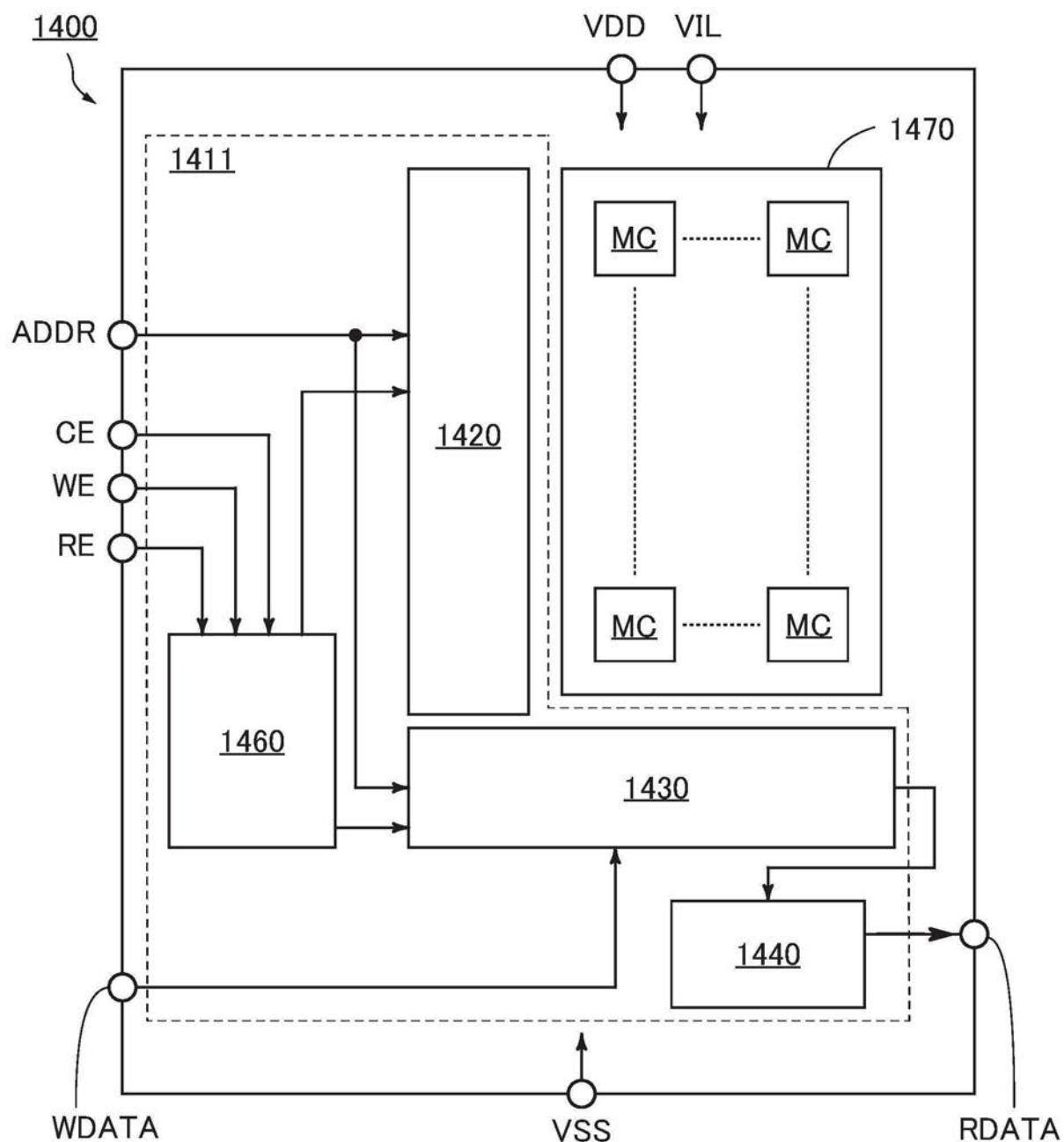


图30A

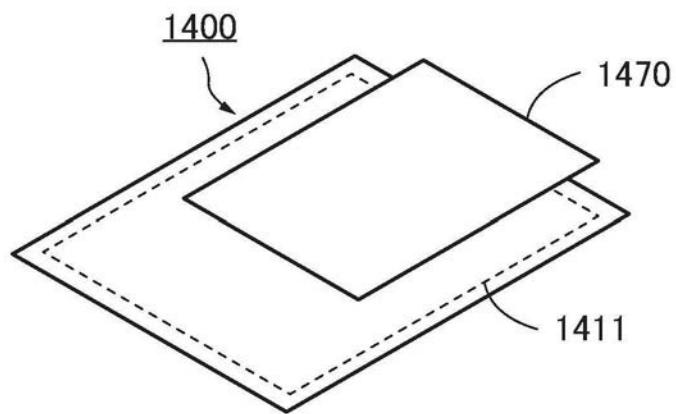


图30B

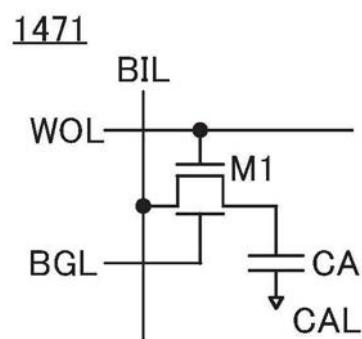


图31A

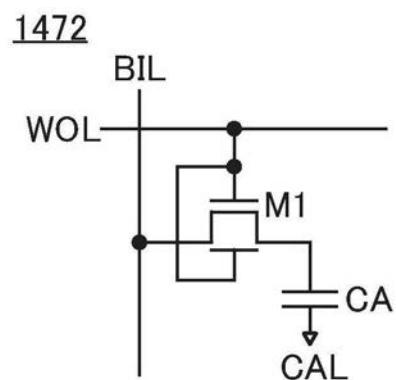


图31B

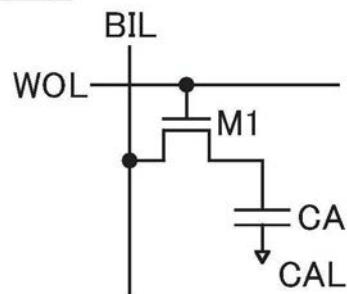
1473

图31C

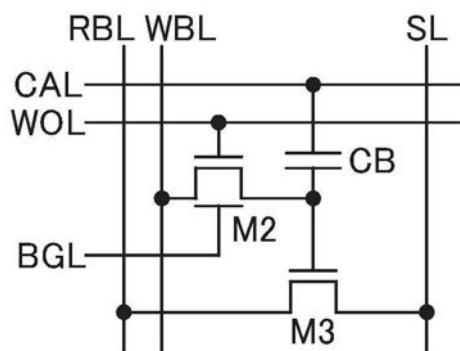
1474

图31D

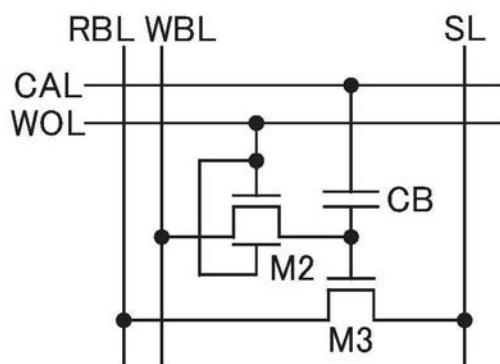
1475

图31E

1476

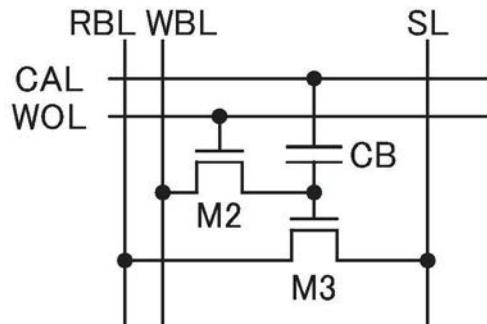


图31F

1477

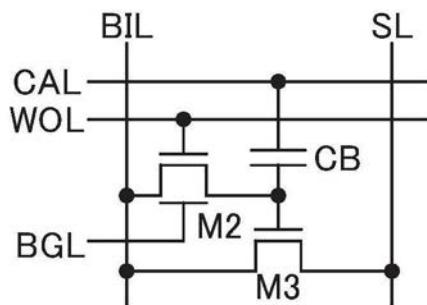


图31G

1478

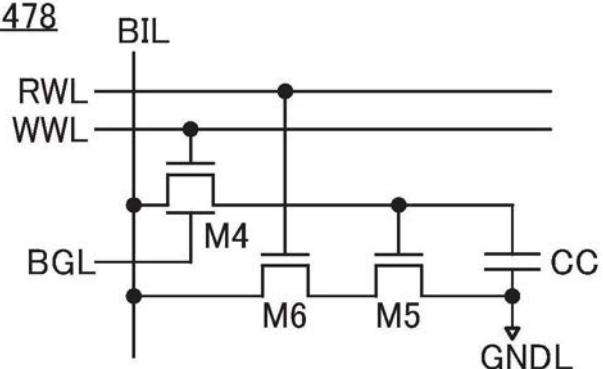


图31H

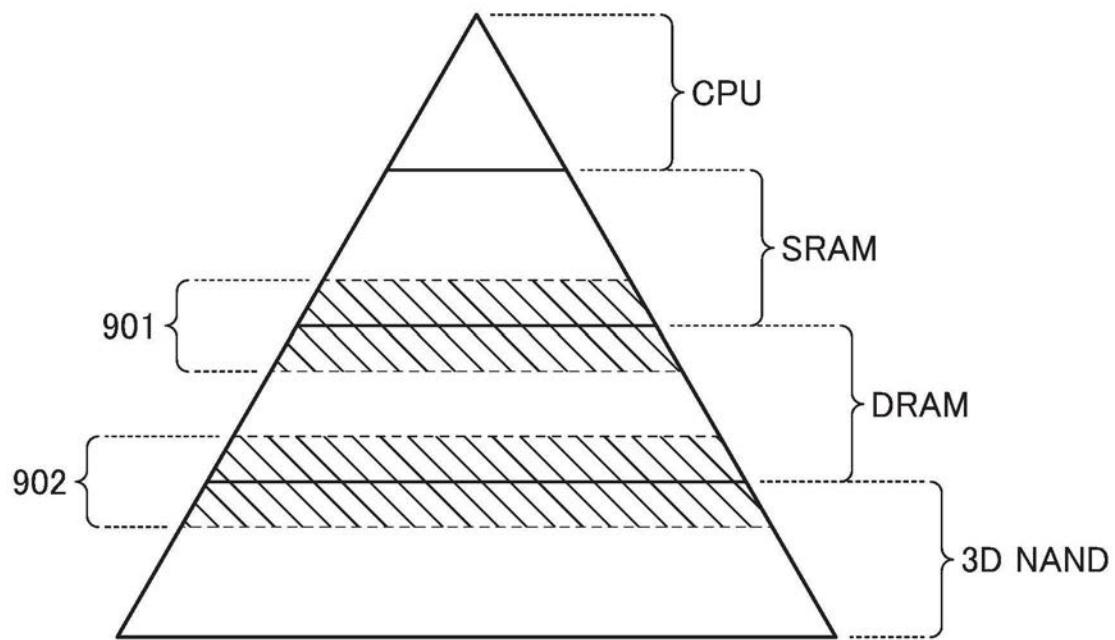


图32

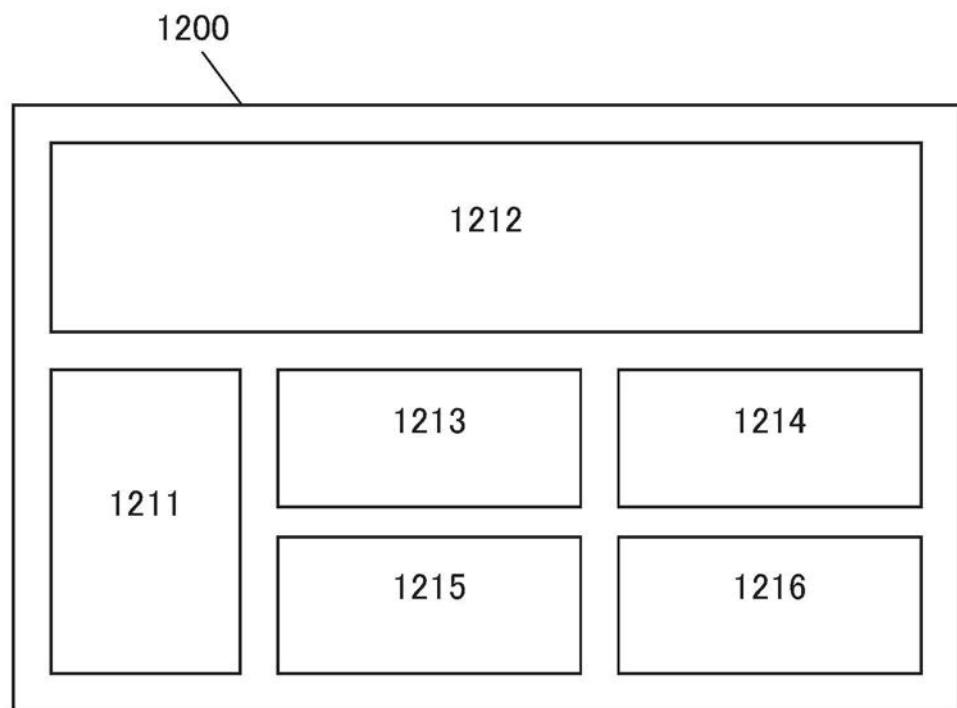


图33A

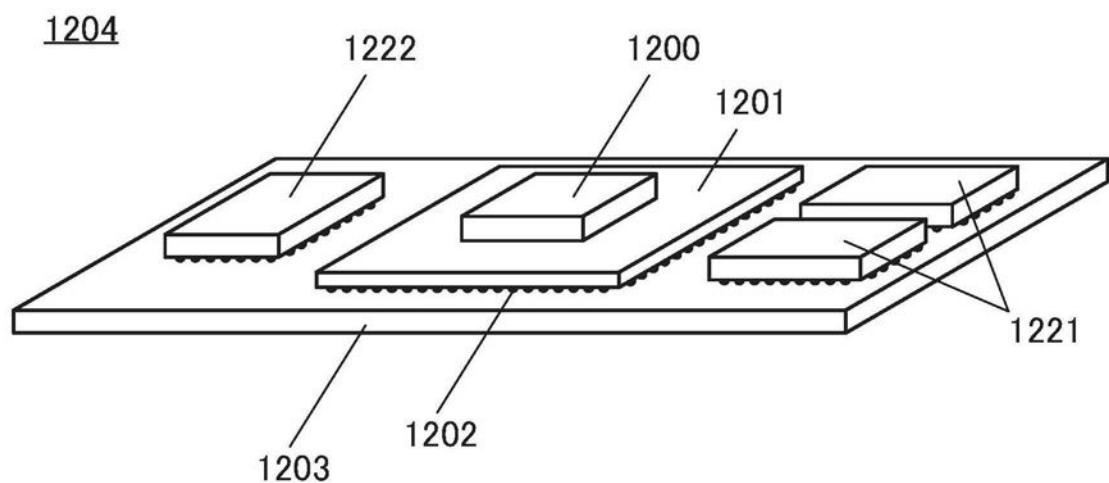


图33B

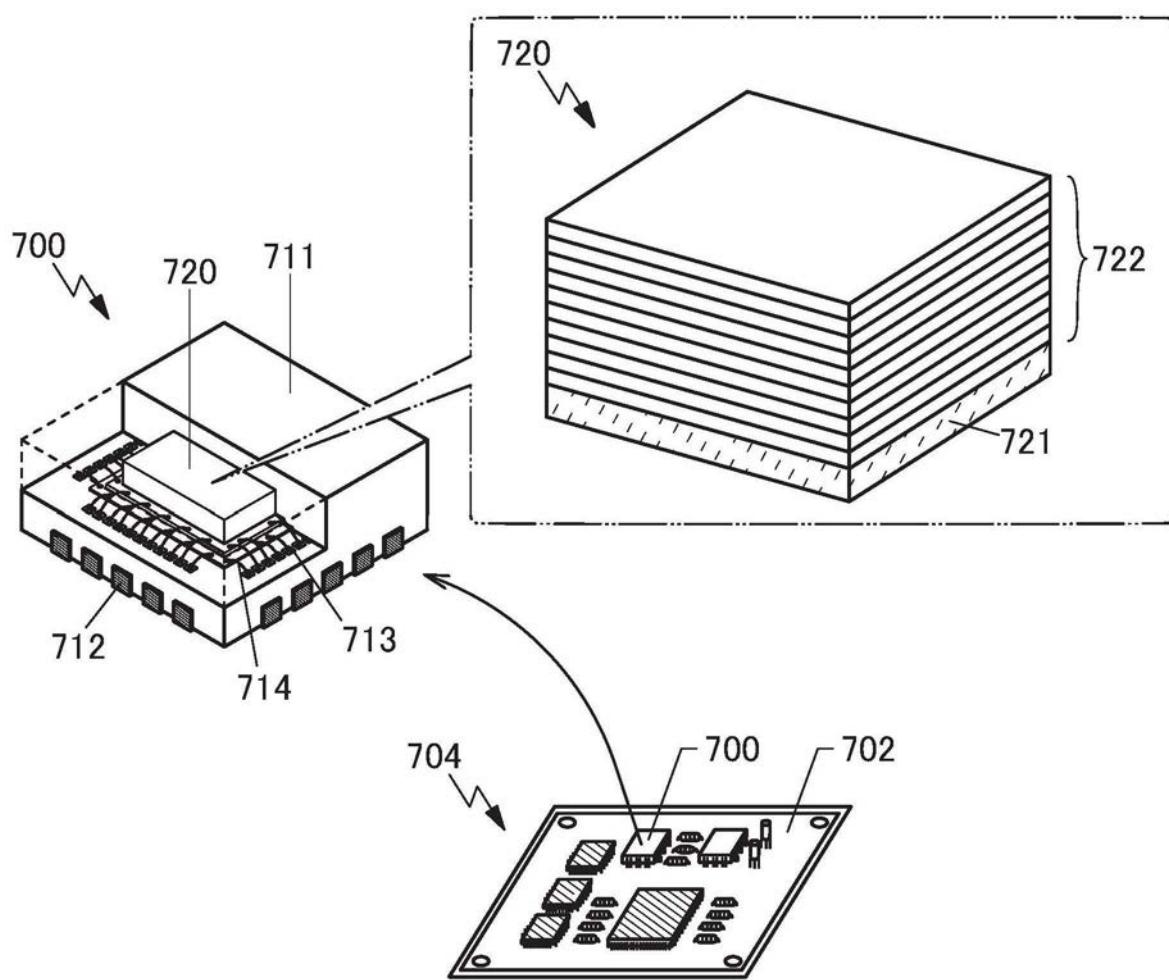


图34A

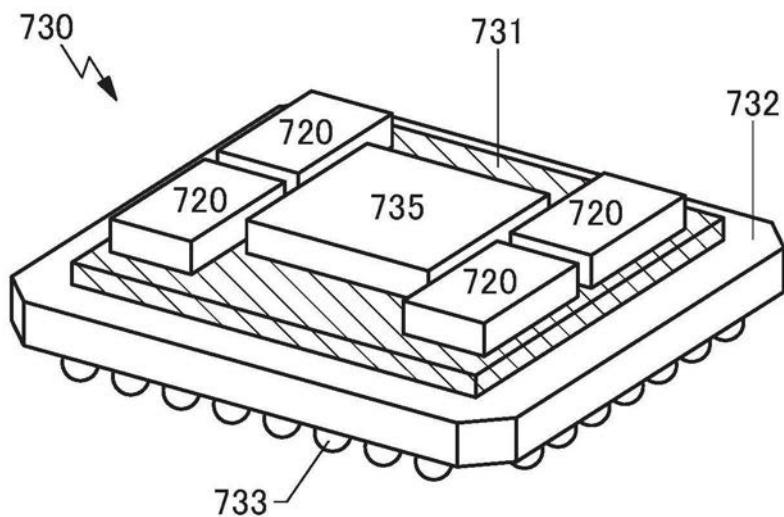


图34B

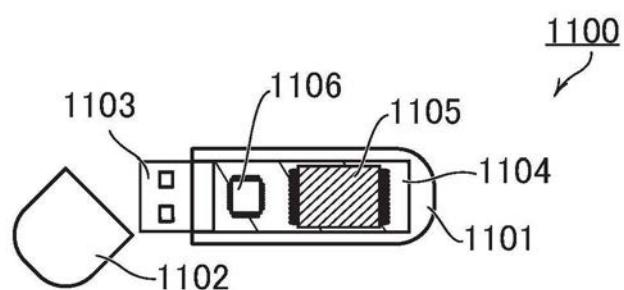


图35A

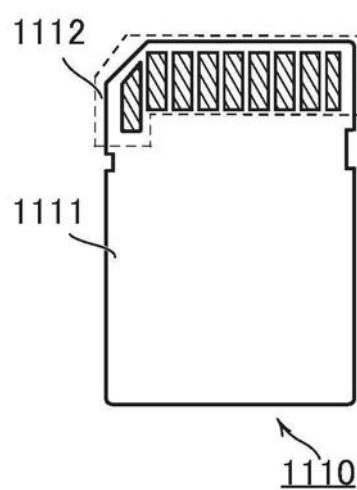


图35B

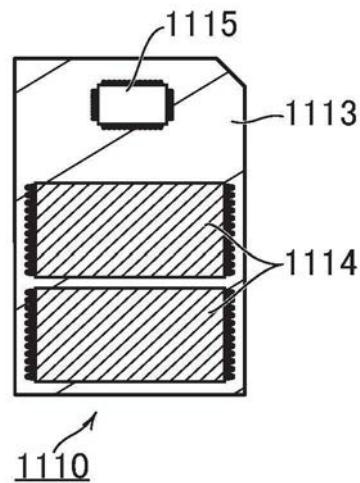


图35C

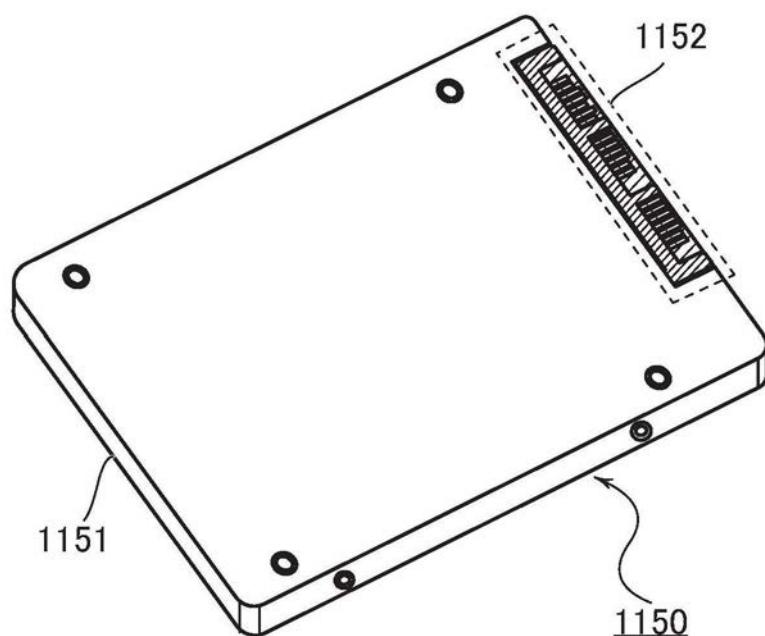


图35D

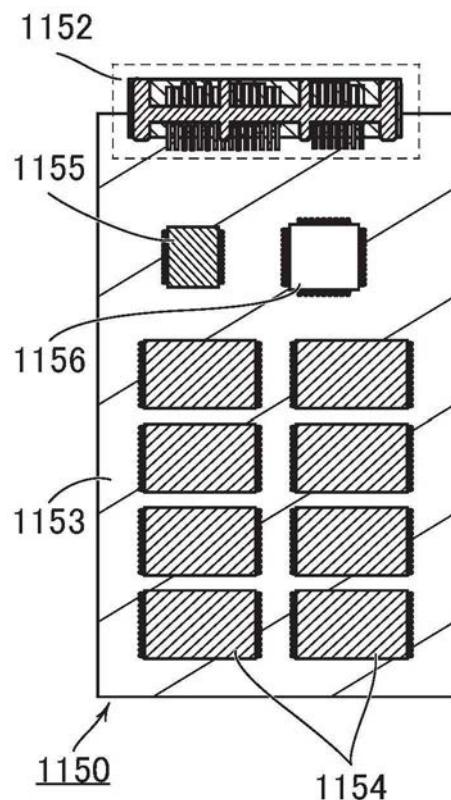


图35E

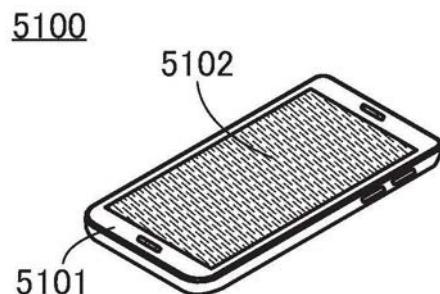


图36A

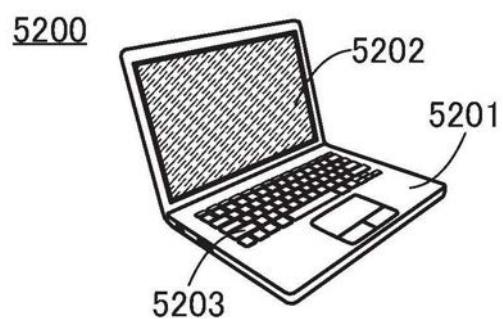


图36B

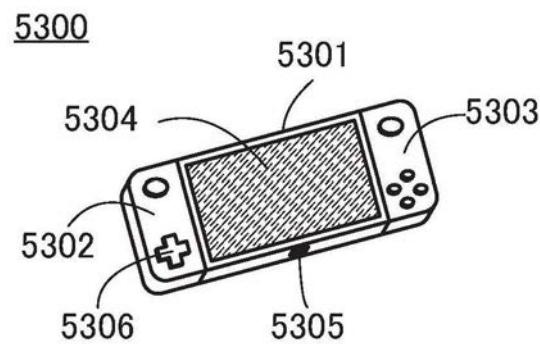


图36C

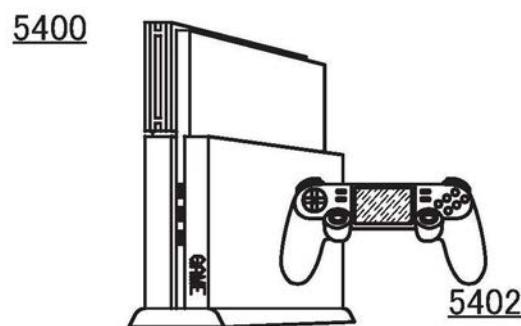


图36D

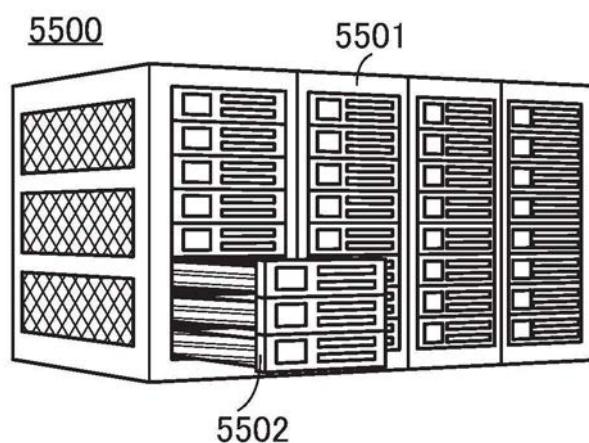


图36E

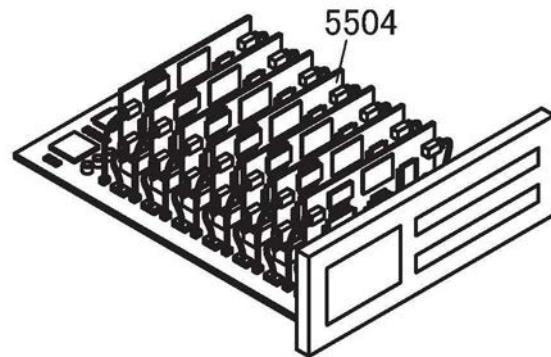
5502

图36F

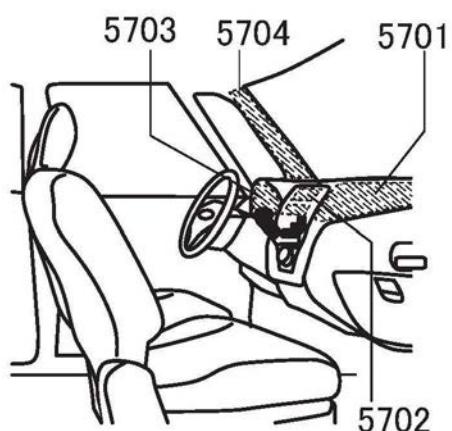


图36G

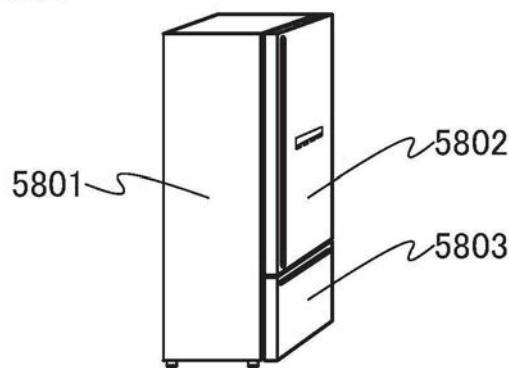
5800

图36H

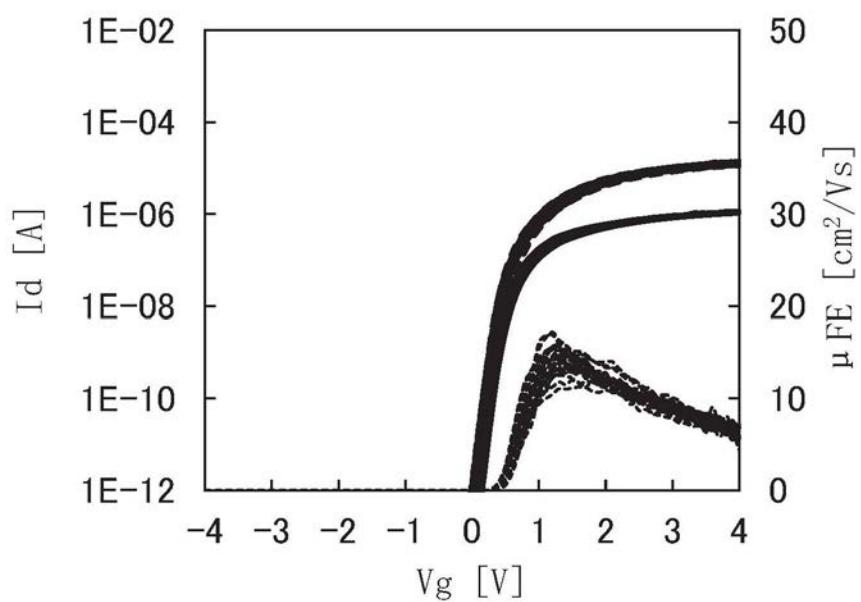


图37

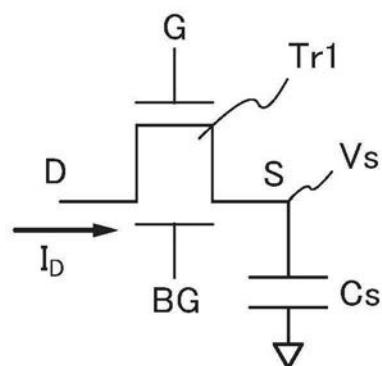


图38A

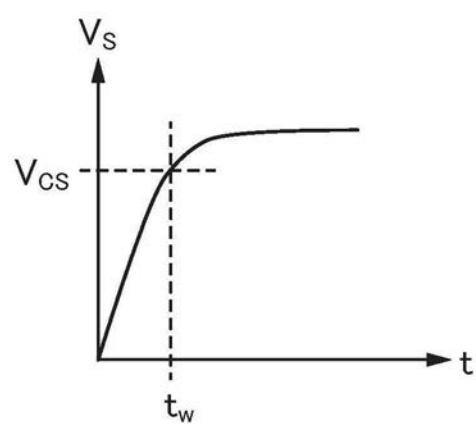


图38B

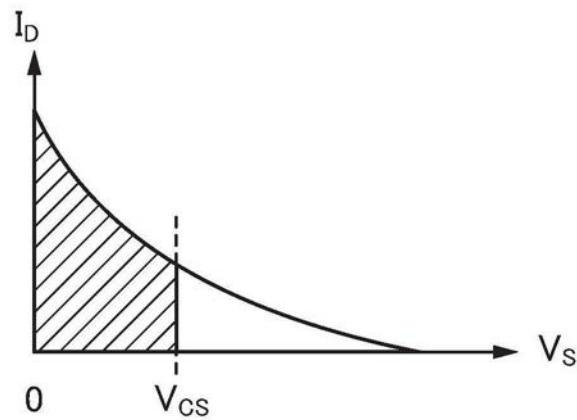


图38C

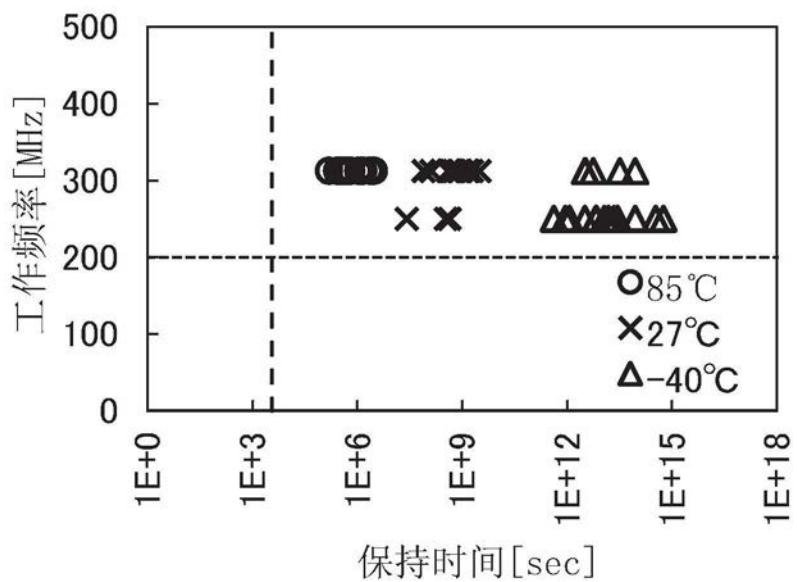


图39

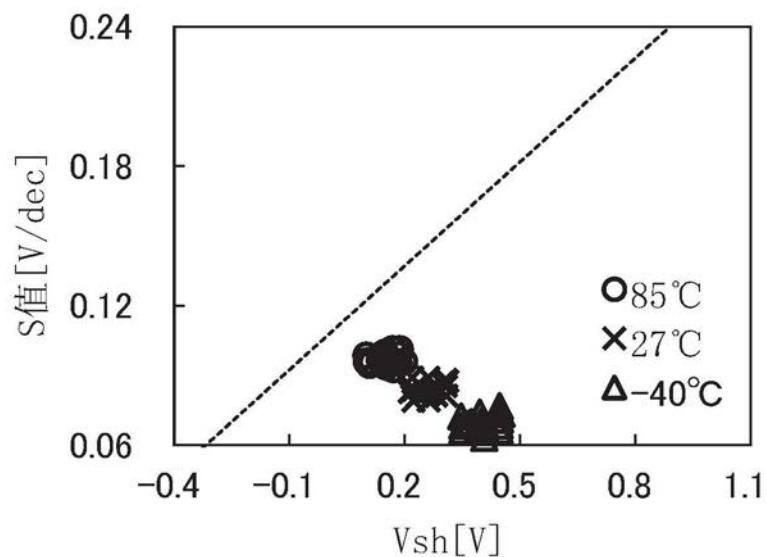


图40A

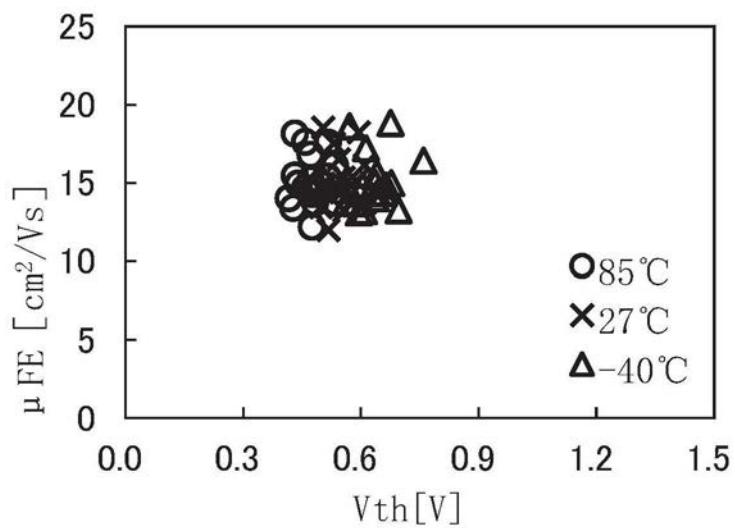


图40B

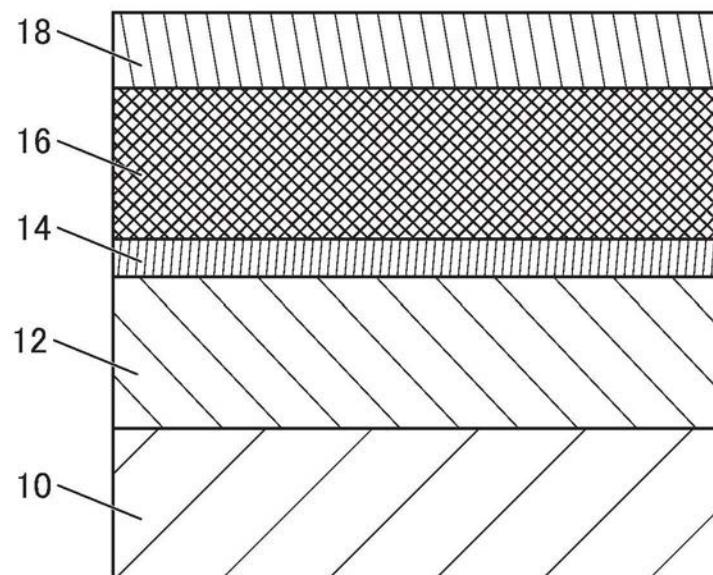


图41A

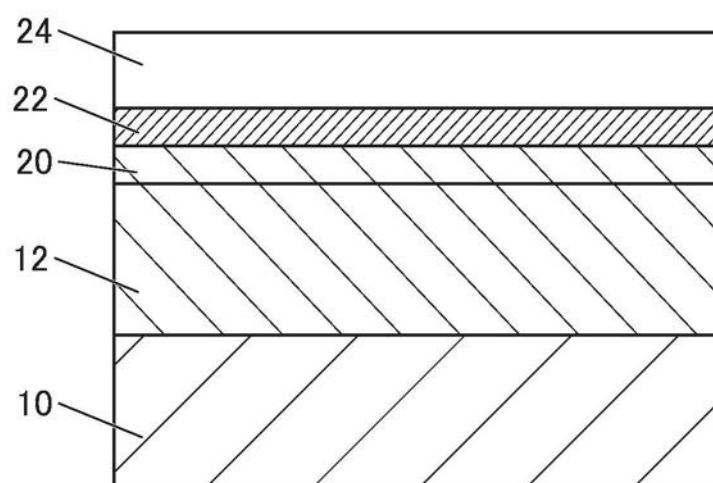


图41B

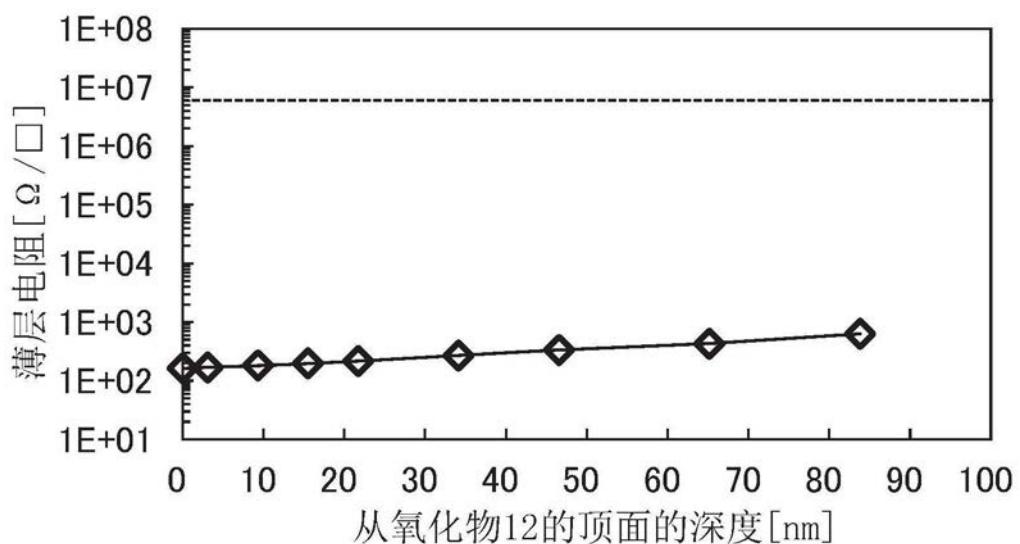


图42A

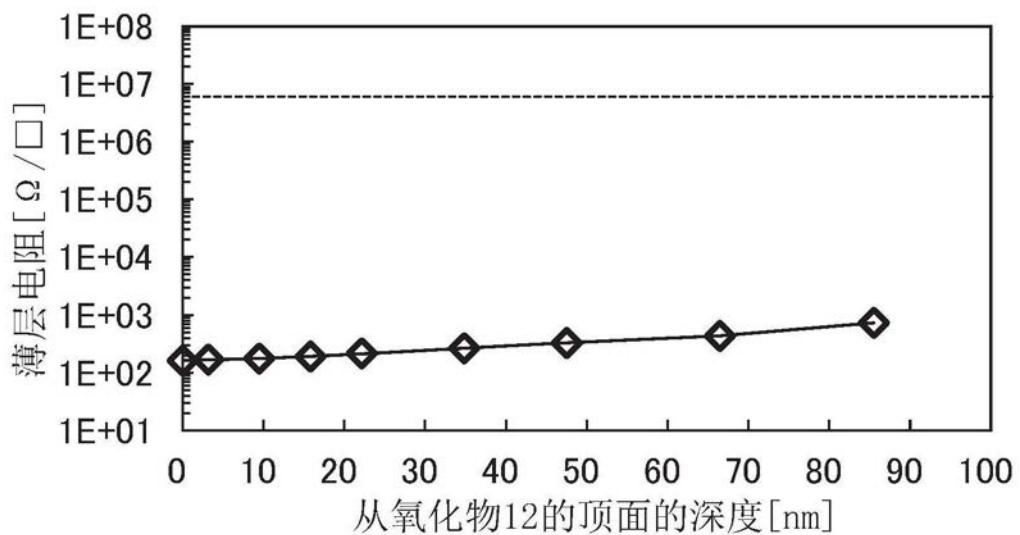


图42B

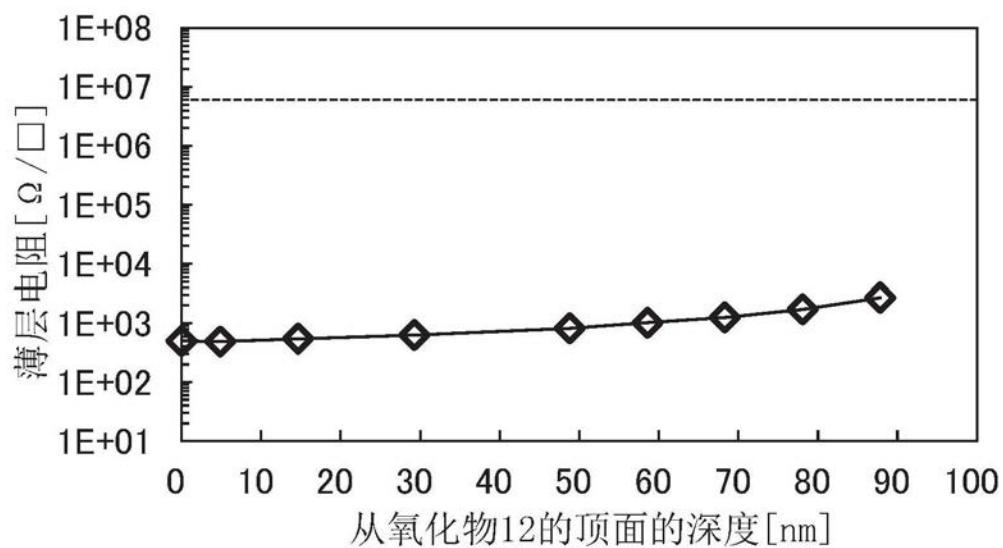


图43A

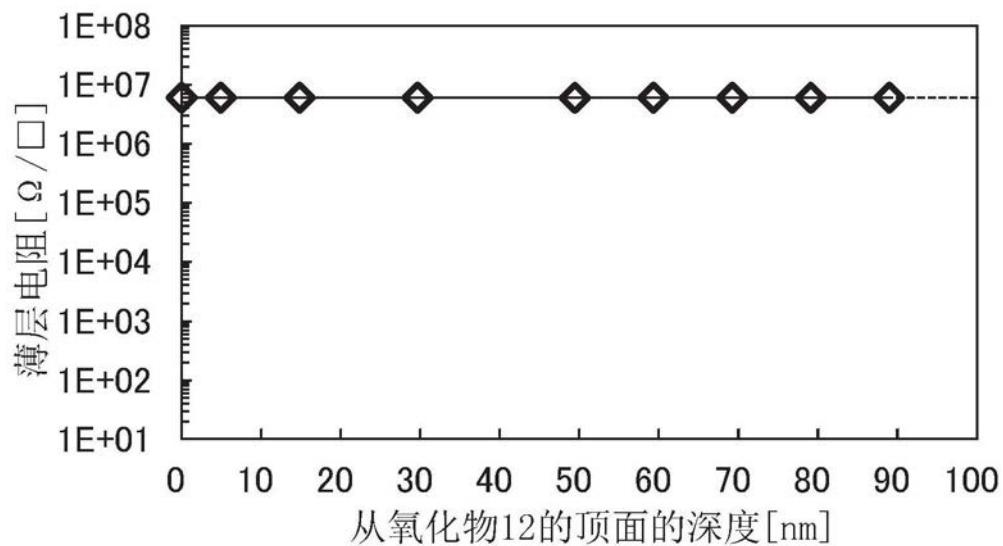
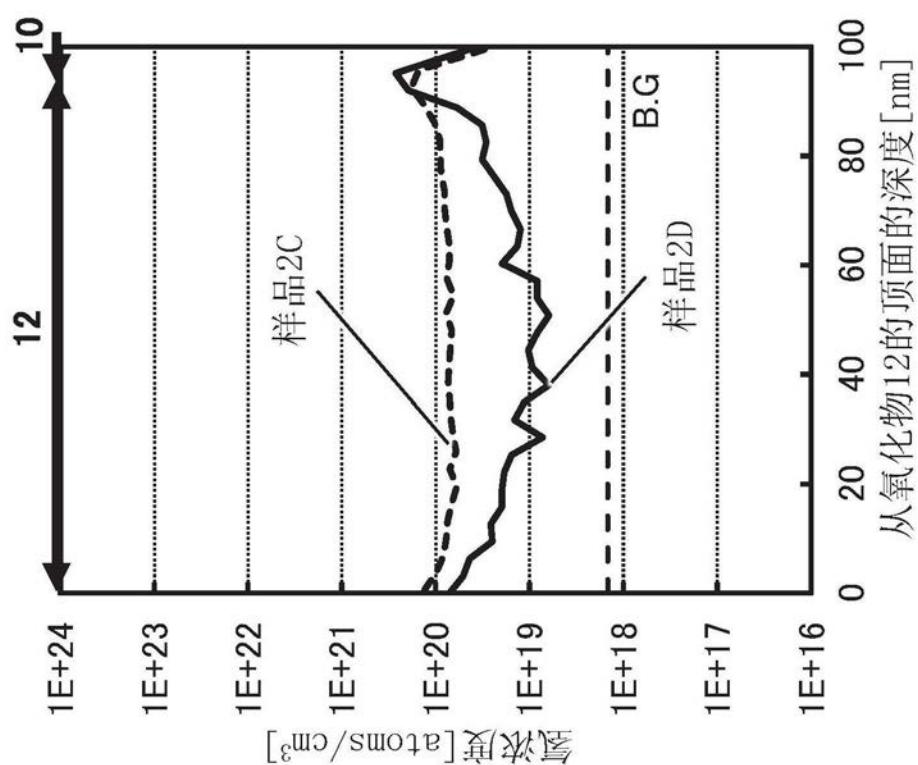
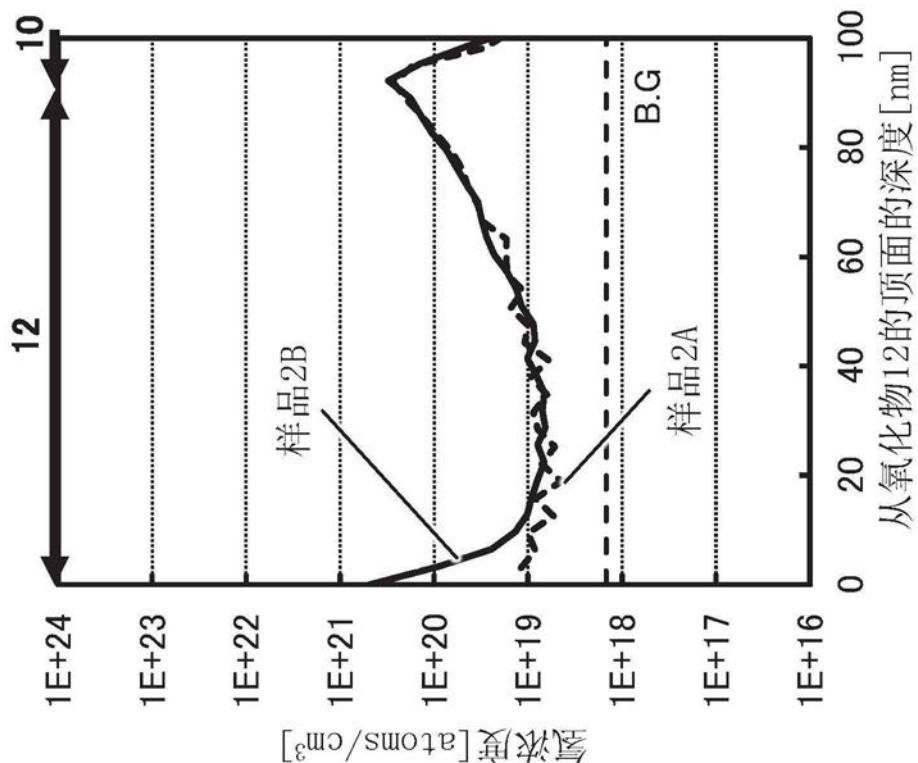


图43B



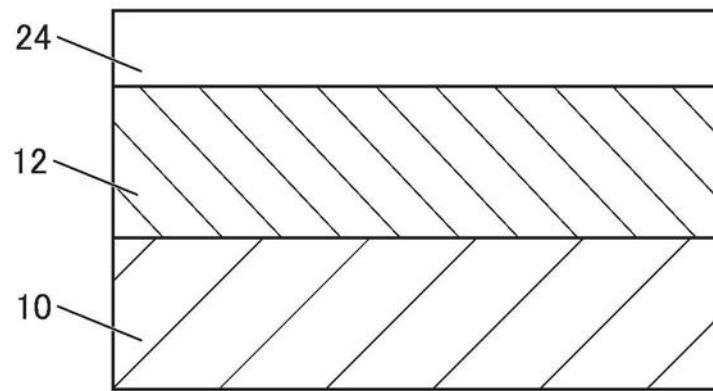


图45

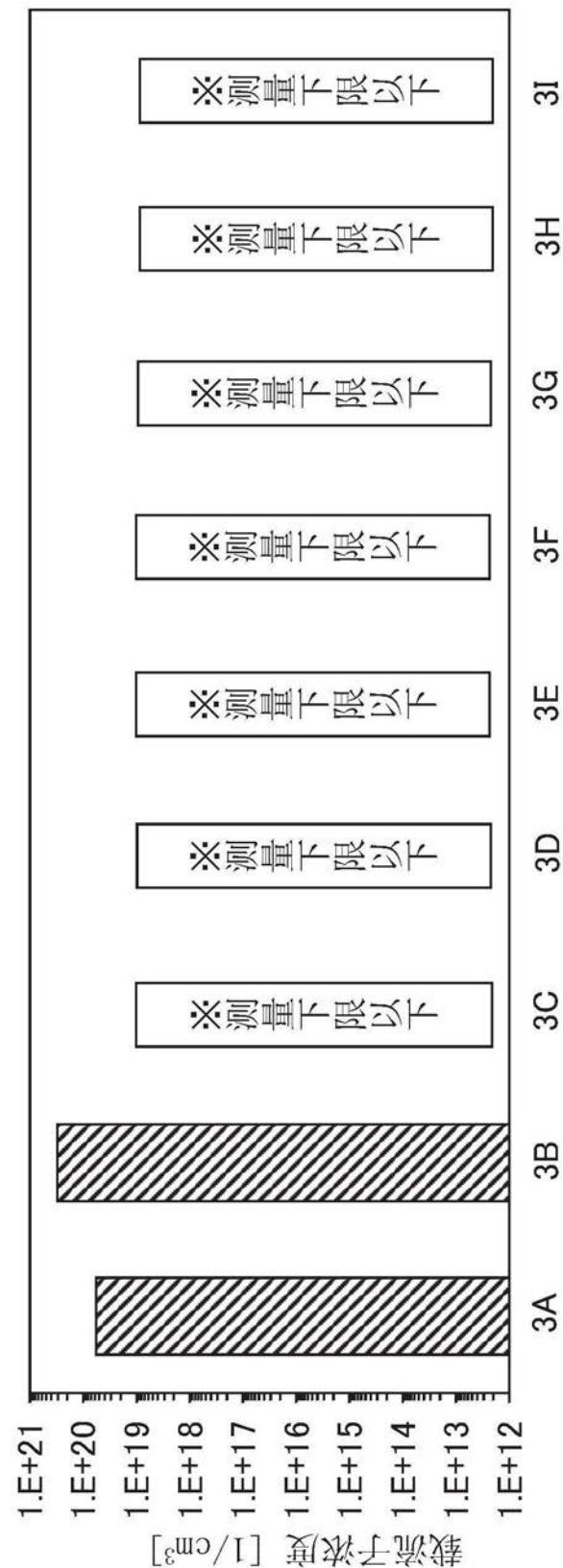


图46

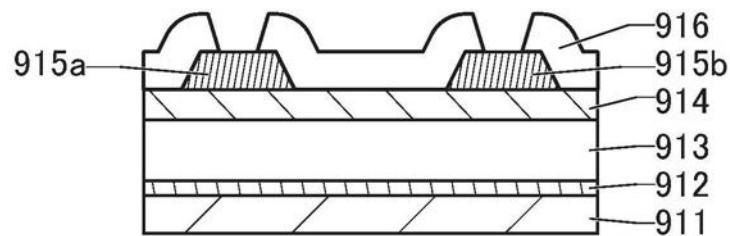
910

图47

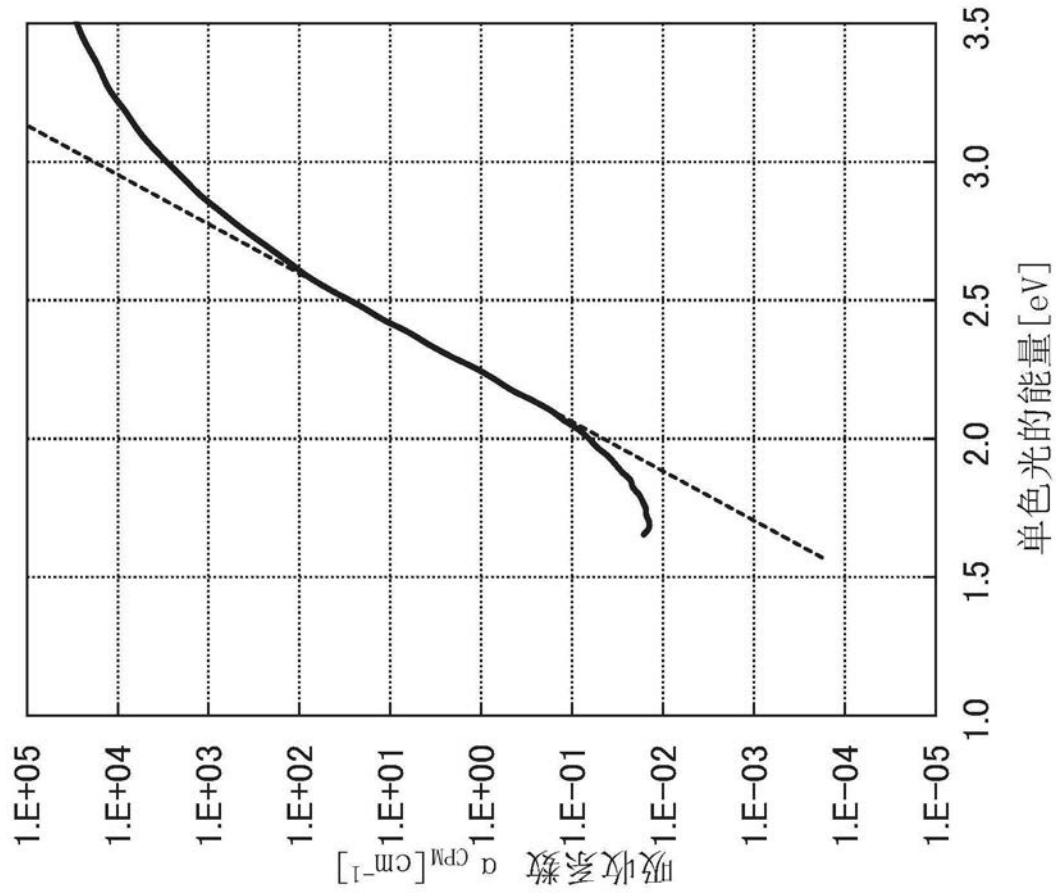


图48A

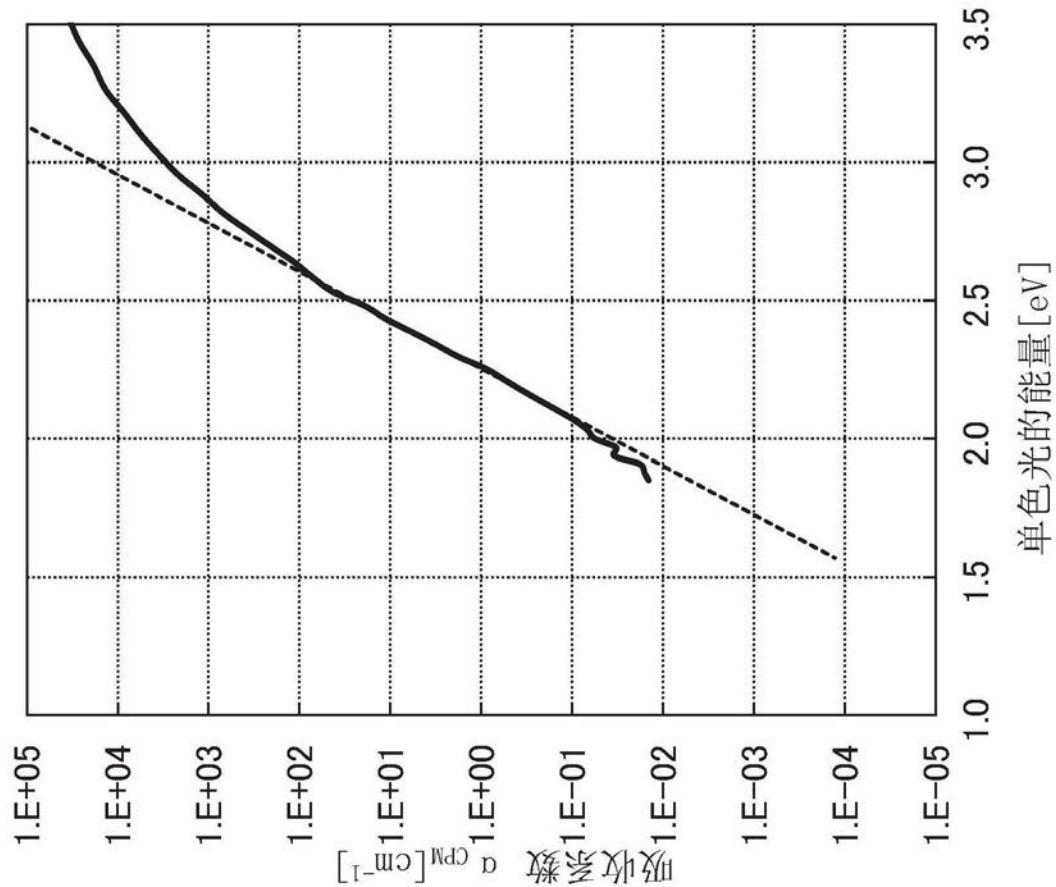


图48B

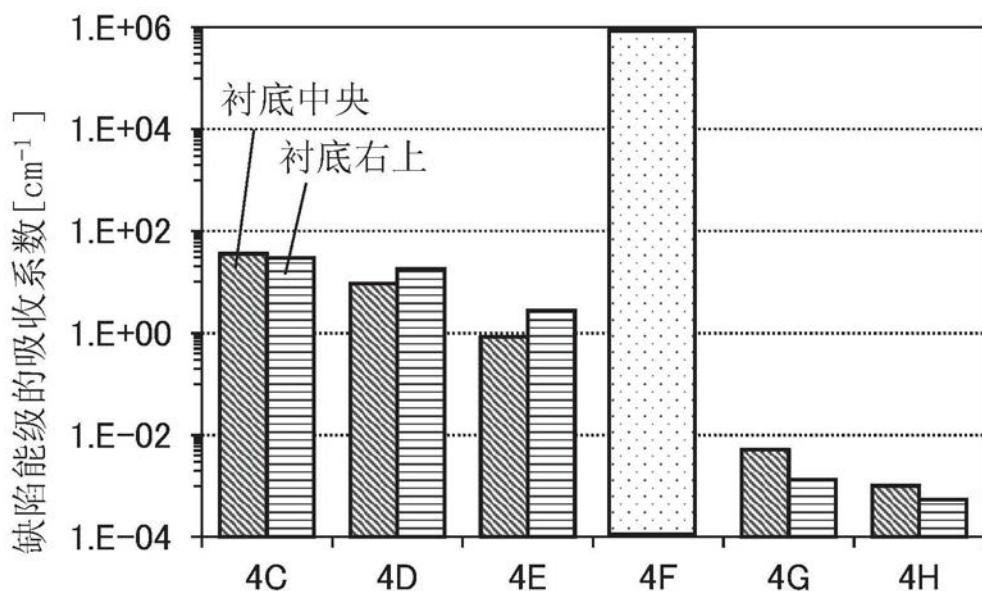


图49A

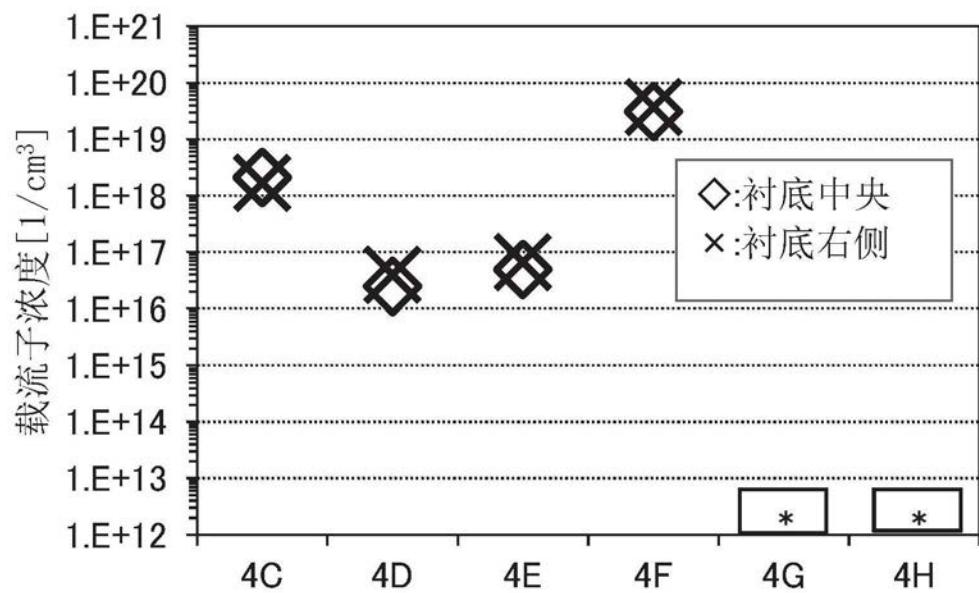


图49B

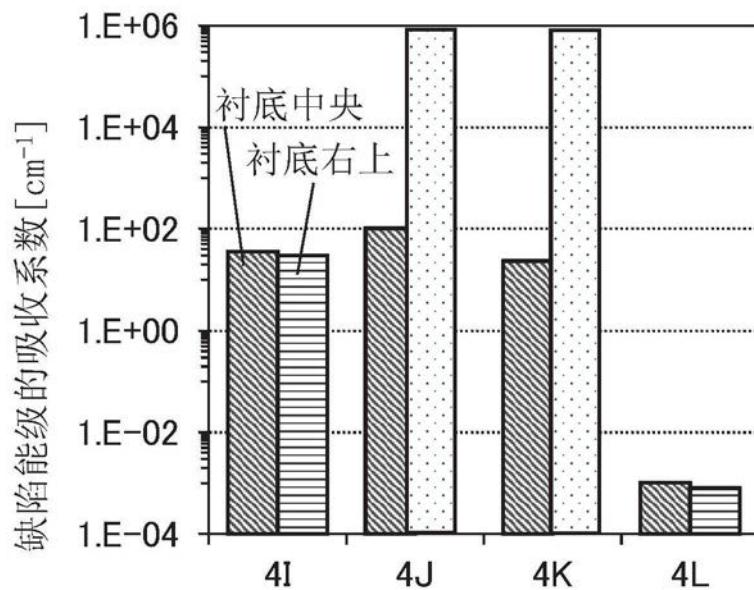


图50A

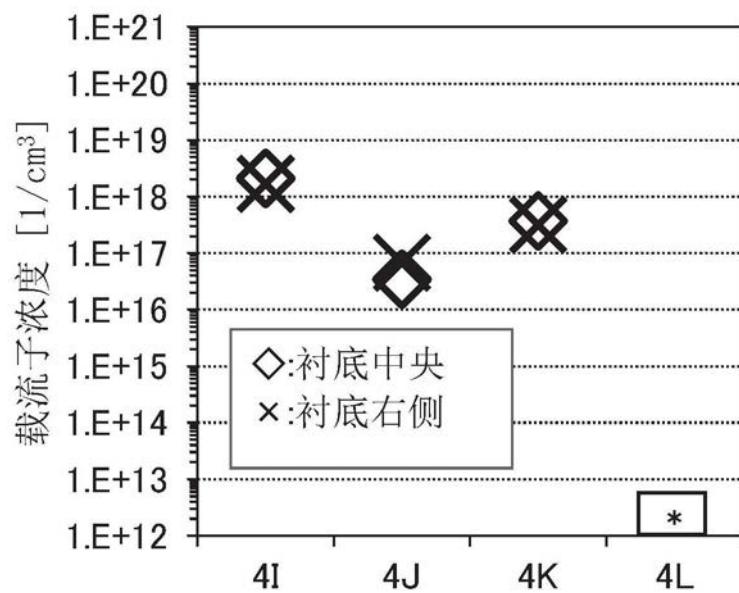


图50B

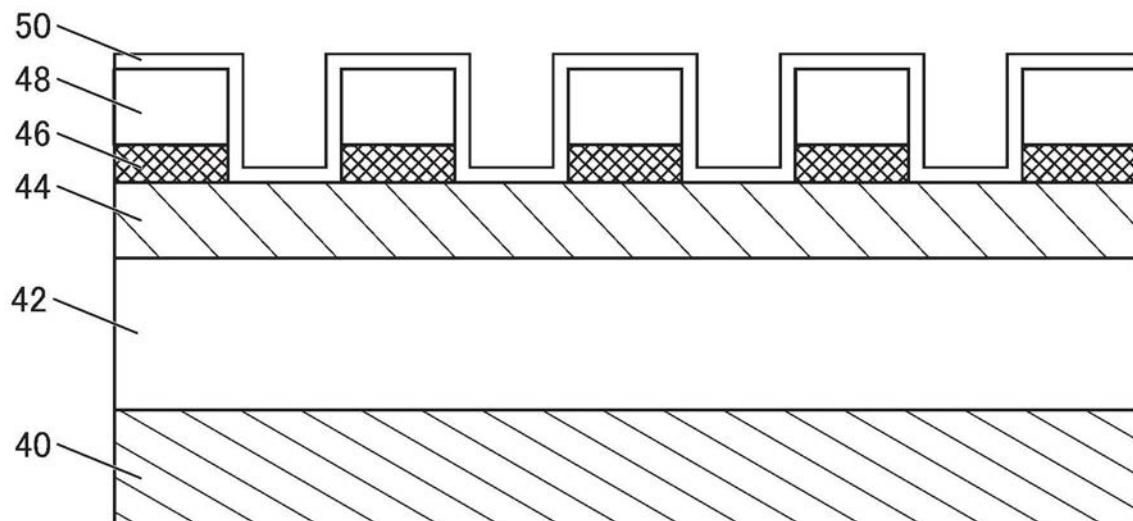


图51

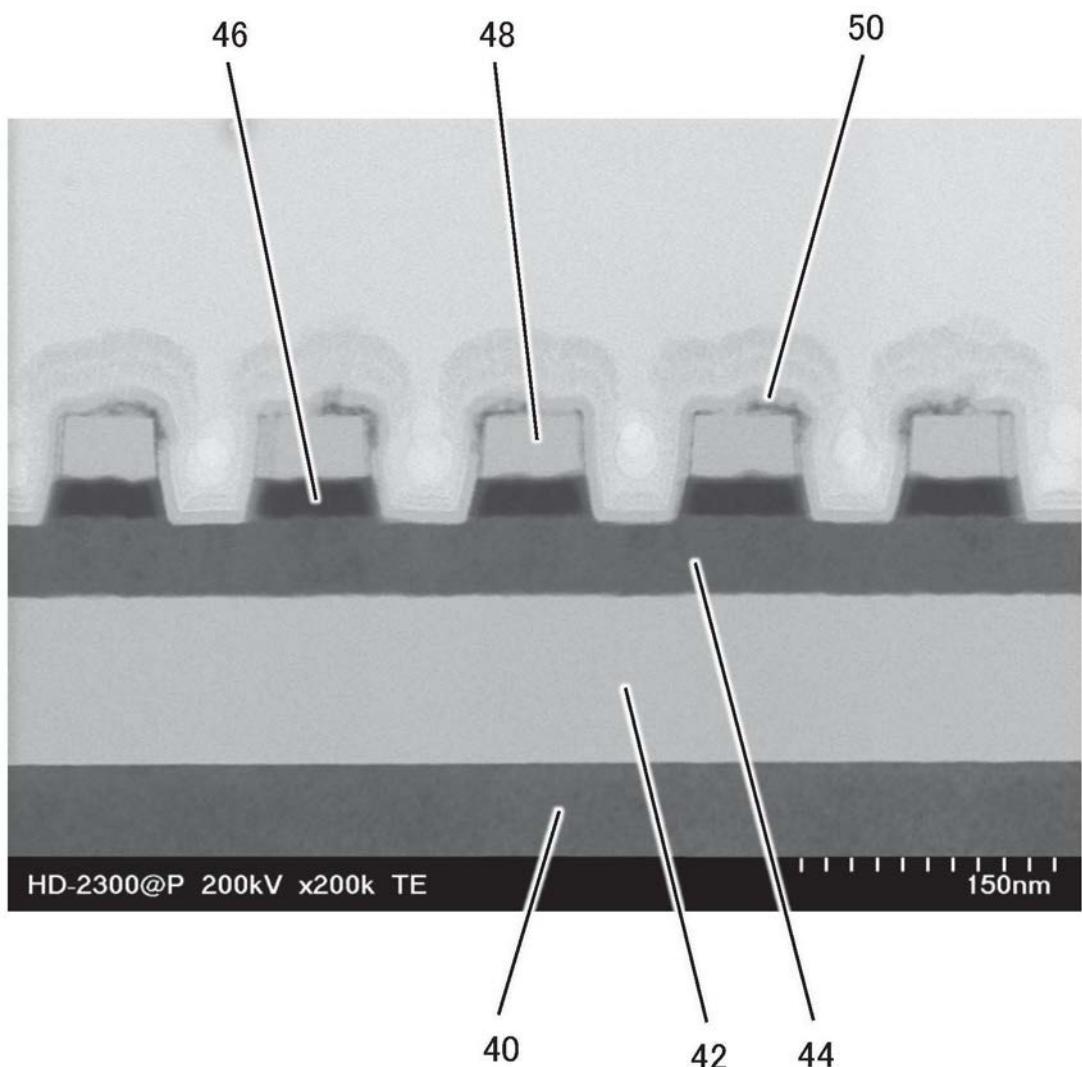


图52

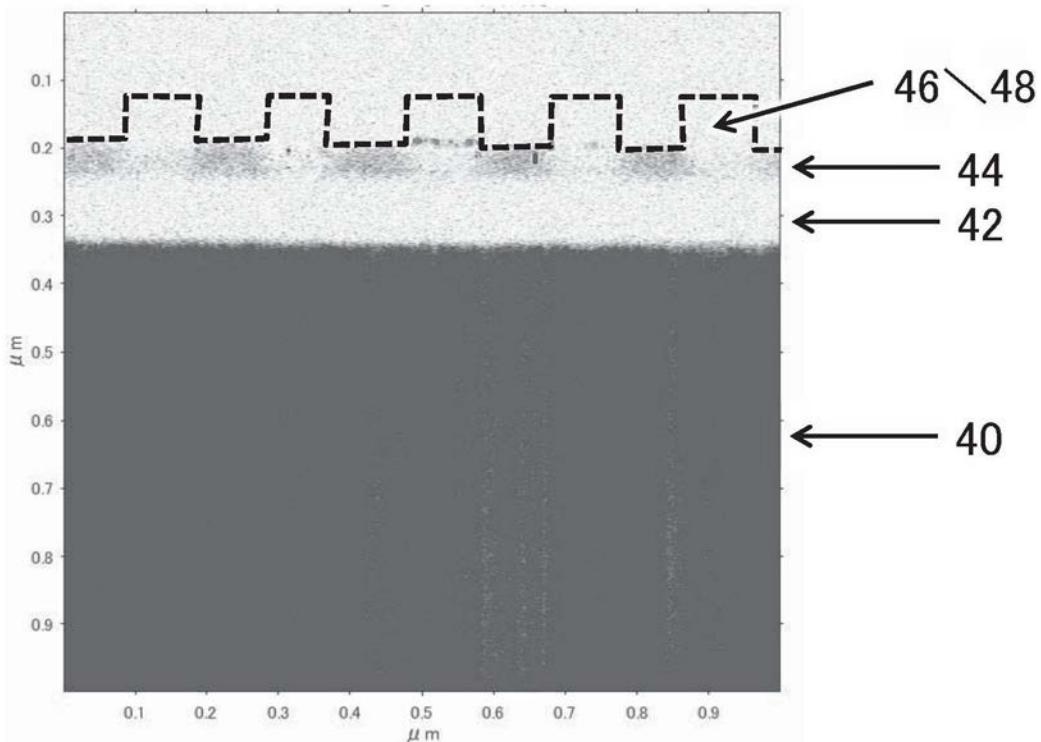


图53A

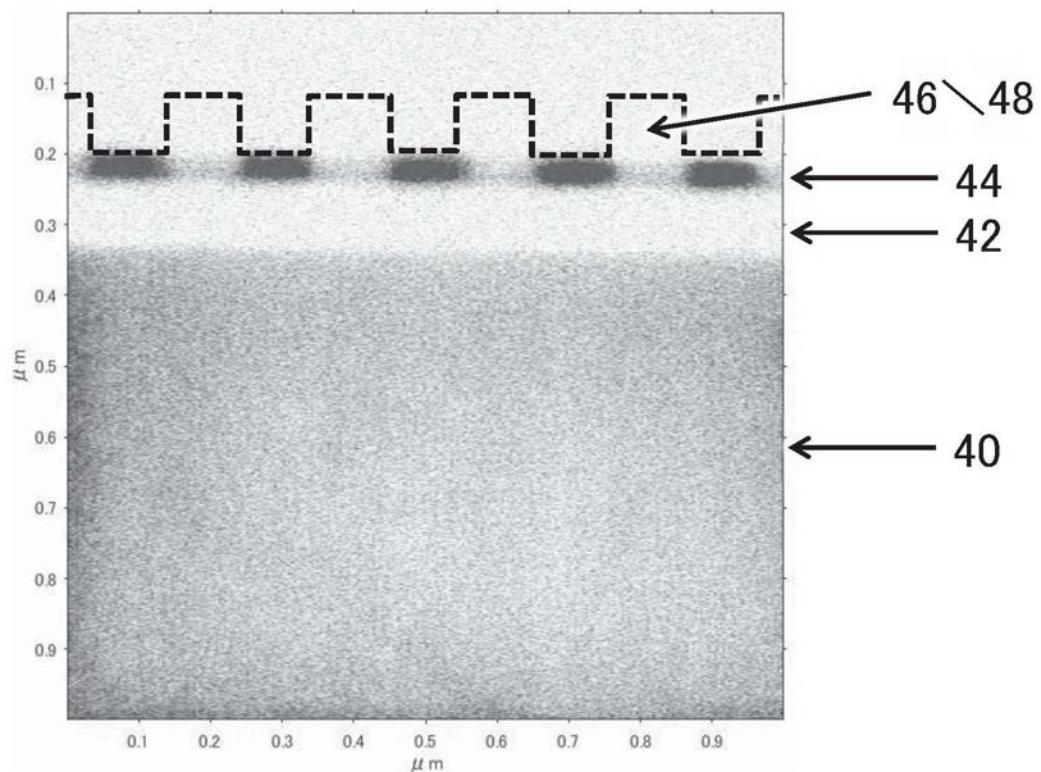


图53B