

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 048 304

②1 N° d'enregistrement national : **16 51576**

⑤1 Int Cl⁸ : **H 01 L 21/8232 (2017.01), H 01 L 29/739**

①2 **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 25.02.16.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 01.09.17 Bulletin 17/35.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : *STMICROELECTRONICS SA Société anonyme — FR.*

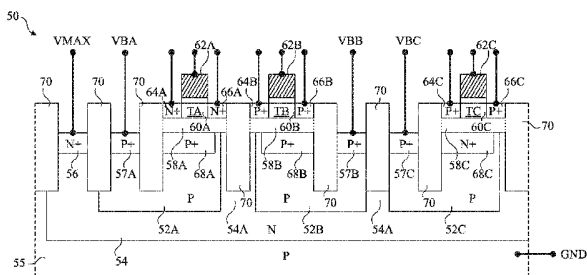
⑦2 Inventeur(s) : GALY PHILIPPE.

⑦3 Titulaire(s) : *STMICROELECTRONICS SA Société anonyme.*

⑦4 Mandataire(s) : CABINET BEAUMONT.

⑤4 **PUCE ELECTRONIQUE A TRANSISTORS A GRILLES AVANT ET ARRIERE.**

⑤7 L'invention concerne une puce électronique comprenant des transistors MOS de type SOI sur isolant (TA, TB, TC) disposés sur des premiers caissons adaptés à être polarisés (52A, 52B, 52C), tous dopés d'un premier type de conductivité, chaque premier caisson incluant sous l'isolant de chaque transistor une région de grille arrière (68A, 68B, 68C) dopée plus fortement que le premier caisson, les premiers caissons étant disjoints et inclus dans un deuxième caisson adapté à être polarisé (54), dopé d'un deuxième type de conductivité.



FR 3 048 304 - A1



PUCE ÉLECTRONIQUE À TRANSISTORS À GRILLES AVANT ET ARRIÈREDomaine

La présente demande concerne les puces électroniques, et plus particulièrement les puces électroniques comprenant des points mémoire et des transistors MOS de type semiconducteur sur isolant (SOI) ayant des grilles avant et arrière.

Exposé de l'art antérieur

Dans une puce électronique en fonctionnement, des transistors MOS sont successivement dans des états bloqué et passant afin de réaliser des fonctions telles que des opérations logiques. L'état bloqué ou l'état passant d'un transistor dépend de la tension appliquée entre une grille disposée au-dessus d'une zone de formation de canal, ou grille avant, et une source du transistor. Lorsque la tension est supérieure en valeur absolue à une tension de seuil de grille avant, le transistor est passant. Le transistor est dans un état bloqué lorsque la tension est inférieure à la tension de seuil.

Lorsque le transistor a une structure de type silicium sur isolant SOI (de l'anglais "Silicon On Insulator"), c'est-à-dire que le transistor est formé dans et sur une couche mince de silicium recouvrant une couche isolante disposée sur un support, une grille arrière peut être formée sous le transistor. Cette grille arrière est une région dopée séparée du transistor par la

couche isolante. Des caractéristiques telles que la tension de seuil de grille avant du transistor dépendent alors de l'épaisseur de la couche isolante, du type de dopage de la grille arrière et du potentiel appliqué sur la grille arrière. L'application d'un potentiel sur la grille arrière permet d'accélérer le fonctionnement du transistor ou de diminuer sa consommation. La grille arrière peut en outre permettre de faire fonctionner le transistor en point mémoire.

Diverses solutions ont été proposées pour la réalisation de transistors à grilles avant et arrière. Ces solutions posent divers problèmes de mise en oeuvre.

Résumé

Ainsi, un mode de réalisation prévoit une puce électronique comprenant des transistors MOS de type SOI sur isolant disposés sur des premiers caissons adaptés à être polarisés, tous dopés d'un premier type de conductivité, chaque premier caisson incluant sous l'isolant de chaque transistor une région de grille arrière dopée plus fortement que le premier caisson, les premiers caissons étant disjoints et inclus dans un deuxième caisson adapté à être polarisé, dopé d'un deuxième type de conductivité.

Selon un mode de réalisation, une des régions de grille arrière est dopée du deuxième type de conductivité et est adjacente à une région surdopée du premier type de conductivité située sous l'isolant des transistors MOS.

Selon un mode de réalisation, ladite région de grille arrière est entièrement disposée sous une zone de formation de canal.

Selon un mode de réalisation, chacune de ladite région de grille arrière et de ladite région surdopée est en partie disposée au-dessous d'une zone de formation de canal.

Selon un mode de réalisation, ladite région surdopée est entourée par ladite région de grille arrière et est située au-dessous d'une partie centrale d'une zone de formation de canal.

Selon un mode de réalisation, ladite région surdopée est dopée de type P à un niveau de dopage supérieur à 10^{19} atomes/cm³ et ladite région de grille arrière est dopée de type N à un niveau de dopage supérieur à 10^{19} atomes/cm³.

5 Selon un mode de réalisation, les transistors MOS sur isolant sont de type FDSOI.

Un autre mode de réalisation prévoit un procédé de réalisation d'une puce électronique, dans lequel ladite région de grille arrière et ladite région surdopée sont obtenues par
10 des implantations ioniques en recouvrement partiel.

Brève description des dessins

Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en
15 relation avec les figures jointes parmi lesquelles :

la figure 1 représente une vue en coupe partielle et schématique d'une puce électronique à transistors à grilles avant et arrière ;

la figure 2 est une vue en coupe schématique partielle
20 d'un mode de réalisation d'une puce électronique à transistors à grilles avant et arrière ;

la figure 3 est une vue en coupe, partielle et schématique, d'un mode de réalisation d'une puce comprenant un transistor à grilles avant et arrière ;

25 la figure 4 est une vue en coupe partielle et schématique d'un autre mode de réalisation d'une puce comprenant un transistor à grilles avant et arrière ; et

les figures 5A et 5B illustrent schématiquement un autre mode de réalisation d'une puce comprenant un transistor à
30 grilles avant et arrière.

Description détaillée

De mêmes éléments ont été désignés par de mêmes références dans les différentes figures et, de plus, les diverses figures ne sont pas tracées à l'échelle. Par souci de clarté,

seuls les éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés.

Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position relative, tels que les
5 termes "sur", "sous", "au-dessus", "au-dessous", "supérieur", "inférieur", etc., il est fait référence à l'orientation de l'élément concerné dans les figures concernées.

La figure 1 représente une vue en coupe partielle et schématique de transistors à grilles avant et arrière réalisés
10 dans une portion d'une puce électronique 1.

Dans la partie supérieure d'une tranche de silicium 3, des caissons 5 dopés de type P sont juxtaposés avec des caissons 7 dopés de type N. Seuls un caisson 5 et un caisson 7 sont représentés en figure 1. Le caisson 5 de type P est muni d'une
15 zone de contact 9 et le caisson 7 de type N est muni d'une zone de contact 11. Les zones de contact 9 et 11 sont reliées à des noeuds respectifs 13 et 15 d'application de potentiels V_P et V_N .

Une zone 17 plus fortement dopée de type P que le caisson 5 est située dans une partie supérieure du caisson 5. La
20 zone dopée 17 est située au-dessous d'un transistor MOS T1 à canal N de type SOI. Le transistor T1 comprend sur un isolant 19 une zone de source 21 et une zone de drain 23 séparées par une zone de formation de canal 25 disposée sous un empilement de grille avant 27. La zone dopée 17 constitue une grille arrière
25 du transistor T1.

Un transistor MOS T2 à canal P de type SOI est situé au-dessus du caisson 7 dans une disposition similaire à celle du transistor T1 au-dessus du caisson 5. Le caisson 7 inclut sous le transistor T2 une zone dopée 29 plus fortement dopée de type
30 N que le caisson 7. Le transistor T2 comprend sur un isolant 31 une zone de formation de canal 33 qui s'étend entre une zone de drain 35 et une zone de source 37 sous un empilement de grille avant 39. La zone dopée 29 constitue une grille arrière du transistor T2.

Les transistors T1 et T2 et les zones de contact 9 et 11 sont séparés par des tranchées d'isolement 41 pénétrant dans les caissons P et N, 5 et 7.

Des connexions entre les transistors T1 et T2 permettent de constituer des circuits logiques. A titre d'exemple, un transistor T1 et un transistor T2 sont réunis en un inverseur couplant deux noeuds A et B. L'inverseur est alimenté entre un potentiel haut VDD et un potentiel de référence tel qu'une masse GND.

Au cours du fonctionnement de l'inverseur, on cherche à optimiser les potentiels V_P et V_N afin d'accélérer le fonctionnement de l'inverseur ou de diminuer sa consommation. En particulier, l'application d'un potentiel V_P positif sur le caisson 5 associé au transistor T1, c'est-à-dire sur la grille arrière de ce transistor, permet d'accélérer le fonctionnement du transistor T1 à canal N. L'application d'un potentiel négatif V_N sur le caisson 7 permet d'accélérer le fonctionnement du transistor T2 à canal P. La jonction P-N entre les caissons 5 et 7 se trouve alors polarisée en direct et un courant de fuite apparait entre les caissons 5 et 7. De ce fait, la tension appliquée entre les caissons 5 et 7 ne peut dépasser environ 0,3 V et l'accélération possible du fonctionnement de l'inverseur est limitée.

Les transistors T1 et T2 peuvent être utilisés comme points mémoire. De tels points mémoire sont programmables et effaçables par des variations des potentiels V_P et V_N appliqués sur les caissons. L'existence de la jonction P-N entre les caissons 5 et 7 limite les possibilités d'application de ces potentiels entre des caissons 5 et 7 voisins.

On souhaite réaliser une puce électronique comportant des transistors à grilles avant et arrière disposés sur des caissons et appliquer entre caissons voisins des tensions variables de sens variables pouvant atteindre par exemple une dizaine de volts.

La figure 2 est une vue en coupe schématique partielle d'un mode de réalisation d'une portion de puce électronique 50 comprenant des transistors à grilles avant et arrière. On a représenté des transistors de type SOI, TA, TB et TC, destinés à
5 fonctionner en transistor logique pour le transistor TA et en points mémoire pour les transistors TB et TC.

Des premiers caissons 52A, 52B et 52C sont tous dopés de type P. Ces caissons sont disjoints et sont inclus dans la partie supérieure d'un deuxième caisson 54 dopé de type N. Le
10 caisson 54 est formé dans une partie supérieure d'une tranche semiconductrice 55 dopée de type P, par exemple en silicium. Des portions 54A (dopées du type N ici) du caisson 54 sont disposées entre les caissons 52A et 52B et entre les caissons 52B et 52C. Deux diodes tête-bêche sont ainsi formées entre deux caissons
15 adjacents. Le caisson 54 est relié par une zone de contact 56 (N^+), plus fortement dopée de type N que le caisson 54, à un noeud d'application d'un potentiel positif V_{MAX} . Chacun des caissons 52A, 52B et 52C est doté d'une zone de contact respective 57A, 57B et 57C (P^+), plus fortement dopée du type P
20 que le caisson, et est polarisable à un potentiel respectif V_{BA} , V_{BB} et V_{BC} .

Un transistor MOS TA à canal N est situé sur le caisson 52A. Le transistor TA comprend, sur un isolant 58A, une zone de formation de canal 60A qui s'étend sous une grille avant
25 62A entre une zone de source 64A et une zone de drain 66A. Le caisson 52A comprend sous le transistor TA une région de grille arrière 68A plus fortement dopée de type P que le caisson 52A.

Sur le caisson 52B, le transistor MOS TB à canal P comprend, sur un isolant 58B, une zone de formation de canal 60B
30 qui s'étend sous une grille avant 62B entre des zones de source 64B et de drain 66B. Le caisson 52B comprend sous le transistor TB une région de grille arrière 68B plus fortement dopée de type P que le caisson 52B.

Sur le caisson 52C, le transistor MOS TC à canal P
35 comprend, sur un isolant 58C, une zone de formation de canal 60C

B14906 - 15-GR1-0598

7

sous une grille avant 62C entre des zones de source 64C et de drain 66C. Le caisson 52C comprend, sous le transistor TC, une région de grille arrière 68C dopée de type N.

Les zones de contact 56 et 57A sont séparées par une tranchée d'isolement 70. Les zones de contact 57A, 57B, 57C sont respectivement séparées des transistors TA, TB et TC par des tranchées d'isolement 70. On peut prévoir un mode de réalisation sans tranchée d'isolement entre les transistors TA et TB et entre les transistors TB et TC, les caissons 52A, 52B et 52C étant alors séparés par les portions 54A du caisson 54.

A titre d'exemple, les transistors TA, TB et TC sont de type SOI complètement déplété, dit FDSOI (de l'anglais "Fully Depleted SOI"), c'est-à-dire que la zone de formation de canal est en silicium intrinsèque d'épaisseur inférieure à 15 nm. A titre d'exemple, la couche d'isolant a une épaisseur comprise entre 10 et 30 nm.

En fonctionnement, un potentiel de référence, par exemple la masse GND, est appliqué sur la tranche semiconductrice 55. Le potentiel VMAX appliqué sur le caisson 54 dopé N est supérieur, ou égal à 0,3 V près, aux potentiels susceptibles d'être appliqués sur les caissons 52A, 52B et 52C. A titre d'exemple, le potentiel VMAX est supérieur à 5 V.

Lors de l'utilisation du transistor TA, on peut ainsi appliquer sur le caisson 52A et donc sur la grille arrière du transistor TA tout potentiel VBA de valeur inférieure, ou égale à 0,3 V près, au potentiel VMAX. En particulier, un potentiel élevé, par exemple supérieur à 4 V, peut être appliqué sur la grille arrière du transistor TA, ce qui permet un fonctionnement particulièrement rapide du transistor TA. Un potentiel fortement négatif, par exemple inférieur à -4 V, peut aussi être appliqué afin de diminuer la consommation du transistor TA.

Pour programmer le transistor TB utilisé en point mémoire, on applique une tension entre la grille arrière 68B et la source 64B, ou tension de grille arrière, élevée. Ceci permet de stocker des charges dans la zone de formation de canal 60B.

Pour effacer le point mémoire, on applique temporairement une tension de grille arrière nulle ou négative.

Pour programmer le transistor TC utilisé en point mémoire, on applique une tension élevée entre d'une part le caisson 52C et d'autre part la source 64C et le drain 66C. La région de grille arrière 68C acquiert une charge au travers de la jonction P-N située entre le caisson 52C et la région 68C. Pour effacer le point mémoire, on applique un potentiel fortement négatif sur le caisson 52C, par exemple un potentiel inférieur à -8 V afin que la tension entre la région 68C et le caisson 52C soit supérieure à la tension d'avalanche de la jonction P-N correspondante. On peut aussi attendre l'élimination des charges par fuite au travers de cette jonction P-N.

Ainsi, un potentiel positif élevé peut être appliqué sur le caisson situé sous l'un des transistors quel que soit le potentiel appliqué sur les caissons voisins.

Dans la zone de la puce située au-dessus du caisson N 54, les transistors sont tous formés au-dessus de caissons dopés de type P. Ceci permet d'appliquer sur le caisson N un potentiel VMAX particulièrement élevé et d'obtenir des caissons P particulièrement rapprochés. A titre d'exemple, les distances entre caissons P voisins sont inférieures à 200 nm.

Le transistor TC a été décrit dans le cadre d'un fonctionnement en point mémoire. Si on veut utiliser en transistor logique un transistor du type du transistor TC, c'est-à-dire un transistor doté d'une grille arrière dopée de type N incluse dans un caisson P, un problème se pose lorsque l'on fait varier le potentiel du caisson 52C entre une valeur élevée et une valeur plus faible. En effet, la jonction P-N entre le caisson 52C et la région de grille arrière 68C se trouve polarisée en inverse et le potentiel de la grille arrière reste à la valeur élevée. On souhaite donc réaliser un transistor ayant une grille arrière de type N situé au-dessus d'un caisson dopé de type P, dans lequel on puisse diminuer rapidement le potentiel de la grille arrière.

La figure 3 est une vue en coupe, partielle et schématique, d'une portion de puce 80 similaire à la portion de la puce 50 décrite en relation avec la figure 2, comprenant un transistor muni d'une région de grille arrière dopée de type N
5 située dans un caisson dopé de type P.

La puce 80 comprend un premier caisson 52 dopé de type P inclus en partie supérieure d'un deuxième caisson 54 dopé de type N. Le caisson 54 est situé dans la partie supérieure d'une tranche semiconductrice 55 dopée de type P, par exemple en
10 silicium. Le caisson 54 est relié par une zone de contact 56 (N^+), plus fortement dopée du type N que le caisson 54, à un noeud d'application du potentiel VMAX. Le caisson 52 est relié par une zone de contact 57 (P^+), plus fortement dopée du type P que le caisson 57, à un noeud d'application d'un potentiel VB.
15 Un transistor MOS T10, à canal P de type SOI, de préférence FDSOI, comprend, sur un isolant 58, une zone de formation de canal 60 qui s'étend sous un empilement de grille 62 entre une zone de source 64 et une zone de drain 66. Les zones de contact 56 et 57 et le transistor T10 sont séparés par des tranchées
20 d'isolement 70. Une région de grille arrière 68 plus fortement dopée du type N (N^+) que le caisson 52 est disposée dans la partie supérieure du caisson 52 du type P et est située sous l'isolant 58 au-dessous du transistor T10.

Une région 84 surdopée de type P, P^+ , c'est-à-dire
25 plus fortement dopée de type P que le caisson 52, adjacente à la région de grille arrière 68, est située sous l'isolant 58. La zone de formation de canal est entièrement située au-dessus de la région de grille arrière 68, et la région surdopée 84 est située au-dessous d'une partie de la zone de source 64 (comme
30 représenté en figure 3) et/ou de la zone de drain 66.

Lorsque le transistor T10 est en fonctionnement, si on provoque une diminution du potentiel VB appliqué sur le caisson 52 entre une valeur élevée et une valeur plus faible, comme on l'a vu précédemment, en l'absence de la région surdopée 84, le
35 potentiel de la grille arrière 68 conservera une valeur élevée.

Grâce à la présence de la région surdopée 84, des charges peuvent circuler dans les deux sens à travers la jonction P⁺-N⁺ entre les régions 68 et 84. De ce fait, le potentiel de la région de grille arrière N⁺ 68 suit avec une très faible constante de temps le potentiel VB du caisson 52. Ainsi, la
5 prévision d'une région surdopée 84 permet d'appliquer sur la grille arrière 68 du transistor T10 tout potentiel variable inférieur, ou égal à 0,3 V près, au potentiel VMAX appliqué au caisson 54.

10 La région surdopée P⁺ 84 a par exemple un niveau de dopage compris entre 10¹⁹ et 10²⁰ atomes/cm³ et la région de grille arrière N⁺ 68 a un niveau de dopage compris entre 10¹⁹ et 10²⁰ atomes/cm³, voire 10²¹ atomes/cm³. De préférence, les implantations destinées à la formation de la région N⁺ 68 et de
15 la région P⁺ 84 sont légèrement en recouvrement. Il en résulte, au niveau de la jonction P⁺-N⁺, une région dégénérée contenant à la fois des atomes dopants de type N à un niveau supérieur à 10¹⁹ atomes/cm³ et des atomes dopants de type P à un niveau supérieur à 10¹⁹ atomes/cm³. Cette région dégénérée a une
20 structure cristalline très perturbée propre à dégrader les caractéristiques de la jonction P⁺-N⁺ et à la rendre passante dans les deux sens.

Par ailleurs, à titre d'exemple, le caisson P 52 peut avoir un niveau de dopage compris entre 10¹⁶ et 10¹⁷ atomes/cm³.
25 Le caisson N 54 peut avoir un niveau de dopage compris entre 10¹⁶ et 10¹⁷ atomes/cm³.

On notera que la région surdopée 84 peut jouer le rôle d'une portion de grille arrière, comme ceci va être décrit à titre d'exemple en relation avec les figures suivantes.

30 Les figures 4 et 5A sont des vues en coupe partielles schématiques d'exemples de portions de puces comprenant des transistors à grille arrière dopée de type N. La figure 5B est une vue en coupe d'une région de grille arrière, selon un plan B-B représenté en figure 5A.

La partie de puce représentée en figure 4 est similaire à la partie de puce visible en coupe partielle en figure 3. La région surdopée 84 du transistor T10 a été remplacée par une région surdopée 84D de disposition différente. La région 84D est située sous l'isolant 58 en partie au-dessous de la zone de drain 66 et en partie au-dessous de la zone de formation de canal 60 du transistor. La région de grille arrière est située en partie au-dessous de la zone de formation de canal.

La partie de puce illustrée en figure 5A est similaire à la partie visible en coupe partielle en figure 3. La région surdopée 84 a été remplacée par une région surdopée 84E, entourée en vue de dessus (figure 5B) de la région 68 dopée de type N. La région surdopée 84E occupe une partie centrale au-dessous de la zone de formation de canal 60 visible en pointillés en figure 5A.

Les régions de type N 68 de type P 84 de chacun des transistors illustrés en figures 4, 5A et 5B forment ensemble une grille arrière. Leur disposition détermine les caractéristiques du transistor telles que la tension de seuil de grille avant, ou la manière dont le courant entre drain et source varie en fonction des potentiels V_B et V_F appliqués sur les grilles avant et arrière. Ainsi, on peut obtenir avantageusement des transistors de caractéristiques optimisées, particulièrement rapides ou de consommations énergétiques particulièrement faibles.

Des modes de réalisation particuliers ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, bien que, dans les modes de réalisation décrits, des premiers caissons disjoints de type P soient inclus dans un deuxième caisson de type N polarisé à un potentiel positif V_{MAX} , les premiers caissons disjoints peuvent être de type N inclus dans un deuxième caisson de type P polarisé à un potentiel négatif V_{MIN} . Le potentiel V_{MIN} est alors inférieur, ou égal à une tension près liée à la chute de tension d'une

B14906 - 15-GR1-0598

12

jonction P-N, aux potentiels appliqués sur les premiers caissons.

5 Bien que, dans des modes de réalisation décrits, une seule région surdopée 84 soit juxtaposée à une région de grille arrière 68, deux ou plusieurs régions surdopées peuvent être disposées sous l'isolant en contact avec la région de grille arrière. A titre d'exemple deux régions surdopées peuvent être disposées symétriquement sous les zones de drain et de source du transistor.

10 De plus, bien que les transistors décrits soient à base de silicium, d'autres semiconducteurs pourraient être utilisés.

REVENDICATIONS

1. Puce électronique comprenant des transistors MOS de type SOI sur isolant (TA, TB, TC ; T10) disposés sur des premiers caissons adaptés à être polarisés (52 ; 52A, 52B, 52C), tous dopés d'un premier type de conductivité, chaque premier caisson incluant sous l'isolant de chaque transistor une région de grille arrière (68 ; 68A, 68B, 68C) dopée plus fortement que le premier caisson, les premiers caissons étant disjoints et inclus dans un deuxième caisson adapté à être polarisé (54), dopé d'un deuxième type de conductivité.
2. Puce électronique selon la revendication 1, dans laquelle une des régions de grille arrière (68) est dopée du deuxième type de conductivité et est adjacente à une région surdopée (84) du premier type de conductivité située sous l'isolant (58) des transistors MOS.
3. Puce électronique selon la revendication 2, dans laquelle ladite région de grille arrière (68) est entièrement disposée sous une zone de formation de canal (60).
4. Puce électronique selon la revendication 2, dans laquelle chacune de ladite région de grille arrière et de ladite région surdopée (84D) est en partie disposée au-dessous d'une zone de formation de canal (60).
5. Puce électronique selon la revendication 2, dans laquelle ladite région surdopée (84E) est entourée par ladite région de grille arrière (68) et est située au-dessous d'une partie centrale d'une zone de formation de canal (60).
6. Puce électronique selon l'une quelconque des revendications 2 à 5, dans laquelle ladite région surdopée (84 ; 84D ; 84E) est dopée de type P à un niveau de dopage supérieur à 10^{19} atomes/cm³ et ladite région de grille arrière (68) est dopée de type N à un niveau de dopage supérieur à 10^{19} atomes/cm³.
7. Puce électronique selon l'une quelconque des revendications 1 à 6, dans laquelle les transistors MOS sur isolant sont de type FDSOI.

B14906 - 15-GR1-0598

14

8. Procédé de réalisation d'une puce électronique selon l'une quelconque des revendications 2 à 7, dans lequel ladite région de grille arrière (68) et ladite région surdopée (84) sont obtenues par des implantations ioniques en recou-
5 vrement partiel.

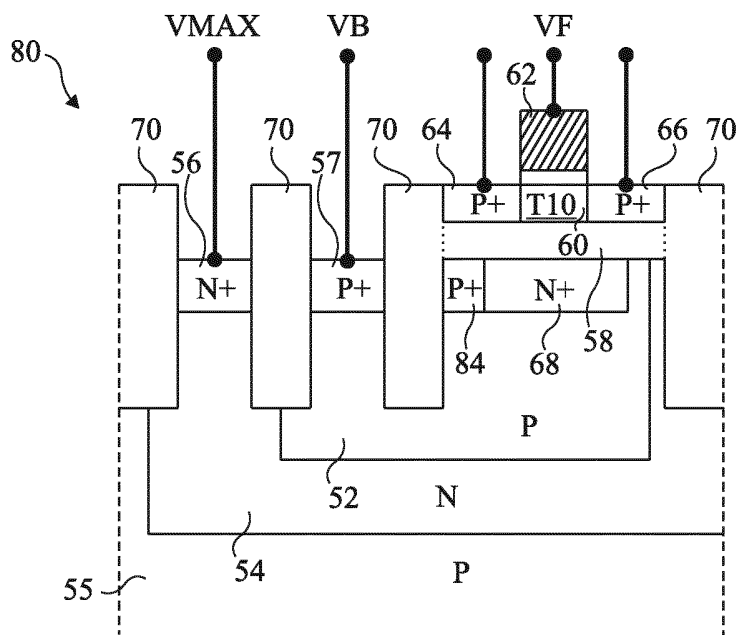


Fig 3

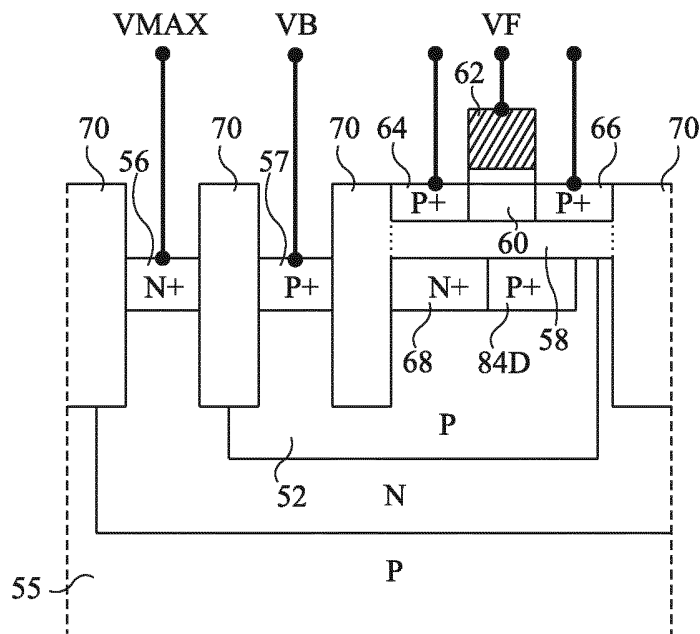


Fig 4

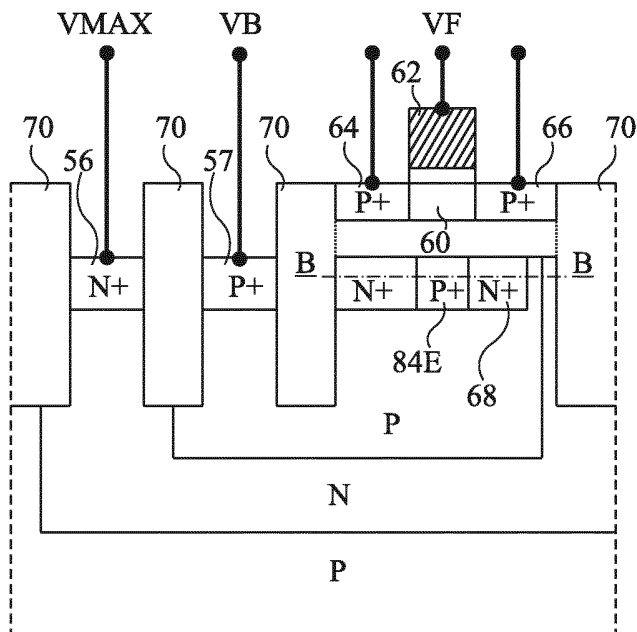


Fig 5A

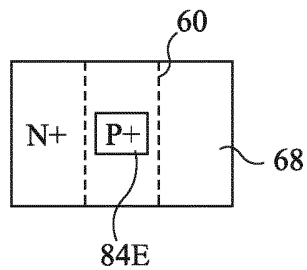


Fig 5B



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 820798
FR 1651576

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	WO 2014/131461 A1 (COMMISSARIAT L ÉNERGIE ATOMIQUE ET AUX ÉNERGIES ALTERNATIVES [FR]; IBM) 4 septembre 2014 (2014-09-04)	1-3,6-8	H01L21/8232 H01L29/739
Y	* page 2, ligne 12 - page 3, ligne 19; figure 1 * * page 6, ligne 23 - ligne 28 * * page 7, ligne 14 - ligne 22; figure 3 * * page 11, ligne 3 - ligne 15 *	4,5	
X	WO 2012/160071 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]; NOEL JEAN-PHILIPPE [FR]; GIRAUD BA) 29 novembre 2012 (2012-11-29)	1-3,7	
Y	* page 8, ligne 11 - ligne 15 * * page 11, ligne 17 - ligne 18; figures 12-15 *		
Y	US 2013/001665 A1 (ZHU HUILONG [US] ET AL) 3 janvier 2013 (2013-01-03)	4,5	
A	US 2012/146147 A1 (HOOK TERENCE B [US]) 14 juin 2012 (2012-06-14)	8	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	* alinéa [0032]; figure 5 *		H01L
A	US 2013/214356 A1 (CHENG KANGGUO [US] ET AL) 22 août 2013 (2013-08-22)	4	
	* alinéa [0104]; figure 15 *		
Date d'achèvement de la recherche		Examineur	
12 octobre 2016		Seck, Martin	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1651576 FA 820798**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 12-10-2016

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2014131461 A1	04-09-2014	US 2016013205 A1 WO 2014131461 A1	14-01-2016 04-09-2014
WO 2012160071 A1	29-11-2012	EP 2715789 A1 FR 2975803 A1 FR 2975828 A1 US 2014077300 A1 WO 2012160071 A1	09-04-2014 30-11-2012 30-11-2012 20-03-2014 29-11-2012
US 2013001665 A1	03-01-2013	AUCUN	
US 2012146147 A1	14-06-2012	US 2012146147 A1 US 2013270642 A1	14-06-2012 17-10-2013
US 2013214356 A1	22-08-2013	US 2013214356 A1 US 2015228489 A1 US 2015263041 A1	22-08-2013 13-08-2015 17-09-2015