

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-515016
(P2008-515016A)

(43) 公表日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 622Q	5C080
HO1L 51/50 (2006.01)	G09G 3/20 623D	
	G09G 3/20 622D	
	G09G 3/20 612U	
審査請求 未請求 予備審査請求 未請求 (全 39 頁) 最終頁に続く		

(21) 出願番号 特願2007-534095 (P2007-534095)
 (86) (22) 出願日 平成17年9月29日 (2005. 9. 29)
 (85) 翻訳文提出日 平成19年5月29日 (2007. 5. 29)
 (86) 国際出願番号 PCT/GB2005/050167
 (87) 国際公開番号 W02006/035246
 (87) 国際公開日 平成18年4月6日 (2006. 4. 6)
 (31) 優先権主張番号 0421710.5
 (32) 優先日 平成16年9月30日 (2004. 9. 30)
 (33) 優先権主張国 英国 (GB)

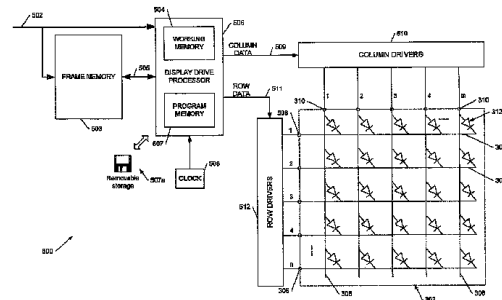
(71) 出願人 597063048
 ケンブリッジ ディスプレイ テクノロジ
 ー リミテッド
 イギリス・ケンブリッジシャー・CB23
 ・6DW・キャンボーン・キャンボーン・
 ビジネス・パーク・(番地なし)・ビルデ
 イング・2020
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 マルチラインアドレッシング方法および装置

(57) 【要約】

本発明はマルチラインアドレッシング(MLA)技術を使用して放射型の、具体的には有機発光ダイオード(OLED)ディスプレイを駆動するための方法および装置に関する。本発明の実施形態は、いわゆるパッシブマトリクスOLEDディスプレイでの使用に特に適している。それぞれが行電極および列電極によってアドレス可能な複数の画素を含む放射型ディスプレイを駆動する方法であって、第1の列駆動信号セットで複数の前記列電極を駆動すること、および第1の順バイアス行駆動信号セットで前記行電極のうち2つ以上を、前記列駆動信号による前記列電極の駆動と同時に駆動すること、次いで第2のおよび後続の列駆動信号セットで前記複数の列電極を駆動すること、および第2のおよび後続の順バイアス行駆動信号セットで前記2つ以上の行電極を、前記第2の列駆動信号による前記列電極の駆動と同時に駆動することを含む方法。



【特許請求の範囲】**【請求項 1】**

それぞれが行電極および列電極によってアドレス可能な複数の画素を含む放射型のディスプレイを駆動する方法であって、

複数の前記列電極を第1の列駆動信号セットで駆動すること、および

第1の順バイアス行駆動信号セットで前記行電極のうちの2つ以上を、前記列駆動信号による前記列電極の駆動と同時に駆動すること、次いで、

前記複数の列電極を第2の列駆動信号セットで駆動すること、および

第2の順バイアス行駆動信号セットで前記2つ以上の行電極を、前記第2の列駆動信号による前記列電極の駆動と同時に駆動することを含むことを特徴とする方法。

10

【請求項 2】

前記第1および第2の列駆動信号ならびに前記第1および第2の行駆動信号は、前記行および列電極によって駆動される前記OLED画素の所望のルミネセンスが、前記第1の行および列駆動信号によって決定される輝度と、前記第2の行および列駆動信号によって決定される輝度との実質上線形の和によって得られるように選択されることを特徴とする請求項1に記載の方法。

【請求項 3】

前記第1および第2の列駆動信号ならびに前記第1および第2の行駆動信号は、前記行および列電極によって駆動される前記画素の最大輝度が、前記行電極が別個に駆動される場合の前記最大輝度より小さくなるように選択されることを特徴とする請求項1または2に記載の方法。

20

【請求項 4】

実質上同じ所望の輝度を有する前記画素の2つ以上の行のための前記第2の行および列駆動信号による前記駆動を省くことをさらに含むことを特徴とする請求項1から3のいずれか一項に記載の方法。

【請求項 5】

前記2つ以上の行電極が、前記画素の隣接行を駆動することを特徴とする請求項1から4のいずれか一項に記載の方法。

【請求項 6】

前記2つ以上の行電極が、前記画素の離れたまたは代替の行を駆動することを特徴とする請求項1から4のいずれか一項に記載の方法。

30

【請求項 7】

前記2つ以上の行電極が、前記放射型ディスプレイ上に表示された2つ以上の連続した画像フレーム内の1つまたは複数の行電極で置換されることを特徴とする請求項1から6のいずれか一項に記載の方法。

【請求項 8】

前記第2の行駆動信号が実質上すべて、しきい値駆動値未満である場合、前記2つ以上の行電極を駆動することを省くことをさらに含むことを特徴とする請求項1から7のいずれか一項に記載の方法。

【請求項 9】

前記第1および第2の行駆動信号と前記第1および第2の列駆動信号の両方が、パルス幅変調駆動信号を含むことを特徴とする請求項1から8のいずれか一項に記載の方法。

40

【請求項 10】

前記第1および第2の行および列駆動信号が、電流駆動信号を含むことを特徴とする請求項1から9のいずれかに記載の方法。

【請求項 11】

前記第1の行駆動信号に従って前記2つ以上の行間で前記第1の列電流駆動信号を分割し、前記第2の行駆動信号に従って前記2つ以上の行間で前記第2の列電流駆動信号を分割するために、制御可能電流デバイダを使用して、前記第1および第2の行電極を駆動することをさらに含むことを特徴とする請求項10に記載の方法。

50

【請求項 1 2】

それぞれの前記画素が、少なくとも2つの異なる色の少なくとも2つのサブピクセルを含み、それぞれのサブピクセルが前記行および列電極によってアドレス可能であり、前記2つ以上の行電極の前記駆動が、共通の画素の前記2つ以上のサブピクセルの行電極を駆動することを含むことを特徴とする請求項1から11のいずれかに記載の方法。

【請求項 1 3】

それぞれの前記画素が、少なくとも2つの異なる色の少なくとも2つのサブピクセルを含み、それぞれのサブピクセルが前記行および列電極によってアドレス可能であり、前記2つ以上の行電極の前記駆動が、同じ色のサブピクセルの行電極を駆動することを含むことを特徴とする請求項1から12のいずれかに記載の方法。

10

【請求項 1 4】

電極の3つ以上の隣接行のグループ内の行電極から前記2つ以上の行電極を選択することをさらに含むことを特徴とする請求項1から13のいずれかに記載の方法。

【請求項 1 5】

前記行電極駆動が、前記行電極のうちの3つ以上を前記第1および第2の行駆動信号セットで駆動することを含み、方法が、前記複数の列電極を第3の列駆動信号セットで、第3の行駆動信号セットによる前記3つ以上の行電極の駆動と実質上同時に駆動することをさらに含むことを特徴とする請求項1から14のいずれかに記載の方法。

【請求項 1 6】

前記放射型ディスプレイがOLEDディスプレイであることを特徴とする請求項1から15のいずれかに記載の方法。

20

【請求項 1 7】

実行時に、請求項1から16のいずれか一項に記載の方法を実施することを特徴とするプロセッサ制御コード。

【請求項 1 8】

請求項17に記載のプロセッサ制御コードを搬送することを特徴とするキャリア。

【請求項 1 9】

請求項1から16のいずれか一項に記載の方法を実施する手段を含むことを特徴とするOLEDディスプレイドライバ。

【請求項 2 0】

それぞれが行電極および列電極によってアドレス可能な複数の画素を含む放射型ディスプレイを駆動するための放射型ディスプレイドライバであって、

複数の前記列電極を第1の列駆動信号セットで駆動する手段と、

第1の順バイアス行駆動信号セットで前記行電極のうちの2つ以上を、前記第1の列駆動信号による前記列電極の駆動と同時に駆動する手段と、

前記複数の列電極を第2の列駆動信号セットで駆動する手段と、

第2の順バイアス行駆動信号セットで前記2つ以上の行電極を、前記第2の列駆動信号による前記列電極の駆動と同時に駆動する手段とを含むことを特徴とする放射型ディスプレイドライバ。

30

【請求項 2 1】

放射型ディスプレイを駆動するための放射型ディスプレイドライバ回路であって、前記ディスプレイの画素が行電極および対応する列電極によってアドレス可能であり、

前記ディスプレイドライバが、

複数の前記列電極を同時に駆動するための1つまたは複数の列ドライバと、

前記列電極のための駆動が複数の前記行ドライバの間で共有されるように、前記列電極駆動と同時に、前記列電極に対応する複数の前記行電極を同時に駆動するための1つまたは複数の行ドライバとを含むことを特徴とする放射型ディスプレイドライバ回路。

40

【請求項 2 2】

前記行および列ドライバが、制御可能な実質上一定の電流を供給するための回路を含むことを特徴とする請求項20に記載の放射型ディスプレイドライバ。

50

【請求項 2 3】

前記放射型ディスプレイがOLEDディスプレイであることを特徴とする請求項20から22のいずれか一項に記載の放射型ディスプレイドライバ。

【請求項 2 4】

OLEDディスプレイの複数の電極を同時に駆動するように構成された複数のドライバと、前記複数の電極のための駆動信号を決定するように構成されたディスプレイ駆動処理回路とを含み、ダイが長さ対幅10対1より大きいアスペクト比を有することを特徴とする集積回路ダイチップ。

【請求項 2 5】

多色有機エレクトロルミネセンスディスプレイに増加した寿命を与える方法であって、前記ディスプレイが、少なくとも3つのサブピクセルを有する各画素の行列を含み、第1のサブピクセルが第1の色のサブピクセルを含み、第2のサブピクセルが第2の色のサブピクセルを含み、第3のサブピクセルが、前記第1の色および前記第2の色と重なり合う第3の色のサブピクセルを含み、前記方法が、前記第1のサブピクセルの光出力の成分および前記第2のサブピクセルの光出力の成分として、前記第3のサブピクセルの光出力を決定すること、前記第3のサブピクセルを使用して所与の色について発光可能な光出力の最大部分を決定すること、および対応する光出力成分を第1のサブピクセルの光出力および前記第2のサブピクセルの光出力から減じることを含むことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチラインアドレッシング(MLA: multi-line addressing)技術を使用して放射型の、具体的には有機発光ダイオード(OLED: organic light emitting diode)のディスプレイを駆動するための方法および装置に関する。本発明の実施形態は、いわゆるパッシブマトリクスOLEDディスプレイでの使用に特に適している。本出願は、同じ優先日を有する、1組の3つの関連出願のうちの1つである。

【背景技術】

【0002】

電力消費の削減およびLCDの比較的遅いレスポンス率の増加のための液晶ディスプレイ(LCD: liquid crystal display)用のマルチラインアドレッシング技術は、たとえばUS2004/150608号、US2002/158832号およびUS2002/083655号に記載されてきた。しかし、これらの技術は、OLEDが放射型の技術であり、LCDが変調器の形であるというOLEDとLCDの基本的な違いから生じる差のために、OLEDディスプレイには適していない。さらに、OLEDは、電流の印加によってほぼ線形の応答を示し、LCDセルは、印加される電圧のRMS(root-mean-square: 二乗平均平方根)値に応じて変化する非線形の応答を有する。

【0003】

OLEDを使用して製造されたディスプレイは、LCDおよび他のフラットパネル技術に勝る複数の利点をもたらす。それらは、(LCDと比較して)明るく、多彩であり、高速に切り換わり、広視野角を提供し、また様々な基板上での作製が容易で安価である。有機(ここでは有機金属を含む)LEDは、ポリマー、小分子および dendrimer を含めた材料を用いて、使用された材料によって決まる様々な色で製造され得る。ポリマーベースの有機LEDの例が、WO 90/13148号、WO 95/06400号およびWO 99/48160号に記載されており、 dendrimer ベースの材料の例が、WO 99/21935号およびWO 02/067343号に記載されており、いわゆる小分子ベースのデバイスの例が、US 4539507号に記載されている。

【0004】

一般的なOLED素子は、有機材料の2つの層を含み、これらの層のうちの1つは、発光ポリマー(LEP: light emitting polymer)、オリゴマー、発光低分子量物質など、発光材料の層であり、もう1つの層は、ポリチオフェン誘導体やポリアニリン誘導体など、正孔輸送材料の層である。

【0005】

10

20

30

40

50

有機LEDは、単一色または多色の画素化されたディスプレイを形成するために、基板上で画素の行列に置かれてもよい。多色ディスプレイは、赤、緑および青の発光画素群を使用して構成されてもよい。いわゆるアクティブマトリクスディスプレイは、記憶素子、一般に各画素に関連する記憶コンデンサおよびトランジスタを有し、パッシブマトリクスディスプレイは、こうした記憶素子を有しておらず、その代わりに、安定した画像の印象を与えるため反復して走査される。他のパッシブディスプレイは、セグメント化されたディスプレイを含み、このディスプレイでは、複数のセグメントが共通の電極を共有し、セグメントは、その他の電極に電圧を印加することによって点灯され得る。セグメント化された単純なディスプレイは走査される必要はないが、セグメント化された複数の領域を含むディスプレイでは、電極が(その数を減らすため)多重化され、次いで走査されることができる。

10

【0006】

図1Aは、OLEDデバイス100の一例の鉛直断面図を示している。アクティブマトリクスディスプレイでは、画素の面積の一部が、関連する駆動回路によって占められる(図1Aに図示せず)。このデバイスの構造は、例示するため、いくらか簡略化されている。

【0007】

OLED100は、基板102、一般には0.7mmまたは1.1mmのガラスであるが、任意選択により透明プラスチック、または実質上透明の他の何らかの材料を含む。陽極層104は、一般には約150nmの厚さのITO(indium tin oxide:インジウムスズ酸化物)を含む基板上に置かれ、この基板の一部の上には、金属接触層が設けられる。一般に、接触層は、約500nmのアルミニウム、またはクロムの層の間に挟まれたアルミニウムの層を含み、これは、陽極金属と呼ばれることがある。ITOで覆われたガラス基板、および接触金属は、米国のCorning社から入手可能である。ITOの上の接触金属は、具体的にはデバイスへの外部接触のために陽極接続が透明である必要はない場合に、抵抗が減少した経路を提供するのに役立つ。接触金属は、それが必要とされない場合、具体的には、それがさもなければディスプレイを不明瞭にする場合、エッチングの後に続くフォトリソグラフィの標準のプロセスによって、ITOから取り除かれる。

20

【0008】

実質上透明な正孔輸送層106は、エレクトロルミネセンス層108および陰極110が後に続いている陽極層の上に置かれる。エレクトロルミネセンス層108はたとえばPPV(poly(p-phenylenevinylene):ポリ(p-フェニレンビニレン))を含むことができ、陽極層104とエレクトロルミネセンス層108との正孔エネルギーレベルを一致させるのに役立つ正孔輸送層106は、導電性透明ポリマー、たとえばドイツのBayer AG社からのPEDOT:PSS(polystyrene-sulphonatedoped polyethylene-dioxythiophene:ポリエチレンスルホン酸ドーブポリエチレンジオキシチオフエン)を含み得る。一般的なポリマーベースの素子では、正孔輸送層106は、約200nmのPEDOTを含むことができ、発光ポリマー層108は一般に、約70nmの厚さである。これらの有機層は、スピコーティング(後にプラズマエッチングまたはレーザーアブレーションによって不所望の部分から材料を取り除く)、またはインクジェット印刷によって置かれてもよい。この後者のケースでは、有機層がその中に置かれ得る窪み(well)を定義するために、バンク112が、たとえばフォトレジストを使用して基板上に形成されてもよい。こうした窪みによって、ディスプレイの発光領域または画素が定義される。

30

40

【0009】

陰極層110は一般に、アルミニウムのより厚いキャッピング層で覆われた、(たとえば物理的な蒸着によって置かれた)カルシウムやバリウムなどの低仕事関数金属を含む。電子エネルギーレベル一致の向上のため、任意選択で追加の層が、フッ化リチウム層などのエレクトロルミネセンス層に直接隣接して設けられてもよい。陰極線の相互の電気的分離は、陰極セパレータ(図1Aに図示せず)を使用することによって達成されまたは向上されてもよい。

【0010】

同じ基本構造が、小分子および dendrimer 素子用にも使用されることができる。一般

50

に、複数のディスプレイが単一の基板上で作製され、製造プロセスの終わりに、基板が刻まれ、封入容器の前に分離されたディスプレイは、酸化および水分の移入を防ぐため、それぞれに取り付けられる。

【0011】

OLEDを点灯させるために、電力が、図1Aにバッテリー118によって示された陽極と陰極との間に印加される。図1Aに示す例において、光は、透明陽極104、および基板102を通過して放射され、陰極は一般に反射性であり、こうした装置は、「ボトムエミッタ」と呼ばれる。陰極（「トップエミッタ」）を通過して放射する素子が、陰極が実質上透明となるように、たとえば陰極層110の厚さを50～100nm未満に保つことによって構成されることもできる。

10

【0012】

有機LEDが、単一色または多色の画素化されたディスプレイを形成するために、基板上で画素の行列に置かれてもよい。多色ディスプレイは、赤、緑および青の発光画素群を使用して構成されてもよい。こうしたディスプレイでは、個々の要素は一般に、画素の選択のため行(または列)ラインを駆動することによってアドレッシングされ、画素の行(または列)が、ディスプレイの作成のために書き込まれる。いわゆるアクティブマトリクスディスプレイは、記憶素子、一般に各画素に関連する記憶コンデンサおよびトランジスタを有し、パッシブマトリクスディスプレイは、こうした記憶素子を有しておらず、その代わりに、安定した画像の印象を与えるためTV画像といくらか同様に、反復して走査される。

【0013】

20

次に図1Bを参照すると、これは、パッシブマトリクスOLEDディスプレイ150の簡略化された横断面を示しており、この図では、図1Aの要素と同様の要素が、同じ参照番号によって示されている。図示するように、正孔輸送層106および電子発光108層は、それぞれ陽極金属層104および陰極層110内で定義された互いに垂直の陽極線および陰極線の交点で、複数の画素152に細分割されている。この図では、陰極層110内で定義された導電線154がページに達しており、陰極線に対して直角に伸びる複数の陽極線158のうちの1つの断面が示されている。陰極線と陽極線の交点のエレクトロルミネセンス画素152は、関連するライン間に電圧を加えることによりアドレッシングされ得る。陽極金属層104は、ディスプレイ150に外部接触を提供し、(陽極金属のリードアウト上で陰極層パターンを実行することにより)OLEDへの陽極と陰極の両方の接続のために使用されてもよい。上記で言及されたOLED材料、具体的には発光ポリマーおよび陰極は、酸化および水分の影響を受けやすく、したがって素子は、金属缶111内に封入され、紫外線硬化エポキシ系接着剤113によって陽極金属層104に取り付けられ、接着剤内の小さいガラスビードが、金属缶による接触および接触のショートを防止する。

30

【0014】

次に図2を参照すると、これは、図1Bに示されたタイプの型のパッシブマトリクスOLEDディスプレイ150の駆動構成を概念的に示している。複数の定電流発生器200が設けられており、それぞれが電源線202、および複数の列ライン204のうちの1つに接続されており、明瞭にするため、列ライン204のうちの1つだけが示されている。複数の行ライン206(そのうちの1つだけが示されている)も設けられており、行ラインはそれぞれ、交換接続210によって接地線208に選択的に接続され得る。図示するように、線202に電源電圧がかかる場合には、列ライン204は、陽極接続158を含み、行ライン206は、陰極接続154を含むが、電源線202が負であり、接地線208に対するものであれば、接続は逆にされる。

40

【0015】

図示するディスプレイの画素212は、それに印加される電力を有し、したがって点灯される。画像を作成するために、行のための接続210は、完全な行がアドレッシングされるまで列ラインのそれぞれが順に駆動される間維持され、次いで、次の行が選択され、プロセスが繰り返される。しかし、好ましくは、個々の画素がより長くオンのままとどまることを可能にし、したがって全体的な駆動レベルを低減させるために、行が選択され、すべての列が並列に書き込まれ、すなわち電流が、行内の各画素をその所望の輝度で点灯させ

50

るため各列ラインに同時に加えられる(drive onto)。列内の各画素は、次の列がアドレッシングされる前に順にアドレッシングされ得るが、これは、とりわけ列のキャパシタンスの影響のため、好ましくない。

【0016】

パッシブマトリクスOLEDディスプレイでは、どの電極を行電極と呼び、またはどの電極を列電極と呼ぶかは任意であり、本明細書では、「行」と「列」が区別なく用いられることが当業者には理解されよう。

【0017】

素子を通して流れる電流によってOLEDの輝度が決まるので、OLEDに電圧制御型ではなく電流制御型の駆動を与えることは通常のことであり、これによって、それが生成するフォトンの数が決まる。電圧制御型の構成では、輝度は、ディスプレイの面積にわたって、時、温度および寿命によって変化することがあり、所与の電圧で駆動されるときに画素の輝度がどのように見えるかを予測することが困難になる。カラーディスプレイでは、色の表現の精度も影響を受け得る。

【0018】

画素の輝度を変化させる従来の方法は、パルス幅変調(PWM: Pulse Width Modulation)を使用して画素を定時に変化させることである。従来 PWM方式では、画素は完全にオンまたは完全にオフであるが、画素の見かけの輝度は、観察者の目の中での積算(integration)のため変化する。代替の方法は、列駆動電流を変化させることである。

【0019】

図3は、従来技術によるパッシブマトリクスOLEDディスプレイのための一般的な駆動回路の概要図300を示している。OLEDディスプレイは、破線302によって示されており、対応する行電極接触306をそれぞれが有している複数n個の行ライン304、および対応する複数の列電極接触310をそれぞれが有する複数m個の列ライン308を含む。OLEDは、行と列ラインの各対の間で接続され、図示する構成では、その陽極が列ラインに接続されている。y-ドライバ314は定電流で列ライン308を駆動し、x-ドライバ316は行ライン304を駆動し、行ラインを選択的にアースに接続する。y-ドライバ314およびx-ドライバ316は一般に、両方ともプロセッサ318の管理下にある。電源320は、回路に、具体的にはy-ドライバ314に電力を供給する。

【0020】

OLEDディスプレイドライバの一部の例は、US 6014119号、US 6201520号、US 6332661号、EP 1079361A号およびEP 1091339A号に記載されており、PWMを使用するOLEDディスプレイドライバ集積回路は、米国、マサチューセッツ州、BeverlyのClare Micronix of Clare, Inc.社によって販売されている。改良型のOLEDディスプレイドライバの一部の例は、本出願人の同時係属出願WO 03/079322号およびWO 03/091983号に記載されている。具体的には、参照により本明細書に組み込まれているWO 03/079322号は、コンプライアンスの向上を伴うデジタル制御可能なプログラマブル電流発生器について記載している。

【特許文献1】US 2004/150608号

【特許文献2】US 2002/158832号

【特許文献3】US 2002/083655号

【特許文献4】WO 90/13148号

【特許文献5】WO 95/06400号

【特許文献6】WO 99/48160号

【特許文献7】WO 99/21935号

【特許文献8】WO 02/067343号

【特許文献9】US 4539507号

【特許文献10】US 6014119号

【特許文献11】US 6201520号

【特許文献12】US 6332661号

【特許文献13】EP 1079361A号

10

20

30

40

50

- 【特許文献 1 4】EP 1091339A号
- 【特許文献 1 5】WO 03/079322号
- 【特許文献 1 6】WO 03/091983号
- 【特許文献 1 7】英国特許出願第0428191.1号
- 【非特許文献 1】D. D. Lee、H. S. Seung、「Algorithms for non-negative matrix factorization」
- 【非特許文献 2】P. Paatero、U. Tapper、「Least squares formulation of robust non-negative factor analysis」、Chemometr. Intell. Lab、37 (1997)、23 ~ 35頁
- 【非特許文献 3】P. Paatero、「A weighted non-negative least squares algorithm for three-way 'PARAFAC' factor analysis」、Chemometr. Intell. Lab、38 (1997)、223 ~ 242頁 10
- 【非特許文献 4】P. Paatero、P. K. Hoppeなど、「Understanding and controlling rotations in factor analytic models」、Chemometr. Intell. Lab、60 (2002)、253 ~ 264頁
- 【非特許文献 5】J. W. Demmel、「Applied numerical linear algebra」、Society for Industrial and Applied Mathematics, Philadelphia、1997年
- 【非特許文献 6】S. Juntto、P. Paatero、「Analysis of daily precipitation data by positive matrix factorization」、Environmetrics、5 (1994)、127 ~ 144頁
- 【非特許文献 7】P. Paatero、U. Tapper、「Positive matrix factorization: a non-negative factor model with optimal utilization of error estimates of data values」、Environmetrics、5 (1994)、111 ~ 126頁 20
- 【非特許文献 8】C. L. Lawson、R. J. Hanson、「Solving least squares problems」、Prentice-Hall、Englewood Cliffs、NJ、1974年
- 【非特許文献 9】「Algorithms for Non-negative Matrix Factorization」、Daniel D. Lee、H. Sebastian Seung、556 ~ 562頁、Advances in Neural Information Processing Systems 13、Neural Information Processing Systems (NIPS) 2000、Denver、CO、USA、MIT Press 2001
- 【非特許文献 1 0】「Existing and New Algorithms for Non-negative Matrix Factorization」、Wenguo Liu & Jianliang Yi、www.dcfll.gov/DCCI/rdwg/nmf.pdf
- 【非特許文献 1 1】http://www.cs.utexas.edu/users/liuwg/383CProject/CS_383C_Project.htm 30
- 【非特許文献 1 2】「Numerical Recipes in C: The Art of Scientific Computing」、Cambridge University Press 1992
- 【発明の開示】
- 【発明が解決しようとする課題】
- 【0 0 2 1】
- OLEDディスプレイの寿命を向上させることができる技術が引き続き求められている。パッシブマトリクスディスプレイはアクティブマトリクスディスプレイより遥かに安価に製造することができるので、パッシブマトリクスディスプレイに適用可能な技術が特に求められている。OLEDの駆動レベル(したがって輝度)を低減すると素子の寿命を著しく向上させることができ、たとえばOLEDの駆動/輝度を半減させると、その寿命は約4倍に増加し得る。本発明者は、具体的にはパッシブマトリクスOLEDディスプレイにおいて最大ディスプレイ駆動レベルを減少させ、したがってディスプレイ寿命を増加させるために、マルチラインアドレッシング技術が使用され得ることを認識している。 40
- 【課題を解決するための手段】
- 【0 0 2 2】
- したがって、本発明の第1の態様によれば、放射型の、具体的には、それぞれが行電極および列電極によってアドレス可能な複数の画素を含むディスプレイを駆動する方法が提供され、該方法が、第1の列駆動信号セットで複数の前記列電極を駆動すること、および第1の行駆動信号セットで前記行電極のうちの2つ以上を、前記列駆動信号による前記列電 50

極の駆動と同時に駆動すること、次いで、前記複数の列電極を第2の列駆動信号セット(および任意選択で後続のセット)で駆動すること、および第2の行駆動信号セット(および任意選択で後続のセット)で前記2つ以上の行電極を、前記第2の(および任意選択で後続の)列駆動信号による前記列電極の駆動と同時に駆動することを含む。

【0023】

この方法の実施形態は、ディスプレイの2つ以上の各行の複数の画素に同時に発光させ、したがってディスプレイのOLED画素の最大輝度の減少を可能にし、よってディスプレイの寿命を増加させる。また、駆動電圧の減少および容量性損失の減少により、消費電力も減少する。

【0024】

大まかに言うと、行および列群を、従来の駆動方式のように順々にではなく、同時に駆動することによって、それぞれ異なる行の画素ルミネセンス間の相関が利用されることができ、したがって、(実施形態では、ライン走査周期の同じ総数、たとえば3つのラインでは3つの周期が使用され得るが、)各行(ライン)の必要なルミネセンスプロファイルは、単一のライン走査周期のインパルスとしてではなく、複数のライン走査周期にわたって構築される。

【0025】

複数のライン走査周期にわたりルミネセンスプロファイルを構築することによって、各ライン走査周期の間の画素駆動が減少され得る。減少の度合いは、一緒に駆動されるライン群間の相関に依存し、したがって、好ましくは、2つ以上の行(ライン)の群が、その相関または予想される相関に基づいて選択される。たとえば、「Windows(登録商標)」タイプのディスプレイでは、ラインのうちの多くは、相関した値を有し、同様に、テキストを構成する画素のラインについても同じことが言える(たとえば、文字「A」中の斜線について考慮されたい)。

【0026】

他の構成では、一緒にまとめられて、同時に駆動される行電極は、色画素を有するディスプレイの原色サブピクセルの電極を含み得る。一般に、色画素のたとえば赤、緑および青サブピクセルの間には、これらがすべて色画素の全体的なルミネセンスに寄与するので、比較的高い相関性がある。

【0027】

好ましくは、第1および第2の列駆動信号ならびに第1および第2の行駆動信号は、行および列電極によって駆動されるOLED画素(またはサブピクセル)の所望のルミネセンスが、第1の行および列駆動信号によって決まるルミネセンスと第2の行および列駆動信号によって決まるルミネセンスとの実質上線形の和によって得られるように選択される。3つの行電極と一緒に駆動される場合、この方法は、第1、第2および第3の各行/列駆動信号セットに関して行および列電極を駆動する3つの工程を含む。

【0028】

行および列電極によって駆動されるOLED画素の全体的な所望のルミネセンスに対する行駆動信号セットの寄与が小さい場合、すなわち上記の線形和への行/列駆動信号セットの寄与が小さい場合、寄与は無視され、対応する行/列駆動工程が省かれ得る。このように、有効なフレーム率は、(ライン走査周期の総数が減少するので)増加することがあり、したがって、(積算する(integrate))人間の目へのディスプレイの見かけ輝度が増加し、よって最大駆動信号のさらなる減少が可能となる。これは、上記の線形和について行および列駆動信号を決定するときに考慮に入れられてもよい。

【0029】

同様に、画素の2つ以上の行が、その行の画素のほとんどまたはすべてについて実質上同じ所望のルミネセンスを有する場合、単一の、共通の行駆動信号セットが適用されることが必要であり、その2つ以上の行のための第2の行および列駆動信号セットは省かれることができ、これは、フレーム率を増加させ、すなわち同じ総フレーム率についてライン周期を長くすることができるという効果もある。

10

20

30

40

50

【0030】

第1および第2の行および列駆動信号は、OLEDが電流駆動に対して実質上線形の応答を有するので、電流駆動信号を有するのが好ましく、2つ以上の行が一緒に駆動される場合、適切な行および列駆動信号の決定が容易になる。こうした電流駆動信号は好都合には、電流源または電流シンクを含み得る(制御可能な)定電流発生器によって供給されてもよい。さらにまたはあるいは、第1および第2の行および列駆動信号は、パルス幅変調された駆動信号を含むことができ、一般に、OLED輝度を修正することができるどんな変数も、行/列駆動を変更させるために使用され得る。

【0031】

上述したように、実施形態では、第1および第2の行および列駆動信号は、駆動される画素の最大ルミネセンスが、行電極が別個に駆動される場合よりも小さくなるように選択される。同時に駆動される画素行は、ディスプレイ上の画素の隣接するラインを含むことができ、または互いの比較的増加した相関性のため、2つ、3つまたは4つ以上の行のグループにまとめられた行を含んでもよい。たとえば、ディザリングが頻繁に使用される場合、2つ以上の交互の行のセットが同時にアドレッシングされてもよい。

10

【0032】

この原理は、ビデオの場合、行を時間領域でグループ化することに、さらにまたはあるいは空間領域へと拡張されることができ、すなわち、グループ化される行は、連続的に表示される画像フレームの同じ行を含むことができ、複数の連続したフレームにわたる所望のルミネセンスプロファイルが構築される。

20

【0033】

パルス幅変調された電流駆動が使用されようが、かつ/または可変の電流駆動が使用されようが、1組の列駆動を、行駆動信号セットによる2つ以上の行電極の駆動と同時に駆動することの効果は、行駆動信号によって定義される比率に従って行間の列駆動を分割するということである。換言すると、それぞれの行に適用される駆動信号の比率によって、各行が受け取る共通の列駆動信号の割合が決まる。

【0034】

上述の方法では、行および列駆動信号の役割は交換され得ることが理解されよう。この方法の実施形態は、パッシブマトリクスディスプレイにとって特に有用であるが、アクティブマトリクスディスプレイで使用することもできる。

30

【0035】

本発明は、放射型の、具体的には、上述の方法の実施形態を実施する手段を含むOLEDディスプレイドライバをも提供する。こうした手段は、個別部品および/または1つまたは複数の集積回路、ASIC(Applications Specific Integrated Circuits: 特定用途向け集積回路)、FPGA(Field Programmable Gate Array: フィールドプログラマブルゲートアレイ)、適切なプロセッサ制御コード(またはマイクロコード)を備えた専用プロセッサ、あるいはこれらの任意の組合せを含み得る。

【0036】

したがって、本発明は、それぞれが行電極および列電極によってアドレス可能な複数の画素を含む放射型のディスプレイを駆動するための放射型の、具体的にはOLEDディスプレイドライバをも提供し、前記ディスプレイドライバが、複数の前記列電極を第1の列駆動信号セットで駆動する手段と、前記行電極のうち2つ以上を第1の行駆動信号セットで、前記第1の列駆動信号による前記列電極の駆動と同時に駆動する手段と、前記複数の列電極を第2の列駆動信号セットで駆動する手段と、前記2つ以上の行電極を第2の行駆動信号セットで、前記第2の列駆動信号による前記列電極の駆動と同時に駆動する手段とを含む。

40

【0037】

本発明はさらに、放射型の、具体的にはOLEDディスプレイを駆動するための放射型の、具体的にはOLEDディスプレイドライバ回路を提供し、該ディスプレイの画素(OLED)が、行電極および対応する列電極によってアドレッシングされ、前記ディスプレイドライバが、

50

複数の前記列電極を同時に駆動する1つまたは複数の列ドライバと、前記列電極のための駆動が複数の前記行ドライバ間で共有されるように、前記列電極に対応する複数の前記行電極を、前記列電極の駆動と同時に駆動する1つまたは複数の行ドライバとを含む。

【0038】

好ましくは、行および列ドライバは、実質上一定の電流の発生器(ソースまたはシンク)を含み、これらは、デジタルアナログ変換器によって制御可能であり、またはプログラム可能であり得る。

【0039】

本発明はさらに、プロセッサ制御コード、および上述の方法およびディスプレイドライバを実装するためのコードを搬送するキャリア媒体を提供する。このコードは、従来のプログラムコード、たとえばデジタル信号プロセッサ(DSP: digital signal processor)、マイクロコード、ASICまたはFPGAを設定しまたは制御するためのコード、またはVeriLog(商標)などのハードウェア記述言語用のコードを含むことができ、こうしたコードは、結合された複数の構成要素間で分散されてもよい。キャリア媒体は、ディスクなどの従来の記憶媒体やファームウェアなどのプログラムされたメモリ、または光や電気の信号キャリアなどのデータキャリアを含んでもよい。

10

【0040】

本発明のさらなる態様では、本発明は、OLEDディスプレイの複数の電極を同時に駆動するように構成された複数のドライバを含む集積回路ダイチップ、および前記複数の電極のための駆動信号を決定するように構成されたディスプレイ駆動処理回路を提供し、前記ダイが、長さ対幅10対1の、好ましくは15対1より大きいアスペクト比を有する。

20

【0041】

本発明人は、ディスプレイ駆動処理回路が、シリコン面積をほとんどまたは全く増加せずに従来のドライバチップ内に組み込まれ得ることを認識している。これは、ドライバチップが一般に、実質上同一のドライバの長い列として物理的に構成されるからであるが、しかし、チップがダイス状にされ得る最小物理幅があるので、比較的大きい事実上未使用のデッドスペースが頻繁に存在する。たとえば、ドライバチップのダイは、20mmの長さ、したがって約1mmの最小幅を有し得る。本発明人は、ドライバチップのこうした長く薄い物理構成では、この空間は、上述の方法の実施形態を実施する助けとなる処理回路を実装するのに効率よく使用できることを認識している。

30

【0042】

より具体的には、以下でさらに述べるように、本方法の好ましい実施形態は、行列計算を伴う計算を用いて実施されてもよい。こうした行列計算は、必要な追加のシリコンが、使用可能な「デッドスペース」を超えないならば、チップ製造コストへ影響をほとんどまたは全く与えずに、ドライバ集積回路ダイの1つまたは両方のエッジを使用して、当業者にはよく知られているやり方で、「知的財産」として一般に知られているものの適切なライブラリからの従来の信号処理ブロックを用いて実施されてもよい。これは、この方法の実施される実施形態を、同時に駆動される2および4つ、またはたとえばせいぜい6つの行に制限することによって容易にされ得る。

40

【0043】

本発明の態様による多色ディスプレイが、白色発光サブピクセルをカラーフィルタと共に使用して提供されることもできる。

【0044】

本発明は、それぞれが少なくとも3つのサブピクセルを有する、画素の行列を含む多色の有機エレクトロルミネセンスディスプレイをも提供し、第1のサブピクセルが第1の色のサブピクセルを含み、第2のサブピクセルが第2の色のサブピクセルを含み、第3のサブピクセルが、前記第1の色および前記第2の色に重ね合わさり、または第1と第2の色、および任意選択で追加の色の混合を含んでいる第3の色のサブピクセルを含む。

【0045】

好ましくは、第3のサブピクセルは、第1および第2のサブピクセルの範囲内で発光する

50

ように構成されたサブピクセルを含む。第4の色の第4のサブピクセル(たとえば第1と第2と第3の色、および任意選択による追加の色の混合)が含まれてもよい。第3のサブピクセルは、白サブピクセルを含むことができ、かつ/または第1、第2および第4のサブピクセルの範囲内で発光するように構成されてもよい(すなわち、第3のサブピクセルは、第1、第2および第4の色に重ね合わさる色を有し、かつ/または第1、第2および第4のサブピクセルによって発光される波長に重ね合わさる波長で放射してもよい)。すべてのサブピクセルは、実質上同じ面積を有することができ、第3のサブピクセルは、他のサブピクセルより大きい面積を有し得る。

【0046】

本発明はさらに、多色の有機エレクトロルミネセンスディスプレイに増加した寿命を与える方法を提供し、該ディスプレイが、それぞれ少なくとも3つのサブピクセルを有する画素の行列を含み、第1のサブピクセルが第1の色のサブピクセルを含み、第2のサブピクセルが第2の色のサブピクセルを含み、第3のサブピクセルが、前記第1の色および前記第2の色に重ね合わさり、または第1と第2の色、および任意選択で追加の色の混合を含んでいる第3の色のサブピクセルを含み、該方法が、第1のサブピクセルの光出力の成分および第2のサブピクセルの光出力の成分として第3のサブピクセルの光出力を決定すること、前記第3のサブピクセルを使用して所与の色について発光可能な光出力の最大部分を決定すること、および対応する光出力成分を第1のサブピクセル光出力および第2のサブピクセル光出力から減じることを含む。

【0047】

上述のディスプレイおよび方法の実施形態は、それぞれの有色画素に追加の有色サブピクセルを組み込むことによって、寿命の向上、色域の増加および電力消費の減少の組合せを可能にする。具体的には、大部分が白の背景を表示する場合、白画素を組み込むことによって、青画素(最短の寿命を有する)の需要が著しく減少する。これは、白色発光OLEDが、同じ白色輝度の生成するための等価の光出力の青OLEDより実質上長い寿命を有し得るので、ディスプレイ寿命の増加が促される。実施形態において、他の色、たとえばシアン、マゼンタおよび/または黄色のサブピクセルを組み込むことによって、色域のより大きい領域を利用することが可能となる。これは、たとえば、グラフィックアートで使用されるなど、専門家ディスプレイにとって有利である。

【0048】

次に、本発明のこれらおよび他の態様について、例示するためだけに、添付の図面を参照してさらに述べる。

【発明を実施するための最良の形態】

【0049】

第1の行Aと第2の行Bとを含むパッシブマトリクスOLEDディスプレイの1対の行について考慮されたい。従来のパッシブマトリクス駆動方式では、行は以下の表1に示すように駆動され、各行が完全にオンの状態(1.0)または完全にオフの状態(0.0)にある。

【0050】

【表1】

A		B	
on	(1.0)	off	(0.0)
off	(0.0)	on	(1.0)

表1

【0051】

比率A/(A+B)について考慮されたい。上記の表1の例では、これは、ゼロまたは1であるが、しかし、2つの行内の同じ列の画素が両方の行において完全オンでないならば、この

比率は、所望の画素輝度を依然として提供しながら減少されることができ、このように、最大駆動レベルは減少され、画素寿命は増加し得る。

【 0 0 5 2 】

第1のライン走査では、輝度は以下であり得る。

第1の周期

0.0 0.361 0.650 0.954 0.0

0.0 0.015 0.027 0.039 0.0

第2の周期

0.2 0.139 0.050 0.046 0.0

0.7 0.485 0.173 0.161 0.0

10

【 0 0 5 3 】

以下のことが見出される。

1. 2つの行間の比は、単一の走査周期において等しい(第1の走査周期では0.96、第2の走査周期では0.222)。
2. 2つの行間の輝度は、必要な値まで増加する。
3. 最大輝度は、標準の走査時の輝度以下である。

【 0 0 5 4 】

上記の例は、単純な2ラインの場合の技術について実証している。輝度データの比が、2つのライン間で類似する場合、より多くの利益が得られる。画像データに関する計算のタイプによって、輝度は、平均30パーセント以上減少させることができ、それには、画素寿命に対するかなりの有益な効果があり得る。この技術を、より多くの行について同時に考慮するように拡張することによって、より多くの利益がもたらされ得る。

20

【 0 0 5 5 】

SVD画像行列分解を使用するマルチラインアドレッシングの一例が、以下に示されている。

【 0 0 5 6 】

駆動システムが行列の積として表されており、ただし、Iは画像行列(ビットマップファイル)であり、Dは表示画像であり(Iと同じであるべきである)、Rは行駆動行列であり、Cは列駆動行列である。Rの列は、「ライン周期」内の行への駆動を表しており、行またはRは、駆動される行を表している。したがって、1度に1行のシステムは、単位行列である。6×4ディスプレイの市松模様の表示では、

30

【 0 0 5 7 】

【数 1】

$$D(R, C) := R \cdot C$$

$$I := \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

$$C := I$$

$$R := \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

10

20

【0058】

それは、画像と同じである。

【0059】

次に、2フレーム駆動方法の使用について考慮されたい。

【0060】

【数 2】

$$C := \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

30

$$R := \begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 0 \\ 0 & 1 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

40

【0061】

この場合も、これは、画像行列と同じである。

【0062】

駆動行列は、以下のように特異値分解を使用することによって(MathCad命名法を使用して)計算することができる。

$$X := \text{svd}(I^T) \quad (U \text{ および } V \text{ を与える})$$

$$Y := \text{svds}(I^T) \quad (\text{対角要素のベクトルとして } S \text{ を与える})$$

【0063】

Yが2つの要素、すなわち2つのフレームだけを有することに留意されたい。

50

【 0 0 6 4 】

【 数 3 】

$$Y = \begin{pmatrix} 2.449 \\ 2.449 \\ 0 \\ 0 \end{pmatrix}$$

【 0 0 6 5 】

U:=小行列(X, 0, 5, 0, 3) (すなわち上位6行)

10

V:=小行列(X, 6, 9, 0, 3)^T (すなわち下位4行)

【 0 0 6 6 】

【 表 2 】

	0	1	2	3
0	0.577	0	0.816	0
1	0	0.577	0	0.816
2	0.577	0	-0.408	4.57 · 10 ⁻¹⁴
3	0	0.577	0	-0.408
X= 4	0.577	0	-0.408	-4.578 · 10 ⁻¹⁴
5	0	0.577	0	-0.408
6	0.707	0	0.707	0
7	0	0.707	0	-0.707
8	0.707	0	-0.707	0
9	0	0.707	0	0.707

20

【 0 0 6 7 】

W:=diag(Y) (すなわちYを対角行列としてフォーマットする)

【 0 0 6 8 】

30

【 数 4 】

$$W = \begin{pmatrix} 2.449 & 0 & 0 & 0 \\ 0 & 2.449 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}$$

【 0 0 6 9 】

D:=(U · W · V)^T

Dのチェック

40

【 0 0 7 0 】

【数 5】

$$D = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

$$R := (W \cdot V)^T$$

$$R = \begin{pmatrix} 1.732 & 0 & 0 & 0 \\ 0 & 1.732 & 0 & 0 \\ 1.732 & 0 & 0 & 0 \\ 0 & 1.732 & 0 & 0 \end{pmatrix}$$

10

【 0 0 7 1】

(最後の2つの空の列に留意されたい)

R:=小行列(R, 0, 3, 0, 1) (非空の列を選択)

【 0 0 7 2】

【数 6】

$$R = \begin{pmatrix} 1.732 & 0 \\ 0 & 1.732 \\ 1.732 & 0 \\ 0 & 1.732 \end{pmatrix}$$

$$C := U^T$$

$$C = \begin{pmatrix} 0.577 & 0 & 0.577 & 0 & 0.577 & 0 \\ 0 & 0.577 & 0 & 0.577 & 0 & 0.577 \\ 0.816 & 0 & -0.408 & 0 & -0.408 & 0 \\ 0 & 0.816 & 4.57 \times 10^{-14} & -0.408 & -4.578 \times 10^{-14} & -0.408 \end{pmatrix}$$

30

【 0 0 7 3】

(Rを縮小するので、したがって、Cは、上位の行だけに縮小される)

【 0 0 7 4】

【数 7】

$$C := \text{小行列}(C, 0, 1, 0, 5)$$

40

$$C = \begin{pmatrix} 0.577 & 0 & 0.577 & 0 & 0.577 & 0 \\ 0 & 0.577 & 0 & 0.577 & 0 & 0.577 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

【 0 0 7 5】

50

それは、所望の画像と同じである。

次に、より一般的なケース、文字「A」の画像について考慮されたい。

【 0 0 7 6 】

【 数 8 】

$$I := \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

$$X := \text{svd}(I^T)$$

$$Y := \text{svds}(I^T)$$

10

【 0 0 7 7 】

(Yが2つの要素、すなわち3つのフレームだけを有することに留意されたい)

【 0 0 7 8 】

【 数 9 】

$$Y = \begin{pmatrix} 2.828 \\ 1.414 \\ 1.414 \\ 0 \end{pmatrix}$$

20

U:=小行列(X, 0, 5, 0, 3)

V:=小行列(X, 6, 9, 0, 3)^T

$$W := \text{diag}(Y)$$

$$D := (U \cdot W \cdot V)^T$$

$$D = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

30

Dのチェック

$$R := (W \cdot V)^T$$

$$R = \begin{pmatrix} -0.816 & 1.155 & 0 & 0 \\ -0.816 & -0.577 & 1 & 0 \\ -2.449 & 0 & 0 & 0 \\ -0.816 & -0.577 & -1 & 0 \end{pmatrix}$$

40

【 0 0 7 9 】

(最後の空の列に留意されたい)

【 0 0 8 0 】

【数 1 0】

R:=小行列(R, 0, 3, 0, 2)

$$V = \begin{pmatrix} -0.289 & -0.289 & -0.866 & -0.289 \\ 0.816 & -0.408 & 0 & -0.408 \\ 0 & 0.707 & 0 & -0.707 \\ 0.5 & 0.5 & -0.5 & 0.5 \end{pmatrix}$$

$$R = \begin{pmatrix} -0.816 & 1.155 & 0 \\ -0.816 & -0.577 & 1 \\ -2.449 & 0 & 0 \\ -0.816 & -0.577 & -1 \end{pmatrix}$$

10

C:=U^T

$$W = \begin{pmatrix} 2.828 & 0 & 0 & 0 \\ 0 & 1.414 & 0 & 0 \\ 0 & 0 & 1.414 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}$$

$$C = \begin{pmatrix} -0.408 & -0.408 & -0.408 & -0.408 & -0.408 & -0.408 \\ -0.289 & -0.289 & 0.577 & 0.577 & -0.289 & -0.289 \\ -0.5 & 0.5 & 0 & 0 & 0.5 & -0.5 \\ 0.671 & -0.224 & 0 & 0 & 0.224 & -0.671 \end{pmatrix}$$

20

【 0 0 8 1】

(Rを縮小するので、したがってCは上位の行だけに縮小される)

【 0 0 8 2】

【数 1 1】

C:=小行列(C, 0, 2, 0, 5)

30

$$C = \begin{pmatrix} -0.408 & -0.408 & -0.408 & -0.408 & -0.408 & -0.408 \\ -0.289 & -0.289 & 0.577 & 0.577 & -0.289 & -0.289 \\ -0.5 & 0.5 & 0 & 0 & 0.5 & -0.5 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

40

【 0 0 8 3】

それは、所望の画像と同じである。

【 0 0 8 4】

この場合、RおよびCに、パッシブマトリクスOLEDディスプレイを駆動するのに望ましくない負の数がある。検査によって、正の因数分解が可能であることが分かり得る。

【 0 0 8 5】

【数 1 2】

$$R := \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 1 \end{pmatrix}$$

$$C := \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

10

【 0 0 8 6】

非負行列因数分解(NMF)は、一般的なケースでこれを達成するための方法を提供する。非負行列因数分解では、画像行列Iは、以下のように因数分解される。

$$I = W \cdot H \quad (\text{数式3})$$

20

【 0 0 8 7】

NMF技術の一部の例は、参照により本明細書にすべて組み込まれている、以下の諸文献に記載されている。

【 0 0 8 8】

D. D. Lee、H. S. Seung、「Algorithms for non-negative matrix factorization」、P. Paatero、U. Tapper、「Least squares formulation of robust non-negative factor analysis」、Chemometr. Intell. Lab、37 (1997)、23~35頁、P. Paatero、「A weighted non-negative least squares algorithm for three-way 'PARAFAC' factor analysis」、Chemometr. Intell. Lab、38 (1997)、223~242頁、P. Paatero、P. K. Hopkeなど、「Understanding and controlling rotations in factor analytic models」、Chemometr. Intell. Lab、60 (2002)、253~264頁、J. W. Demmel、「Applied numerical linear algebra」、Society for Industrial and Applied Mathematics, Philadelphia、1997年、S. Juntto、P. Paatero、「Analysis of daily precipitation data by positive matrix factorization」、Environmetrics、5 (1994)、127~144頁、P. Paatero、U. Tapper、「Positive matrix factorization: a non-negative factor model with optimal utilization of error estimates of data values」、Environmetrics、5 (1994)、111~126頁、C. L. Lawson、R. J. Hanson、「Solving least squares problems」、Prentice-Hall、Englewood Cliffs、NJ、1974年、「Algorithms for Non-negative Matrix Factorization」、Daniel D. Lee、H. Sebastian Seung、556~562頁、Advances in Neural Information Processing Systems 13、Neural Information Processing Systems (NIPS) 2000、Denver、CO、USA、MIT Press 2001および「Existing and New Algorithms for Non-negative Matrix Factorization」、Wenguo Liu & Jianliang Yi、(www.dcf1.gov/DCCL/rdwg/nmf.pdf;本明細書で論じるアルゴリズムについてのソースコードは、http://www.cs.utexas.edu/users/liuwg/383CProject/CS_383C_Project.htmで見ることができる)。

30

40

【 0 0 8 9】

図9Bに、NMF因数分解の手順が概略的に示されている。

【 0 0 9 0】

上述の基本的な方式が実施されると、追加の利益のために、他の技術が使用され得る。たとえば、Windows(登録商標)タイプのアプリケーションでは珍しくない重複した画素行は、ライン周期の数を減少させるために同時に書き込まれることができ、したがってフレ

50

ーム周期が短縮され、同じ積分輝度(integrated brightness)に必要な最大輝度が減少される。SVD分解が得られると、小さい(駆動)値だけを有するより下位の行は、最終的な画像の品質への重要性が減少するものなので、無視することができる。上述したように、上記のマルチラインアドレッシング技術は、表示された単一のフレーム内で適用されるが、1つまたは複数の行のルミネセンスプロファイルは、空間次元に加えてまたはその代わりに、時間次元上で構築されてもよいことが認識されよう。これは、フレーム間の時間補間が使用される動画圧縮技術によって容易にされ得る。

【0091】

上記のMLA技術の実施形態は、カラーOLEDディスプレイにおいて特に有用であり、その場合、この技術は好ましくは、赤(R)、緑の(G)および青(B)のサブピクセル群、また任意選択で画素行間について使用される。これは、画像が類似の色のブロックを含む傾向があり、またR、GおよびBサブピクセル駆動の間の相関がしばしば、別個の画素間より高いからである。したがって、この方式の実施形態では、マルチラインアドレッシングのための行はR、GおよびB行にグループ化され、3つの行が、完全な画素、ならびにR、GおよびB行の組合せを同時に選択することによって構築される画像を定義する。たとえば、表示される画像のかなりの領域が白である場合、画像は、列ドライバに適切な信号を適用しながら、まずR、GおよびB行のグループを一緒に選択することによって構築され得る。

10

【0092】

MLA方式をカラーディスプレイに適用することには、さらなる利点がある。従来のカラーOLEDディスプレイでは、画素の行は、パターン「RGBRGB...」を有しており、したがって、行がイネーブルされるとき、別個の列ドライバが、点灯されたフルカラー画素を提供するためにR、GおよびBサブピクセルを同時に駆動することができる。しかし、3つの行は、構成「RRRR...」、「GGGG...」、「BBBB...」を有することができ、単一の列がR、GおよびBサブピクセルをアドレッシングする。この構成によって、たとえば赤の画素の行が、各行で3つの異なる色の材料のための領域を定義するのに必要な別個の「窪み」ではなく、(カソードセパレータによって隣接する谷間(trough)から分離された)単一の長い谷間で(インクジェット)印刷され得るので、OLEDディスプレイの応用が単純化される。これによって、組立て工程が取り除かれ、画素開口率(アクティブな画素によって占められた表示領域の割合)も増加する。したがって、さらなる態様では、本発明は、このタイプのディスプレイを提供する。

20

30

【0093】

図4Aは、こうした方式のためのディスプレイ/ドライバハードウェア構成400のブロック図を示している。見て分かるように、単一の列ドライバ402が、赤404、緑406および青408の画素をアドレッシングしている。赤、緑および青の行の順列は、行セクタ/マルチプレクサ410を使用して、あるいは、以下でさらに述べるように、各行を制御する電流シンクを用いてアドレッシングされる。図4Aから、この構成によって、赤、緑および青のサブピクセルが、それぞれが共通の電極を共有している、(窪みではなく)直線の谷間に印刷されることが可能になることが見て分かる。これによって、基板パターンニングおよび印刷の複雑さが減少し、開口率が(したがって、必要な駆動の減少により寿命が間接的に)増加する。図4Aの物理的素子レイアウトでは、複数のまたは異なるMLA駆動方式が実施され得る。

40

【0094】

第1の例示的な駆動方式では、画像が、以下に示すようなシーケンスで行の群をアドレッシングすることにより構築される。

1. 白色成分:R、GおよびBが共に選択され、駆動される。
2. 赤+青が共に駆動される
3. 青+緑が共に駆動される
4. 赤+緑が共に駆動される
5. 赤のみ
6. 青のみ

50

7. 緑のみ

【0095】

必要な色工程だけが、最小数の色組合せを使用して画像を構築するために実施される。その組合せは、適用例の要件に応じて、寿命を増加させ、かつ/または消費電力を削減するように最適化されてもよい。

【0096】

代替の色MLA方式では、RGB行の駆動は3つのライン走査周期に分割され、それぞれのライン周期が1つの原色を駆動する。原色は、ディスプレイのラインまたは行に沿って所望のすべての色を囲む色域を形成するように選択されるR、GおよびBの組合せである。

【0097】

1つの方法では、原色は、 $R+aG=aB$ 、 $G+bR+bB$ 、 $B+cR+cG$ であり、ただし、 $0 \leq a, b, c \leq 1$ であり、 a 、 b および c は、それらの色域内の所望のすべての色を依然として囲みながら、最大の可能な値($a+b+c$ =最大)となるように選択される。

【0098】

別の方法では、 a 、 b および c は、一方式では、ディスプレイの全体的な性能を最も向上させるように選択される。たとえば、青の寿命が制限要因である場合は、 a および b は、 c を犠牲にして最大にされることができ、赤の電力消費が問題である場合は、 b および c が最大にされることができ、これは、放射された総輝度が固定値に等しくあるべきであるからである。 $b=c=0$ とする、一例について考慮されたい。この場合、赤の輝度は、第1の走査周期に完全に達成されなければならない。しかし、 $b, c > 0$ であれば、赤の輝度は、複数の走査周期にわたって徐々に増加され、したがって、ピーク輝度が減少され、赤のサブピクセル寿命および効率が増加する。

【0099】

別の変形形態では、個々の走査周期の長さは、(たとえば走査周期の増加をもたらすため)寿命または電力消費を最適化するように調整することができる。

【0100】

さらなる変形体では、原色は任意に、しかし、ディスプレイのライン上のすべての色を依然として囲む可能な最小の色域を定義するように選択され得る。たとえば、極端なケースでは、再生可能な色域に緑の色合いしかないことになる。

【0101】

図4Bは、ディスプレイドライバハードウェア450の第2の例を示しており、この図では、図4Aの要素と同様の要素は、同じ参照番号で示されている。図4Bで、ディスプレイは白(W)画素412の追加の行を含んでおり、この白画素もまた、3つの原色と組み合わせて駆動されるとき、カラー画像を構築するために使用される。

【0102】

白サブピクセルを含むと、大まかに言って、青画素の需要が減少し、したがってディスプレイ寿命が増加し、あるいは、駆動方式に応じて、所与の色のディスプレイの電力消費が減少され得る。白以外の色は、たとえばマゼンタ、シアンおよび/または黄色を放射するサブピクセルが、たとえば色域の増加のために含まれてもよい。それぞれ異なる色のサブピクセルは、同じ領域を有する必要はない。

【0103】

図4Bに示すように、それぞれの行は、図4Aを参照して述べたように単一色のサブピクセルを含むが、従来の画素レイアウトが、各行に沿った連続のR、G、BおよびW画素で使用されることもできることが理解されよう。この場合、列は、4つの別個の列ドライバ、4つの各色について1つのドライバによって駆動される。

【0104】

上述のマルチラインアドレッシング方式は、図4Bのディスプレイ/ドライバ構成に関連して、それぞれ異なる順列で、かつ/またはそれぞれ異なる駆動比で、(図示するような)行マルチプレクサまたは各行用の電流シンクを使用してアドレッシングされるR、G、BおよびW行の組合せで使用されてもよいことが理解されよう。上述したように、画像は、異

10

20

30

40

50

なる行組合せを連続的に駆動することによって構築される。

【0105】

上記で概説し、以下でより詳細に述べるように、一部の好ましい駆動技術は、OLEDディスプレイ画素への可変の電流駆動を使用する。しかし、行電流ミラーを必要としない、より単純な駆動方式が、ディスプレイの行を単独に選択するための1つまたは複数の行セレクタ/マルチプレクサを使用して、また上記で示した第1の例示的なカラーディスプレイ駆動方式による組合せで実施されてもよい。

【0106】

図4Cは、こうした方式での行選択のタイミングについて示している。第1の周期460では白、赤、緑および青の行が共に選択され駆動され、第2の周期470では白だけが駆動され、第3の周期480では赤だけが駆動され、すべてが、パルス幅変調駆動タイミングに従う。

【0107】

次に図5Aを参照すると、これは、上述したようなMLAアドレッシング方式を実施するパッシブマトリクスOLEDドライバ500の一実施形態の概要図を示している。

【0108】

図5Aでは、図3を参照して述べたものに類似のパッシブマトリクスOLEDディスプレイが、行ドライバ回路512によって駆動される行電極306と、列ドライバ510によって駆動される列電極310とを有している。これらの行および列ドライバの詳細が、図5Bに示されている。列ドライバ510は、列電極のうちの1つまたは複数への電流駆動を設定するための列データ入力509を有しており、同様に、行ドライバ512は、行のうちの2つ以上への電流駆動比を設定するための行データ入力511を有している。好ましくは、入力509および511は、インターフェースを容易にするためのデジタル入力である。好ましくは、列データ入力509は、ディスプレイ302のm個のすべての列の電流駆動を設定する。

【0109】

表示用のデータは、シリアルであってもパラレルであってもよい、データおよび制御バス502上で供給される。バス502は、フレームストアメモリ503に入力を供給し、このフレームストアメモリ503は、ディスプレイの各画素の輝度データを、またはカラーディスプレイでは、各サブピクセルに関する輝度情報(別個のRGB色信号として、輝度および色信号として、または他の何らかのやり方で符号化されてもよい)を格納する。フレームメモリ503内に格納されたデータは、ディスプレイの各画素(またはサブピクセル)の所望の見かけ輝度を決定し、この情報は、ディスプレイ駆動プロセッサ506によって第2の読出しバス505を用いて読み出されてもよい(実施形態では、バス505は省略され、代わりにバス502が使用され得る)。

【0110】

ディスプレイ駆動装置プロセッサ506は、完全にハードウェアで、またはたとえばデジタル信号処理コアを使用してソフトウェアで、あるいはたとえば行列演算を加速するための専用ハードウェアを使用してその2つの組合せで実装されてもよい。しかし、一般に、ディスプレイ駆動装置プロセッサ506は少なくとも部分的には、格納されたプログラムコード、またはプログラムメモリ507内に格納されたマイクロコードを用いて実装され、クロック508の制御下で、また作業メモリ504と連動して動作する。プログラムメモリ507内のコードは、データ搬送波または取出し可能記憶装置507a内に設けられてもよい。

【0111】

プログラムメモリ507内のコードは、従来のプログラミング技術を使用して、上述のマルチラインアドレッシング方法のうちの1つまたは複数を実施するように構成される。一部の実施形態では、これらの方法は、標準デジタル信号プロセッサ、および従来のプログラミング言語で実行されるコードを使用して実施されてもよい。こうした場合には、DSPルーチンの従来のライブラリが、たとえば特異値分解を実施するために使用されてもよく、または専用のコードがこのために使用されてもよく、あるいはカラーディスプレイの駆動に関して上記で述べた技術など、SVDを使用しない他の実施形態が実施されてもよい。

【0112】

10

20

30

40

50

次に図5Bを参照すると、これは、図5Aの列510および行512ドライバの詳細を示している。列ドライバ回路510は、複数の制御可能基準電流源516を、各列ラインについて1つ含んでおり、それぞれが各々のデジタルアナログ変換器514の制御下にある。これらの例示的な実装の詳細が図5Cに示されており、この図では、制御可能電流源516が、電流ミラー構成内の電力線518に接続された1対のトランジスタ522および524を含むことが見て分かる。この例では、列ドライバが電流源を含むので、これらは、正電源線に接続されたPNPバイポーラトランジスタであり、電流シンクを提供するために、アースに接続されたNPNトランジスタが使用され、他の構成では、MOSトランジスタが使用される。デジタルアナログ変換器514はそれぞれ、各々の電源534、536、538にそれぞれが接続された複数(この場合は3つ)のFETスイッチ528、530、532を含む。ゲート接続529、531および533は、各々の電源を対応する電流設定抵抗器540、542、544に切り換えるデジタル入力を提供し、それぞれの抵抗器が電流ミラー516の電流入力526に接続されている。電源は、2のべき乗、すなわち、次に最も低い電源から V_{gs} 降下を引いた値の2倍にスケールされた電圧を有し、したがって、FETゲート接続上のデジタル値は、ライン526上の対応する電流に変換され、あるいは、電源は同じ電圧を有することがあり、抵抗器540、542、544がスケールされ得る。図5Cは、代替のD/A制御された電流源/シンク546をも示しており、複数のトランジスタが示されているこの構成では、適切にサイズ調整された単一のより大きいトランジスタが代わりに使用され得る。

10

20

30

40

50

【0113】

行ドライバ512は、2つ(または3つ以上)のデジタル制御可能な電流源515、517をも組み込んでおり、これらは、電流源ミラーではなく電流シンクを使用して、図5Cで示されるものに類似の構成を使用して実装されてもよい。このように、制御可能電流シンク517は、行駆動レベルの1つの比率(または複数の比率)に対応する1つの所望の比率(または複数の比率)でシンク電流にプログラムされてもよい。したがって、制御可能電流シンク517は比率制御電流ミラー550に接続され、比率制御電流ミラー550は、第1の基準電流を受信するための入力552と、1つまたは複数の(負の)出力電流を受信する(シンクに入れる(sink))ための1つまたは複数の出力554とを有し、入力電力に対する出力電力の比率が、ライン509上の行データに従って、制御可能電流生成器517によって定義された制御入力の比率によって決定される。2つの行電極マルチプレクサ556a、bは、基準電流供給のための1つの行電極、および「出力」電流供給のための別の列電極を選択することを可能にするために設けられ、任意選択で、さらなるセクタ/マルチプレクサ556b、550からのミラー出力が設けられてもよい。図示するように、行ドライバ512は、4つの行電極のブロックからの同時駆動のため2つの行の選択を可能にするが、実際には、代替の選択構成が使用されてもよく、たとえば一実施形態では、12個の行(1つの基準、および11個のミラー)が、12個の64-wayマルチプレクサによって64個の行電極から選択され、別の構成では、64個の行は、同時駆動のため複数の行を選択することができる関連する行ドライバをそれぞれが有する複数のブロックに分割されてもよい。

【0114】

図5Dは、図5Bのプログラマブル比率制御電流ミラー550の実装の詳細について示している。この例示的な実装では、いわゆるベータヘルパー(beta helper)(Q5)を備えたバイポーラ電流ミラーが使用されるが、他の多くのタイプの電流ミラー回路も使用され得ることが、当業者には認識されよう。図5Dの回路では、V1は、一般に約3Vの電源であり、I1およびI2は、Q1およびQ2のコレクタ内の電流の比率を定義する。2つのライン552および554内の電流はI1対I2の比率であり、したがって、所与の列電流の合計は、選択された2つの行間でこの比率で分割される。この回路は、破線558内の回路の実装を繰り返すことによって任意の数のミラー行に拡張され得ることが当業者には認識されよう。

【0115】

図5Eは、図5Bの行ドライバ512のプログラマブル電流ミラーの代替の実施形態を示している。この代替実施形態では、それぞれの行に、図5Dの破線558内の回路に対応する回路、すなわち電流ミラー出力段が設けられており、次いで、1つまたは複数の行セクタ

が、これらの電流ミラー出力段のうちの選択された出力段を、1つまたは複数の各プログラマブル基準電源(ソースまたはシンク)に接続する。別のセレクトは、電流ミラーへの基準入力として使用される行を選択する。

【0116】

上述の行ドライバの実施形態では、行選択は、別個の電流ミラー出力が完全なディスプレイの各行、またはディスプレイの行ブロックの各行ごとに設けられ得るので、使用される必要はない。行選択が使用される場合、行はブロックにグループ化されてもよく、たとえば、3つの出力を備えた電流ミラーが、たとえば12個の行のグループへの選択的接続で使用される場合、連続した3つの行のセットが、12個の行のための3ラインMLAを提供するように順に選択されてもよい。あるいは、行は、たとえば、表示データの性質(行間でかなり相関している)のために画像の特定の小区分がMLAから利益を得ることが知られている場合には、表示される線画像に関する先験的知識を使用してグループ化されてもよい。

10

【0117】

図5Fおよび5Gは従来技術による電流ミラー構成を示しており、それぞれアース基準および正電源基準が、入出力電流の向きを示している。これらの電流は両方とも同じ向きであるが、恐らく正または負であることが見て分かる。

【0118】

図6は、図5Aの行ドライバ512とディスプレイ駆動プロセッサ506とを組み合わせた集積回路ダイ600のレイアウトを示している。このダイは、実質上同じ1組の素子の反復された実装を含むドライバ回路の長い列のための第1の領域602と、MLAディスプレイ処理回路の実装のために使用される隣接する領域604とを伴う、例示的な寸法20mmx 1mmの細長い長方形の形状を有する。領域604は、チップをダイス状にし得る物理的な最小幅があるので、さもなければ使用されない空間である。

20

【0119】

上述のMLAディスプレイドライバは、OLED輝度を制御するため可変電流駆動を使用するが、OLED画素への駆動を変化させる他の手段、具体的にはPWMが、さらにまたは代わりに使用され得ることが当業者には認識されよう。

【0120】

図7は、マルチラインアドレッシングのパルス幅変調駆動方式の概略図を示している。図7で、所望の輝度パターンを達成するため、列電極700にパルス幅変調駆動が、2つ以上の行電極702と同時に供給されている。図7の例では、示された0の値は、第2の行パルス後の時間に徐々にシフトすることによって0.5まで滑らかに変更されることができ、一般に、画素への可変の駆動は、行および列パルスの重複の程度を制御することによって適用され得る。

30

【0121】

次に、行列因数分解を使用する一部の好ましいMLA方法について、より詳細に述べる。

【0122】

図8Aを参照すると、これは、1度に1つの行が駆動される従来の駆動方式について、行R、列Cおよび画像Iの行列を示している。図8Bは、マルチラインアドレッシング方式についての行、列および画像行列を示している。図8Cおよび8Dは、表示画像の一般的な画素について、フレーム周期にわたる画素の輝度、すなわち画素への駆動を示しており、マルチラインアドレッシングを用いて達成される、最大画素駆動の減少を示している。

40

【0123】

図9Aは、以下の数式2による、画像行列Iの特異値分解(SVD)を概略的に示している。

$$I = U \times S \times V$$

$m \times n$ $m \times p$ $p \times p$ $p \times n$ 数式2

【0124】

ディスプレイは、U、SおよびVの任意の組合せによって駆動されることができ、たとえば、行USおよび列をVで駆動し、または行を

【0125】

50

【数 1 3】

$$U\sqrt{S}$$

【0 1 2 6】

で、および列を

【0 1 2 7】

【数 1 4】

$$\sqrt{S}\cdot V$$

【0 1 2 8】

10

で駆動し、QR分解およびLU分解など、他の関連技術も使用することができる。適切な数値技術が、たとえば「Numerical Recipes in C: The Art of Scientific Computing」、Cambridge University Press 1992に記載されており、プログラムコードモジュールの多くのライブラリもまた、適切なルーチンを含む。

【0 1 2 9】

図10は、図5Bから図5Eを参照して述べたドライバに類似しており、また因数分解された画像行列を用いてディスプレイを駆動するのに適した行および列ドライバを示している。列ドライバ1000は1組の調整可能な実質上一定の電流源1002を含み、この電流源1002は一緒にまとめられ、列電極のそれぞれへの電流を設定するために可変の基準電力 I_{ref} が供給される。この基準電流は、図9Bの行列Hの行 P_i など、因子行列の行から導出された各列の異なる値によって変調されたパルス幅である。行駆動1010は、図5Eに示すものに類似するが、好ましくはディスプレイの各行、または同時に駆動される行のブロックの各行ごとに1つの出力を備えた、プログラブル電流ミラー1012を含む。行駆動信号は、図9Bの行列Wの列 p_i などの因子行列の列から導出される。

20

【0 1 3 0】

図11は、NMFなどの行列因数分解を使用して画像を表示するための例示的な手順のフローチャートを示しており、このフローチャートは、図5Aのディスプレイ駆動プロセッサ506のプログラムメモリ507内に格納されたプログラムコードで実装されてもよい。

【0 1 3 1】

図11で、この手順はまず、フレーム画像行列Iを読み出し(工程S1100)、次いでこの画像行列を、NMFを使用して因子行列WおよびHに、またはSVDを使用する場合は他の因子行列、たとえばU、SおよびVに因数分解する(工程S1102)。この因数分解は、より前のフレームの表示の間に計算されてもよい。次いで、この手順は、工程1104で、p個のサブフレームを有するディスプレイを駆動する。工程1106は、サブフレーム駆動手順を示している。

30

【0 1 3 2】

このサブフレーム手順は、行ベクトルRを形成するように、W列を P_i Rに設定する。これは、図10の行ドライバ構成によって自動的に1に正規化され、したがって、スケールファクタ x 、 $R \cdot xR$ が、要素の合計が1になるようにRを正規化することによって導出される。同様に、Hでは、列ベクトルCを形成するように、行 p_i Cとする。これは、スケールファクタ y が与えられ、 $C \cdot yC$ として、最大要素値が1となるようにスケールされる。フレームスケールファクタは、

40

【0 1 3 3】

【数 1 5】

$$f = \frac{p}{m}$$

【0 1 3 4】

が決定され、基準電流が

【0 1 3 5】

【数 1 6】

$$I_{ref} = \frac{I_0 \cdot f}{xy}$$

【 0 1 3 6】

によって設定され、ただし、 I_0 は、1度に1行の従来型走査のシステムにおける最大輝度に必要な電流に対応し、 x および y 係数は、駆動構成によって生じるスケーリングの影響を補償する係数である(他の駆動構成では、これらのうちの1つまたは両方が省かれ得る)。

【 0 1 3 7】

この後に、工程S1108で、図10に示されるディスプレイドライバが、フレーム周期全体の1/pの間に、ディスプレイの列をCで、ディスプレイの行をRで駆動する。これは、各サブフレームについて繰り返され、次いで、次のフレームのサブフレームデータが出力される。

10

【 0 1 3 8】

図12は、上述の一実施形態に従って構成された画像の一例を示しており、この形式は、図9Bの画面に対応する。図12の画像は、この例では15個のサブフレーム($p=15$)を使用した、 50×50 画像行列で定義されている。サブフレームの数は、事前に決定され、または表示される画像の性質に応じて変更することができる。

【 0 1 3 9】

実施される画像走査計算はその一般的な特徴が、デジタルカメラなどの家電画像装置によって実施される走査と異なるものではなく、この方法の実施形態は、こうした装置で都合よく実施され得る。

20

【 0 1 4 0】

他の実施形態では、この方法は、専用の集積回路で、ゲートアレイを用いて、またはデジタル信号プロセッサ(DSP)内のソフトウェアで、またはこれらの何らかの組合せで実施することができる。

【 0 1 4 1】

上述の技術は、有機と無機の両方のLEDベースディスプレイに適用することができる。上述のTMA方式は、1つの軸上にパルス幅変調された列駆動(時間制御)を、およびもう一方の軸上に電流分割比率(電流制御)を有する。無機LEDでは、電圧は、対数電流に比例する(したがって、電圧の積が、対数電流の和によって与えられる)が、しかし、OLEDでは、二次の電流-電圧依存がある。したがって、上述の技術がOLEDを駆動するために使用される場合、PWMが使用されることが重要である。これは、電流制御を用いる場合でも、所与の電流に必要な画素の電圧を定義する特性があり、電流制御だけでは、サブフレームの各画素の正確な電圧が必ずしも印加され得ないからである。しかし、上述のTMA方式は、所望の電流を達成するために駆動される行、および列がPWM時間で、駆動され、実質上、列駆動と行駆動を分離し、したがって2つの別個の制御変数を提供することによって電圧と電流の変数が分離されるので、OLEDで正確に機能する。

30

【 0 1 4 2】

画像行列のNMF因数分解に再び言及すると、特に好ましい一部の高速NMF行列因数分解技術は、参照によりその内容全体が本明細書に組み込まれている、2004年12月23日に出願した、本出願人の同時係属出願、英国特許出願第0428191.1号に記載されている。

40

【 0 1 4 3】

一部のさらなる最適化は、以下のとおりである。

【 0 1 4 4】

電流が行間で共有されるので、1つの行の電流が増加すると、残りの行の電流が減少し、したがって、好ましくは(これは必須ではないが)、基準電流およびサブフレーム時間が補償するようにスケーリングされる。たとえば、サブフレーム時間は、各サブフレームのピーク画素輝度を等しくする(また最悪のケース/最大輝度エージングを減少させる)ために調整することができる。実際には、これは、最短の選択可能なサブフレーム時間によっ

50

て、また最大の列駆動電流によっても制限されるが、しかし、調整は二次最適化にすぎないので、これは問題ではない。

【0145】

後のサブフレームは次第により小さい補正を適用し、したがってそれらは、全体的により薄暗くなる傾向があるが、それより前のサブフレームは、より明るくなる傾向がある。PWM駆動では、PWMサイクルの開始、サイクルの「オン」部分を常に有するのではなく、ピーク電流は、PWMサイクルの開始をランダムにディザリングすることによって減少され得る。単純明快で実用的な実装形態では、類似の利益が、オフタイムが50%以上である場合、半分のPWMサイクルの間の「オン」部分のタイミングを使用可能周期の終わりで開始することによって、より少ない複雑さを伴って達成されることができる。これは、最大行駆動電流を50%だけ潜在的に減少させることができる。

10

【0146】

赤(R)、緑(G)および青(B)の(サブ)ピクセル(すなわちRGB、RGB、RGB行パターン)を含む行では、各画素(サブ)ピクセルがそれぞれ異なる特性を有するので、行に印加される所との電圧は、異なる色の各OLED(サブ)画素について正確な所望の駆動電流を達成しないことがある。したがって、赤、緑および青(サブ)ピクセル(すなわち各々のRRRR...、GGGG...およびBBBB...パターンを有する3つの行のグループ)の別個に駆動可能な行を備えたOLEDディスプレイを使用することが好ましい。製造の容易さに関するこうした構成の利点は、上記で既に言及されている。

20

【0147】

本発明の実施形態について、OLEDベースのディスプレイを具体的に参照して述べた。しかし、本明細書で述べた技術は、それだけに限らないが、真空蛍光ディスプレイ(VFD: Vacuum fluorescent display)およびプラズマディスプレイパネル(PDP: plasma display panel)、ならびに厚/薄膜エレクトロルミネセンス(TFEL: thick and thin film electroluminescent)ディスプレイ、たとえばiFire(RTM)ディスプレイ、大規模無機ディスプレイおよびパッシブマトリクス駆動ディスプレイ全般など、他のタイプのエレクトロルミネセンスディスプレイを含めて他のタイプの放射型ディスプレイに適用することもできる。

【0148】

確かに、他の多くの有効な代替物が、当業者には考えられよう。本発明は、上述の諸実施形態に限定されるものではなく、また本明細書に添付された特許請求の精神および範囲内の当業者には明らかな修正を包含することが理解されよう。

30

【図面の簡単な説明】

【0149】

【図1A】OLEDデバイスの鉛直断面図である。

【図1B】パッシブマトリクスOLEDディスプレイの簡略化された断面図である。

【図2】パッシブマトリクスOLEDディスプレイの駆動構成を概念的に示す図である。

【図3】既知のパッシブマトリクスOLEDディスプレイドライバのブロック図である。

【図4A】カラーOLEDディスプレイ用のMLAアドレッシング方式を実施するためのディスプレイドライバハードウェアの第1の例を示すブロック図である。

【図4B】カラーOLEDディスプレイ用のMLAアドレッシング方式を実施するためのディスプレイドライバハードウェアの第2の例を示すブロック図である。

40

【図4C】カラーOLEDディスプレイ用のMLAアドレッシング方式に関するタイミング図である。

【図5A】本発明の一態様を実施するディスプレイドライバを示す図である。

【図5B】列および行ドライバを示す図である。

【図5C】図5Aのディスプレイドライバ用の例示的なデジタルアナログ電流変換器を示す図である。

【図5D】本発明の一態様を実施するプログラマブル電流ミラーを示す図である。

【図5E】本発明の一態様を実施する第2のプログラマブル電流ミラーを示す図である。

【図5F】従来技術による電流ミラーを示すブロック図である。

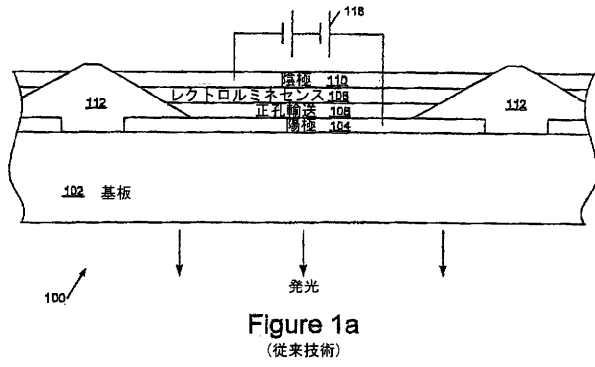
50

【図 5 G】従来技術による電流ミラーを示すブロック図である。	
【図 6】マルチラインアドレッシングディスプレイ信号処理回路およびドライバ回路を組み込む集積回路ダイのレイアウト図である。	
【図 7】パルス幅変調MLA駆動方式の概略図である。	
【図 8 A】従来の駆動方式のための行、列および画像行列を示す図である。	
【図 8 B】マルチラインアドレッシング駆動方式のための行、列および画像行列を示す図である。	
【図 8 C】フレーム周期の間の一般的な画素の対応する輝度の曲線を示す図である。	
【図 8 D】フレーム周期の間の一般的な画素の対応する輝度の曲線を示す図である。	
【図 9 A】画像行列のSVD因数分解を示す図である。	10
【図 9 B】画像行列のNMF因数分解を示す図である。	
【図 10】図9の行列を使用してディスプレイを駆動するための例示的な列および行駆動構成を示す図である。	
【図 11】画像行列因数分解を使用してディスプレイを駆動する方法のフローチャートである。	
【図 12】画像行列因数分解を使用して取得された表示画像の一例を示す図である。	
【符号の説明】	
【 0 1 5 0 】	
100 OLEDデバイス	
102 基板	20
104 陽極層	
106 正孔輸送層	
108 エレクトロルミネセンス層	
110 陰極層	
111 金属缶	
112 バンク	
113 紫外線硬化エポキシ系接着剤	
118 バッテリ	
150 パッシブマトリクスOLEDディスプレイ	
152 画素	30
154 陰極接続	
158 陽極接続	
200 定電流発生器	
202 電源線	
204 列ライン	
206 行ライン	
208 接地線	
210 交換接続	
212 画素	
300 概要図	40
302 破線/ディスプレイ	
304 行ライン	
306 行電極接触	
308 列ライン	
310 列電極接触	
314 y-ドライバ	
316 x-ドライバ	
318 プロセッサ	
320 電源	
400 ディスプレイ/ドライバハードウェア構成	50

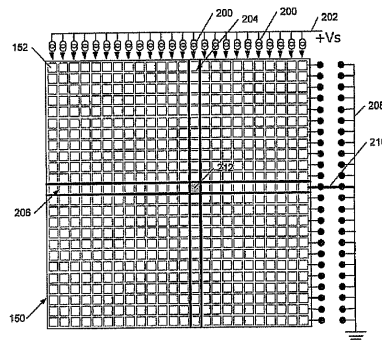
402	列ドライバ	
404	赤画素	
406	緑画素	
408	青画素	
410	行セクタ/マルチプレクサ	
412	白画素	
450	ディスプレイ/ドライバハードウェア	
460	第1の周期	
470	第2の周期	
480	第3の周期	10
500	パッシブマトリクスOLEDドライバ	
502	データおよび制御バス	
503	フレームストアメモリ	
504	作業メモリ	
505	第2の読出しバス	
506	ディスプレイ駆動プロセッサ	
507	プログラムメモリ	
507a	取出し可能記憶装置	
508	クロック	
509	列データ入力	20
510	列ドライバ	
511	行データ入力	
512	行ドライバ	
510	列ドライバ	
512	行ドライバ	
514	デジタルアナログ変換器	
515	電流源、	
517	電流源、電流シンク、電流生成器	
516	電流源、電流ミラー	
518	電力線	30
526	電流入力	
534	電源	
536	電源	
538	電源	
522	トランジスタ	
524	トランジスタ	
528	FETスイッチ	
529	ゲート接続	
530	FETスイッチ	
532	FETスイッチ	40
531	ゲート接続	
533	ゲート接続	
540	抵抗器	
542	抵抗器	
544	抵抗器	
546	電流源/シンク	
550	比率制御電流ミラー	
552	入力	
554	出力	
556a	電極マルチプレクサ	50

- 556b 電極マルチプレクサ、セレクタ/マルチプレクサ
- 558 破線
- 600 集積回路ダイ
- 602 領域
- 604 領域
- 700 列電極
- 702 行電極
- 1000 列ドライバ
- 1002 電流源
- 1010 列駆動
- 1012 電流ミラー

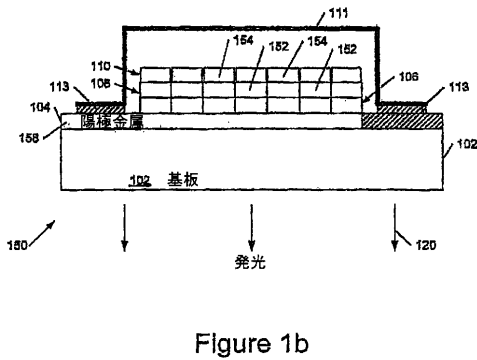
【図1A】



【図2】



【図1B】



【 図 3 】

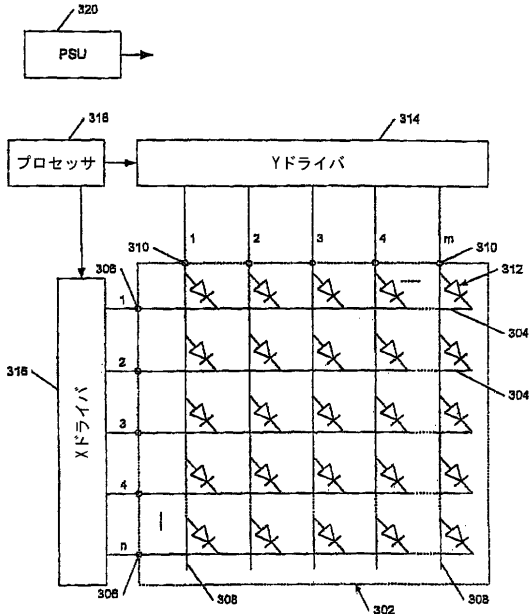


Figure 3
(従来技術)

300

【 図 4 A 】

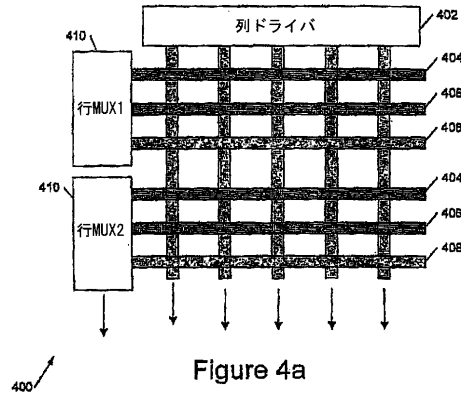


Figure 4a

400

【 図 4 B 】

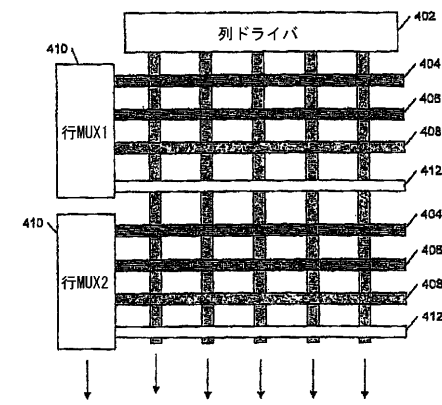


Figure 4b

450

【 図 5 A 】

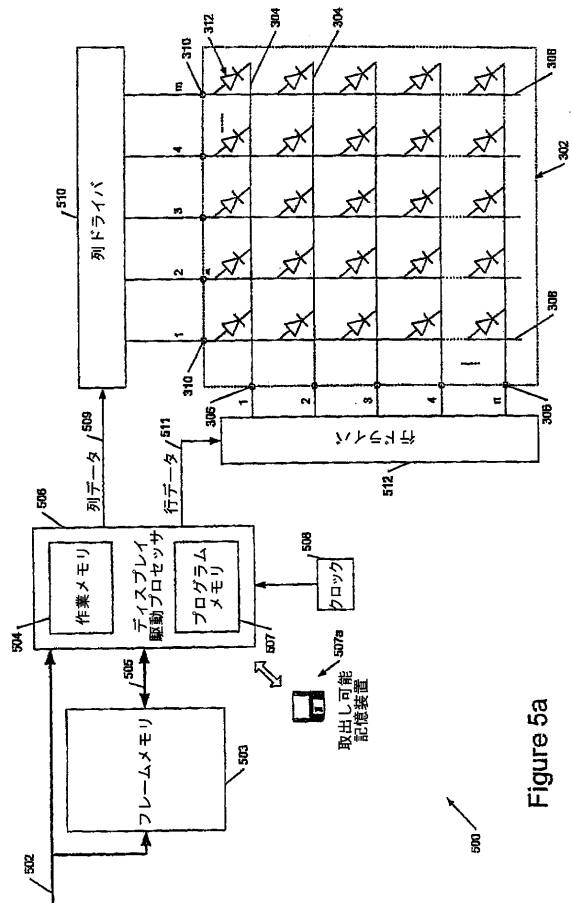


Figure 5a

500

【図5B】

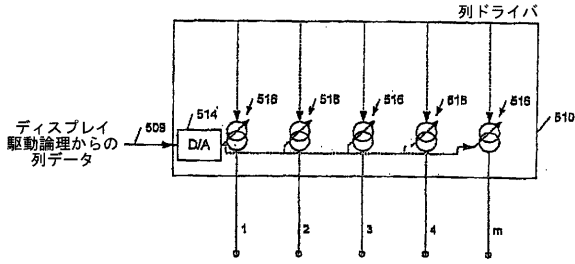


Figure 5b

【図5C】

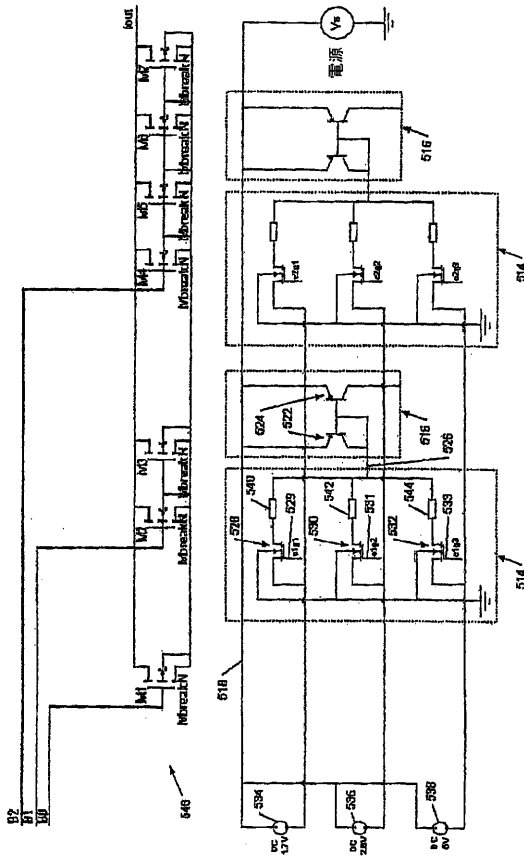


Figure 5c

【図5D】

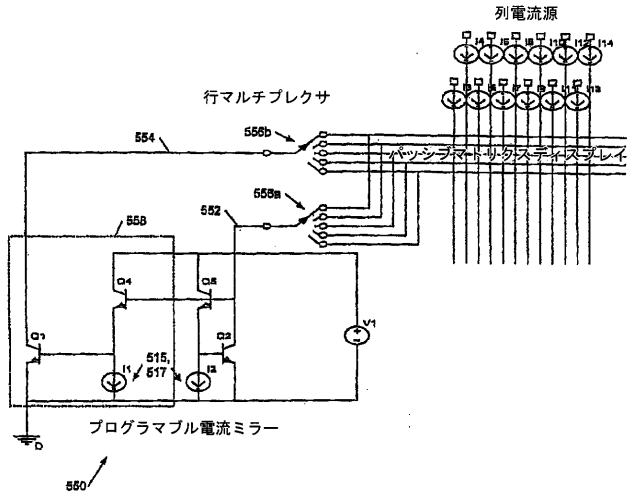


Figure 5d

【図5E】

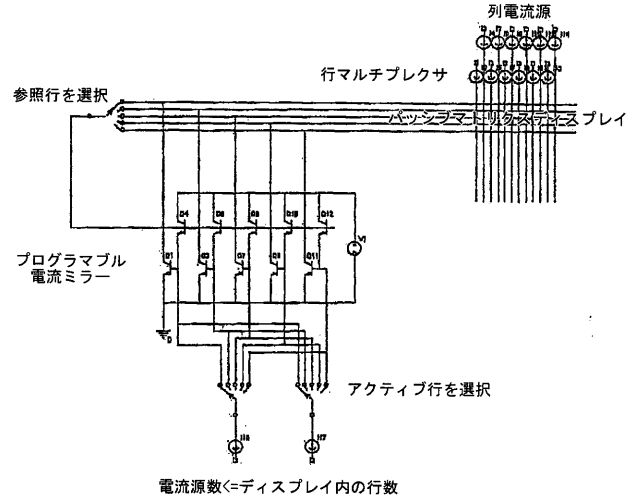


Figure 5e

【 図 5 F 】

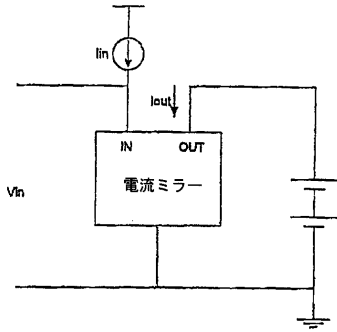


Figure 5f
(従来技術)

【 図 5 G 】

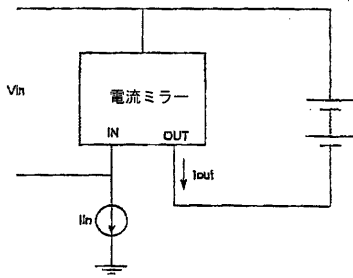


Figure 5g
(従来技術)

【 図 6 】

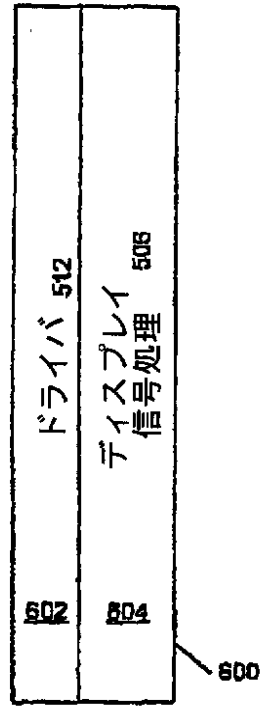


Figure 6

【 図 7 】

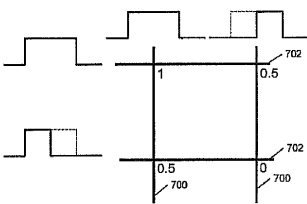


Figure 7

【 図 8 a 】

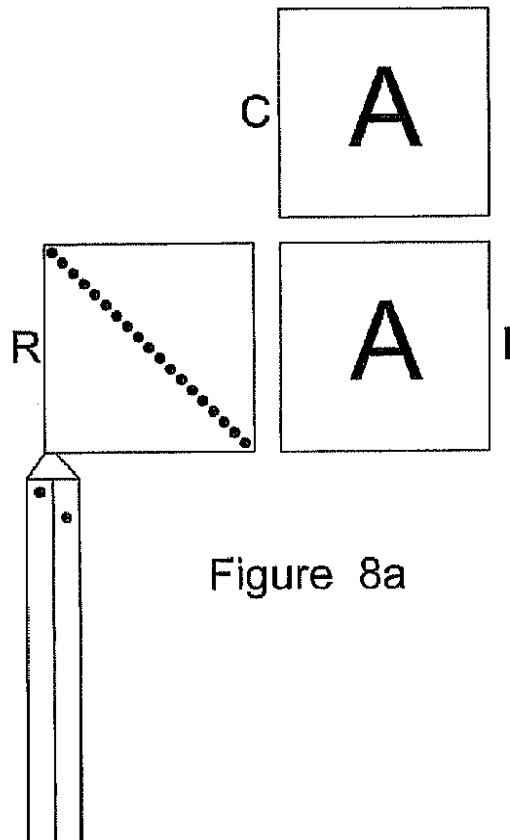


Figure 8a

【 図 8 b 】

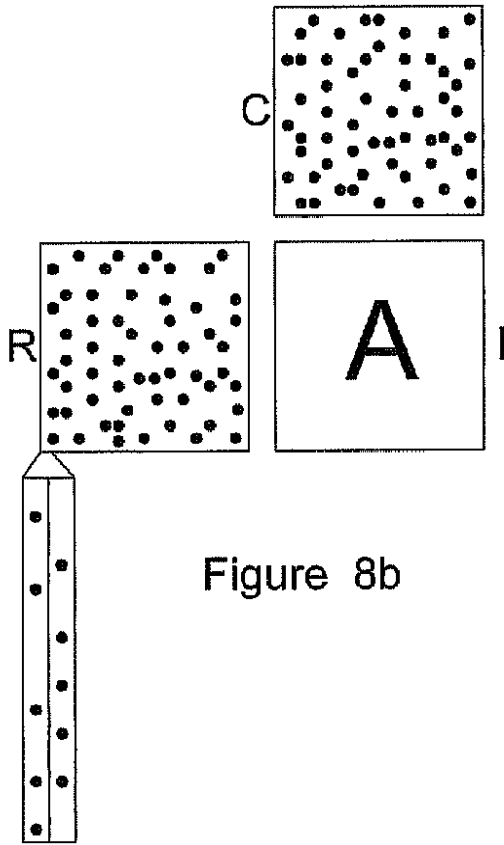


Figure 8b

【 図 8 C 】

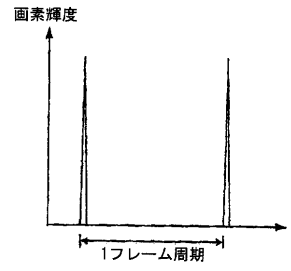


Figure 8c

【 図 8 D 】

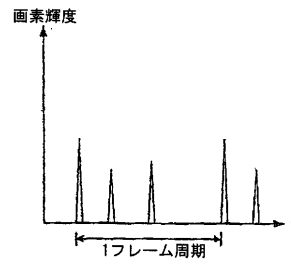


Figure 8d

【 図 9 a 】

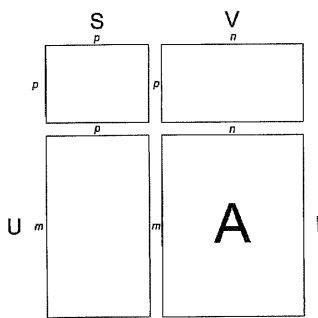


Figure 9a

【 図 9 b 】

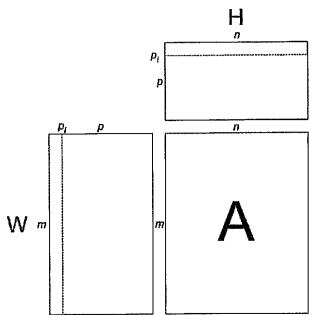


Figure 9b

【 図 1 0 】

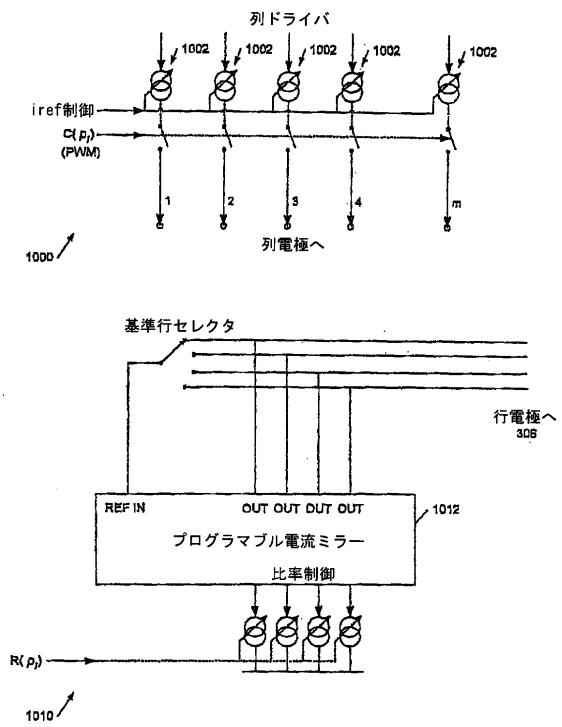


Figure 10

【 図 1 1 】

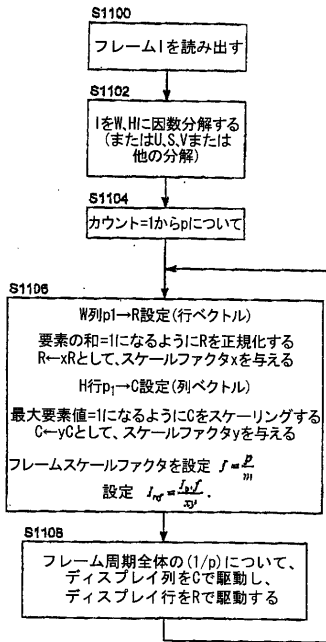


Figure 11

【 図 1 2 】

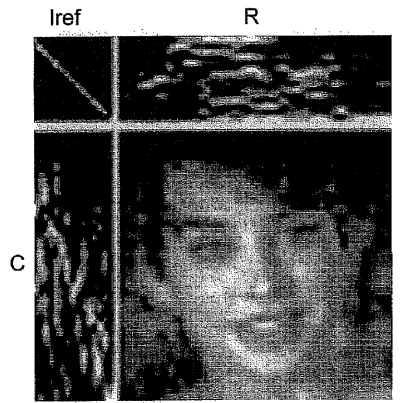


Figure 12

【図4C】

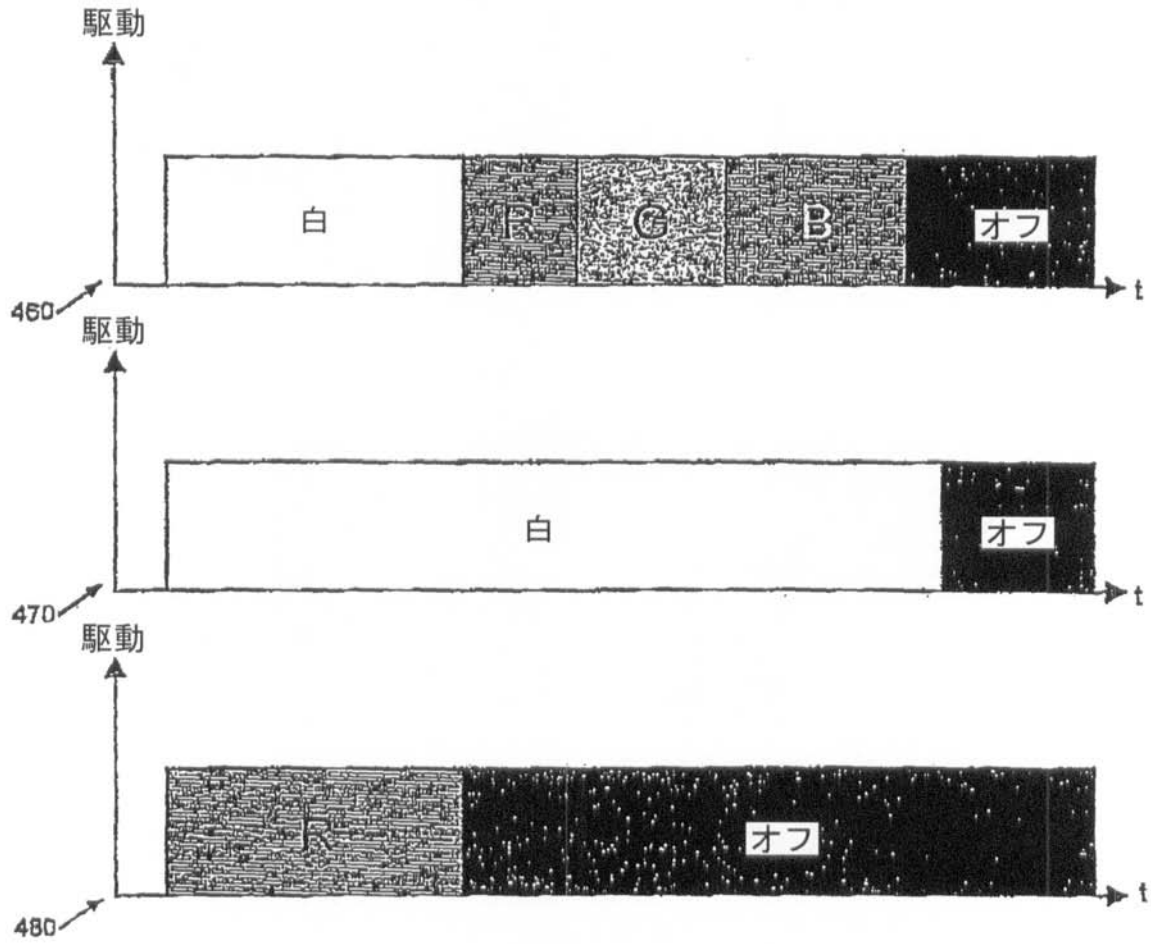


Figure 4c

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/GB2005/050167

A. CLASSIFICATION OF SUBJECT MATTER G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 408 479 A (CANON KABUSHIKI KAISHA) 14 April 2004 (2004-04-14) figures 5,7,15,16 paragraphs '0062!', '0070!', '0129!' - '0133! paragraphs '0170!' - '0179!'	1-24
X	EP 0 541 295 A (CANON KABUSHIKI KAISHA) 12 May 1993 (1993-05-12) figures 1,4 page 3, line 18 - page 4, line 18 page 9, line 46 - line 47	25
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search	23 January 2006	Date of mailing of the international search report
		31/01/2006
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 81 851 epo nl, Fax: (+31-70) 340-3016		Authorized officer Ladiray, O

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/GB2005/050167

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1408479	A	JP 2004133138 A US 2004125046 A1	30-04-2004 01-07-2004
EP 0541295	A	CA 2081643 A1 DE 69226689 D1 DE 69226689 T2 JP 5241551 A	08-05-1993 24-09-1998 28-01-1999 21-09-1993

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/30	K
	G 0 9 G 3/20	6 4 1 A
	G 0 9 G 3/20	6 2 3 U
	G 0 9 G 3/20	6 4 2 K
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 1 E
	H 0 5 B 33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ユアン・クリストファー・スミス
イギリス・ケンブリッジシャー・C B 2 3・6 DW・キャンボーン・キャンボーン・ビジネス・パーク・(番地なし)・ビルディング・2 0 2 0・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド内

(72) 発明者 ボール・リチャード・ロートレイ
イギリス・ケンブリッジシャー・C B 2 3・6 DW・キャンボーン・キャンボーン・ビジネス・パーク・(番地なし)・ビルディング・2 0 2 0・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド内

(72) 発明者 ジョナサン・ジェイムス・エム・ホールズ
イギリス・ケンブリッジシャー・C B 2 3・6 DW・キャンボーン・キャンボーン・ビジネス・パーク・(番地なし)・ビルディング・2 0 2 0・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド内

Fターム(参考) 3K107 AA01 BB01 CC02 CC21 EE02 HH00 HH04
5C080 AA06 BB06 CC03 DD03 DD25 DD26 DD29 EE01 EE19 EE29
EE30 FF12 FF13 GG02 GG10 GG11 HH09 JJ02 JJ03 JJ06