(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-233770
(P2004-233770A)
(43)公開日　平成16年8月19日(2004.8.19)

(51)Int.Cl.[7]		F I			テーマコード（参考）
G09G	3/36	G09G	3/36		2H093
G02F	1/133	G02F	1/133	505	5C006
G09G	3/20	G09G	3/20	612K	5C080
		G09G	3/20	623G	
		G09G	3/20	623H	

審査請求 有　請求項の数 9　ＯＬ　（全 21 頁）　最終頁に続く

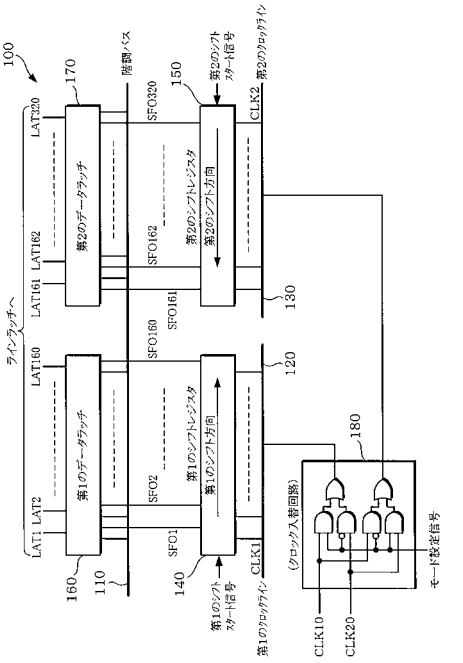
(21)出願番号　特願2003-23668(P2003-23668)
(22)出願日　平成15年1月31日(2003.1.31)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(72)発明者　鳥海　裕一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　森田　晶
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】表示ドライバ及び電気光学装置

(57)【要約】
【課題】実装状態に対応して、データ線がくし歯配線された表示パネルを駆動することができる表示ドライバ及び電気光学装置を提供する。
【解決手段】データ線を駆動する表示ドライバで、くし歯駆動を実現する。表示ドライバ３０は、データ線が並ぶ順序に対応して階調データが供給される階調バス１１０と、第１及び第２のシフトクロックが供給される第１及び第２のクロックライン１２０、１３０と、第１及び第２のシフトクロックに基づき第１及び第２のシフト方向にシフトする第１及び第２のシフトレジスタ１４０、１５０と、各シフトレジスタのシフト出力に基づき階調データをラッチする第１及び第２のデータラッチ１６０、１７０と、各データラッチのラッチデータに基づきデータ線を駆動するデータ線駆動回路と、所与のモード設定信号に基づき第１及び第２のシフトクロックを入れ替えて出力するクロック入替回路１８０とを含む。
【選択図】　図８



【特許請求の範囲】
【請求項１】
複数の走査線と、所与の数のデータ線がその両側から内側に向けて交互にくし歯状に配線された複数のデータ線と、前記複数の走査線及び前記複数のデータ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを含む電気光学装置の前記複数のデータ線を駆動する表示ドライバであって、
前記複数のデータ線の各データ線が並ぶ順序に対応して階調データが供給される階調バスと、
第１又は第２のシフトクロックが供給される第１及び第２のクロックラインと、
複数のフリップフロップを有し、前記第１のクロックライン上のシフトクロックに基づいて、第１のシフトスタート信号を第１のシフト方向にシフトして各フリップフロップからシフト出力を出力する第１のシフトレジスタと、
複数のフリップフロップを有し、前記第２のクロックライン上のシフトクロックに基づいて、第２のシフトスタート信号を前記第１のシフト方向と反対の第２のシフト方向にシフトして各フリップフロップからシフト出力を出力する第２のシフトレジスタと、
各フリップフロップが前記第１のシフトレジスタのシフト出力に基づいてデータ線に対応した前記階調データを保持する複数のフリップフロップを有する第１のデータラッチと、
各フリップフロップが前記第２のシフトレジスタのシフト出力に基づいてデータ線に対応した前記階調データを保持する複数のフリップフロップを有する第２のデータラッチと、
各データ出力部が前記第１又は第２のデータラッチのフリップフロップに保持された前記階調データに基づいて各データ線を駆動する複数のデータ出力部が、前記複数のデータ線の各データ線が並ぶ順序に対応して配置されるデータ線駆動回路と、
所与のモード設定信号に基づいて、前記第１及び第２のシフトクロックの一方を前記第１のクロックラインに出力し、前記第１及び第２のシフトクロックの他方を前記第２のクロックラインに出力するクロック入替回路とを含むことを特徴とする表示ドライバ。
【請求項２】
請求項１において、
前記データ線駆動回路は、
前記第１のデータラッチの複数のフリップフロップに保持されたデータに基づいて前記電気光学装置の第１の辺側からデータ線を駆動し、前記第２のデータラッチの複数のフリップフロップに保持されたデータに基づいて前記電気光学装置の前記第１の辺に対向する第２の辺側からデータ線を駆動することを特徴とする表示ドライバ。
【請求項３】
請求項１又は２において、
前記クロック入替回路は、
前記所与のモード設定信号が第１のレベルのとき、第１の基準シフトクロックを前記第１のシフトクロックとして前記第１のクロックラインに出力すると共に第２の基準シフトクロックを前記第２のシフトクロックとして前記第２のクロックラインに出力し、前記所与のモード設定信号が第２のレベルのとき、前記第２の基準シフトクロックを前記第１のシフトクロックとして前記第１のクロックラインに出力すると共に前記第１の基準シフトクロックを前記第２のシフトクロックとして前記第２のクロックラインに出力することを特徴とする表示ドライバ。
【請求項４】
請求項３において、
所与の基準クロックに基づいて前記第１及び第２の基準シフトクロックを生成するシフトクロック生成回路を含み、
前記第１及び第２のシフトレジスタによるシフト動作期間は、前記第１及び第２の基準シフトクロックが互いに位相が反転する期間を含むことを特徴とする表示ドライバ。
【請求項５】
請求項４において、

前記第１及び第２のシフトスタート信号は、同位相の信号であり、
前記シフトクロック生成回路は、
前記所与の基準クロックを分周して前記第２の基準シフトクロックを生成し、
前記第１のシフトレジスタに前記第１のシフトスタート信号を取り込むための初段取込期間において所与のパルスを有し、前記初段取込期間経過後のデータ取込期間において前記第２の基準シフトクロックの位相を反転した位相を有する前記第１の基準シフトクロックを生成することを特徴とする表示ドライバ。
【請求項６】
請求項１乃至５のいずれかにおいて、
前記データ線が伸びる前記第１の辺から前記第２の辺への方向と、前記第１又は第２のシフト方向とが同じ方向であることを特徴とする表示ドライバ。
【請求項７】
請求項１乃至６のいずれかにおいて、
前記走査線が伸びる方向を長辺側とし、前記データ線が伸びる方向を短辺側とした場合に、前記電気光学装置の前記短辺側に沿って配置されていることを特徴とする表示ドライバ。
【請求項８】
複数の走査線と、
所与の数のデータ線がその両側から内側に向けて交互にくし歯状に配線された複数のデータ線と、
前記複数の走査線及び前記複数のデータ線に接続されたスイッチング素子と、
前記スイッチング素子に接続された画素電極と、
前記複数のデータ線を駆動する請求項１乃至７のいずれか記載の表示ドライバと、
前記複数の走査線を走査する走査ドライバとを含むことを特徴とする電気光学装置。
【請求項９】
互いに対向する第１及び第２の辺を有し、複数の走査線と、所与の数のデータ線が前記第１及び第２の辺側から内側に向けて交互にくし歯状に配線された複数のデータ線と、前記複数の走査線及び前記複数のデータ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを含む表示パネルと、
前記複数のデータ線を駆動する請求項１乃至７のいずれか記載の表示ドライバと、
前記複数の走査線を走査する走査ドライバとを含むことを特徴とする電気光学装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、表示ドライバ及び電気光学装置に関する。
【０００２】
【従来の技術】
液晶（Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ　Ｄｉｓｐｌａｙ：ＬＣＤ）パネルに代表される表示パネル（広義には表示装置）は、携帯電話機や携帯型情報端末（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔｓ：ＰＤＡ）に実装される。特にＬＣＤパネルは、他の表示パネルと比較して、より小型化、低消費電力化及び低コスト化を実現し、種々の電子機器に搭載されている。
【０００３】
ＬＣＤパネルでは、表示される画像の見易さを考慮して、ある一定サイズ以上のサイズが要求される。その一方で、電子機器に搭載された場合のＬＣＤパネルの実装サイズをできるだけ小さくすることが望まれている。
【０００４】
このような実装サイズを小さくすることができるＬＣＤパネルとして、いわゆるくし歯配線されたＬＣＤパネルがある。
【０００５】

ＬＣＤパネルの実装サイズを小さくするために、ＬＣＤパネルの走査線を駆動する走査ドライバと該ＬＣＤパネルとの配線の領域を狭くしたり、ＬＣＤパネルのデータ線を駆動する表示ドライバと該ＬＣＤパネルとの配線の領域を狭くすることが有効である。

【０００６】

【特許文献１】

特開２００２－１５６６５４号公報

【０００７】

【発明が解決しようとする課題】

くし歯配線されたＬＣＤパネルの互いに対向する辺から、表示ドライバが該ＬＣＤパネルのデータ線を駆動する場合、通常のＬＣＤパネルではデータ線が並ぶ順序に対応して供給されていた階調データの順序を変更する必要が生ずる。

【０００８】

したがって、従来の表示ドライバでは、各データ線に対応して供給される階調データの順序を変更することができず、くし歯配線されたＬＣＤパネルを従来の表示ドライバで駆動する場合、専用のデータスクランブルＩＣを付加する必要があった。

【０００９】

また、上述のように階調データの順序を変更する必要があるくし歯配線されたＬＣＤパネルでは、表示ドライバの実装状態に応じて、その順序の変更の仕方が異なる。

【００１０】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、実装状態に対応して、データ線がくし歯配線された表示パネルを駆動することができる表示ドライバ及び電気光学装置を提供することにある。

【００１１】

【課題を解決するための手段】

上記課題を解決するために本発明は、複数の走査線と、所与の数のデータ線がその両側から内側に向けて交互にくし歯状に配線された複数のデータ線と、前記複数の走査線及び前記複数のデータ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを含む電気光学装置の前記複数のデータ線を駆動する表示ドライバであって、前記複数のデータ線の各データ線が並ぶ順序に対応して階調データが供給される階調バスと、第１又は第２のシフトクロックが供給される第１及び第２のクロックラインと、複数のフリップフロップを有し、前記第１のクロックライン上のシフトクロックに基づいて、第１のシフトスタート信号を第１のシフト方向にシフトして各フリップフロップからシフト出力を出力する第１のシフトレジスタと、複数のフリップフロップを有し、前記第２のクロックライン上のシフトクロックに基づいて、第２のシフトスタート信号を前記第１のシフト方向と反対の第２のシフト方向にシフトして各フリップフロップからシフト出力を出力する第２のシフトレジスタと、各フリップフロップが前記第１のシフトレジスタのシフト出力に基づいてデータ線に対応した前記階調データを保持する複数のフリップフロップを有する第１のデータラッチと、各フリップフロップが前記第２のシフトレジスタのシフト出力に基づいてデータ線に対応した前記階調データを保持する複数のフリップフロップを有する第２のデータラッチと、各データ出力部が前記第１又は第２のデータラッチのフリップフロップに保持された前記階調データに基づいて各データ線を駆動する複数のデータ出力部が、前記複数のデータ線の各データ線が並ぶ順序に対応して配置されるデータ線駆動回路と、所与のモード設定信号に基づいて、前記第１及び第２のシフトクロックの一方を前記第１のクロックラインに出力し、前記第１及び第２のシフトクロックの他方を前記第２のクロックラインに出力するクロック入替回路とを含む表示ドライバに関係する。

【００１２】

本発明においては、電気光学装置の複数のデータ線の各データ線が並ぶ順序に対応して階調バスに供給される階調データを、それぞれ別個に設定可能な第１及び第２のシフトクロックに基づくシフト出力により、第１及び第２のデータラッチに取り込むことができるよ

うにした。また、クロック入替回路により、所与のモード設定信号に応じて、第１及び第２のシフトクロックを、第１及び第２のクロックラインに切り替えて出力できるようにした。

【００１３】

これにより、第１及び第２のデータラッチには、階調バス上の階調データの並び順序を変更させて階調データを取り込むことができる。したがって、データスクランブルＩＣを付加回路として用いることなく、くし歯配線された電気光学装置を駆動することができるようになる。また、第１及び第２のシフトクロックを入れ替えて出力させることで、第１及び第２のシフトレジスタによる階調データの取込開始順序を変更することができるようになる。

【００１４】

また本発明に係る表示ドライバでは、前記データ線駆動回路は、前記第１のデータラッチの複数のフリップフロップに保持されたデータに基づいて前記電気光学装置の第１の辺側からデータ線を駆動し、前記第２のデータラッチの複数のフリップフロップに保持されたデータに基づいて前記電気光学装置の前記第１の辺に対向する第２の辺側からデータ線を駆動することができる。

【００１５】

本発明によれば、第１のデータラッチの複数のフリップフロップに保持されたデータに基づいての第１の辺側からデータ線を駆動し、第２のデータラッチの複数のフリップフロップに保持されたデータに基づいて電気光学装置の第１の辺と対向する第２の辺側からデータ線を駆動することで、くし歯配線された電気光学装置の実装サイズをより小さくすることができるようになる。

【００１６】

また本発明に係る表示ドライバでは、前記クロック入替回路は、前記所与のモード設定信号が第１のレベルのとき、第１の基準シフトクロックを前記第１のシフトクロックとして前記第１のクロックラインに出力すると共に第２の基準シフトクロックを前記第２のシフトクロックとして前記第２のクロックラインに出力し、前記所与のモード設定信号が第２のレベルのとき、前記第２の基準シフトクロックを前記第１のシフトクロックとして前記第１のクロックラインに出力すると共に前記第１の基準シフトクロックを前記第２のシフトクロックとして前記第２のクロックラインに出力することができる。

【００１７】

本発明によれば、表示ドライバの実装状態に対応したモード設定信号を設定することで、くし歯駆動を行うために必要な階調データの並び順序と、階調データの取込開始の順序とを変更させることができる。

【００１８】

また本発明に係る表示ドライバでは、所与の基準クロックに基づいて前記第１及び第２の基準シフトクロックを生成するシフトクロック生成回路を含み、前記第１及び第２のシフトレジスタによるシフト動作期間は、前記第１及び第２の基準シフトクロックが互いに位相が反転する期間を含むことができる。

【００１９】

また本発明に係る表示ドライバでは、前記第１及び第２のシフトスタート信号は、同位相の信号であり、前記シフトクロック生成回路は、前記所与の基準クロックを分周して前記第２の基準シフトクロックを生成し、前記第１のシフトレジスタに前記第１のシフトスタート信号を取り込むための初段取込期間において所与のパルスを有し、前記初段取込期間経過後のデータ取込期間において前記第２の基準シフトクロックの位相を反転した位相を有する前記第１の基準シフトクロックを生成することができる。

【００２０】

本発明によれば、第１及び第２の基準シフトクロック（第１及び第２のシフトクロック）の生成をより簡素化し、かつ第１及び第２のシフトスタート信号を同位相の信号とすることができる。したがって、表示ドライバの構成及び制御の簡素化を図ることができる。

【００２１】
また本発明に係る表示ドライバでは、前記データ線が伸びる前記第１の辺から前記第２の辺への方向と、前記第１又は第２のシフト方向とが同じ方向であってもよい。
【００２２】
また本発明に係る表示ドライバでは、前記走査線が伸びる方向を長辺側とし、前記データ線が伸びる方向を短辺側とした場合に、前記電気光学装置の前記短辺側に沿って配置されていてもよい。
【００２３】
本発明によれば、データ線の数が多ければ多いほど、くし歯配線された電気光学装置の実装サイズの縮小化を図ることができる。
【００２４】
また本発明は、複数の走査線と、所与の数のデータ線がその両側から内側に向けて交互にくし歯状に配線された複数のデータ線と、前記複数の走査線及び前記複数のデータ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記複数のデータ線を駆動する上記のいずれか記載の表示ドライバと、前記複数の走査線を走査する走査ドライバとを含む電気光学装置に関係する。
【００２５】
また本発明は、互いに対向する第１及び第２の辺を有し、複数の走査線と、所与の数のデータ線が前記第１及び第２の辺側その両側から内側に向けて交互にくし歯状に配線された複数のデータ線と、前記複数の走査線及び前記複数のデータ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを含む表示パネルと、前記複数のデータ線を駆動する上記のいずれか記載の表示ドライバと、前記複数の走査線を走査する走査ドライバとを含む電気光学装置に関係する。
【００２６】
本発明によれば、実装サイズをより小さくして、電子機器への搭載が容易となる電気光学装置を提供することができる。
【００２７】
【発明の実施の形態】
以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。
【００２８】
１．　電気光学装置
図１に、本実施形態における電気光学装置の構成の概要を示す。ここでは、電気光学装置として液晶装置を例に示す。液晶装置は、携帯電話機、携帯型情報機器（ＰＤＡ等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マスストレージデバイス、ビデオカメラ、電子手帳又はＧＰＳ（Ｇｌｏｂａｌ　Ｐｏｓｉｔｉｏｎｉｎｇ　Ｓｙｓｔｅｍ）などの種々の電子機器に組み込むことができる。
【００２９】
液晶装置１０は、ＬＣＤパネル（広義には表示パネル。更に広義には電気光学装置）２０、表示ドライバ（ソースドライバ）３０、走査ドライバ（ゲートドライバ）４０、４２を含む。
【００３０】
なお、液晶装置１０にこれら全ての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。
【００３１】
ＬＣＤパネル２０は、複数の走査線（ゲート線）と、複数の走査線と交差する複数のデータ線（ソース線）と、各画素が複数の走査線のいずれかの走査線及び複数のデータ線のいずれかのデータ線により特定される複数の画素とを含む。１画素が例えばＲＧＢの３つの色成分により構成される場合、ＲＧＢ各１ドット計３ドットで１画素が構成される。ここ

で、ドットは各画素を構成する要素点と言うことができる。１画素に対応するデータ線は、１画素を構成する色成分数のデータ線と言うことができる。以下では、説明の簡略化のため、適宜１画素が１ドットで構成されているものとして説明する。

【００３２】

各画素は、薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ：以下、ＴＦＴと略す）（スイッチング素子）と画素電極とを含む。データ線にはＴＦＴが接続され、該ＴＦＴに画素電極が接続される。

【００３３】

ＬＣＤパネル２０は例えばガラス基板からなるパネル基板上に形成される。パネル基板には、図１のＸ方向に複数配列されそれぞれＹ方向に伸びる走査線と、Ｙ方向に複数配列されそれぞれＸ方向に伸びるデータ線とが配置されている。ＬＣＤパネル２０では、複数のデータ線の各データ線がくし歯配線されている。図１では、ＬＣＤパネル２０の第１の辺側と該第１の辺と対向する第２の辺側から駆動されるように、各データ線がくし歯配線されている。くし歯配線とは、所与の数のデータ線（１又は複数のデータ線）がその両側（ＬＣＤパネル２０の第１及び第２の辺）から内側（内部）に向けて交互にくし歯状に行われた配線と言うことができる。

【００３４】

図２に、画素の構成を模式的に示す。ここでは、１画素が１ドットで構成されているものとする。走査線ＧＬｍ（１≦ｍ≦Ｍ、Ｍ、ｍは整数）とデータ線ＤＬｎ（１≦ｎ≦Ｎ、Ｎ、ｎは整数）との交差点に対応する位置に画素ＰＥｍｎが設けられている。画素ＰＥｍｎは、ＴＦＴｍｎと画素電極ＰＥＬｍｎとを含む。

【００３５】

ＴＦＴｍｎのゲート電極は走査線ＧＬｍに接続される。ＴＦＴｍｎのソース電極はデータ線ＤＬｎに接続される。ＴＦＴｍｎのドレイン電極は画素電極ＰＥＬｍｎに接続される。画素電極と、該画素電極と液晶素子（広義には電気光学物質）を介して対向する対向電極ＣＯＭ（コモン電極）との間には、液晶容量ＣＬｍｎが形成されている。なお液晶容量ＣＬｍｎと並列に、保持容量を形成するようにしても良い。画素電極と対向電極ＣＯＭとの間の電圧に応じて、画素の透過率が変化するようになっている。対向電極ＣＯＭに供給される電圧ＶＣＯＭは、図示しない電源回路により生成される。

【００３６】

走査線は、走査ドライバ４０、４２によって走査される。図１では、１つの走査線が、走査ドライバ４０、４２により同一タイミングで駆動される。

【００３７】

データ線は、表示ドライバ３０によって駆動される。データ線は、表示ドライバ３０によってＬＣＤパネル２０の第１の辺側、又はＬＣＤパネル２０の第１の辺と対向する第２の辺側から駆動される。ＬＣＤパネル２０の第１及び第２の辺は、データ線の伸びる方向で対向していると言うことができる。

【００３８】

このように、データ線がくし歯配線されたＬＣＤパネル２０では、選択された走査線に接続され隣り合う画素それぞれに対応して配置される各画素の色成分数のデータ線が互いに反対の方向から駆動されるようにくし歯配線されている。

【００３９】

より具体的には、図２においてデータ線がくし歯配線されたＬＣＤパネル２０では、選択された走査線ＧＬｍに接続されて隣り合う画素それぞれに対応してデータ線ＤＬｎ、ＤＬ（ｎ＋１）が配置されている場合、データ線ＤＬｎはＬＣＤパネル２０の第１の辺側から表示ドライバ３０により駆動され、データ線ＤＬ（ｎ＋１）はＬＣＤパネル２０の第２の辺側から表示ドライバ３０により駆動される。

【００４０】

なお１画素に対応してＲＧＢの各色成分に対応するデータ線が配置されている場合も同様である。この場合には、選択された走査線ＧＬｍに接続されて隣り合う画素それぞれに対

応して３本の各色成分用データ線（Ｒｎ，Ｇｎ，Ｂｎ）を１組とするデータ線ＤＬｎと、３本の各色成分用データ線（Ｒ（ｎ＋１），Ｇ（ｎ＋１），Ｂ（ｎ＋１））を１組とするデータ線ＤＬ（ｎ＋１）が配置されているものとすると、データ線ＤＬｎはＬＣＤパネル２０の第１の辺側から表示ドライバ３０により駆動され、データ線ＤＬ（ｎ＋１）はＬＣＤパネル２０の第２の辺側から表示ドライバ３０により駆動される。

【００４１】

表示ドライバ３０は、一水平走査期間ごとに供給される一水平走査期間分の階調データに基づいてＬＣＤパネル２０のデータ線ＤＬ１～ＤＬＮを駆動する。より具体的には、表示ドライバ３０は、階調データに基づいてデータ線ＤＬ１～ＤＬＮの少なくとも１つを駆動することができる。

【００４２】

走査ドライバ４０、４２は、ＬＣＤパネル２０の走査線ＧＬ１～ＧＬＭを走査する。より具体的には、走査ドライバ４０、４２は、一垂直期間内に走査線ＧＬ１～ＧＬＭを順次選択し、選択した走査線を駆動する。

【００４３】

表示ドライバ３０及び走査ドライバ４０、４２は、図示しないコントローラによって制御される。コントローラは、中央処理装置（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ：ＣＰＵ）等のホストにより設定された内容に従って、表示ドライバ３０、走査ドライバ４０、４２及び電源回路に対して制御信号を出力する。より具体的には、コントローラは、表示ドライバ３０及び走査ドライバ４０、４２に対しては、例えば動作モードの設定や内部で生成した水平同期信号や垂直同期信号を供給する。水平同期信号は、水平走査期間を規定する。垂直同期信号は、垂直走査期間を規定する。またコントローラは、電源回路に対しては、対向電極ＣＯＭの電圧ＶＣＯＭの極性反転タイミングの制御を行う。

【００４４】

電源回路は、外部から供給される基準電圧に基づいて、ＬＣＤパネル２０の各種電圧や、対向電極ＣＯＭの電圧ＶＣＯＭを生成する。

【００４５】

なお図１において、液晶装置１０にコントローラを含む構成にしてもよいし、コントローラを液晶装置１０の外部に設けてもよい。或いは、コントローラと共にホスト（図示せず）を液晶装置１０に含めるように構成してもよい。

【００４６】

また走査ドライバ４０、４２、コントローラ及び電源回路のうち少なくとも１つを表示ドライバ３０に内蔵させてもよい。

【００４７】

また、表示ドライバ３０、走査ドライバ４０、４２、コントローラ及び電源回路の一部又は全部をＬＣＤパネル２０上に形成してもよい。例えば、ＬＣＤパネル２０上に、表示ドライバ３０及び走査ドライバ４０、４２を形成してもよい。この場合、ＬＣＤパネル２０は電気光学装置とも言うことができ、ＬＣＤパネル２０は、複数のデータ線と、複数の走査線と、各画素が複数のデータ線のいずれかと複数の走査線のいずれかとにより特定される複数の画素と、複数のデータ線を駆動する表示ドライバと、複数の走査線を走査する走査ドライバとを含むように構成することができる。ＬＣＤパネル２０の画素形成領域に、複数の画素が形成される。

【００４８】

次に、くし歯配線されたＬＣＤパネルの利点について述べる。

【００４９】

図３に、くし歯配線されないＬＣＤパネルを含む電気光学装置の構成を模式的に示す。図３における電気光学装置８０は、くし歯配線されないＬＣＤパネル９０を含む。ＬＣＤパネル９０では、第１の辺側から各データ線が表示ドライバ９２によって駆動される。したがって、表示ドライバ９２の各データ出力部と、ＬＣＤパネル９０の各データ線とを接続するための配線領域が必要となる。データ線の数が多くなりＬＣＤパネル９０の第１及び

第２の辺の長さが長くなると、各配線を折り曲げる必要が生じ、配線領域の幅Ｗ０が必要となる。

【００５０】

これに対して、図１に示す電気光学装置１０では、ＬＣＤパネル２０の第１及び第２の辺側で、幅Ｗ０より小さい幅Ｗ１、Ｗ２が必要となるだけである。

【００５１】

電子機器への搭載を考慮すると、ＬＣＤパネル（電気光学装置）の長辺方向の長さが多少長くなるより、ＬＣＤパネルの短辺方向の長さが長くなってしまう方が不都合である。その理由の１つに、電子機器の表示部の額縁が広くなる等、デザイン面で望ましくない点が挙げられる。

【００５２】

図３ではＬＣＤパネルの短辺方向の長さが長くなっているのに対して、図１ではＬＣＤパネルの長辺方向の長さが長くなり、第１及び第２の辺側の配線領域の幅もほぼ等しく狭くすることができるという利点がある。また図１では、図３における非配線領域の面積を小さくすることができ、実装サイズを小さくすることも可能である。

【００５３】

表示ドライバ３０の各データ出力部の並ぶ順序が、ＬＣＤパネル２０のデータ線の並ぶ順序に対応している場合、図４に示すようにＬＣＤパネル２０の短辺側に沿って表示ドライバ３０を配置することによって、第１及び第２の辺側から各データ出力部と各データ線とを接続する配線を配置することができ、配線の簡素化と、配線領域の縮小化とを図ることができる。

【００５４】

しかしながら、ＬＣＤパネル２０を駆動する場合、汎用のコントローラによりデータ線の並ぶ順序に対応して出力された階調データを受け取る表示ドライバ３０では、受け取った階調データの順序を変更する必要が生ずる。

【００５５】

表示ドライバ３０がデータ出力部ＯＵＴ１～ＯＵＴ３２０を有し、各データ出力部が第１の辺から第２の辺への方向に並んでいるものとする。各データ出力部は、ＬＣＤパネル２０の各データ線に対応している。

【００５６】

汎用のコントローラは、図５に示すように基準クロックＣＰＨに同期して、データ線ＤＬ１～ＤＬ３２０にそれぞれ対応する階調データＤＡＴＡ１～ＤＡＴＡ３２０を表示ドライバ３０に対して供給する。表示ドライバ３０が図３に示すようなくし歯配線されていないＬＣＤパネルを駆動する場合、データ出力部ＯＵＴ１はデータ線ＤＬ１、データ出力部ＯＵＴ２はデータ線ＤＬ２、・・・、データ出力部ＯＵＴ３２０はデータ線ＤＬ３２０に接続されるため、問題なく表示することができる。しかし、図１又は図４に示したように表示ドライバ３０がくし歯配線されたＬＣＤパネルを駆動する場合、データ出力部ＯＵＴ１はデータ線ＤＬ１、データ出力部ＯＵＴ２はデータ線ＤＬ３、・・・、データ出力部ＯＵＴ３２０はデータ線ＤＬ２に接続されるため、意図した画像の表示ができない。

【００５７】

そのため、階調データの順序を変更するスクランブル処理を行って、図５に示したような階調データの並びを変える必要が生ずる。したがって、汎用のコントローラにより表示制御される表示ドライバによってくし歯配線されたＬＣＤパネルを駆動する場合、上述のスクランブル処理を行う専用のデータスクランブルＩＣを付加して、実装サイズが大きくならざるを得なかった。

【００５８】

本実施形態における表示ドライバ３０では、以下に述べる構成により、汎用のコントローラから供給される階調データに基づき、くし歯配線されたＬＣＤパネルを駆動することができる。

【００５９】

またくし歯配線されたＬＣＤパネル２０のデータ線を表示ドライバ３０で駆動する場合、表示ドライバ３０の実装状態に応じて階調データの並ぶ順序を変更する必要がある。

【００６０】

図６（Ａ）に、ＬＣＤパネル２０に対する表示ドライバ３０の第１の実装状態を模式的に示す。図６（Ｂ）に、ＬＣＤパネル２０に対する表示ドライバ３０の第２の実装状態を模式的に示す。

【００６１】

ここで、図６（Ａ）に示す画像を表示させるために、表示ドライバ３０で階調データの並び順序を変更させることができるものとする。したがって、表示ドライバ３０では、階調データＤＡＴＡ１、ＤＡＴＡ２、ＤＡＴＡ３、・・・は、図５に示すようにデータ出力部ＯＵＴ１、データ出力部ＯＵＴ３２０、データ出力ＯＵＴ部３、・・・の順序で取り込まれる（第１の実装状態）。

【００６２】

ところが、第２の実装状態において、表示ドライバ３０が同じ順序で階調データを取り込むと、データ出力部ＯＵＴ１から階調データＤＡＴＡ１に基づく駆動電圧が出力されることになり、図６（Ｂ）に示した画像を表示させることができない。

【００６３】

これは、表示ドライバ３０がＬＣＤパネル２０に対して表面実装されるか、裏面実装されるかによっても同様である。

【００６４】

このように、表示ドライバ３０では、実装状態に応じて、階調データの並び順序と、階調データの取込開始の順序を変更させる必要がある。

【００６５】

２．　表示ドライバ

図７に、表示ドライバ３０の構成の概要を示す。表示ドライバ３０は、データラッチ１００、ラインラッチ２００、ＤＡＣ（Ｄｉｇｉｔａｌ－ｔｏ－Ａｎａｌｏｇ　Ｃｏｎｖｅｒｔｅｒ）（広義には電圧選択回路）３００、データ線駆動回路４００を含む。

【００６６】

データラッチ１００は、一水平走査周期で階調データを取り込む。

【００６７】

ラインラッチ２００は、データラッチ１００に取り込まれた階調データを、水平同期信号Ｈｓｙｎｃに基づいてラッチする。

【００６８】

ＤＡＣ３００は、各基準電圧が階調データに対応した複数の基準電圧の中から、データ線ごとにラインラッチ２００からの階調データに対応する駆動電圧（階調電圧）を出力する。より具体的には、ＤＡＣ３００は、ラインラッチ２００からの階調データをデコードし、デコード結果に基づいて複数の基準電圧のいずれかを選択する。ＤＡＣ３００において選択された基準電圧は、駆動電圧としてデータ線駆動回路４００に出力される。

【００６９】

データ線駆動回路４００は、３２０個のデータ出力部ＯＵＴ１～ＯＵＴ３２０を有する。データ線駆動回路４００は、データ出力部ＯＵＴ１～ＯＵＴ３２０を介して、ＤＡＣ３００からの駆動電圧に基づいてデータ線ＤＬ～ＤＬＮを駆動する。データ線駆動回路４００では、各データ出力部ＯＵＴがラインラッチ２００（第１又は第２のデータラッチのフリップフロップ）に保持された階調データ（ラッチデータ）に基づいて各データ線を駆動する複数のデータ出力部（ＯＵＴ１～ＯＵＴ３２０）が、複数のデータ線の各データ線が並ぶ順序に対応して配置される。ここでは、データ線駆動回路４００は、３２０個のデータ出力部ＯＵＴ１～ＯＵＴ３２０を有するものとしたが、その数に限定されるものではない。

【００７０】

表示ドライバ３０は、データラッチ１００に取り込まれたラッチデータＬＡＴ１は、ライ

ンラッチ２００に出力される。ラインラッチ２００でラッチされたラッチデータＬＬＡＴ１は、ＤＡＣ３００に出力される。ＤＡＣ３００では、ラインラッチ２００からラッチデータＬＬＡＴ１に対応した駆動電圧ＧＶ１を生成する。データ線駆動回路４００のデータ出力部ＯＵＴ１は、ＤＡＣ３００からの駆動電圧ＧＶ１に基づいて、該データ出力部ＯＵＴ１に接続されたデータ線を駆動する。

【００７１】

このように表示ドライバ３０は、データ線駆動回路４００のデータ出力部単位で、データラッチ１００に階調データを取り込む。なおデータラッチ１００がデータ出力部単位でラッチするラッチデータは、１画素単位、複数の画素単位、１ドット単位又は複数のドット単位とすることができる。

【００７２】

図８に、図７におけるデータラッチ１００の構成の概要を示す。データラッチ１００は、階調バス１１０、第１及び第２のクロックライン１２０、１３０、第１及び第２のシフトレジスタ１４０、１５０、第１及び第２のデータラッチ１６０、１７０、クロック入替回路１８０を含む。

【００７３】

階調バス１１０には、データ線ＤＬ１～ＤＬＮの各データ線が並ぶ順序に対応して階調データが供給される。第１のクロックライン１２０には、第１のシフトクロックＣＬＫ１が供給される。第２のクロックライン１３０には、第２のシフトクロックＣＬＫ２が供給される。

【００７４】

第１のシフトレジスタ１４０は、複数のフリップフロップを有し、第１のシフトクロックＣＬＫ１に基づいて、第１のシフトスタート信号ＳＴ１を第１のシフト方向にシフトして、各フリップフロップからシフト出力を出力する。第１のシフト方向は、ＬＣＤパネル２０の第１の辺から第２の辺への方向とすることができる。第１のシフトレジスタ１４０のシフト出力ＳＦＯ１～ＳＦＯ１６０は、第１のデータラッチ１６０に対して出力される。

【００７５】

図９に、第１のシフトレジスタ１４０の構成例を示す。第１のシフトレジスタ１４０では、Ｄフリップフロップ（以下、ＤＦＦと略す）１～ＤＦＦ１６０が直列に接続され、第１のシフト方向にシフトするように構成される。ＤＦＦｋ（１≦ｋ≦１５９、ｋは自然数）のＱ端子が、次段のＤＦＦ（ｋ＋１）のＤ端子に接続される。各ＤＦＦは、Ｃ端子への入力信号の立ち上がりでＤ端子への入力信号を取り込んで保持し、保持した信号をＱ端子からシフト出力ＳＦＯとして出力する。

【００７６】

図８において、第２のシフトレジスタ１５０は、複数のフリップフロップを有し、第２のシフトクロックＣＬＫ２に基づいて、第２のシフトスタート信号ＳＴ２を第１のシフト方向と反対の第２のシフト方向にシフトして、各フリップフロップからシフト出力を出力する。第２のシフト方向は、ＬＣＤパネル２０の第２の辺から第１の辺への方向とすることができる。第２のシフトレジスタ１５０のシフト出力ＳＦＯ１６１～ＳＦＯ３２０は、第２のデータラッチ１７０に対して出力される。

【００７７】

図１０に、第２のシフトレジスタ１５０の構成例を示す。第２のシフトレジスタ１５０では、ＤＦＦ３２０～ＤＦＦ１６１が直列に接続され、第２のシフト方向にシフトするように構成される。ＤＦＦｊ（１６２≦ｊ≦３２０、ｊは自然数）のＱ端子が、次段のＤＦＦ（ｊ－１）のＤ端子に接続される。各ＤＦＦは、Ｃ端子への入力信号の立ち上がりでＤ端子への入力信号を取り込んで保持し、保持した信号をＱ端子からシフト出力ＳＦＯとして出力する。

【００７８】

図８において、第１のデータラッチ１６０は、各フリップフロップがデータ出力部ＯＵＴ１～ＯＵＴ１６０の各データ出力部に対応した複数のフリップフロップ（ＦＦ）１～１６

０（図示せず）を有する。ＦＦｉ（１≦ｉ≦１６０）は、第１のシフトレジスタ１４０のシフト出力ＳＦＯｉに基づいて階調バス１１０上の階調データを保持する。第１のデータラッチ１６０のフリップフロップに保持された階調データは、ラッチデータＬＡＴ１～ＬＡＴ１６０としてラインラッチ２００に出力される。

【００７９】

第２のデータラッチ１７０は、各フリップフロップがデータ出力部ＯＵＴ１６１～ＯＵＴ３２０の各データ出力部に対応した複数のフリップフロップ（ＦＦ）１６１～３２０（図示せず）を有する。ＦＦｉ（１６１≦ｉ≦３２０）は、第２のシフトレジスタ１５０のシフト出力ＳＦＯｉに基づいて階調バス１１０上の階調データを保持する。第２のデータラッチ１７０のフリップフロップに保持された階調データは、ラッチデータＬＡＴ１６１～ＬＡＴ３２０としてラインラッチ２００に出力される。

【００８０】

このように第１及び第２のデータラッチ１６０、１７０は、互いに個別に生成可能なシフト出力に基づき、互いに共通に接続された階調バス１１０上の階調データを取り込むことができるようになっている。こうすることで、データラッチ１００には、階調バス上の階調データの並び順序を変更して、各データ出力部に対応するラッチデータを取り込むことができる。したがって、第１のデータラッチ１６０の複数のフリップフロップに保持されたデータ（ＬＡＴ１～ＬＡＴ１６０）に基づいてＬＣＤパネル２０（電気光学装置）の第１の辺側からデータ線を駆動し、第２のデータラッチ１７０の複数のフリップフロップに保持されたデータ（ＬＡＴ１６１～３２０）に基づいてＬＣＤパネル２０（電気光学装置）の第２の辺側からデータ線を駆動することで、データスクランブルＩＣを用いることなく、くし歯配線されたＬＣＤパネル２０を駆動することができるようになる。

【００８１】

図８において、クロック入替回路１８０は、所与のモード設定信号に基づいて、第１及び第２のシフトクロックＣＬＫ１、ＣＬＫ２の一方を第１のクロックライン１２０に出力し、第１及び第２のシフトクロックＣＬＫ１、ＣＬＫ２の他方を第２のクロックライン１３０に出力することができる。ここで、モード設定信号は、表示ドライバ３０の実装状態に対応して設定される信号である。

【００８２】

より具体的にはクロック入替回路１８０は、モード設定信号が「Ｈ」（第１のレベル）のとき、第１の基準シフトクロックＣＬＫ１０を第１のシフトクロックＣＬＫ１として第１のクロックライン１２０に出力すると共に第２の基準シフトクロックＣＬＫ２０を第２のシフトクロックＣＬＫ２として第２のクロックライン１３０に出力する。またクロック入替回路１８０は、モード設定信号が「Ｌ」（第２のレベル）のとき、第２の基準シフトクロックＣＬＫ２０を第１のシフトクロックＣＬＫ１として第１のクロックライン１２０に出力すると共に第１の基準シフトクロックＣＬＫ１０を第２のシフトクロックＣＬＫ２として第２のクロックライン１３０に出力する。

【００８３】

このように本実施形態では、第１及び第２のクロックライン１２０、１３０に出力されるシフトクロックをモード設定信号により入れ替えることができるようにしたので、第１及び第２のシフトレジスタ１４０、１５０による階調データの取込開始順序を変更することができる。したがって表示ドライバ３０の実装状態に応じて、階調データの並び順序と、階調データの取込開始の順序を変更させることができる。

【００８４】

また表示ドライバ３０は、次に示すようなシフトクロック生成回路を備えていることが望ましい。

【００８５】

図１０に、シフトクロック生成回路の構成の概要を示す。シフトクロック生成回路５００は、階調データが同期して供給される基準クロックＣＰＨに基づいて、第１及び第２の基準シフトクロックＣＬＫ１０、ＣＬＫ２０を生成する。シフトクロック生成回路５００は

、互いに位相が反転する期間を含むように第１及び第２の基準シフトクロックＣＬＫ１０、ＣＬＫ２０を生成する。こうすることで、別個に生成されるシフト出力を得るための第１及び第２のシフトクロックＣＬＫ１、ＣＬＫ２を簡素な構成で生成することができるようになる。

【００８６】

またシフトクロック生成回路５００において、以下に述べるようにして第１及び第２の基準シフトクロックＣＬＫ１０、ＣＬＫ２０により第１及び第２のシフトクロックＣＬＫ１、ＣＬＫ２を生成することによって、第１及び第２のシフトスタート信号ＳＴ１、ＳＴ２を同位相の信号とすることができ、構成及び制御の簡素化を図ることができる。

【００８７】

図１２に、シフトクロック生成回路５００による第１及び第２の基準シフトクロックＣＬＫ１０、ＣＬＫ２０の生成タイミングの一例を示す。第１及び第２のシフトスタート信号ＳＴ１、ＳＴ２を同位相の信号とするためには、第１及び第２のシフトレジスタ１４０、１５０の初段で第１及び第２のシフトスタート信号ＳＴ１、ＳＴ２をそれぞれ取り込む必要がある。

【００８８】

そこでシフトクロック生成回路５００は、初段取込期間とデータ取込期間（シフト動作期間）とを規定するクロック選択信号ＣＬＫ＿ＳＥＬＥＣＴを生成する。初段取込期間は、第１のシフトレジスタ１４０に第１のシフトスタート信号ＳＴ１を取り込む期間、又は第２のシフトレジスタ１５０に第２のシフトスタート信号ＳＴ２を取り込む期間と言うことができる。データ取込期間は、初段取込期間経過後において、該初段取込期間において取り込まれた各シフトスタート信号がシフトされる期間と言うことができる。

【００８９】

そしてクロック選択信号ＣＬＫ＿ＳＥＬＥＣＴを用いて、第１及び第２の基準シフトクロックＣＬＫ１０、ＣＬＫ２０がそれぞれ第１及び第２のシフトスタート信号ＳＴ１、ＳＴ２を取り込むためのエッジを持たせる。

【００９０】

そのため、初段取込期間において、基準クロックＣＰＨのパルスＰ１を生成する。また基準クロックＣＰＨを分周して分周クロックＣＰＨ２を生成する。分周クロックＣＰＨ２は、第２の基準シフトクロックＣＬＫ２０となる。更に分周クロックＣＰＨ２の位相を反転させて、反転分周クロックＸＣＰＨ２を生成する。

【００９１】

そして、クロック選択信号ＣＬＫ＿ＳＥＬＥＣＴにより、初段取込期間では基準クロックＣＰＨのパルスＰ１を選択出力し、データ取込期間では反転分周クロックＸＣＰＨ２を選択出力することで、第１の基準シフトクロックＣＬＫ１０が生成される。

【００９２】

このようにして生成された第１及び第２の基準シフトクロックＣＬＫ１０、２０が、モード設定信号に応じて切り替えられて、第１及び第２のシフトクロックＣＬＫ１、ＣＬＫ２として出力される。

【００９３】

図１３に、シフトクロック生成回路５００の具体的な構成例である回路図を示す。

【００９４】

図１４に、図１３におけるシフトクロック生成回路５００の動作タイミングの一例を示す。

【００９５】

図１３及び図１４では、基準クロックＣＰＨを用いてクロックＣＬＫ＿Ａ、ＣＬＫ＿Ｂを生成し、クロック選択信号ＣＬＫ＿ＳＥＬＥＣＴにより選択出力される。第２の基準シフトクロックＣＬＫ２０は、クロックＣＬＫ＿Ｂを反転した信号である。第１の基準シフトクロックＣＬＫ１０は、クロック選択信号ＣＬＫ＿ＳＥＬＥＣＴが「Ｌ」の初段取込期間においてクロックＣＬＫ＿Ａを選択出力し、クロック選択信号ＣＬＫ＿ＳＥＬＥＣＴが「

Ｈ」のデータ取込期間においてクロックＣＬＫ＿Ｂを選択出力した信号である。
【００９６】
次に、以上説明した構成の表示ドライバ３０のデータラッチ１００の動作について説明する。
【００９７】
図１５に、表示ドライバ３０のデータラッチ１００の動作タイミングチャートの一例を示す。
【００９８】
ここでは、モード設定信号が「Ｈ」に設定されている場合のタイミング例を示している。また、図１２及び図１４に示したように第１及び第２の基準シフトクロックＣＬＫ１０、ＣＬＫ２０を生成し、第１及び第２のシフトスタート信号ＳＴ１、ＳＴ２を同位相の信号としている。
【００９９】
階調バス１１０には、ＬＣＤパネル２０のデータ線ＤＬ１～ＤＬＮの各データ線が並ぶ順序に対応して階調データが供給されている。ここでは、データ線ＤＬ１に対応して階調データＤＡＴＡ１（図１５では単に「１」）、データ線ＤＬ２に対応して階調データをＤＡＴＡ２（図１５では単に「２」）、・・・として示している。
【０１００】
第１のシフトレジスタ１４０では、第１のシフトクロックＣＬＫ１の立ち上がりエッジに同期して、第１のシフトスタート信号ＳＴ１をシフトする。その結果、第１のシフトレジスタ１４０は、シフト出力ＳＦＯ１～ＳＦＯ１６０の順に各シフト出力を出力する。
【０１０１】
また第１のシフトレジスタ１４０のシフト動作中に、第２のシフトレジスタ１５０では、第２のシフトクロックＣＬＫ２の立ち上がりに同期して、第２のシフトスタート信号ＳＴ２をシフトする。その結果、第２のシフトレジスタ１５０は、シフト出力ＳＦＯ３２０～ＳＦＯ１６１の順に各シフト出力を出力する。
【０１０２】
第１のデータラッチ１６０では、第１のシフトレジスタ１４０からの各シフト出力の立ち下がりエッジで、階調バス１１０上の階調データを取り込む。その結果、第１のデータラッチ１６０は、シフト出力ＳＦＯ１の立ち下がりで階調データＤＡＴＡ１、シフト出力ＳＦＯ２の立ち下がりで階調データＤＡＴＡ３、シフト出力ＳＦＯ３の立ち下がりで階調データＤＡＴＡ５、・・・を取り込む。
【０１０３】
一方、第２のデータラッチ１７０では、第２のシフトレジスタ１５０からの各シフト出力の立ち下がりエッジで、階調バス１１０上の階調データを取り込む。その結果、第２のデータラッチ１７０は、シフト出力ＳＦＯ３２０の立ち下がりで階調データＤＡＴＡ２、シフト出力ＳＦＯ３１９の立ち下がりで階調データＤＡＴＡ４、シフト出力ＳＦＯ３１８の立ち下がりで階調データＤＡＴＡ６、・・・を取り込む。
【０１０４】
これにより、くし歯配線されたＬＣＤパネル２０の各データ線に対応したデータスクランブル後の階調データ（図５参照）を取り込むことができ、図１又は図４に示すようなＬＣＤパネル２０のデータ線ＤＬ１～ＤＬ３２０にそれぞれ対応する階調データＤＡＴＡ１～ＤＡＴＡ３２０が供給され、正しい画像を表示することができるようになる。
【０１０５】
図１６に、表示ドライバ３０のデータラッチ１００の動作タイミングチャートの他の例を示す。
【０１０６】
ここでは、モード設定信号が「Ｌ」に設定されている場合のタイミング例を示している。したがって、図１５と比較すると、第１及び第２のシフトクロックＣＬＫ１、ＣＬＫ２が入れ替えられている。また、図１２及び図１４に示したように第１及び第２の基準シフト

クロックＣＬＫ１０、ＣＬＫ２０を生成し、第１及び第２のシフトスタート信号ＳＴ１、ＳＴ２を同位相の信号としている。

【０１０７】

第１のシフトレジスタ１４０では、第１のシフトクロックＣＬＫ１の立ち上がりエッジに同期して、第１のシフトスタート信号ＳＴ１をシフトする。その結果、第１のシフトレジスタ１４０は、シフト出力ＳＦＯ１～ＳＦＯ１６０の順に各シフト出力を出力する。

【０１０８】

また第１のシフトレジスタ１４０のシフト動作中に、第２のシフトレジスタ１５０では、第２のシフトクロックＣＬＫ２の立ち上がりに同期して、第２のシフトスタート信号ＳＴ２をシフトする。その結果、第２のシフトレジスタ１５０は、シフト出力ＳＦＯ３２０～ＳＦＯ１６１の順に各シフト出力を出力する。

【０１０９】

第１のデータラッチ１６０では、第１のシフトレジスタ１４０からの各シフト出力の立ち下がりエッジで、階調バス１１０上の階調データを取り込む。その結果、第１のデータラッチ１６０は、シフト出力ＳＦＯ１の立ち下がりで階調データＤＡＴＡ２、シフト出力ＳＦＯ２の立ち下がりで階調データＤＡＴＡ４、シフト出力ＳＦＯ３の立ち下がりで階調データＤＡＴＡ６、・・・を取り込む。

【０１１０】

一方、第２のデータラッチ１７０では、第２のシフトレジスタ１５０からの各シフト出力の立ち下がりエッジで、階調バス１１０上の階調データを取り込む。その結果、第２のデータラッチ１７０は、シフト出力ＳＦＯ３２０の立ち下がりで階調データＤＡＴＡ１、シフト出力ＳＦＯ３１９の立ち下がりで階調データＤＡＴＡ３、シフト出力ＳＦＯ３１８の立ち下がりで階調データＤＡＴＡ５、・・・を取り込む。

【０１１１】

これにより、階調データの取込開始タイミングを変更して、図６（Ｂ）に示すようにデータ出力部ＯＵＴ３２０から階調データＤＡＴＡ１に基づく駆動、データ出力部ＯＵＴ１から階調データＤＡＴＡ２に基づく駆動、・・・をそれぞれ行うことができ、図６（Ｂ）に示すような場合でも正しい画像を表示することができるようになる。

【０１１２】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。上述の実施形態では、表示パネルの各画素がＴＦＴを有するアクティブマトリクス方式の液晶パネルを例に説明したが、これに限定されるものではない。パッシブマトリックス方式の液晶パネルにも適用することができる。また液晶パネルに限らず、例えばプラズマディスプレイ装置にも適用可能である。

【０１１３】

また１画素を３ドットで構成する場合は、３本の色成分用データ線を１組として、上述した各データ線に置き換えれば、同様に実現することができる。

【０１１４】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の１の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図１】本実施形態における電気光学装置の構成の概要のブロック図。

【図２】本実施形態における画素の構成の模式図。

【図３】くし歯配線されないＬＣＤパネルを含む電気光学装置の構成を模式的に示すブロック図。

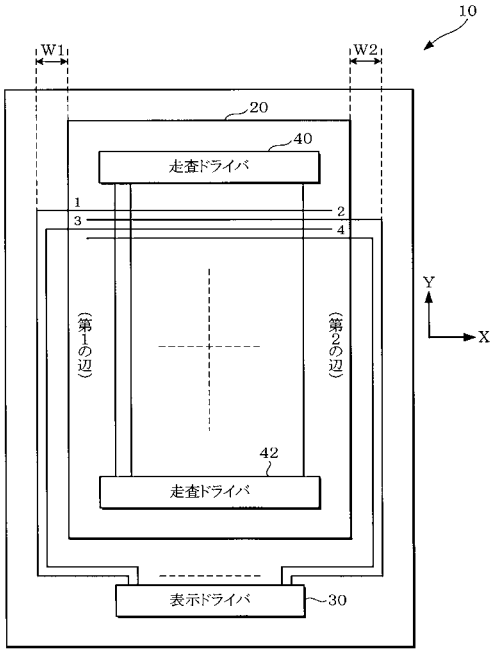
【図４】ＬＣＤパネルの短辺側に沿って配置される表示ドライバの例を示す説明図。

【図５】くし歯配線されたＬＣＤパネルを駆動するためにデータスクランブルの必要性を説明する図。

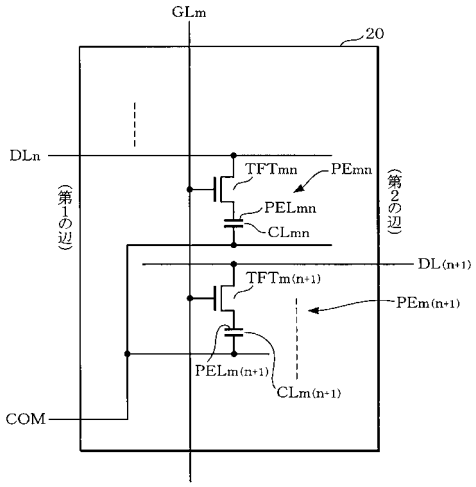
【図６】図６（Ａ）はＬＣＤパネルに対する表示ドライバの第１の実装状態を示す模式図

。図６（Ｂ）はＬＣＤパネルに対する表示ドライバの第２の実装状態を示す模式図。
【図７】本実施形態における表示ドライバの構成の概要のブロック図。
【図８】図７におけるデータラッチの構成の概要を示すブロック図。
【図９】第１のシフトレジスタの構成例を示す回路図。
【図１０】第２のシフトレジスタの構成例を示す回路図。
【図１１】本実施形態におけるシフトクロック生成回路の構成図。
【図１２】シフトクロック生成回路による第１及び第２の基準シフトクロックの生成タイミングの一例を示すタイミング図。
【図１３】シフトクロック生成回路の構成例を示す回路図。
【図１４】図１３のシフトクロック生成回路の動作例のタイミング図。
【図１５】本実施形態における表示ドライバのデータラッチの動作の一例を示すタイミング図。
【図１６】本実施形態における表示ドライバのデータラッチの動作の他の例を示すタイミング図。
【符号の説明】
１０、８０　液晶装置（電気光学装置）、
２０、９０　ＬＣＤパネル（表示パネル）、３０、９２　表示ドライバ、
４０　走査ドライバ、１００　データラッチ、１１０　階調バス、
１２０　第１のクロックライン、１３０　第２のクロックライン、
１４０　第１のシフトレジスタ、１５０　第２のシフトレジスタ、
１６０　第１のデータラッチ、１７０　第２のデータラッチ、
１８０　クロック入替回路、２００　ラインラッチ、
３００　ＤＡＣ（電圧選択回路）、４００　データ線駆動回路、
５００　シフトクロック生成回路、ＣＬＫ１　第１のシフトクロック、
ＣＬＫ１０　第１の基準シフトクロック、ＣＬＫ２　第２のシフトクロック、
ＣＬＫ２０　第２の基準シフトクロック、ＧＶ１～ＧＶ３２０　駆動電圧、
ＬＡＴ１～ＬＡＴ３２０、ＬＬＡＴ１～ＬＬＡＴ３２０　ラッチデータ、
ＯＵＴ１～ＯＵＴ３２０　データ出力部、
ＳＦＯ１～ＳＦＯ３２０　シフト出力、ＳＴ１　第１のシフトスタート信号、
ＳＴ２　第２のシフトスタート信号

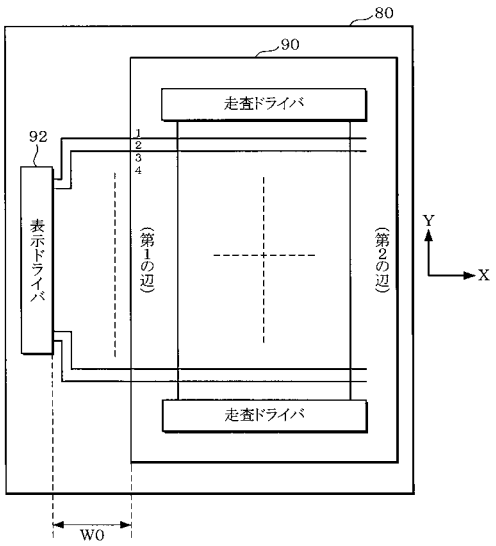
【図１】


10
W1
W2
20
40
走査ドライバ
1
2
3
4
(第1の辺)
(第2の辺)
Y
X
42
走査ドライバ
表示ドライバ
30

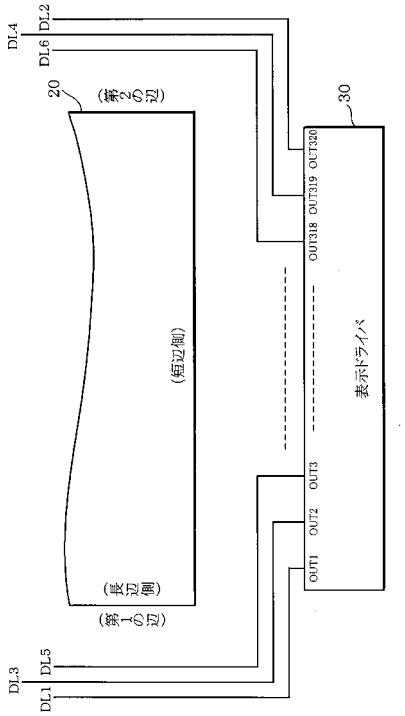
【図２】


GLm
20
DLn
TFTmn
PEmn
PELmn
CLmn
(第1の辺)
(第2の辺)
DL(n+1)
TFTm(n+1)
PEm(n+1)
PELm(n+1)
CLm(n+1)
COM

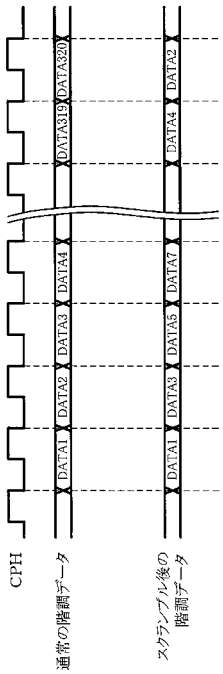
【図３】


80
90
走査ドライバ
92
1
2
3
4
表示ドライバ
(第1の辺)
(第2の辺)
Y
X
走査ドライバ
W0

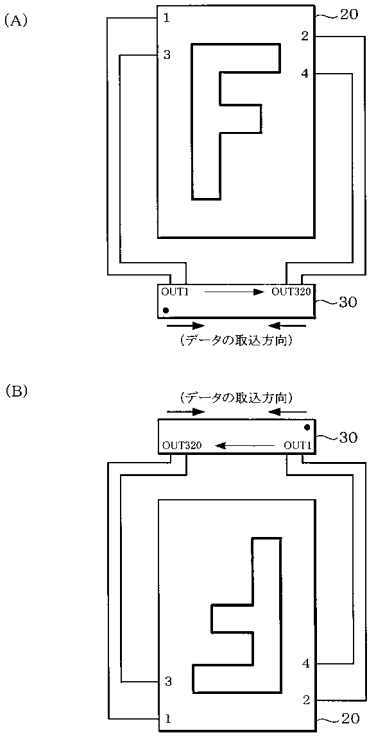
【図４】


DL4
DL2
DL6
20
(第2の辺)
30
OUT320
OUT319
OUT318
(短辺側)
表示ドライバ
OUT3
OUT2
OUT1
(実装側)
(第1の辺)
DL3
DL5
DL1

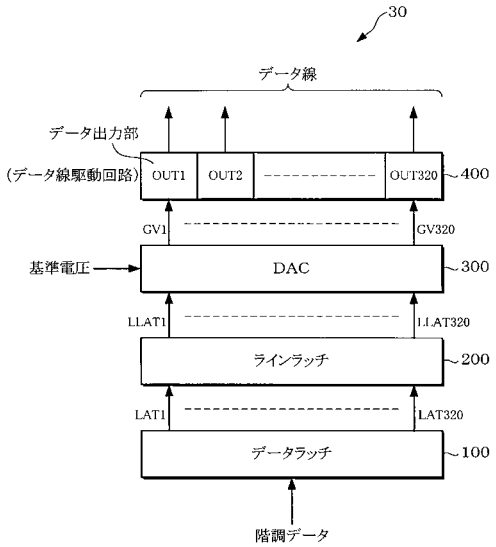
【図５】


DATA320
DATA319
DATA4
DATA2
DATA4
DATA3
DATA7
DATA5
DATA2
DATA3
DATA1
DATA1
CPH
通常の階調データ
スクランブル後の階調データ

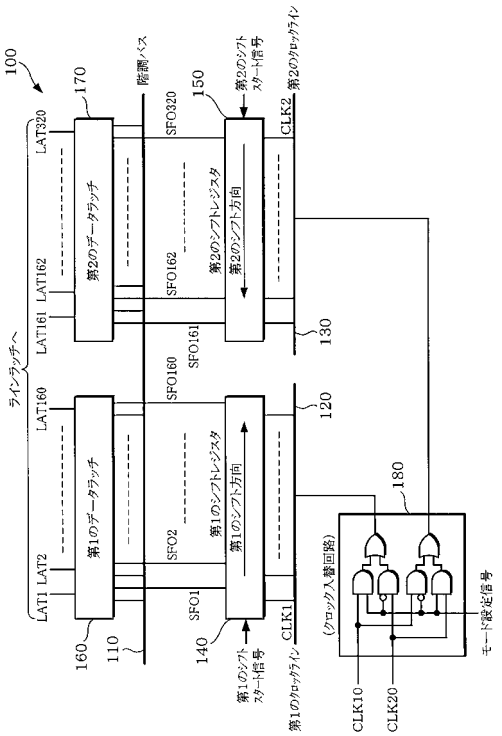
【図６】


(A)
1
2
3
4
20
OUT1
OUT320
30
(データの取込方向)
(B)
(データの取込方向)
OUT320
OUT1
30
3
4
2
1
20

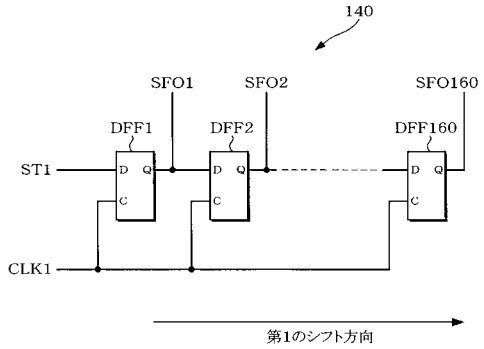
【図７】


30
データ線
データ出力部
(データ線駆動回路)
OUT1
OUT2
OUT320
400
GV1
GV320
基準電圧
DAC
300
LLAT1
LLAT320
ラインラッチ
200
LAT1
LAT320
データラッチ
100
階調データ

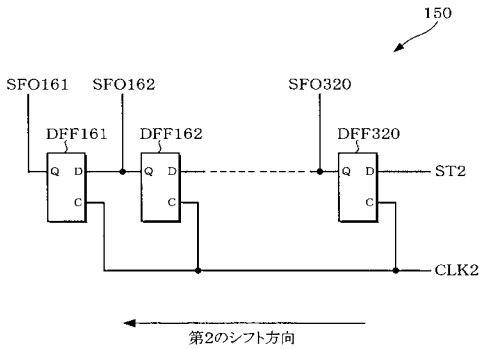
【図８】


100
170
階調バス
150
第2のシフトスタート信号
第2のクロックライン
LAT320
SFO320
CLK2
第2のデータラッチ
第2のシフトレジスタ
第2のシフト方向
LAT162
SFO162
LAT161
SFO161
130
ラインラッチへ
LAT160
SFO160
120
第1のデータラッチ
第1のシフトレジスタ
第1のシフト方向
180
LAT2
SFO2
LAT1
SFO1
CLK1
(クロック入替回路)
モード設定信号
160
110
140
第1のシフトスタート信号
第1のクロックライン
CLK10
CLK20

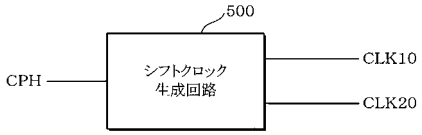
【図９】



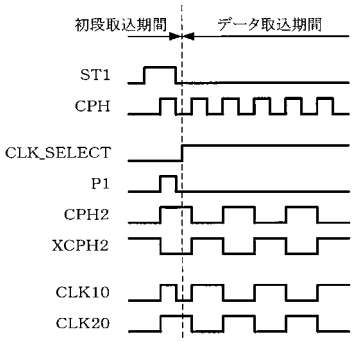
【図１０】



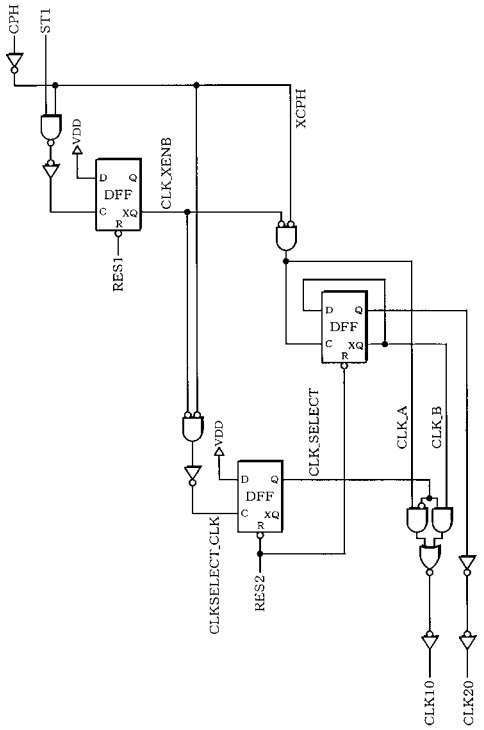
【図１１】



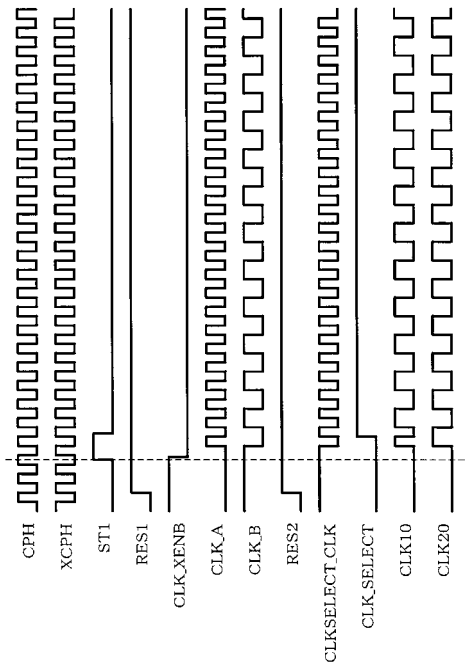
【図１２】



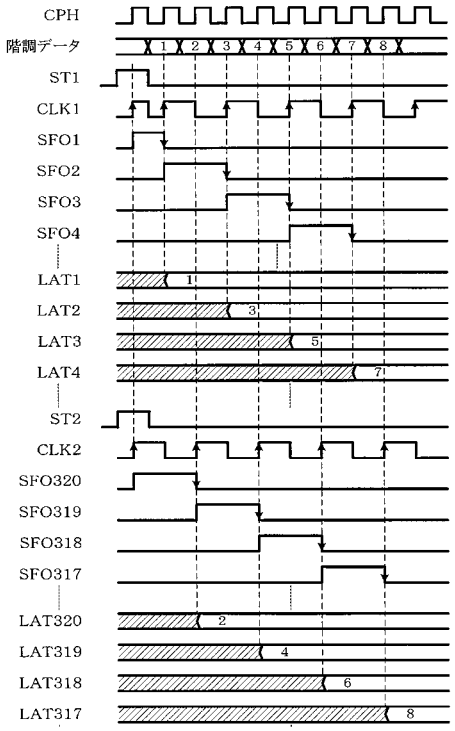
【図１３】



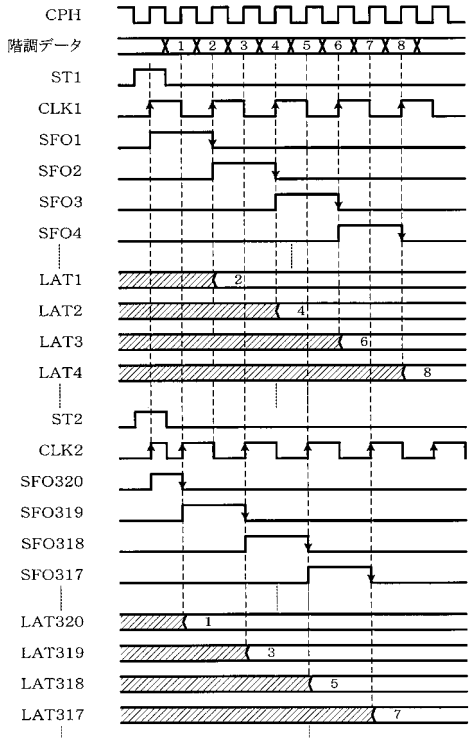
【図１４】



【図１５】


CPH
階調データ
1 2 3 4 5 6 7 8
ST1
CLK1
SFO1
SFO2
SFO3
SFO4
LAT1
LAT2
LAT3
LAT4
ST2
CLK2
SFO320
SFO319
SFO318
SFO317
LAT320
LAT319
LAT318
LAT317

【図１６】


CPH
階調データ
1 2 3 4 5 6 7 8
ST1
CLK1
SFO1
SFO2
SFO3
SFO4
LAT1
LAT2
LAT3
LAT4
ST2
CLK2
SFO320
SFO319
SFO318
SFO317
LAT320
LAT319
LAT318
LAT317

フロントページの続き

(51)Int.Cl.[7]	FI	テーマコード（参考）
	Ｇ０９Ｇ 3/20 ６２３Ｗ	

Ｆターム(参考) 2H093 NA21 NA41 NC11 NC22 NC26 NC41 ND42
5C006 AC21 AF22 AF43 BB16 BC12 BC23 BF03 BF04 BF26 EB05
FA01 FA41
5C080 AA10 BB05 DD22 FF11 JJ01 JJ02 JJ03 JJ04