

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本发明提供一种CMOS反相器及阵列基板。该CMOS反相器包括: 电性连接的P型低温多晶硅薄膜晶体管和N型金属氧化物薄膜晶体管; 所述P型低温多晶硅薄膜晶体管和N型金属氧化物薄膜晶体管满足公式 (I); 其中, C_n 和 C_p 分别为N型金属氧化物薄膜晶体管的栅绝缘层电容和P型低温多晶硅薄膜晶体管的栅绝缘层电容, (II) 和 (III) 分别为N型金属氧化物薄膜晶体管的沟道宽长比和P型低温多晶硅薄膜晶体管的沟道宽长比, μ_n 和 μ_p 分别为N型金属氧化物薄膜晶体管的迁移率和P型低温多晶硅薄膜晶体管的迁移率, 能够提升CMOS反相器的性能, 降低CMOS反相器的制作难度和生产成本。

CMOS 反相器及阵列基板

技术领域

本发明涉及显示技术领域，尤其涉及一种 CMOS 反相器及阵列基板。

5

背景技术

随着显示技术的发展，包括液晶显示装置(Liquid Crystal Display, LCD)及有机发光二极管显示装置(Organic Light Emitting Display, OLED)在内的平面显示装置已经成为最为常见的显示装置，被广泛地应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品之中。

10

CMOS(Complementary Metal Oxide Semiconductor, 互补式金属氧化物半导体)反相器是平面显示装置中经常使用的一器件，主要作用为接收一输入信号，并输出与输入信号逻辑相反的一输出信号。

15

现有的 CMOS 反相器通常包括一个 N 型薄膜晶体管(Thin Film Transistor, TFT)和一个 P 型薄膜晶体管，理想情况希望该 N 型薄膜晶体管和 P 型薄膜晶体管均为金属氧化物薄膜晶体管，例如铟镓锌氧化物(IGZO)TFT，然而，IGZO TFT 只表现为 N 型单极性半导体，P 型半导体的缺失使得基于 IGZO TFT 的逻辑电路设计面临难题。

20

现有技术关于 IGZO TFT 逻辑电路设计的研究可大体分为两类：第一类是仅使用 IGZO TFT 组成伪 CMOS(Pseudo-CMOS)实现非门(即反相器)，在伪 CMOS 设计时，两个 IGZO TFT 要有不同的阈值电压，这就要求在同一块样品上同时制备出耗尽型(Depletion mode)和增强型(Enhancement mode)IGZO TFT。那么在伪 CMOS 制备时，诸如双栅结构、双层主动层结构和对 IGZO TFT 额外光照等方法就被发明出来，然而即使在这些工艺改进过的反相器中，伪 CMOS 的静态功耗大和噪声容限小的问题依旧未能解决。第二类就是采用混合型 CMOS 设计，也即 P 型薄膜晶体管由不同于金属氧化物的其他半导体材料来实现。在以往的混合 CMOS 设计中，P 型薄膜晶体管使用的是二维碳纳米管(CNT)材料或有机半导体材料。然而 CNT 材料的制备中总是会有部分被金属化，而有机半导体 TFT 的迁移率又很低，且对环境中水氧敏感，使得现有的混合型 CMOS 中 P 型薄膜晶体管的稳定性很差。

25

30

发明内容

本发明的目的在于提供一种 CMOS 反相器，能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。

本发明的目的还在于提供一种阵列基板，能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。

为实现上述目的，本发明提供了一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管；

所述 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足以下公式：

$$C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$$

其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管的栅绝缘层电容和 P 型低温多晶硅薄膜晶体管的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧化物薄膜晶体管的沟道宽长比和 P 型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管的迁移率和 P 型低温多晶硅薄膜晶体管的迁移率。

所述 P 型低温多晶硅薄膜晶体管的栅极和 N 型金属氧化物薄膜晶体管的栅极均接入输入信号；

所述 P 型低温多晶硅薄膜晶体管的源极和 N 型金属氧化物薄膜晶体管的源极中的一个接地，所述 P 型低温多晶硅薄膜晶体管的源极和 N 型金属氧化物薄膜晶体管的源极中的另一个接入电源电压；

所述 P 型低温多晶硅薄膜晶体管的漏极和 N 型金属氧化物薄膜晶体管的漏极均输出输出信号。

所述 CMOS 反相器包括：基板、形成于所述基板上的第一半导体层、覆盖所述第一半导体层和基板的第一栅绝缘层、设于所述第一栅绝缘层上的第一金属层、覆盖所述第一金属层和第一栅绝缘层的第二栅绝缘层、形成于所述第二栅绝缘层上的第二半导体层、形成于所述第二半导体层和第二栅绝缘层上的第二金属层。

所述第一半导体层为所述 P 型低温多晶硅薄膜晶体管的半导体层，所述第二半导体层为所述 N 型金属氧化物薄膜晶体管的半导体层。

所述第一金属层包括：间隔分布的第一栅极和第二栅极，所述第一栅极正对所述第一半导体层设置，所述第二栅极正对所述第二半导体层设置；

所述第一栅极为 P 型低温多晶硅薄膜晶体管的栅极，所述第二栅极为

N 型金属氧化物薄膜晶体管的栅极。

所述第二栅绝缘层上形成有贯穿所述第一栅绝缘层和第二栅绝缘层的第一过孔和第二过孔，所述第一过孔和第二过孔分别暴露出所述第一半导体层的两端；

5 所述第二金属层包括：间隔分布的第一源极和第二源极、以及位于第一源极和第二源极之间的第一漏极和第二漏极；所述第一源极和第一漏极分别通过所述第一过孔和第二过孔与所述第一半导体层的两端接触，所述第二源极和第二漏极分别与所述第二半导体层的两端接触，所述第一漏极和第二漏极接触；

10 所述第一源极和第一漏极为 P 型低温多晶硅薄膜晶体管的源极和漏极，所述第二源极和第二漏极为 N 型金属氧化物薄膜晶体管的源极和漏极。

在所述第一半导体层与基板之间以及第一栅绝缘层与基板之间还设有缓冲层，在所述第二源极和第二漏极之间的第二半导体层上还设有刻蚀阻挡层。

15 所述第一栅绝缘层和第二栅绝缘层的材料均为氧化硅或氮化硅中的一种或二者的组合，所述第一金属层和第二金属层的材料均为钼、铝、铜、及钛中的一种或多种的组合。

所述 N 型金属氧化物薄膜晶体管的半导体层的材料为 IGZO 或 IZO。

本发明还提供一种阵列基板，包括上述的 CMOS 反相器。

20 本发明还提供一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管；

所述 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足以下公式：

$$C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$$

25 其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管的栅绝缘层电容和 P 型低温多晶硅薄膜晶体管的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧化物薄膜晶体管的沟道宽长比和 P 型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管的迁移率和 P 型低温多晶硅薄膜晶体管的迁移率；

30 其中，所述 P 型低温多晶硅薄膜晶体管的栅极和 N 型金属氧化物薄膜晶体管的栅极均接入输入信号；

所述 P 型低温多晶硅薄膜晶体管的源极接入电源电压，N 型金属氧化

物薄膜晶体管的源极接地，所述 P 型低温多晶硅薄膜晶体管的漏极和 N 型金属氧化物薄膜晶体管的漏极均输出输出信号；

还包括：基板、形成于所述基板上的第一半导体层、覆盖所述第一半导体层和基板的第一栅绝缘层、设于所述第一栅绝缘层上的第一金属层、
5 覆盖所述第一金属层和第一栅绝缘层的第二栅绝缘层、形成于所述第二栅绝缘层上的第二半导体层、形成于所述第二半导体层和第二栅绝缘层上的第二金属层；

其中，所述第一半导体层为所述 P 型低温多晶硅薄膜晶体管的半导体层，所述第二半导体层为所述 N 型金属氧化物薄膜晶体管的半导体层；

10 其中，所述第一金属层包括：间隔分布的第一栅极和第二栅极，所述第一栅极正对所述第一半导体层设置，所述第二栅极正对所述第二半导体层设置；

所述第一栅极为 P 型低温多晶硅薄膜晶体管的栅极，所述第二栅极为 N 型金属氧化物薄膜晶体管的栅极。

15 本发明的有益效果：本发明提供一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管；所述 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足以下公式： $C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$ ；其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管的栅绝缘层

电容和 P 型低温多晶硅薄膜晶体管的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧化物薄膜晶体管的沟道宽长比和 P 型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管的迁移率和 P 型低温多晶硅薄膜晶体管的迁移率，通过使得 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足上述公式，能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。本发明还提供一种阵列基板，能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。

20 金属氧化物薄膜晶体管的沟道宽长比和 P 型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管的迁移率和 P 型低温多晶硅薄膜晶体管的迁移率，通过使得 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足上述公式，能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。本发明还提供一种阵列基板，能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为本发明的 CMOS 反相器的结构图；

图 2 为本发明的 CMOS 反相器的等效电路图。

具体实施方式

5 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1，本发明提供一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体管 10 和 N 型金属氧化物薄膜晶体管 20；

10 所述 P 型低温多晶硅薄膜晶体管 10 和 N 型金属氧化物薄膜晶体管 20 满足以下公式：

$$C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$$

其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管 20 的栅绝缘层电容和 P 型低温多晶硅薄膜晶体管 10 的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧化物薄膜晶体管 20 的沟道宽长比和 P 型低温多晶硅薄膜晶体管 10 的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管 20 的迁移率和 P 型低温多晶硅薄膜晶体管 10 的迁移率。

具体地，如图 2 所示，本发明的 CMOS 反相器中，所述 P 型低温多晶硅薄膜晶体管 10 的栅极和 N 型金属氧化物薄膜晶体管 20 的栅极均接入输入信号 V_{in} ；所述 P 型低温多晶硅薄膜晶体管 10 的源极接入电源电压 V_{dd} ，
20 所述 N 型金属氧化物薄膜晶体管 20 的源极接地；所述 P 型低温多晶硅薄膜晶体管 10 的漏极和 N 型金属氧化物薄膜晶体管 20 的漏极均输出输出信号 V_{out} 。

工作时，当所述输入信号 V_{in} 为高电位时，所述 N 型金属氧化物薄膜晶体管 20 打开，所述输出信号 V_{out} 通过所述 N 型金属氧化物薄膜晶体管
25 20 接地，输出信号 V_{out} 为低电位，当所述输入信号 V_{in} 为低电位时，所述 P 型低温多晶硅薄膜晶体管 10 打开，所述输出信号 V_{out} 输出电源电压 V_{dd} ，输出信号 V_{out} 为高电位。

详细地，在本发明的优选实施例中，所述 CMOS 反相器的详细结构如下，所述 CMOS 反相器包括：基板 30、形成于所述基板 30 上的第一半导体层 11、覆盖所述第一半导体层 11 和基板 30 的第一栅绝缘层 12、设于所述第一栅绝缘层 12 上的第一金属层 13、覆盖所述第一金属层 13 和第一栅绝缘层 12 的第二栅绝缘层 18、形成于所述第二栅绝缘层 18 上的第二半导
30

体层 14、形成于所述第二半导体层 14 和第二栅绝缘层 18 上的第二金属层 15。

进一步地，在上述实施例中，所述第一半导体层 11 为所述 P 型低温多晶硅薄膜晶体管 10 的半导体层，所述第二半导体层 14 为所述 N 型金属氧化物薄膜晶体管 20 的半导体层。

进一步地，所述第一金属层 13 包括：间隔分布的第一栅极 131 和第二栅极 132，所述第一栅极 131 正对所述第一半导体层 11 设置，所述第二栅极 132 正对所述第二半导体层 14 设置；其中，所述第一栅极 131 为 P 型低温多晶硅薄膜晶体管 10 的栅极，所述第二栅极 132 为 N 型金属氧化物薄膜晶体管 20 的栅极。

进一步地，所述第二栅绝缘层 18 上形成有贯穿所述第一栅绝缘层 12 和第二栅绝缘层 18 的第一过孔 141 和第二过孔 142，所述第一过孔 141 和第二过孔 142 分别暴露出所述第一半导体层 11 的两端；所述第二金属层 14 包括：间隔分布的第一源极 151 和第二源极 152、以及位于第一源极 151 和第二源极 152 之间的第一漏极 153 和第二漏极 154；所述第一源极 151 和第一漏极 153 分别通过所述第一过孔 141 和第二过孔 142 与所述第一半导体层 11 的两端接触，所述第二源极 152 和第二漏极 154 分别与所述第二半导体层 14 的两端接触，所述第一漏极 153 和第二漏极 154 接触；其中，所述第一源极 151 和第一漏极 153 为 P 型低温多晶硅薄膜晶体管 10 的源极和漏极，所述第二源极 152 和第二漏极 154 为 N 型金属氧化物薄膜晶体管 20 的源极和漏极。

值得一提的是，所述 CMOS 反相器在所述第一半导体层 11 与基板 30 之间以及第一栅绝缘层 12 与基板 30 之间还设有缓冲层 16，在所述第二源极 152 和第二漏极 154 之间的第二半导体层 14 上还设有刻蚀阻挡层 17。

优选地，所述第一栅绝缘层 12 和第二栅绝缘层 14 的材料均为氧化硅或氮化硅中的一种或二者的组合，所述第一金属层 13 和第二金属层 15 的材料均为钼、铝、铜、及钛中的一种或多种的组合。所述 N 型金属氧化物薄膜晶体管 20 的半导体层的材料为 IGZO 或 IZO。

进一步地，本发明针对采用 P 型低温多晶硅薄膜晶体管 10 和 N 型金属氧化物薄膜晶体管 20 的 CMOS 反相器，提出了具体的设计准则：

$$C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$$

按照此公式设计 CMOS 反相器，可以使 P 型薄膜晶体管和 N 型薄膜晶体管的特性更加匹配，保证 P 型薄膜晶体管和 N 型薄膜晶体管均工作于饱

和区，达到更好的 CMOS 反相器效果。

需要说明的是，本发明的 CMOS 反相器采用低温多晶硅薄膜晶体管作为 P 型薄膜晶体管，金属氧化物薄膜晶体管作为 N 型薄膜晶体管，两种薄膜晶体管混合组成 CMOS 反相器，相比于仅采用刚性的低温多晶硅薄膜晶体管的 CMOS 反相器，本发明通过采用金属氧化物薄膜晶体管作为 N 型薄膜晶体管，能够使得 CMOS 反相器的延展性得到提升，从而使得 CMOS 反相器更胜任柔性电子产品的要求，且现有的仅采用低温多晶硅薄膜晶体管的 CMOS 反相器需要至少 9 次光刻和 4 次掺杂的复杂制作工艺，而本发明的 CMOS 反相器只用到 6 次光刻和 1 次掺杂即可完成制作，因此本发明相比仅采用低温多晶硅薄膜晶体管的 CMOS 反相器，还能够减少光刻和掺杂次数，简化制作工艺。而相比于传统的仅采用金属氧化物薄膜晶体管的伪 CMOS 反相器，本发明又可以减小静态功耗，增大噪声容限，保证 CMOS 反相器的制作品质。

基于上述的 CMOS 反相器，本发明还提供一种阵列基板，其包括上述的 CMOS 反相器，所述 CMOS 反相器的具体技术特征与上述 CMOS 反相器相同，在此不再赘述。

需要说明的是，本发明的阵列基板通过在同一基板同时制备了低温多晶硅薄膜晶体管以及金属氧化物薄膜晶体管，两者混合组成了 CMOS 反相器，其中，低温多晶硅薄膜晶体管作为 P 型薄膜晶体管，金属氧化物薄膜晶体管作为 N 型薄膜晶体管，相比于仅采用刚性的低温多晶硅薄膜晶体管的 CMOS 反相器，本发明通过采用金属氧化物薄膜晶体管作为 N 型薄膜晶体管，能够使得 CMOS 反相器的延展性得到提升，从而使得 CMOS 反相器更胜任柔性电子产品的要求，且现有的仅采用低温多晶硅薄膜晶体管的 CMOS 反相器需要至少 9 次光刻和 4 次掺杂的复杂制作工艺，而本发明的 CMOS 反相器只用到 6 次光刻和 1 次掺杂即可完成制作，在制作阵列基板时 CMOS 反相器的金属氧化物薄膜晶体管可以与阵列基板中像素阵列内的金属氧化物薄膜晶体管同时制作，因此本发明的阵列基板能够提升 CMOS 反相器的性能，降低 CMOS 反相器的制作难度和生产成本。

综上所述，本发明提供一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管；所述 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足以下公式： $C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$ ；其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管的栅绝缘层电容和 P 型低温多晶硅薄膜晶体管的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧

- 化物薄膜晶体管的沟道宽长比和P型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为N型金属氧化物薄膜晶体管的迁移率和P型低温多晶硅薄膜晶体管的迁移率，通过使得P型低温多晶硅薄膜晶体管和N型金属氧化物薄膜晶体管满足上述公式，能够提升CMOS反相器的性能，降低CMOS反相器的制作难度和生产成本。本发明还提供一种阵列基板，能够提升CMOS反相器的性能，降低CMOS反相器的制作难度和生产成本。
- 5

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管；

5 所述 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足以下公式：

$$C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$$

其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管的栅绝缘层电容和 P 型低温多晶硅薄膜晶体管的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧化

10 物薄膜晶体管的沟道宽长比和 P 型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管的迁移率和 P 型低温多晶硅薄膜晶体管的迁移率。

2、如权利要求 1 所述的 CMOS 反相器，其中，所述 P 型低温多晶硅薄膜晶体管的栅极和 N 型金属氧化物薄膜晶体管的栅极均接入输入信号；

15 所述 P 型低温多晶硅薄膜晶体管的源极接入电源电压，N 型金属氧化物薄膜晶体管的源极接地，所述 P 型低温多晶硅薄膜晶体管的漏极和 N 型金属氧化物薄膜晶体管的漏极均输出输出信号。

3、如权利要求 1 所述的 CMOS 反相器，还包括：基板、形成于所述基板上的第一半导体层、覆盖所述第一半导体层和基板的第一栅绝缘层、设
20 于所述第一栅绝缘层上的第一金属层、覆盖所述第一金属层和第一栅绝缘层的第二栅绝缘层、形成于所述第二栅绝缘层上的第二半导体层、形成于所述第二半导体层和第二栅绝缘层上的第二金属层。

4、如权利要求 3 所述的 CMOS 反相器，其中，所述第一半导体层为所述 P 型低温多晶硅薄膜晶体管的半导体层，所述第二半导体层为所述 N 型
25 金属氧化物薄膜晶体管的半导体层。

5、如权利要求 4 所述的 CMOS 反相器，其中，所述第一金属层包括：间隔分布的第一栅极和第二栅极，所述第一栅极正对所述第一半导体层设置，所述第二栅极正对所述第二半导体层设置；

30 所述第一栅极为 P 型低温多晶硅薄膜晶体管的栅极，所述第二栅极为 N 型金属氧化物薄膜晶体管的栅极。

6、如权利要求 5 所述的 CMOS 反相器，其中，所述第二栅绝缘层上形

成有贯穿所述第一栅绝缘层和第二栅绝缘层的第一过孔和第二过孔，所述第一过孔和第二过孔分别暴露出所述第一半导体层的两端；

所述第二金属层包括：间隔分布的第一源极和第二源极、以及位于第一源极和第二源极之间的第一漏极和第二漏极；所述第一源极和第一漏极
5 分别通过所述第一过孔和第二过孔与所述第一半导体层的两端接触，所述第二源极和第二漏极分别与所述第二半导体层的两端接触，所述第一漏极和第二漏极接触；

所述第一源极和第一漏极为 P 型低温多晶硅薄膜晶体管的源极和漏极，所述第二源极和第二漏极为 N 型金属氧化物薄膜晶体管的源极和漏极。

10 7、如权利要求 3 所述的 CMOS 反相器，其中，在所述第一半导体层与基板之间以及第一栅绝缘层与基板之间还设有缓冲层，在所述第二源极和第二漏极之间的第二半导体层上还设有刻蚀阻挡层。

8、如权利要求 3 所述的 CMOS 反相器，其中，所述第一栅绝缘层和第二栅绝缘层的材料均为氧化硅或氮化硅中的一种或二者的组合，所述第一
15 金属层和第二金属层的材料均为钼、铝、铜、及钛中的一种或多种的组合。

9、如权利要求 1 所述的 CMOS 反相器，其中，所述 N 型金属氧化物薄膜晶体管的半导体层的材料为 IGZO 或 IZO。

10、一种阵列基板，包括如权利要求 1 所述的 CMOS 反相器。

11、一种 CMOS 反相器，包括：电性连接的 P 型低温多晶硅薄膜晶体
20 管和 N 型金属氧化物薄膜晶体管；

所述 P 型低温多晶硅薄膜晶体管和 N 型金属氧化物薄膜晶体管满足以下公式：

$$C_n \frac{W_n}{L_n} \mu_n = C_p \frac{W_p}{L_p} \mu_p$$

其中， C_n 和 C_p 分别为 N 型金属氧化物薄膜晶体管的栅绝缘层电容和 P
25 型低温多晶硅薄膜晶体管的栅绝缘层电容， $\frac{W_n}{L_n}$ 和 $\frac{W_p}{L_p}$ 分别为 N 型金属氧化物薄膜晶体管的沟道宽长比和 P 型低温多晶硅薄膜晶体管的沟道宽长比， μ_n 和 μ_p 分别为 N 型金属氧化物薄膜晶体管的迁移率和 P 型低温多晶硅薄膜晶体管的迁移率；

其中，所述 P 型低温多晶硅薄膜晶体管的栅极和 N 型金属氧化物薄膜
30 晶体管的栅极均接入输入信号；

所述 P 型低温多晶硅薄膜晶体管的源极接入电源电压，N 型金属氧化物薄膜晶体管的源极接地，所述 P 型低温多晶硅薄膜晶体管的漏极和 N 型

金属氧化物薄膜晶体管的漏极均输出输出信号；

还包括：基板、形成于所述基板上的第一半导体层、覆盖所述第一半导体层和基板的第一栅绝缘层、设于所述第一栅绝缘层上的第一金属层、覆盖所述第一金属层和第一栅绝缘层的第二栅绝缘层、形成于所述第二栅绝缘层上的第二半导体层、形成于所述第二半导体层和第二栅绝缘层上的第二金属层；

其中，所述第一半导体层为所述 P 型低温多晶硅薄膜晶体管的半导体层，所述第二半导体层为所述 N 型金属氧化物薄膜晶体管的半导体层；

其中，所述第一金属层包括：间隔分布的第一栅极和第二栅极，所述第一栅极正对所述第一半导体层设置，所述第二栅极正对所述第二半导体层设置；

所述第一栅极为 P 型低温多晶硅薄膜晶体管的栅极，所述第二栅极为 N 型金属氧化物薄膜晶体管的栅极。

12、如权利要求 11 所述的 CMOS 反相器，其中，所述第二栅绝缘层上形成有贯穿所述第一栅绝缘层和第二栅绝缘层的第一过孔和第二过孔，所述第一过孔和第二过孔分别暴露出所述第一半导体层的两端；

所述第二金属层包括：间隔分布的第一源极和第二源极、以及位于第一源极和第二源极之间的第一漏极和第二漏极；所述第一源极和第一漏极分别通过所述第一过孔和第二过孔与所述第一半导体层的两端接触，所述第二源极和第二漏极分别与所述第二半导体层的两端接触，所述第一漏极和第二漏极接触；

所述第一源极和第一漏极为 P 型低温多晶硅薄膜晶体管的源极和漏极，所述第二源极和第二漏极为 N 型金属氧化物薄膜晶体管的源极和漏极。

13、如权利要求 11 所述的 CMOS 反相器，其中，在所述第一半导体层与基板之间以及第一栅绝缘层与基板之间还设有缓冲层，在所述第二源极和第二漏极之间的第二半导体层上还设有刻蚀阻挡层。

14、如权利要求 11 所述的 CMOS 反相器，其中，所述第一栅绝缘层和第二栅绝缘层的材料均为氧化硅或氮化硅中的一种或二者的组合，所述第一金属层和第二金属层的材料均为钼、铝、铜、及钛中的一种或多种的组合。

15、如权利要求 11 所述的 CMOS 反相器，其中，所述 N 型金属氧化物薄膜晶体管的半导体层的材料为 IGZO 或 IZO。

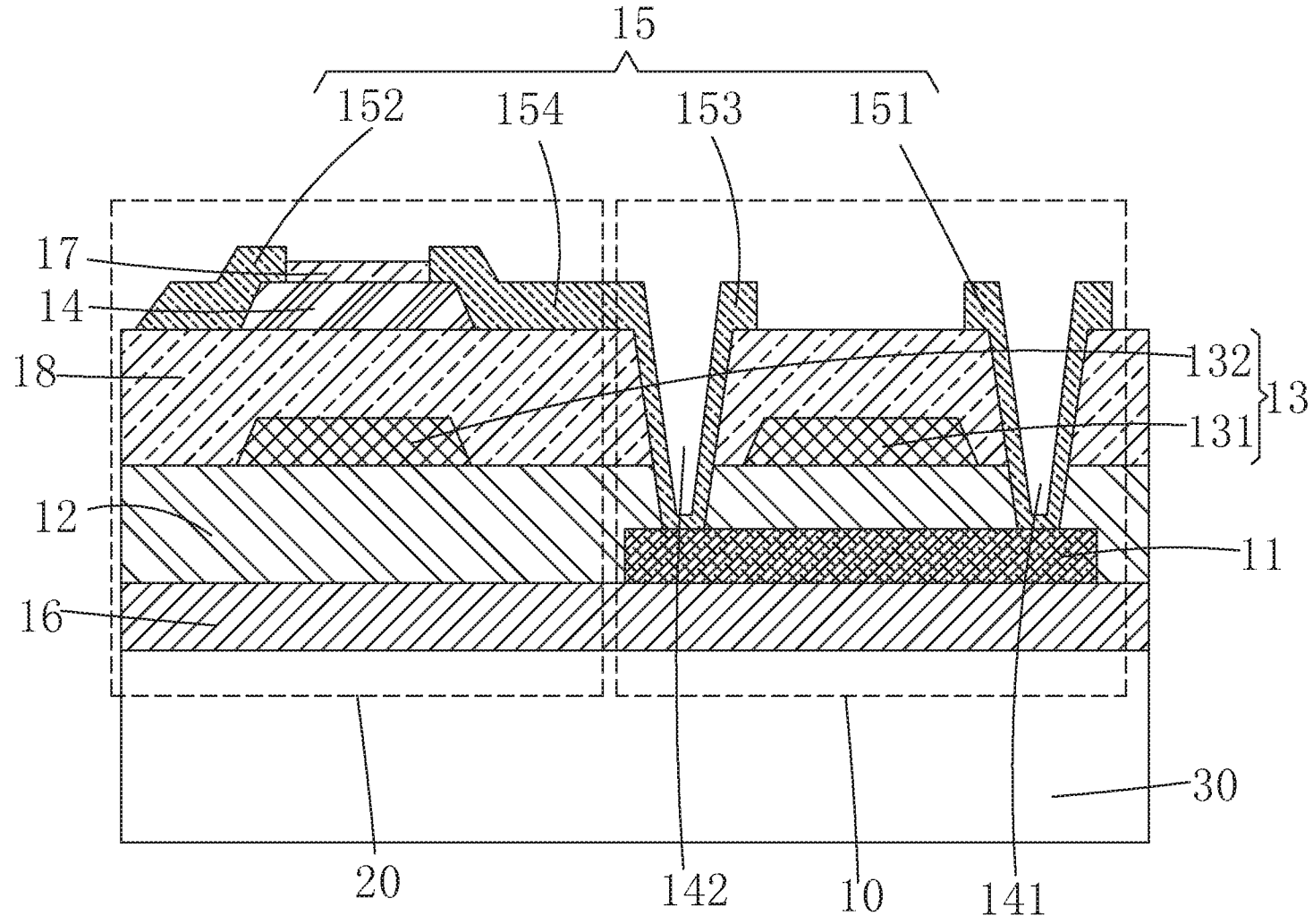


图1

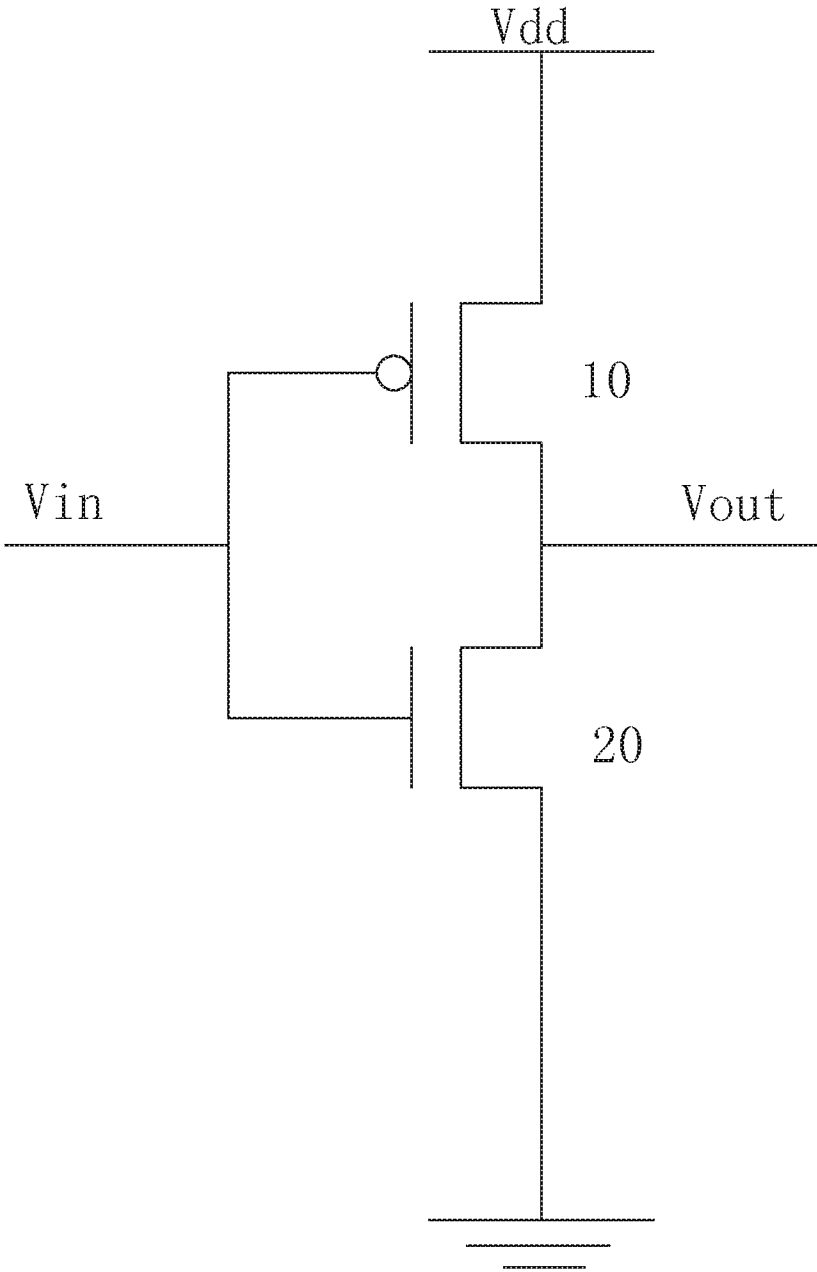


图2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/110989

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/092(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; DWPI; CNTXT; EPODOC; CNKI: CMOS反相器, 互补式金属氧化物半导体, P型, P沟道, 低温多晶硅, N型, N沟道, 金属氧化物, 薄膜晶体管, 栅绝缘层电容, 沟道宽长比, 迁移率, CMOS inverter, Complementary Metal Oxide Semiconductor, PMOS, Low Temperature Poly-Silicon, LTPS, NMOS, IGZO, IZO, Thin Film Transistor, TFT, gate insulation capacitance, channel width ratio, mobility

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103000632 A (BOE TECHNOLOGY GROUP CO., LTD.) 27 March 2013 (2013-03-27) entire document	1-15
A	CN 103715196 A (BOE TECHNOLOGY GROUP CO., LTD.) 09 April 2014 (2014-04-09) entire document	1-15
A	CN 105390508 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09 March 2016 (2016-03-09) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 May 2018

Date of mailing of the international search report

24 May 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/110989

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103000632	A	27 March 2013	CN	103000632	B	05 August 2015
				US	2014159038	A1	12 June 2014
				US	9147772	B2	29 September 2015
				EP	2743990	A2	18 June 2014
				EP	2743990	A3	01 February 2017
CN	103715196	A	09 April 2014	CN	103715196	B	25 March 2015
				WO	2015096355	A1	02 July 2015
				US	2015325602	A1	12 November 2015
				US	9449995	B2	20 September 2016
				EP	3089212	A1	02 November 2016
				EP	3089212	A4	23 August 2017
CN	105390508	A	09 March 2016	CN	105390508	B	13 March 2018
				US	2017229517	A1	10 August 2017
				US	9899452	B2	20 February 2018
				WO	2017096649	A1	15 June 2017

国际检索报告

国际申请号

PCT/CN2017/110989

A. 主题的分类

H01L 27/092(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;SIPOABS;DWPI;CNTXT;EPDOC;CNKI: CMOS反相器, 互补式金属氧化物半导体, P型, P沟道, 低温多晶硅, N型, N沟道, 金属氧化物, 薄膜晶体管, 栅绝缘层电容, 沟道宽长比, 迁移率, CMOS inverter, Complementary Metal Oxide Semiconductor, PMOS, Low Temperature Poly-Silicon, LTPS, NMOS, IGZO, IZO, Thin Film Transistor, TFT, gate insulation capacitance, channel width ratio, mobility

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103000632 A (京东方科技集团股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 全文	1-15
A	CN 103715196 A (京东方科技集团股份有限公司) 2014年 4月 9日 (2014 - 04 - 09) 全文	1-15
A	CN 105390508 A (深圳市华星光电技术有限公司) 2016年 3月 9日 (2016 - 03 - 09) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 5月 16日

国际检索报告邮寄日期

2018年 5月 24日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

李昕宇

电话号码 (86-10) 62089924

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/110989

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)	
CN	103000632	A	2013年 3月 27日	CN	103000632	B	2015年 8月 5日	
				US	2014159038	A1	2014年 6月 12日	
				US	9147772	B2	2015年 9月 29日	
				EP	2743990	A2	2014年 6月 18日	
				EP	2743990	A3	2017年 2月 1日	
CN	103715196	A	2014年 4月 9日	CN	103715196	B	2015年 3月 25日	
				WO	2015096355	A1	2015年 7月 2日	
				US	2015325602	A1	2015年 11月 12日	
				US	9449995	B2	2016年 9月 20日	
				EP	3089212	A1	2016年 11月 2日	
				EP	3089212	A4	2017年 8月 23日	
CN	105390508	A	2016年 3月 9日	CN	105390508	B	2018年 3月 13日	
				US	2017229517	A1	2017年 8月 10日	
				US	9899452	B2	2018年 2月 20日	
				WO	2017096649	A1	2017年 6月 15日	

表 PCT/ISA/210 (同族专利附件) (2015年1月)