

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月9日(09.02.2012)

PCT

(10) 国際公開番号
WO 2012/017535 A1

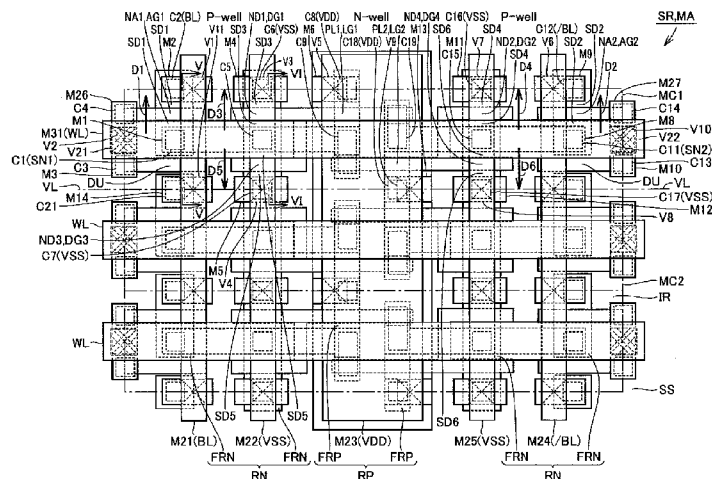
- (51) 国際特許分類:
H01L 21/8244 (2006.01) H01L 27/11 (2006.01)
- (21) 国際出願番号: PCT/JP2010/063259
- (22) 国際出願日: 2010年8月5日(05.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 新居 浩二 (NII, Koji) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 塚本 康正 (TSUKAMOTO, Yasumasa) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネ
- サスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図4]



(57) Abstract: Provided is a semiconductor device (SCD) that has first and second access gates (AG1, AG2), first and second driver gates (DG1, DG2), and first and second load gates (LG1, LG2), all extending in the same direction in a planar layout. A first direction (D1) from one of a pair of first source/drains (SD1) towards the other and a second direction (D2) from one of a pair of second source/drains (SD2) towards the other are the same in the planar layout. The first directions (D1) for each of at least two SRAM memory cells (MC1, MC2) are the same direction and the second directions (D2) for each are also the same direction. As a result, a semiconductor device (SCD) with improved cell characteristics can be achieved by the reduction in SRAM variation.

(57) 要約: 半導体装置 (SCD) は、平面レイアウトにおいて、第1および第2アクセスゲート (AG1, AG2)、第1および第2ドライバゲート (DG1, DG2) および第1および第2ロードゲート (LG1, LG2) の各々が同一方向に延在している。平面レイアウトにおいて、1対の第1ソース/ドレイン (SD1) の一方から他方に向かう第1の方向 (D1) と、1対の第2ソース/ドレイン (SD2) の一方から他方に向かう第2の方向 (D2) とが同じである。少なくとも2つのSRAMメモリセル (MC1, MC2) のそれぞれの第1の方向 (D1) と同じ方向であり、かつ第2の方向 (D2) と同じ方向である。これにより、SRAMのばらつきを低減させることによりセル特性を向上させた半導体装置 (SCD) を得ることができる。

WO 2012/017535 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、SRAMを備えた半導体装置に関するものである。

背景技術

[0002] 複数のロジック回路およびメモリセルなどが1つのチップに搭載されたSoC (System on Chip) と称される半導体装置が用いられている。この半導体装置では、メモリセルとしてたとえばSRAM (Static Random Access Memory ; スタティックランダムアクセスメモリ) が用いられている。

[0003] SoCへの大容量のSRAMの搭載が求められていることなどによってSRAMの微細化が図られている。この微細化によってSRAMの特性のばらつきは増大する。そして、このばらつきの増大によってSRAMの動作マージンは低下する。このばらつきの1つとして、SRAMを構成するトランジスタのしきい値電圧のばらつきがある。このしきい値電圧のばらつきには、ローカルばらつきとグローバルばらつきとがある。ローカルばらつきはトランジスタの不純物のゆらぎによって発生する。グローバルばらつきは微細加工による加工寸法のばらつきであり、たとえばチップ全体でトランジスタのゲート長またはゲート幅が同じ方向に発生する。ローカルばらつきおよびグローバルばらつきを低減するためには、対称性がよく、屈曲の少ないレイアウト構造が効果的である。

[0004] たとえば、非特許文献1にはゲートおよび拡散層の対称性がよく、屈曲の少ないレイアウト形状を有するSRAMメモリセルが提案されている。非特許文献1のSRAMメモリセルでは、対称性がよいためマスクずれに起因したローカルばらつきの低減が期待される。また屈曲が少ないため微細加工が容易である。そのためグローバルばらつきの低減が期待される。また、非特

許文献2および3にはしきい値電圧を調整するためにハロ（H a l o）領域が形成されたS R A Mメモリセルが提案されている。非特許文献2および3のS R A Mメモリセルでは読み出しと書き込みの双方の動作マージンの向上が期待される。

先行技術文献

非特許文献

- [0005] 非特許文献1: Shigeki Ohbayashi et al., "A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability With Read and Write Operation Stabilizing Circuits", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, No. 4, APRIL 2007, pp. 820-829
- 非特許文献2: Koji Nii et al., "A 0.5V 100MHz PD-SOI SRAM with Enhanced Read Stability and Write Margin by Asymmetric MOSFET and Forward Body Bias", Solid-State Circuits Conference Digest of Technical Papers(ISSCC), Feb. 2010, pp. 356-357
- 非特許文献3: Jae-Joon Kim et al., "Relaxing Conflict Between Read Stability and Writability in 6T SRAM Cell Using Asymmetric Transistors" IEEE ELECTRON DEVICE LETTERS, VOL. 30, NO. 8, AUGUST 2009, pp. 852-854

発明の概要

発明が解決しようとする課題

- [0006] 非特許文献1のS R A Mメモリセルでは、2つのアクセストランジスタではそれぞれのソース／ドレインが互いに反対の向きに配置されているため、電流の向きが逆になる。そのため、セルレイアウト起因のミスマッチ特性が大きくなるため、セル特性のばらつきが大きくなるというおそれがある。
- [0007] また、非特許文献2のS R A Mメモリセルでは、アクセストランジスタとドライバトランジスタとでゲートの向きが直交しているため、マスクずれに起因したローカルばらつきが大きくなるというおそれがある。またゲートの

向きが異なるため微細加工が容易でない。そのためグローバルばらつきが大きくなるというおそれがある。

[0008] また、非特許文献3のSRAMメモリセルでは、左右の非対称MOS（Metal Oxide Semiconductor）を別々に構成するため、不純物注入量がばらついてローカルばらつきが大きくなるという問題がある。また左右のアクセストランジスタ、ドライバートランジスタ、ロードトランジスタの電流の向きは逆になる。そのためセル特性のばらつきが大きくなるという問題がある。

[0009] 本発明は、上記の課題を鑑みてなされたものであり、その目的は、SRAMのばらつきを低減させることによりセル特性を向上させた半導体装置を提供することである。

課題を解決するための手段

[0010] 本発明の一実施例の半導体装置は、平面レイアウトにおいて互いに隣接して配置された少なくとも2つのスタティックランダムアクセスメモリセルを有する半導体装置であって、少なくとも2つのスタティックランダムアクセスメモリセルのそれぞれは、第1ドライバゲートを有する第1ドライバートランジスタと、第1ロードゲートを有し、かつ第1ドライバートランジスタに第1記憶ノードで電氣的に接続された第1ロードトランジスタと、第2ドライバゲートを有する第2ドライバートランジスタと、第2ロードゲートを有し、かつ第2ドライバートランジスタに第2記憶ノードで電氣的に接続された第2ロードトランジスタと、データの入出力を行う第1ビット線および第2ビット線と、第1アクセスゲートおよび1対の第1ソース／ドレインを有し、第1記憶ノードに1対の第1ソース／ドレインの一方が電氣的に接続され、かつ第1ビット線に1対の第1ソース／ドレインの他方が電氣的に接続された第1アクセストランジスタと、第2アクセスゲートおよび1対の第2ソース／ドレインを有し、第2記憶ノードに1対の第2ソース／ドレインの一方が電氣的に接続され、かつ第2ビット線に1対の第2ソース／ドレインの他方が電氣的に接続された第2アクセストランジスタと、を備えている。平面レ

イアウトにおいて、第 1 および第 2 アクセsgate、第 1 および第 2 ドライブゲートおよび第 1 および第 2 ロードゲートの各々が同一方向に延在している。平面レイアウトにおいて、1 対の第 1 ソース／ドレインの一方から他方に向かう第 1 の方向と、1 対の第 2 ソース／ドレインの一方から他方に向かう第 2 の方向とが同じである。少なくとも 2 つのスタティックランダムアクセスメモリセルのそれぞれの第 1 の方向同士が互いに同じ方向であり、かつ第 2 の方向同士が互いに同じ方向である。

発明の効果

- [0011] 本発明の一実施例の半導体装置によれば、SRAM のばらつきを低減させることによりセル特性を向上させることができる。

図面の簡単な説明

- [0012] [図1] 本発明の実施の形態 1 における SRAM を備えた半導体装置の配置関係の一例を示す概略平面図である。
- [図2] 本発明の実施の形態 1 における図 1 に示す点線枠内の SRAM メモリセルの構成を示す概略平面図である。
- [図3] 本発明の実施の形態 1 における SRAM メモリセルの等価回路を示す図である。
- [図4] 本発明の実施の形態 1 における SRAM メモリセルの配置パターンを示す平面図である。
- [図5] 図 4 の V-V 線に沿う概略断面図である。
- [図6] 図 4 の V I-V I 線に沿う概略断面図である。
- [図7] 図 4 の V-V 線に沿うアクセstransistor を示す部分拡大断面図である。
- [図8] 本発明の実施の形態 1 における SRAM メモリセルの多層線構造の全層を示す概略平面図である。
- [図9] 本発明の実施の形態 1 における SRAM メモリセルの下層を示す概略平面図である。
- [図10] 本発明の実施の形態 1 における SRAM メモリセルの上層を示す概略

平面図である。

[図11]本発明の実施の形態1におけるSRAMセルの平面レイアウトにあわせた等価回路を示す図である。

[図12]本発明の実施の形態1における図8に示すSRAMセルに隣接するSRAMメモリセルの多層線構造の全層を示す概略平面図である。

[図13]本発明の実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図14]本発明の実施の形態1における半導体装置の製造方法の第1工程を示す概略平面図である。

[図15]本発明の実施の形態1における半導体装置の製造方法の第2工程を示す概略平面図である。

[図16]本発明の実施の形態1における半導体装置の製造方法の第3工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図17]本発明の実施の形態1における半導体装置の製造方法の第4工程を示す概略平面図である。

[図18]本発明の実施の形態1における半導体装置の製造方法の第5工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図19]本発明の実施の形態1における半導体装置の製造方法の第6工程を示す概略平面図である。

[図20]本発明の実施の形態1における半導体装置の製造方法の第7工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図21]本発明の実施の形態1における半導体装置の製造方法の第8工程を示す概略平面図である。

[図22]本発明の実施の形態1における半導体装置の製造方法の第9工程を示

す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図23]本発明の実施の形態1における半導体装置の製造方法の第10工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図24]本発明の実施の形態1における半導体装置の製造方法の第11工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図25]本発明の実施の形態1における半導体装置の製造方法の第12工程を示す概略断面図であって、図4のV-V線に沿う概略断面図(A)と、図4のV I-V I線に沿う概略断面図(B)である。

[図26]本発明の実施の形態1における半導体装置のSRAMセルアレイのSRAMメモリセルの配置を示す平面図である。

[図27]本発明の実施の形態1における半導体装置のSRAMメモリセルの配置パターンおよび電流の向きを模式的に示す平面図である。

[図28]本発明の実施の形態1における半導体装置のSRAMメモリセルの下層を示す概略平面図であって、ゲートがラウンド状に形成された場合を示す図である。

[図29]本発明の実施の形態1における変形例のSRAMメモリセルの下層を示す概略平面図である。

[図30]図29のXXX-XXX線に沿う概略断面図である。

[図31]図29のXXX I-XXX I線に沿う概略断面図である。

[図32]比較例における半導体装置のSRAMメモリセルの配置パターンを示す概略平面図である。

[図33]比較例におけるSRAMメモリセルの等価回路を示す図である。

[図34]比較例における半導体装置のSRAMメモリセルの配置パターンおよび電流の向きを模式的に示す平面図である。

[図35]本発明の実施の形態2における半導体装置のSRAMメモリセルの下

層を示す概略平面図である。

[図36]本発明の実施の形態3における半導体装置のSRAMメモリセルの多層線構造の全層を示す概略平面図である。

[図37]本発明の実施の形態4における半導体装置のSRAMメモリセルの下層を示す概略平面図である。

[図38]図37のXXXVIIII-XXXVIIII線に沿う概略断面図である。

[図39]図37のXXXIX-XXXIX線に沿う概略断面図である。

[図40]図37のXXXVIIII-XXXVIIII線に沿うアクセストランジスタを示す部分拡大断面図である。

[図41]図40のアクセストランジスタのハロ領域の不純物濃度プロファイルを示すグラフである。

[図42]本発明の実施の形態4における半導体装置の製造方法の第1工程を示す概略断面図であって、図37のXXXVIIII-XXXVIIII線に沿う概略断面図(A)と、図37のXXXIX-XXXIX線に沿う概略断面図(B)である。

[図43]本発明の実施の形態4における半導体装置の製造方法の第2工程を示す概略平面図である。

[図44]本発明の実施の形態4における半導体装置の製造方法の第3工程の前の工程を示す概略断面図であって、図37のXXXVIIII-XXXVIIII線に沿う概略断面図(A)と、図37のXXXIX-XXXIX線に沿う概略断面図(B)である。

[図45]本発明の実施の形態4における半導体装置の製造方法の第3工程の後の工程を示す概略断面図であって、図37のXXXVIIII-XXXVIIII線に沿う概略断面図(A)と、図37のXXXIX-XXXIX線に沿う概略断面図(B)である。

[図46]本発明の実施の形態4における半導体装置の製造方法の第4工程を示す概略断面図であって、図37のXXXVIIII-XXXVIIII線に沿う

概略断面図（A）と、図37のXXXIX-XXXIX線に沿う概略断面図（B）である。

[図47]本発明の実施の形態4における半導体装置の製造方法の第5工程を示す概略平面図である。

[図48]本発明の実施の形態4における半導体装置の製造方法の第6工程の前の工程を示す概略断面図であって、図37のXXXVII-XXXVII線に沿う概略断面図（A）と、図37のXXXIX-XXXIX線に沿う概略断面図（B）である。

[図49]本発明の実施の形態4における半導体装置の製造方法の第7工程を示す概略平面図である。

[図50]本発明の実施の形態4における半導体装置の製造方法の第7工程の前の工程を示す概略断面図であって、図37のXXXVII-XXXVII線に沿う概略断面図（A）と、図37のXXXIX-XXXIX線に沿う概略断面図（B）である。

[図51]本発明の実施の形態4における半導体装置の製造方法の第8工程を示す概略平面図である。

[図52]本発明の実施の形態4における半導体装置の製造方法の第9工程の前の工程を示す概略断面図であって、図37のXXXVII-XXXVII線に沿う概略断面図（A）と、図37のXXXIX-XXXIX線に沿う概略断面図（B）である。

[図53]本発明の実施の形態4における半導体装置の製造方法の第10工程の前の工程を示す概略断面図であって、図37のXXXVII-XXXVII線に沿う概略断面図（A）と、図37のXXXIX-XXXIX線に沿う概略断面図（B）である。

[図54]本発明の実施の形態4における半導体装置の製造方法の第11工程の前の工程を示す概略断面図であって、図37のXXXVII-XXXVII線に沿う概略断面図（A）と、図37のXXXIX-XXXIX線に沿う概略断面図（B）である。

[図55]本発明の実施の形態4における半導体装置の製造方法の第12工程の前の工程を示す概略断面図であって、図37のXXXVII-XXXVII線に沿う概略断面図(A)と、図37のXXXIX-XXXIX線に沿う概略断面図(B)である。

[図56]本発明の実施の形態4におけるアクセストランジスタに流れる電流を示す概略図である。

[図57]本発明の実施の形態4におけるアクセストランジスタにおけるゲート電圧に対する電流特性を示すグラフである。

[図58]本発明の実施の形態5におけるSRAMメモリセルの下層を示す概略平面図である。

[図59]本発明の実施の形態5における半導体装置の製造方法の一工程を示す概略平面図である。

[図60]本発明の実施の形態6におけるSRAMメモリセルの多層線構造の全層を示す概略平面図である。

[図61]本発明の実施の形態6におけるSRAMメモリセルの下層を示す概略平面図である。

[図62]図61のLXI-LXI線に沿う概略断面図である。

[図63]本発明の実施の形態6におけるSRAMメモリセルの上層を示す概略平面図である。

[図64]本発明の実施の形態6におけるSRAMセルの平面レイアウトにあわせた等価回路を示す図である。

[図65]本発明の実施の形態6における変形例のSRAMメモリセルの下層を示す概略平面図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

最初に本発明の実施の形態1の半導体装置の構成について説明する。まず、SRAMを組み込んだSoCと称される半導体装置の一例について説明す

る。

[0014] 図1を参照して、半導体装置SCDは、SRAM部SRと、ロジック回路LCと、IO(Input/Output)領域IOとを主に有している。半導体装置SCDでは、マイクロコントロールユニット、アナログデジタル変換器、デジタルアナログ変換器、バスコントローラなど、それぞれ特定の機能を実現する複数のロジック回路LC、そのロジック回路LCのいくつかに接続されてデータを一時記憶するSRAM部SRが1つのチップに搭載されている。ロジック回路LCおよびSRAM部SRを取り囲むように、IO領域IOが形成されている。

[0015] 図2を参照して、SRAM部SRは、行列状に配置された複数のメモリセルを有したSRAMセルアレイMA、XデコーダXD、YデコーダYD、センスアンプSA、ライトドライバWDおよび主制御回路MCを主に有している。

[0016] 次に、SRAMメモリセルの等価回路について説明する。図3を参照して、SRAMメモリセルは、2つのインバータをクロスカップリングさせたフリップフロップと、第1アクセストランジスタNA1および第2アクセストランジスタNA2とにより構成されている。フリップフロップには、クロスカップリングさせた第1記憶ノードSN1と第2記憶ノードSN2とが設けられている。

[0017] 第1アクセストランジスタNA1と第2アクセストランジスタNA2とは、第1記憶ノードSN1および第2記憶ノードSN2と第1ビット線BLおよび第2ビット線/BLとの間に接続されている。第1ビット線BLが正相の場合には第2ビット線/BLが逆相となる。第1アクセストランジスタNA1および第2アクセストランジスタNA2のゲートは、ワード線WLに接続されている。

[0018] フリップフロップでは、第1記憶ノードSN1と接地配線(接地電位)VSSとの間に第1ドライバトランジスタND1および第3ドライバトランジスタND3が並列に接続されている。第2記憶ノードSN2と接地配線VS

Sとの間に第2ドライバトランジスタND2および第4ドライバトランジスタND4が並列に接続されている。

[0019] また、第1記憶ノードSN1と電源配線VDDとの間に第1ロードトランジスタPL1が接続されている。第1ロードトランジスタPL1は第1ドライバトランジスタND1および第3ドライバトランジスタND3の各々に直列に接続されている。第2記憶ノードSN2と電源配線VDDとの間に第2ロードトランジスタPL2が接続されている。第2ロードトランジスタPL2は第2ドライバトランジスタND2および第4ドライバトランジスタND4の各々に直列に接続されている。第3ドライバトランジスタND3および第4ドライバトランジスタND4を備えることによりドライバトランジスタの電流を増大することができる。

[0020] 第1ドライバトランジスタND1および第3ドライバトランジスタの各ゲート、第1ロードトランジスタPL1のゲート、第2記憶ノードSN2が互いに電氣的に接続されている。また、第2ドライバトランジスタND2および第4ドライバトランジスタND4の各ゲート、第2ロードトランジスタPL2のゲート、第1記憶ノードSN1が互いに電氣的に接続されている。ロードトランジスタPL1、PL2はPチャネル型絶縁ゲート電界効果トランジスタで構成され、アクセストランジスタNA1、NA2及びドライバトランジスタND1乃至ND4はNチャネル型絶縁ゲート電界効果トランジスタで構成される。

[0021] なお、上記ではSRAMメモリセルがドライバトランジスタを4つ備えている場合について説明したが、ドライバトランジスタは2つ備えていればよい。つまり第1ドライバトランジスタND1および第2ドライバトランジスタND3に加えて、第3ドライバトランジスタND4および第4ドライバトランジスタND4を備えている場合について説明したが、第3ドライバトランジスタND3および第4ドライバトランジスタND4は備えていなくてもよい。

[0022] 次に、SRAMメモリセルの構造について説明する。図4は、SRAMセ

ルアレイのSRAMメモリセルを構成するトランジスタおよびそのトランジスタに接続するコンタクトなどの平面レイアウトを示す概略平面図である。

図4では、コンタクトに電氣的に接続される第1金属配線と、第1金属配線にヴィアホールで電氣的に接続される第2金属配線と、第2金属配線にヴィアホールで電氣的に接続される第3金属配線も示されている。

[0023] 図4を参照して、点線で囲まれる領域のそれぞれが一つのSRAMメモリセルを構成する。一つのSRAMメモリセルには、隣接する他のSRAMメモリセルの活性領域、コンタクトおよび金属配線の一部が入り込むように配置されている。代表的にSRAMメモリセルMC1を中心に説明する。SRAMメモリセルMC1は、上述したように第1および第2アクセストランジスタNA1、NA2と、第1～第4ドライバトランジスタND1～ND4と、第1および第2ロードトランジスタPL1、PL2とを有している。

[0024] 平面レイアウトにおいて、第1ビット線BLおよび第2ビット線／BLがSRAMメモリセルMC1を横断して延在する方向において、SRAMメモリセルMC1と隣接してSRAMメモリセルMC2は配置されている。SRAMメモリセルMC1とSRAMメモリセルMC2とにおいて、第1～第4ドライバトランジスタND1～ND4、第1および第2ロードトランジスタPL1、PL2のそれぞれは、平面レイアウトにおいてSRAMメモリセルMC1とSRAMメモリセルMC2との間の仮想の境界線VLに対して線対称（鏡面对称）に配置されている。

[0025] 半導体基板SSの主表面では、素子分離領域IRを形成することによって、互いに電氣的に分離された素子形成領域FRN、FRPが規定されている。素子形成領域FRNはNMIS（N channel type Metal Insulator Semiconductor）領域RNに形成されている。素子形成領域FRNには、nチャネル型のMISTランジスタとして、第1および第2アクセストランジスタNA1、NA2と、第1～第4ドライバトランジスタND1～ND4とが形成されている。

[0026] 素子形成領域FRPはPMIS（P channel type Metal

a l Insulator Semiconductor) 領域 RP に形成されている。素子形成領域 FRP には、p チャネル型の M I S トランジスタとして第 1 および第 2 ロードトランジスタ PL 1, PL 2 が形成されている。

[0027] 第 1 アクセストランジスタ NA 1 は、第 1 アクセスゲート AG 1 および 1 対の第 1 ソース／ドレイン SD 1 を有している。第 1 記憶ノード SN 1 に 1 対の第 1 ソース／ドレイン SD 1 の一方が電氣的に接続され、第 1 ビット線 BL に 1 対の第 1 ソース／ドレイン SD 1 の他方が電氣的に接続されている。第 2 アクセストランジスタ NA 2 は、第 2 アクセスゲート AG 2 および 1 対の第 2 ソース／ドレイン SD 2 を有している。第 2 記憶ノード SN 2 に 1 対の第 2 ソース／ドレイン SD 2 の一方が電氣的に接続され、第 2 ビット線 / BL に 1 対の第 2 ソース／ドレイン SD 2 の他方が電氣的に接続されている。

[0028] 第 1 ドライバトランジスタ ND 1 は、第 1 ドライバゲート DG 1 および 1 対の第 3 ソース／ドレイン SD 3 を有している。第 1 記憶ノード SN 1 に 1 対の第 3 ソース／ドレイン SD 3 の一方が電氣的に接続され、接地配線 V S S に 1 対の第 3 ソース／ドレイン SD 3 の他方が電氣的に接続されている。第 2 ドライバトランジスタ ND 2 は、第 2 ドライバゲート DG 2 および 1 対の第 4 ソース／ドレイン SD 4 を有している。第 2 記憶ノード SN 2 に 1 対の第 4 ソース／ドレイン SD 4 の一方が電氣的に接続され、接地配線 V S S に 1 対の第 4 ソース／ドレイン SD 4 の他方が電氣的に接続されている。

[0029] 第 3 ドライバトランジスタ ND 3 は、第 3 ドライバゲート DG 3 および 1 対の第 5 ソース／ドレイン SD 5 を有している。第 1 記憶ノード SN 1 に 1 対の第 5 ソース／ドレイン SD 5 の一方が電氣的に接続され、接地配線 V S S に 1 対の第 5 ソース／ドレイン SD 5 の他方が電氣的に接続されている。第 4 ドライバトランジスタ ND 4 は、第 4 ドライバゲート DG 4 および 1 対の第 6 ソース／ドレイン SD 6 を有している。第 2 記憶ノード SN 2 に 1 対の第 6 ソース／ドレイン SD 6 の一方が電氣的に接続され、接地配線 V S S

に1対の第6ソース／ドレインSD6の他方が電氣的に接続されている。

[0030] 第1ロードトランジスタPL1は、第1ロードゲートLG1および1対のソース／ドレインを有している。第1ロードトランジスタPL1は、第1ドライバトランジスタND1に第1記憶ノードSN1で電氣的に接続されている。第2ロードトランジスタPL2は、第1ロードゲートLG2および1対のソース／ドレインを有している。第2ロードトランジスタPL2は、第2ドライバトランジスタND2に第2記憶ノードSN2で電氣的に接続されている。

[0031] 第1アクセストランジスタNA1の第1アクセスゲートAG1と、第2アクセストランジスタNA2の第2アクセスゲートAG2と、第1ドライバトランジスタND1の第1ドライバゲートDG1と、第2ドライバトランジスタND2の第2ドライバゲートDG2と、第3ドライバトランジスタND3の第3ドライバゲートDG3と、第4ドライバトランジスタND4の第4ドライバゲートDG4は、素子形成領域FRNを横切るように形成されている。第1ロードトランジスタPL1の第1ロードゲートLG1と、第2ロードトランジスタPL2の第2ロードゲートLG2は、素子形成領域FRPを横切るように形成されている。

[0032] 平面レイアウトにおいて、第1アクセスゲートAG1および第2アクセスゲートAG2の各々は同一方向に延在するように形成されている。また第1ドライバゲートDG1、第2ドライバゲートDG2、第3ドライバゲートDG3および第4ドライバゲートDG4、第1ロードゲートLG1および第2ロードゲートLG2の各々は同一方向に延在するように形成されている。

[0033] 平面レイアウトにおいて、1対の第1ソース／ドレインSD1の一方から他方に向かう第1の方向D1と、1対の第2ソース／ドレインSD2の一方から他方に向かう第2の方向D2とが同じである。またSRAMメモリセルMC1およびSRAMメモリセルMC2のそれぞれの第1の方向D1同士が互いに同じ方向であり、第2の方向D2同士が互いに同じ方向である。

[0034] 平面レイアウトにおいて、1対の第3ソース／ドレインSD3の一方から

他方に向かう第3の方向D3と、1対の第5ソース／ドレインSD5の一方から他方に向かう第5の方向D5とが反対である。また、1対の第4ソース／ドレインSD4の一方から他方に向かう第4の方向D4と、1対の第6ソース／ドレインSD6の一方から他方に向かう第6の方向D6とが反対である。

[0035] 平面レイアウトにおいて、1対の第5ソース／ドレインSD5の一方から他方に向かう第5の方向D5と、1対の第6ソース／ドレインSD6の一方から他方に向かう第6の方向D6とが同じである。またSRAMメモリセルMC1およびSRAMメモリセルMC2のそれぞれの、第5の方向D5同士が互いに同じ方向であり、かつ第6の方向D6同士が互いに同じ方向である。なお「1対のソース／ドレイン」とは、単に、電界効果トランジスタの1対の導通端子を形成する不純物領域（Nチャネル型トランジスタであればN型不純物領域、Pチャネル型トランジスタであればP型の不純物領域）と同じ意味であり、1対の不純物領域の各々がソース端子及びドレイン端子のいずれにもなることを必ずしも意味しない。

[0036] 図5は、図4においてSRAMメモリセルMC1の第1アクセストランジスタNA1と、SRAMメモリセルMC1に隣接するSRAMメモリセルMC2のコンタクトC21とを通るように第1アクセスゲートAG1の延在方向に直交する断面線V-Vに沿う概略断面図である。

[0037] 第1アクセスゲートAG1に対して、ダミーゲートDUが位置する側とは反対側に位置する素子形成領域FRNの部分には、エクステンション領域ER、第1ソース／ドレインSD1および金属シリサイド膜SCLが形成されている。

[0038] 第1アクセスゲートAG1とダミーゲートDUとの間に位置する素子形成領域FRNの部分には、第1ソース／ドレインSD1、金属シリサイド膜SCLおよび素子分離領域IRが形成されている。ダミーゲートDUに対して、第1アクセスゲートAG1が位置する側とは反対側に位置する素子形成領域FRNの部分には、SRAMメモリセルMC2の第1ソース／ドレインS

D 1 および金属シリサイド膜 S C L が形成されている。

[0039] 第 1 アクセスゲート A G 1 およびダミーゲート D U を覆うように、シリコン窒化膜などのストレスライナー膜 S L が形成されている。そのストレスライナー膜 S L を覆うように、シリコン酸化膜（たとえば T E O S (T e t r a E t h y l O r t h o S i l i c a t e) 膜) などの層間絶縁膜 I L 1 が形成されている。

[0040] 層間絶縁膜 I L 1 およびストレスライナー膜 S L を貫通して金属シリサイド膜 S C L に電氣的に接続されるプラグ P G 1 が形成されている。プラグ P G 1 は、T i N 膜などのバリア金属膜 B A 1 とタングステン膜 T L 1 とを含んでいる。金属シリサイド膜 S C L にそれぞれ接続するプラグ P G 1 は、図 4 に示すコンタクト C 1, C 2, C 2 1 をそれぞれ構成する。

[0041] プラグ P G 1 を覆うように、層間絶縁膜 I L 1 上にシリコン窒化膜などのエッチングストッパ膜 E S 1 が形成されている。そのエッチングストッパ膜 E S 1 上にシリコン酸化膜などの層間絶縁膜 I L 2 が形成されている。層間絶縁膜 I L 2 およびエッチングストッパ膜 E S 1 を貫通してプラグ P G 1 に電氣的に接続される銅配線 C W 1 が形成されている。銅配線 C W 1 は T a N 膜などのバリア金属膜 B A 2 と銅膜 C L 1 とを含んでいる。プラグ P G 1 にそれぞれ接続する銅配線 C W 1 は、図 4 に示す第 1 金属配線 M 1, M 2, M 1 4 をそれぞれ構成する。

[0042] 銅配線 C W 1 を覆うように、層間絶縁膜 I L 2 上にシリコン酸化膜などの層間絶縁膜 I L 3 が形成されている。層間絶縁膜 I L 3 を貫通して銅配線 C W 1 に電氣的に接続されるプラグ P G 2 が形成されている。プラグ P G 2 は、T i N 膜などのバリア金属膜 B A 3 とタングステン膜 T L 2 とを含んでいる。銅配線 C W 1 にそれぞれ接続するプラグ P G 2 は、図 4 に示すビアホール V 1, V 1 1 をそれぞれ構成する。

[0043] プラグ P G 2 を覆うように、層間絶縁膜 I L 3 上にプラグ P G 2 に電氣的に接続される銅配線 C W 2 が形成されている。銅配線 C W 2 は、T a N 膜などのバリア金属膜 B A 4 と銅膜 C L 2 とを含んでいる。プラグ P G 2 にそれ

ぞれ接続する銅配線CW2は、図4に示す第2金属配線M21を構成する。

[0044] 銅配線CW2を覆うように、シリコン酸化膜などの層間絶縁膜IL4が形成されている。層間絶縁膜IL4上にシリコン窒化膜などのエッチングストップ膜ES2が形成されている。そのエッチングストップ膜ES2上にシリコン酸化膜などの層間絶縁膜IL5が形成されている。層間絶縁膜IL5およびエッチングストップ膜ES2を貫通して銅配線CW3が形成されている。銅配線CW3はTaN膜などのバリア金属膜BA5と銅膜CL3とを含んでいる。銅配線CW3は、図4に示す第3金属配線M31を構成する。

[0045] 図6は、図4においてSRAMメモリセルMC1の第1ドライバトランジスタND1と第3ドライバトランジスタND3とを通るように第1ドライバゲートDG1の延在方向に直交する断面線V1-V1に沿う概略断面図である。

[0046] 第1ドライバゲートDG1に対して、第3ドライバゲートDG3が位置する側とは反対側に位置する素子形成領域FRNの部分には、エクステンション領域ER、第3ソース/ドレインSD3および金属シリサイド膜SCLが形成されている。

[0047] 第1ドライバゲートDG1と第3ドライバゲートDG3との間に位置する素子形成領域FRNの部分には、エクステンション領域ER、第3ソース/ドレインSD3、第5ソース/ドレインSD5および金属シリサイド膜SCLが形成されている。

[0048] 第3ドライバゲートDG3に対して、第1ドライバゲートDG1が位置する側とは反対側に位置する素子形成領域FRNの部分には、エクステンション領域ER、第5ソース/ドレインSD5および金属シリサイド膜SCLが形成されている。

[0049] 第1ドライバゲートDG1および第3ドライバゲートDG3を覆うように、シリコン窒化膜などのストレスライナー膜SLが形成されている。そのストレスライナー膜SLを覆うように、シリコン酸化膜（たとえばTEOS膜）などの層間絶縁膜IL1が形成されている。層間絶縁膜IL1およびスト

レスライナー膜 S L を貫通して金属シリサイド膜 S C L に電氣的に接続されるプラグ P G 1 が形成されている。プラグ P G 1 は、T i N 膜などのバリア金属膜 B A 1 とタングステン膜 T L 1 とを含んでいる。金属シリサイド膜 S C L にそれぞれ接続するプラグ P G 1 は、図 4 に示すコンタクト C 5, C 6, C 7 をそれぞれ構成する。

[0050] プラグ P G 1 を覆うように、層間絶縁膜 I L 1 上にシリコン窒化膜などのエッチングストッパ膜 E S 1 が形成されている。そのエッチングストッパ膜 E S 1 上にシリコン酸化膜などの層間絶縁膜 I L 2 が形成されている。層間絶縁膜 I L 2 およびエッチングストッパ膜 E S 1 を貫通してプラグ P G 1 に電氣的に接続される銅配線 C W 1 が形成されている。銅配線 C W 1 は T a N 膜などのバリア金属膜 B A 2 と銅膜 C L 1 とを含んでいる。プラグ P G 1 にそれぞれ接続する銅配線 C W 1 は、図 4 に示す第 1 金属配線 M 1, M 4, M 5 をそれぞれ構成する。

[0051] 銅配線 C W 1 を覆うように、層間絶縁膜 I L 2 上にシリコン酸化膜などの層間絶縁膜 I L 3 が形成されている。層間絶縁膜 I L 3 を貫通して銅配線 C W 1 に電氣的に接続されるプラグ P G 2 が形成されている。プラグ P G 2 は、T i N 膜などのバリア金属膜 B A 3 とタングステン膜 T L 2 とを含んでいる。銅配線 C W 1 にそれぞれ接続するプラグ P G 2 は、図 4 に示すヴィアホール V 3, V 4 をそれぞれ構成する。

[0052] プラグ P G 2 を覆うように、層間絶縁膜 I L 3 上にプラグ P G 2 に電氣的に接続される銅配線 C W 2 が形成されている。銅配線 C W 2 は、T a N 膜などのバリア金属膜 B A 4 と銅膜 C L 2 とを含んでいる。プラグ P G 2 にそれぞれ接続する銅配線 C W 2 は、図 4 に示す第 2 金属配線 M 2 2 を構成する。

[0053] 銅配線 C W 2 を覆うように、シリコン酸化膜などの層間絶縁膜 I L 4 が形成されている。層間絶縁膜 I L 4 上にシリコン窒化膜などのエッチングストッパ膜 E S 2 が形成されている。そのエッチングストッパ膜 E S 2 上にシリコン酸化膜などの層間絶縁膜 I L 5 が形成されている。層間絶縁膜 I L 5 およびエッチングストッパ膜 E S 2 を貫通して銅配線 C W 3 が形成されている。

。銅配線CW3はTa₂N膜などのバリア金属膜BA5と銅膜CL3とを含んでいる。銅配線CW3は、図4に示す第3金属配線M31を構成する。

[0054] 次に、アクセストランジスタの構造について詳しく説明する。なお、図7は、図4に示すV-V線に対応する断面線に沿った断面構造を示す。またアクセストランジスタの構造として第1アクセストランジスタNA1を例に説明するが、第2アクセストランジスタNA2も同様の構造を有している。

[0055] 図7を参照して、素子形成領域FRN（図4参照）を横切るように形成された第1アクセストランジスタNA1の第1アクセスゲートAG1は、SiONなどの界面層（Inter Layer）SF上に、それぞれLaを含有したHfO₂、HfSiONなど所定の誘電率を有するHigh-k膜HK、TiNなど所定の仕事関数を有する金属膜MLおよびポリシリコン（多結晶シリコン）膜PSを積層させる態様で形成され、ポリシリコン膜PSの表面にはさらにニッケルシリサイドなどの金属シリサイド膜SCLが形成されている。第1アクセスゲートAG1の両側面上には、たとえばシリコン窒化膜などのオフセットスペーサOSが形成されている。そのオフセットスペーサOSの上には、シリコン酸化膜SOとシリコン窒化膜SNIからなるサイドウォールスペーサSWが形成されている。

[0056] 第1アクセスゲートAG1が延在する方向と直交する方向（ゲート長方向）の素子形成領域の部分には、エクステンション領域ER、ソース／ドレインSD1および金属シリサイド膜SCLが形成されている。

[0057] 次に、各トランジスタを電氣的に接続する多層配線構造について説明する。図8は、SRAMメモリセルの各トランジスタと第3金属配線との接続関係を示す概略平面図である。図9は、各トランジスタと第1金属配線との接続構造を示す概略平面図である。図10は、第2の金属配線と第3の金属配線との接続構造を示す平面図である。図11は、図8の平面レイアウトにあわせて示したSRAMメモリセルの等価回路を示す図である。

[0058] 図12は、図8に示すSRAMメモリセルと隣接するSRAMメモリセルの平面レイアウトを示す概略平面図である。図8～図10は、1つのSRA

Mメモリセルに対する多層配線構造を示すが、その隣接するSRAMメモリセル上の多層配線構造は、図12に示すように図8と第1アクセストランジスタおよび第2アクセストランジスタを除き、その隣接するSRAMメモリセル間の仮想の境界線VL（図4参照）に対して線対称（鏡面对称）に配線パターンが形成されるので、SRAMメモリセルMC1について主に説明する。

[0059] 図8～図10を参照して、第1アクセストランジスタNA1の第1ソース／ドレインSD1の一方は、コンタクトC1（プラグPG1）、第1金属配線M1（銅配線CW1）およびコンタクトC5を介して、第1ドライバートランジスタND1の第3ソース／ドレインSD3の一方と、第3ドライバートランジスタND3の第5ソース／ドレインSD5の一方とに電氣的に接続されている。

[0060] また第1アクセストランジスタNA1の第1ソース／ドレインSD1の一方は、コンタクトC1、第1金属配線M1、コンタクトC9を介して、第1ロードトランジスタPL1のSDの一方と、第2ロードトランジスタPL2の第2ロードゲートLG2と、第2ドライバートランジスタND2の第2ドライバゲートDG2と、第4ドライバートランジスタND4の第4ドライバゲートDG4とに電氣的に接続されている。

第1アクセストランジスタNA1の第1ソース／ドレインSD1の他方は、コンタクトC2（プラグPG1）、第1金属配線M2（銅配線CW1）およびヴィアホールV1を介して、ビット線BLとしての第2金属配線M21に電氣的に接続されている。

[0061] 第1アクセストランジスタNA1の第1アクセスゲートAG1は、コンタクトC4、第1金属配線M3、ヴィアホールV2、第2金属配線M26およびヴィアホールV21を介して、ワード線WLとしての第3金属配線M31に電氣的に接続されている。ダミーゲートDUは、コンタクトC3、第1金属配線M3、ヴィアホールV2、第2金属配線M26およびヴィアホールV21を介して、ワード線WLとしての第3金属配線M31に電氣的に接続さ

れている。

[0062] 第1ドライバトランジスタND1の第3ソース／ドレインSD3の他方は、コンタクトC6、第1金属配線M1およびヴィアホールV3を介して、接地電位が与えられる接地配線VSSとしての第2金属配線M22に電氣的に接続されている。第3ドライバトランジスタND1の第5ソース／ドレインSD5の他方は、コンタクトC7、第1金属配線M5およびヴィアホールV4を介して、接地電位が与えられる接地配線VSSとしての第2金属配線M22に電氣的に接続されている。

[0063] 第1ロードトランジスタPL1のソース／ドレインSDの他方は、コンタクトC8、第1金属配線M6およびヴィアホールV5を介して、電源配線VDDとしての第2金属配線M23に電氣的に接続されている。

[0064] 第2アクセストランジスタNA2の第1ソース／ドレインSD2の一方は、コンタクトC11、第1金属配線M8およびコンタクトC15を介して、第2ドライバトランジスタND2の第4ソース／ドレインSD4の一方と、第4ドライバトランジスタND4の第6ソース／ドレインSD6の一方とに電氣的に接続されている。

[0065] また第2アクセストランジスタNA2の第2ソース／ドレインSD2の一方は、コンタクトC11、第1金属配線M8、コンタクトC18を介して、第2ロードトランジスタPL2のSDの一方と、第1ロードトランジスタPL1の第1ロードゲートLG1と、第1ドライバトランジスタND3の第1ドライバゲートDG3と、第3ドライバトランジスタND3の第3ドライバゲートDG3とに電氣的に接続されている。

第2アクセストランジスタNA2の第2ソース／ドレインSD2の他方は、コンタクトC12、第1金属配線M9およびヴィアホールV6を介して、ビット線／BLとしての第2金属配線M24に電氣的に接続されている。

[0066] 第2アクセストランジスタNA2の第2アクセスゲートAG2は、コンタクトC14、第1金属配線M10、ヴィアホールV10、第2金属配線M27およびヴィアホールV22を介して、ワード線WLとしての第3金属配線

M31に電氣的に接続されている。ダミーゲートDUは、コンタクトC13、第1金属配線M10、ヴィアホールV22、第2金属配線M27およびヴィアホールV22を介して、ワード線WLとしての第3金属配線M31に電氣的に接続されている。

[0067] 第2ドライバトランジスタND2の第4ソース／ドレインSD4の他方は、コンタクトC16、第1金属配線M11およびヴィアホールV7を介して、接地電位が与えられる接地配線VSSとしての第2金属配線M25に電氣的に接続されている。第4ドライバトランジスタND4の第6ソース／ドレインSD6の他方は、コンタクトC17、第1金属配線M12およびヴィアホールV8を介して、接地電位が与えられる接地配線VSSとしての第2金属配線M25に電氣的に接続されている。

[0068] 第2ロードトランジスタPL2のソース／ドレインSDの他方は、コンタクトC19、第1金属配線M13およびヴィアホールV9を介して、電源配線VDDとしての第2金属配線M23に電氣的に接続されている。

[0069] したがって、図4に示すように、SRAMメモリセルMC1においてコンタクトC1、C11には共通のワード線WLが接続される。コンタクトC6、C7、C16、C17には接地配線VSSが接続される。コンタクトC8、C19には電源配線VDDが接続される。コンタクトC2、C12にはそれぞれビット線BL、／BLが接続される。コンタクトC1、C5が記憶ノードSN1を構成し、コンタクトC11、C15が記憶ノードSN2を構成する。

[0070] また、SRAMメモリセルMC1に隣接するSRAMメモリセルMC2において、コンタクトC21は、第1金属配線M14、ヴィアホールV11を介してビット線BLに電氣的に接続されている。

[0071] 次に、上述した半導体装置の製造方法について説明する。半導体装置には、SRAM回路の他にロジック回路なども含まれるが、ここでは、SRAMメモリセルのアクセストランジスタおよびドライバトランジスタを形成する方法を中心に説明する。なお、以降に参照する図13、図16、図18、図

20、図22、図23～25では、各図(A)は図4に示すV-V線に対応する断面線に沿った断面構造を示し、各図(B)は図4に示すV I-V I線に対応する断面線に沿った断面構造を示している。

[0072] まず、図13(A)および(B)、図14を参照して、半導体基板SSの主表面に素子分離領域IRを形成することによって、互いに電氣的に分離される素子形成領域FRN、FRPが規定される。素子形成領域FRN、FRPは、互いに隣接するSRAMメモリセルとなる領域を跨ぐように形成される。規定される次に、素子形成領域FRNにpウェルPWが形成される。

[0073] 次に、半導体基板SSの表面上に、界面層SFを介在させて、所定の誘電率を有するHigh-k膜HK、所定の仕事関数を有する金属膜MLおよびポリシリコン膜PSを積層させる態様で、第1アクセスゲートAG1、ダミーゲートDUとなるゲート構造Gと、第1ドライバゲートDG1、第3ドライバゲートDG3となる各々のゲート構造Gが形成される。ゲート構造Gは、互いに隣り合うSRAMメモリセルとなる領域を跨ぐように形成される。次に、ゲート構造Gを覆うように半導体基板SS上に、たとえばシリコン窒化膜(図示せず)が形成される。次に、そのシリコン窒化膜に異方性エッチングを施すことにより、ゲート構造Gの両側面にオフセットスペーサOSが形成される。

[0074] 次に、図15を参照して、所定の写真製版処理を施すことにより、NMIS領域RNを露出し、PMIS領域RPを覆うレジストマスクRM1が形成される。レジストマスクRM1は、第1アクセスゲートAG1となるゲート構造Gと、第1ドライバゲートDG1となるゲート構造Gと、第3ドライバゲートDG3となるゲート構造Gとを1つの開口で露出し、第2アクセスゲートAG2となるゲート構造Gと、第2ドライバゲートDG2となるゲート構造Gと、第4ドライバゲートDG4となるゲート構造Gとを1つの開口で露出するパターンに形成される。すなわちレジストマスクRM1の個々の開口部は、隣接するSRAMメモリセルMC1とSRAMメモリセルMC2とを跨ぐように連続的に形成される。

- [0075] 次に、図 1 6 (A) および (B) を参照して、レジストマスク RM 1 を注入マスクとして、たとえば、リンまたは砒素を、半導体基板 S S の主表面に垂直な方向から半導体基板 S S 内に注入することにより、露出した p ウェル P W の表面から所定の深さにわたりエクステンション領域 E R が形成される (エクステンション注入)。その後、レジストマスク RM 1 が除去される。
- [0076] 次に、図 1 7 を参照して、NM I S 領域 R N を覆い、PM I S 領域 R P を露出するレジストマスク RM 2 が形成される。次に、レジストマスク RM 2 を注入マスクとして、たとえばボロンを、半導体基板 S S の主表面に垂直な方向から半導体基板 S S 内に注入することにより、エクステンション領域 (図示せず) が形成される。その後、レジストマスク RM 2 が除去される。
- [0077] 次に、ゲート構造 G (第 1 アクセスゲート A G 1、ダミーゲート D U、第 1 ドライバゲート D G 1、第 3 ドライバゲート D G 3 など) を覆うように、たとえばシリコン酸化膜とシリコン窒化膜 (図示せず) が順次形成される。次に、図 1 8 (A) および (B) を参照して、そのシリコン酸化膜とシリコン窒化膜とに異方性エッチングを施すことにより、ゲート構造 G の両側面上に、シリコン酸化膜 S O とシリコン窒化膜 S N I とからなるサイドウォールスペーサ S W が形成される。
- [0078] 次に、図 1 9 を参照して、NM I S 領域 R N を露出し、PM I S 領域 R P を覆うレジストマスク RM 3 が形成される。次に、図 2 0 (A) および (B) を参照して、レジストマスク RM 3 (図 1 9) およびサイドウォールスペーサ S W などを注入マスクとして、たとえばリンまたは砒素を、半導体基板 S S の主表面に垂直な方向から半導体基板 S S 内に注入することにより、露出した p ウェル P W の表面から所定の深さにわたり第 1 ソース/ドレイン S D 1、第 3 ソース/ドレイン S D 3、第 5 ソース/ドレイン S D 5 が形成される。その後、レジストマスク RM 3 が除去される。
- [0079] 次に、図 2 1 を参照して、NM I S 領域 R N を覆い、PM I S 領域 R P を露出するレジストマスク RM 4 が形成される。次に、レジストマスク RM 4 およびサイドウォールスペーサ S W などを注入マスクとして、たとえばボロ

ンを、半導体基板SSの主表面に垂直な方向から半導体基板SS内に注入することにより、露出した素子形成領域FRPの表面から所定の深さにわたりソース／ドレイン（図示せず）が形成される。その後、レジストマスクRM4が除去される。

[0080] 次に、図22（A）および（B）を参照して、所定のアニール処理を施すことにより、注入された不純物を熱拡散させることによって、第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5およびエクステンション領域ERが活性化される。このとき、不純物が熱拡散することで、第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5およびエクステンション領域ERは、横方向と縦（深さ）方向に広がることになる。

[0081] 次に、図23（A）および（B）を参照して、サリサイドプロセスにより、露出している第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5、第1アクセスゲートAG1、ダミーゲートDU、第1ドライバゲートDG1、第3ドライバゲートDG3のポリシリコン膜PSの表面に、たとえばニッケルシリサイドなどの金属シリサイド膜SCLが形成される。次に、図24（A）および（B）を参照して、第1アクセスゲートAG1、ダミーゲートDU、第1ドライバゲートDG1および第3ドライバゲートDG3を覆うように、たとえば、シリコン窒化膜などのストレスライナー膜SLが形成される。そのストレスライナー膜SLを覆うように、シリコン酸化膜（たとえばTEOS膜）などの層間絶縁膜IL1が形成される。

[0082] 次に、図25（A）および（B）を参照して、層間絶縁膜IL1に異方性エッチングを施すことにより、金属シリサイド膜SCLを露出するコンタクトホールCHが形成される。次に、コンタクトホールCHの内壁を覆うように、チタンナイトライド（TiN）などのバリア金属膜BA1が形成され、さらに、そのバリア金属膜BA1の上にコンタクトホールCH内を充填するようにタングステン膜TL1が形成される。次に、化学的機械研磨処理（C

MP : Chemical Mechanical Polishing) を施すことにより、層間絶縁膜 I L 1 の上面上に位置するバリア金属膜およびタングステン膜の部分が除去されて、図 25 (A) および (B) に示すように、コンタクトホール C H 内に、バリア金属膜 B A 1 とタングステン膜 T L 1 を含むプラグ P G 1 が形成される。

[0083] 次に、図 5 および図 6 に示すように、プラグ P G 1 を覆うように、シリコン窒化膜などのエッチングストッパ膜 E S 1 が形成される。そのエッチングストッパ膜 E S 1 上に、シリコン酸化膜などの層間絶縁膜 I L 2 が形成される。次に、プラグ P G 1 の表面を露出する溝が形成される。次に、溝の内壁を覆うように、たとえばタンタルナイトライド (T a N) などのバリア金属膜 B A 2 が形成され、さらに、そのバリア金属膜 B A 2 の上に溝内を充填するように銅膜 C L 1 が形成される。次に、化学的機械研磨処理を施すことにより、層間絶縁膜 I L 2 の上面上に位置するバリア金属膜および銅膜の部分が除去されて、溝内に、バリア金属膜 B A 2 と銅膜 C L 1 を含む銅配線 C W 1 が形成される。銅配線 C W 1 は第 1 金属配線に対応する。

[0084] この後、銅配線 C W 1 を覆うように層間絶縁膜 I L 2 上にシリコン酸化膜などの層間絶縁膜 I L 3 が形成される。その層間絶縁膜 I L 3 に、プラグ P G 1 を形成する方法と同様の方法によりビアホール V 1、V 3、V 4、V 1 1 が形成される。次に、ビアホール V 1、V 3、V 4、V 1 1 を覆うように層間絶縁膜 (図示せず) が形成される。その層間絶縁膜に、銅配線 C W 1 を形成する方法と同様の方法により、銅配線 C W 2 が形成される。銅配線 C W 2 は第 2 金属配線 M 2 1、M 2 2 に対応する。

[0085] 次に、銅配線 C W 2 を覆うように層間絶縁膜 I L 4 が形成される。その層間絶縁膜 I L 4 に、プラグ P G 1 を形成する方法と同様の方法によりビアホール (図示せず) が形成される。次に、このビアホール (図示せず) を覆うようにシリコン窒化膜などのエッチングストッパ膜 E S 2 が形成される。そのエッチングストッパ膜 E S 2 上に、シリコン酸化膜などの層間絶縁膜 I L 5 が形成される。その層間絶縁膜 I L 5 に、銅配線 C W 1 を形成する方

法と同様の方法により、銅配線CW3が形成される。銅配線CW3は第3金属配線M31に対応する。こうしてSRAMメモリセルの主要部分が形成される。

[0086] 次に、SRAMメモリセルの動作について説明する。図3を参照して、SRAMメモリセルMC1を例として説明する。第1ビット線BL、第2ビット線／BLはともにHレベルにプリチャージされる。読み出し動作の際には、Hレベルの第1ビット線BLおよび第2ビット線／BLから第1記憶ノードSN1および第2記憶ノードSN2にそれぞれ電流が流れる。

[0087] たとえば、仮に標準電源電圧を1Vとすると、保持データが0の場合は、SRAMメモリセルの第1記憶ノードSN1が0Vであり、第2記憶ノードSN2は1Vである。ワード線WLがLレベル（0V）からHレベル（1V）となって読み出し動作が始まると、第1アクセストランジスタNA1はON状態であり、第1ドライバトランジスタND1および第3ドライバトランジスタND3もON状態であるため、あらかじめHレベル（1V）にプリチャージされた第1ビット線BLから第1記憶ノードSN1に電流が流れる。これにより第1ビット線BLの電位が1Vからわずかに下がる。

[0088] 一方、第2ビット線／BLでは、第2アクセストランジスタNA2はON状態であるが、第2ドライバトランジスタND2および第4ドライバトランジスタND4はOFF状態であるため、第2ビット線／BLから第2記憶ノードSN2には電流が流れない。したがって、第2記憶ノードSN2はプリチャージされたHレベル（1V）を保持する。

[0089] この結果、第1ビット線BLと第2ビット線／BLに電位差が生じる。このわずかな電位差を第1ビット線BLおよび第2ビット線／BL（相補ビット線）に接続された図示しないセンスアンプで増幅して出力する。これにより、所望のSRAMメモリセルMC1の保持データが読み出される。上記では保持データとして0（0データ）を読み出す場合について説明したが、1データを読み出す場合には第1記憶ノードSN1と第2記憶ノードSN2の電位が上記と逆になり、第1ビット線BLから第1記憶ノードSN1に流れ

る電流と第2ビット線／BLから第2記憶ノードSN2に流れる電流も逆になる。

[0090] 読み出し動作の際、第1アクセストランジスタNA1に流れる電流の向きは第1ビット線BLから第1記憶ノードSN1に向かう方向となる。第2アクセストランジスタNA2に流れる電流の向きは第2ビット線／BLから第2記憶ノードSN2に向かう方向となる。

[0091] 図4を参照して、第1アクセストランジスタNA1に流れる電流の向きは、第1ビット線BLに電氣的に接続された第1ソース／ドレインSD1の他方から第1記憶ノードSN1に電氣的に接続された第1ソース／ドレインSD1の一方に向かう方向となる。第2アクセストランジスタNA2に流れる電流の向きは、第2ビット線／BLに電氣的に接続された第2ソース／ドレインSD2の他方から第2記憶ノードSN2に電氣的に接続された第2ソース／ドレインSD2の一方に向かう方向となる。

[0092] 第1アクセストランジスタNA1および第2アクセストランジスタNA2の電流の向きは同じ方向であり、第1アクセストランジスタNA1および第2アクセストランジスタNA2の電流の向きが揃っているため、セル特性の対称性を向上することができる。このため、動作マージンを拡大することができる。

[0093] 図26を参照して、図8に示すレイアウトを有するSRAMメモリセルMC1を“Fodd”とし、図12に示すレイアウトを有するSRAMメモリセルMC2を“Feven”とした場合、SRAMセルアレイMAにおいて、図中縦方向にはFodd、FevenのSRAMメモリセルMC1、MC2が交互に配置されている。また、図中横方向には、奇数列では同一のFoddが複数個配置されており、偶数列では同一のFevenが複数個配置されている。このようにして、M行N列（Mは行の数およびNは列の数を示す）のSRAMメモリセルMC1、MC2がSRAMセルアレイMA内に配置されている。SRAMメモリセルMC1、MC2において、1対のアクセストランジスタ（第1アクセストランジスタNA1、第2アクセストランジスタNA2）のストレージノ

ード（第1記憶ノードSN1，第2記憶ノードSN2）の不純物領域からビット線（第1ビット線BL，第2ビット線／BL）の不純物領域への方は同じ方向である。

[0094] 図27を参照して、互いに隣接するSRAMメモリセルMC1，MC2では各々の第1アクセストランジスタNA1と第2アクセストランジスタNA2の電流の向きは同じである。このため、セルレイアウトに起因するミスマッチ特性を低減することができる。

[0095] また、図28を参照して、SRAMメモリセルの製造方法において、ゲートがエッチングされた結果、平面レイアウトにおいてゲートが屈曲しているとゲートが屈曲に沿ってラウンド状に形成されることがある。この場合、ゲートが拡散層上でラウンドすることにより、トランジスタのしきい値電圧などのばらつきが発生するおそれがある。このため、本実施の形態の変形例に示すように、ゲートを屈曲させずにローカルインタコネクタLICによってゲート間が電氣的に接続されていてもよい。以下、その変形例について説明する。

[0096] 図29は、各トランジスタと第1金属配線との接続構造を示す概略平面図である。図29を参照して、本実施の形態の変形例では、第1ドライバトランジスタND1の第1ドライバゲートDG1を構成するゲート構造Gと第3ドライバトランジスタND3の第3ドライバゲートDG3を構成するゲート構造GとがローカルインタコネクタLICで電氣的に接続されている。つまり、第1ドライバゲートDG1と第3ドライバゲートDG3とが延在する方向において、第1ドライバゲートDG1を構成するゲート構造Gと第3ドライバゲートを構成するゲート構造Gとが素子形成領域FRN，FRPの間でローカルインタコネクタLICで電氣的に接続されている。

[0097] また第2ドライバトランジスタND2の第2ドライバゲートDG2を構成するゲート構造Gと第4ドライバトランジスタND4の第4ドライバゲートDG4を構成するゲート構造GとがローカルインタコネクタLICで電氣的に接続されている。つまり、第2ドライバゲートDG2と第4ドライバゲート

トDG4とが延在する方向において、第2ドライバゲートDG2を構成するゲート構造Gと第4ドライバゲートDG4を構成するゲート構造Gとが素子形成領域FRN、FRPの間でローカルインタコネクタLICで電氣的に接続されている。

[0098] 図30および図31を参照して、ローカルインタコネクタLICは素子分離領域IR上に形成されている。第1ドライバゲートDG1を構成するゲート構造Gと第3ドライバトランジスタND3の第3ドライバゲートDG3を構成するゲート構造Gの間に各々の金属シリサイド膜SCLを覆うようにローカルインタコネクタLICが形成されている。ローカルインタコネクタLICを覆うように層間絶縁膜IL1が形成されている。

[0099] ローカルインタコネクタLICは次のように製造することができる。まずゲート構造Gを覆うように層間絶縁膜IL1がローカルインタコネクタLICの高さまで形成される。続いてローカルインタコネクタLICを形成するための溝がエッチングされる。さらにその溝を充填するようにたとえばタングステン膜が形成される。次に化学的機械研磨処理を施すことにより層間絶縁膜IL1の上面上に位置するタングステン膜の部分が除去される。これによりローカルインタコネクタLICが形成される。この後、層間絶縁膜IL1を形成することにより上記の本実施の形態の半導体装置SCDの製造方法が適用される。

[0100] この変形例では、ローカルインタコネクタLICによってゲート構造G間を電氣的に接続するため、ゲートを屈曲させずに直線状に形成することができる。そのため、ゲートが拡散層上でラウンドすることを抑制することができる。このため、ゲートのラウンドによるトランジスタのしきい値電圧などのばらつきの発生を抑制することができる。また、ゲートが直線状に形成されるためリソグラフィが容易になることからゲートを容易に形成することができる。そのため微細加工の精度を向上することができる。

[0101] 次に本実施の形態の半導体装置の作用効果について比較例と対比して説明する。

まず図32および図33を参照して比較例について説明する。図32を参照して、点線で囲まれる領域のそれぞれが一つのSRAMメモリセルを構成する。各SRAMメモリセルのトランジスタおよびコンタクトは、その隣接するSRAMメモリセルと線対称（鏡対象）に配置されている。図32および図33を参照して、代表的にSRAMメモリセルMC1は、アクセストランジスタT1、T2と、ドライバトランジスタT3、T4と、ロードトランジスタT5、T6とを有している。

[0102] アクセストランジスタT1、T2のアクセsgate AG1、AG2と、ドライバトランジスタT3、T4のドライバゲートDG1、DG2と、ロードトランジスタT5、T6のロードゲートLG1、LG2とは、いずれも同一方向に延在するように形成されている。

[0103] アクセストランジスタT1では第1ビット線BLに電氣的に接続されたソース／ドレインの一方から第1記憶ノードSN1に電氣的に接続されたソース／ドレインの他方に向かって矢印A方向に電流が流れる。またアクセストランジスタT2では第2ビット線／BLに電氣的に接続されたソース／ドレインの一方から第2記憶ノードSN2に電氣的に接続されたソース／ドレインの他方に向かって矢印A方向に電流が流れる。アクセストランジスタT1、T2に流れる電流の向きは逆方向になる。そのため、セルレイアウト起因のミスマッチ特性が大きくなるため、セル特性のばらつきが大きくなるというおそれがある。

[0104] SRAMメモリセルMC1に隣接するSRAMメモリセルMC2でもSRAMメモリセルMC1と同様にアクセストランジスタT1、T2に流れる電流の向きは逆方向になる。さらに、図32および図34を参照して、SRAMメモリセルMC1とSRAMメモリセルMC2とでは、隣接する方向に配置された互いのアクセストランジスタT1、T2の電流の向きが逆方向になる。そのため、隣接するセル間のセルレイアウト起因のミスマッチも大きくなるため、セル特性のばらつきが大きくなるというおそれがある。

[0105] 図4に示すように、本実施の形態の半導体装置SCDによれば、平面レイ

アウトにおいて、1対の第1ソース／ドレインSD1の一方から他方に向かう第1の方向D1と、1対の第2ソース／ドレインSD2の一方から他方に向かう第2の方向D2とが同じである。そして、SRAMメモリセルMC1およびSRAMメモリセルMC2のそれぞれの第1の方向D1同士が互いに同じ方向であり、第2の方向D2同士が互いに同じ方向である。

[0106] そのため、第1アクセストランジスタNA1および第2アクセストランジスタNA2の電流の向きを同じ方向にすることができる。このため、セルレイアウト起因のミスマッチ特性を低減することができ、セル特性のばらつきを低減させることができる。したがって、動作マージンを拡大することができる。

[0107] また、SRAMメモリセルMC1およびSRAMメモリセルMC2のそれぞれの第1アクセストランジスタNA1および第2アクセストランジスタNA2の電流の向きを同じ方向にすることができる。そのため、隣接するセル間のセルレイアウト起因のミスマッチも低減することができる。このため、複数セルのセル特性のばらつきを低減させることができる。したがって、動作マージンをさらに拡大することができる。

また、平面レイアウトにおいて、第1アクセスゲートAG1および第2アクセスゲートAG2、第1ドライバゲートDG1、第2ドライバゲートDG2、第1ロードゲートLG1および第2ロードゲートLG2の各々は同一方向に延在するように形成されている。そのため、ソース／ドレインを形成する際に、不純物注入を2ステップ化（2方向）することができる。つまり、ゲートに対してソースおよびドレインが配置された2方向からソース／ドレインを形成するための不純物を注入することができる。これにより、不純物ゆらぎ起因のローカルばらつきを低減することができる。

[0108] また、ゲートが同一方向に形成されているため、マスクずれに起因してソース／ドレインが十分に形成されないことを低減することができる。そのため、マスクずれに起因するローカルばらつきを低減することができる。また、ゲートが同一方向に形成されているため、微細加工を容易にすることがで

きる。そのため、微細加工に起因するグローバルばらつきを低減することができる。

[0109] 本実施の形態の半導体装置SCDによれば、SRAMメモリセルMC1とSRAMメモリセルMC2とにおいて、第1ドライバトランジスタND1、第2ドライバトランジスタND2、第1ロードトランジスタPL1、第2ロードトランジスタPL2のそれぞれは、平面レイアウトにおいて線対称（鏡面对称）に配置されている。

[0110] そのため、SRAMメモリセルMC1とSRAMメモリセルMC2とにおいて、第1ドライバトランジスタND1と第2ドライバトランジスタND2とを覆う直線状のレジストマスクを用いてソース／ドレインを形成するために不純物注入することができる。また第1ロードトランジスタPL1と第2ロードトランジスタPL2とを覆う直線状のレジストマスクを用いてソース／ドレインを形成するために不純物注入することができる。

[0111] このため、不純物ゆらぎ起因のローカルばらつきを低減することができる。また、SRAMメモリセルMC1とSRAMメモリセルMC2とで第1ロードトランジスタPL1と第2ロードトランジスタPL2との一部を共有することができる。そのため、SRAMセルアレイMAを小さくすることができる。したがって、SRAM部SRを小さくすることができる。

[0112] 本実施の形態の半導体装置SCDによれば、平面レイアウトにおいて、第1ドライバゲートDG1および第2ドライバゲートDG2と、第3ドライバゲートDG3および第4ドライバゲートDG4との各々は同一方向に延在するように形成されている。

[0113] 第1アクセスゲートAG1、第2アクセスゲートAG2、第1ドライバゲートDG1、第2ドライバゲートDG2、第3ドライバゲートDG3、第4ドライバゲートDG4の各々の延在する方向を同一方向にするため、第1アクセストランジスタNA1および第2アクセストランジスタNA2が第1ドライバトランジスタND1および第2ドライバトランジスタND2の外側に配置されている。このため、第1ビット線BLおよび第2ビット線／BLが

延在する方向に第3ドライバトランジスタND3および第4ドライバトランジスタND4を設けることができる。これによりドライバトランジスタの電流を増大することができる。

[0114] また、一般的に、SRAMメモリセルの読み出しマージンを確保するためには β 比を高くすることが望ましい。 β 比はアクセストランジスタに対するドライバトランジスタの電流比（ただし、アクセストランジスタとドライバトランジスタとの間でソース対ゲート電圧およびソース対ドレイン電圧はともに同一）で表される。 β 比が大きくなれば、SNM（Static Noise Margin）の改善が期待される。SNMは、SRAMメモリセルが動作する際の余裕度を電圧で示す指標である。

[0115] 本実施の形態の半導体装置SCDでは、第1ドライバトランジスタND1および第2ドライバトランジスタND2の電流に加えて、第3ドライバトランジスタND3および第4ドライバトランジスタND4の電流が流れる。このため、ドライバトランジスタの電流を増大することができる。そのため、 β 比を大きくすることができる。これにより、SRAMメモリセルの読み出しマージンを確保することができる。

[0116] （実施の形態2）

本発明の実施の形態2の半導体装置では、実施の形態1の半導体装置と比較して、アクセストランジスタのしきい値電圧がドライバトランジスタのしきい値電圧と異なっている点で主に異なっている。

[0117] 図35を参照して、第1アクセストランジスタNA1は、第1ドライバトランジスタND1および第3ドライバトランジスタND3としきい値電圧が異なるよう形成されている。また第2アクセストランジスタNA2は、第2ドライバトランジスタND2および第4ドライバトランジスタND4よりしきい値電圧が異なるよう形成されている。

[0118] 第1アクセストランジスタNA1および第2アクセストランジスタNA2のチャネル不純物濃度と、第1ドライバトランジスタND1、第2ドライバトランジスタND2、第3ドライバトランジスタND3および第4ドライバ

トランジスタND4のチャネル不純物濃度とが異なることによって、第1および第2アクセストランジスタNA1、NA2と第1～第4ドライバトランジスタND1～ND4のしきい値電圧が異なるように形成されている。

[0119] 本実施の形態の半導体装置SCDの製造方法において、第1および第2アクセストランジスタNA1、NA2、第1～第4ドライバトランジスタND1～ND4のチャネルドーピングが行われる。その後、第1および第2アクセストランジスタNA1、NA2が開口されたレジストマスクが形成され、さらに第1および第2アクセストランジスタNA1、NA2のチャネルドーピングが行われる。これにより、第1および第2アクセストランジスタNA1、NA2のチャネル不純物濃度は、第1～第4ドライバトランジスタND1～ND4のチャネル不純物濃度と異なるように設定される。

[0120] また、第1アクセストランジスタNA1は、第1ドライバトランジスタND1および第3ドライバトランジスタND3のしきい値電圧 (L_{vth}) より高いしきい値電圧 (H_{vth}) を有するよう形成されていてもよい。また第2アクセストランジスタNA2は、第2ドライバトランジスタND2および第4ドライバトランジスタND4のしきい値電圧 (L_{vth}) より高いしきい値電圧 (H_{vth}) を有するよう形成されていてもよい。

[0121] この場合、第1アクセストランジスタNA1のチャネル不純物濃度が第1ドライバトランジスタND1および第3ドライバトランジスタND3のチャネル不純物濃度より高くなっている。また、第2アクセストランジスタNA2のチャネル不純物濃度が第2ドライバトランジスタND2および第4ドライバトランジスタND4のチャネル不純物濃度より高くなっている。

[0122] なお、本実施の形態のこれ以外の構成および製造方法は、上述した実施の形態1の構成および製造方法と同様であるため同一の要素については同一の符号を付し、その説明を繰り返さない。

[0123] 本実施の形態の半導体装置SCDによれば、第1アクセストランジスタNA1および第2アクセストランジスタNA2は、第1ドライバトランジスタND1および第2ドライバトランジスタND2のしきい値電圧と異なるしき

い値電圧を有するように設けられている。そのため、 β 比を変更することができる。したがって、 β 比を大きくすることによって、SRAMメモリセルの読み出しマージンを確保することが可能である。

[0124] また、本実施の形態の半導体装置SCDによれば、第1アクセストランジスタNA1および第2アクセストランジスタNA2は、第1ドライバトランジスタND1および第2ドライバトランジスタND2のしきい値電圧より高いしきい値電圧を有するように設けられている。そのため、 β 比を大きくすることができる。これにより、SRAMメモリセルの読み出しマージンを確保することができる。

[0125] (実施の形態3)

本発明の実施の形態3の半導体装置では、実施の形態1の半導体装置と比較して、アクセストランジスタのゲート幅がドライバトランジスタのゲート幅より大きい点で主に異なっている。

[0126] 図36を参照して、第1アクセストランジスタNA1の第1アクセスゲートAG1の幅は、第1ドライバトランジスタND1の第1ドライバゲートDG1の幅WA1および第3ドライバトランジスタND3の第3ドライバゲートDG3の幅WA3より大きくなるように設けられている。また第2アクセストランジスタNA2の第2アクセスゲートAG2の幅は、第2ドライバトランジスタND2の第2ドライバゲートDG2の幅WA2および第4ドライバトランジスタND4の第4ドライバゲートDG4の幅WA4より大きくなるように設けられている。

[0127] 本実施の形態の半導体装置SCDの製造方法において、第1ドライバトランジスタND1の第3ソース／ドレインSD3および第3ドライバトランジスタND3の第5ソース／ドレインSD5を形成する拡散層の幅より第1アクセストランジスタNA1の第1ソース／ドレインSD1を形成する拡散層の幅を大きくすることで、第1アクセスゲートAG1の幅が第1ドライバゲートDG1の幅WA1および第3ドライバゲートDG3の幅WA3より大きく形成される。また第2ドライバトランジスタND2の第4ソース／ドレイ

ンSD4および第4ドライバトランジスタND4の第6ソース／ドレインSD6を形成する拡散層の幅より第2アクセストランジスタNA2の第2ソース／ドレインSD2を形成する拡散層の幅を大きくすることで、第2アクセスゲートAG2のゲート幅が第2ドライバゲートDG2の幅WA2および第3ドライバゲートDG4の幅WA4より大きく形成される。

[0128] なお、本実施の形態のこれ以外の構成および製造方法は、上述した実施の形態1の構成および製造方法と同様であるため同一の要素については同一の符号を付し、その説明を繰り返さない。

[0129] 本実施の形態の半導体装置SCDによれば、第1アクセストランジスタNA1の第1アクセスゲートAG1の幅は、第1ドライバトランジスタND1の第1ドライバゲートDG1の幅WA1および第3ドライバトランジスタND3の第3ドライバゲートDG3の幅WA3より大きくなるように設けられており、第2アクセストランジスタNA2の第2アクセスゲートAG2の幅は、第2ドライバトランジスタND2の第2ドライバゲートDG2の幅WA2および第4ドライバトランジスタND4の第4ドライバゲートDG4の幅WA4より大きくなるように設けられている。

[0130] 第1ドライバトランジスタND1および第2ドライバトランジスタND2に加えて第3ドライバトランジスタND3および第4ドライバトランジスタND4が設けられているため、第1ドライバトランジスタND1および第3ドライバトランジスタND3の電流が大きくなり、第2ドライバトランジスタND2および第4ドライバトランジスタND4の電流も大きくなる。そのため β 比が大きくなる。したがって、第1アクセスゲートAG1の幅が第1ドライバゲートDG1の幅WA1および第3ドライバゲートDG3の幅WA3より大きくなるように設けられても第3ドライバトランジスタND3が設けられていない場合に比較して β 比を大きい状態で維持することができる。

[0131] 同様に、第2アクセスゲートAG2の幅が第2ドライバゲートDG2の幅WA2および第4ドライバゲートDG4の幅WA4より大きくなるように設けられても第4ドライバトランジスタND4が設けられていない場合に比較

して β 比を大きい状態で維持することができる。これにより、SRAMメモリセルの読み出しマージンを確保することができる。

[0132] また、第1ドライバゲートDG1の幅WA1～第4ドライバゲートDG4の幅WA4が第1アクセスゲートAG1の幅および第2アクセスゲートAG2の幅より小さくすることができるので、SRAMメモリセルの面積を小さくすることができる。

[0133] (実施の形態4)

本発明の実施の形態4の半導体装置では、実施の形態1の半導体装置と比較して、非対称ハロ(Halo)領域が設けられている点で主に異なっている。

[0134] 図37を参照して、半導体装置SCDの複数のSRAMメモリセルのそれぞれにおいて、第1および第2アクセストランジスタNA1、NA2、第1～第4ドライバトランジスタND1～ND4のそれぞれに第1ハロ領域HR1～第12ハロ領域HR12が形成されている。第1ハロ領域HR1～第12ハロ領域HR12はp型の不純物領域として形成されている。一方、後述する第1および第2ロードトランジスタPL1、PL2に形成されるハロ領域はn型の不純物領域として形成されている。

[0135] 第1アクセストランジスタNA1は、第1ソース/ドレインSD1の他方に隣接し、第1ソース/ドレインSD1の第1導電型の不純物とは異なる第2導電型の不純物を有する第1ハロ領域HR1と、第1ソース/ドレインSD1の一方に隣接し、第1ハロ領域HR1の不純物濃度より高い不純物濃度の第2導電型の不純物を有する第2ハロ領域HR2とを有している。

[0136] 第2アクセストランジスタNA2は、第2ソース/ドレインSD2の他方に隣接し、第2ソース/ドレインSD2の第1導電型の不純物とは異なる第2導電型の不純物を有する第3ハロ領域HR3と、第2ソース/ドレインSD2の一方に隣接し、第3ハロ領域HR3の不純物濃度より高い不純物濃度の第2導電型の不純物を有する第4ハロ領域HR4とを有している。

[0137] 第1ドライバトランジスタND1は、第3ソース/ドレインSD3の他方

に隣接し、第3ソース／ドレインSD3の第1導電型の不純物とは異なる第2導電型の不純物を有する第5ハロ領域HR5と、第3ソース／ドレインSD3の一方に隣接し、第5ハロ領域HR5の不純物濃度より高い不純物濃度の第2導電型の不純物を有する第6ハロ領域HR6とを有している。

[0138] 第2ドライバトランジスタND2は、第4ソース／ドレインSD4の他方に隣接し、第4ソース／ドレインSD4の第1導電型の不純物とは異なる第2導電型の不純物を有する第7ハロ領域HR7と、第4ソース／ドレインSD4の一方に隣接し、第7ハロ領域HR7の不純物濃度より高い不純物濃度の第2導電型の不純物を有する第8ハロ領域HR8とを有している。

[0139] 第3ドライバトランジスタND3は、第5ソース／ドレインSD5の一方に隣接し、第5ソース／ドレインSD5の第1導電型の不純物とは異なる第2導電型の不純物を有する第9ハロ領域HR9と、第5ソース／ドレインSD5の他方に隣接し、第9ハロ領域HR9の不純物濃度より高い不純物濃度の第2導電型の不純物を有する第10ハロ領域HR10とを有している。

[0140] 第4ドライバトランジスタND4は、第6ソース／ドレインSD6の一方に隣接し、第6ソース／ドレインSD6の第1導電型の不純物とは異なる第2導電型の不純物を有する第11ハロ領域HR11と、第6ソース／ドレインSD6の他方に隣接し、第11ハロ領域HR11の不純物濃度より高い不純物濃度の第2導電型の不純物を有する第12ハロ領域HR12とを有している。

[0141] 後述するように第1～第12ハロ領域HR1～HR12は、2Step Halo Impl a（2方向ハロ注入）によって形成される。2Step Halo Impl aでは、一方向から薄いHalo Impl a（ハロ注入）が行われ、一方向と反対の他方向から濃いHalo Impl a（ハロ注入）が行われる。これにより、非対称ハロ領域HRが設けられる。

[0142] 第1アクセストランジスタNA1および第2アクセストランジスタNA2では、それぞれに形成される第1ハロ領域HR1～第4ハロ領域HR4のうち、第1記憶ノードSN1および第2記憶ノードSN2に接続されている側

の第2ハロ領域HR2、第4ハロ領域HR4の不純物濃度が、第1ビット線BLおよび第2ビット線／BLに接続されている側の第1ハロ領域HR1、第3ハロ領域HR3の不純物濃度よりも高く設定されている。

[0143] 第1ドライバトランジスタND1および第2ドライバトランジスタND2では、それぞれに形成される第5ハロ領域HR5～第8ハロ領域HR8のうち、第1記憶ノードSN1および第2記憶ノードSN2に接続されている側の第6ハロ領域HR6、第8ハロ領域HR8の不純物濃度が、第1ビット線BLおよび第2ビット線／BLに接続されている側の第5ハロ領域HR5、第6ハロ領域HR6の不純物濃度よりも高く設定されている。

[0144] 第3ドライバトランジスタND3および第4ドライバトランジスタND4では、それぞれに形成される第9ハロ領域HR9～第12ハロ領域HR12のうち、接地配線VSSに接続されている側の第10ハロ領域HR10、第12ハロ領域HR12の不純物濃度が、第1記憶ノードSN1および第2記憶ノードSN2に接続されている側の第9ハロ領域HR9、第11ハロ領域HR11の不純物濃度よりも高く設定されている。これにより、第2ハロ領域HR2、第4ハロ領域HR4、第6ハロ領域HR6、第8ハロ領域HR8、第10ハロ領域HR10、第12ハロ領域HR12では濃いハロ領域DHIが形成されている。

[0145] 図38は、図37においてSRAMメモリセルMC1の第1アクセストラジスタNA1を通るように第1アクセスゲートAG1の延在方向に直交する断面線XXXVIIIIーXXXVIIIIに沿う概略断面図である。

[0146] 第1アクセスゲートAG1に対して、ダミーゲートDUが位置する側とは反対側に位置する素子形成領域FRNの部分には、第1ハロ領域HR1、エクステンション領域ER、第1ソース／ドレインSD1および金属シリサイド膜SCLが形成されている。第1ハロ領域HR1は、第1アクセスゲートAG1の直下の領域に達するように形成されている。

[0147] 第1アクセスゲートAG1とダミーゲートDUとの間に位置する素子形成領域FRNの部分には、第2ハロ領域HR2、エクステンション領域ER、

第1ソース／ドレインSD1、金属シリサイド膜SCLが形成されている。
第2ハロ領域HR2は、第2アクセスゲートAG2の直下の領域に達するように形成されている。

[0148] 第1アクセスゲートAG1を覆うように、シリコン窒化膜などのストレスライナー膜SLが形成されている。そのストレスライナー膜SLを覆うように、シリコン酸化膜（たとえばTEOS膜）などの層間絶縁膜IL1が形成されている。層間絶縁膜IL1およびストレスライナー膜SLを貫通して金属シリサイド膜SCLに電氣的に接続されるプラグPG1が形成されている。プラグPG1は、TiN膜などのバリア金属膜BA1とタングステン膜TL1とを含んでいる。金属シリサイド膜SCLにそれぞれ接続するプラグPG1は、図37に示すコンタクトC1、C2をそれぞれ構成する。

[0149] プラグPG1を覆うように、層間絶縁膜IL1上にシリコン窒化膜などのエッチングストッパ膜ES1が形成されている。そのエッチングストッパ膜ES1上にシリコン酸化膜などの層間絶縁膜IL2が形成されている。層間絶縁膜IL2およびエッチングストッパ膜ES1を貫通してプラグPG1に電氣的に接続される銅配線CW1が形成されている。銅配線CW1はTaN膜などのバリア金属膜BA2と銅膜CL1とを含んでいる。プラグPG1にそれぞれ接続する銅配線CW1は、図37に示す第1金属配線M1、M2をそれぞれ構成する。

[0150] 図39は、図37においてSRAMメモリセルMC1の第1ドライバトランジスタND1と第3ドライバトランジスタND3とを通るように第1ドライバゲートDG1の延在方向に直交する断面線XXXI-X-XXXIXに沿う概略断面図である。

[0151] 第1ドライバゲートDG1に対して、第3ドライバゲートDG3が位置する側とは反対側に位置する素子形成領域FRNの部分には、第5ハロ領域HR5、エクステンション領域ER、第3ソース／ドレインSD3および金属シリサイド膜SCLが形成されている。第5ハロ領域HR5は、第1ドライバゲートDG1の直下の領域に達するように形成されている。

- [0152] 第1ドライバゲートDG1と第3ドライバゲートDG3との間に位置する素子形成領域FRNの部分には、第6ハロ領域HR6、第9ハロ領域HR9、エクステンション領域ER、第3ソース／ドレインSD3、第5ソース／ドレインSD5および金属シリサイド膜SCLが形成されている。第6ハロ領域HR6は、第1ドライバゲートDG1の直下の領域に達するように形成されている。第9ハロ領域HR9は、第3ドライバゲートDG3の直下の領域に達するように形成されている。
- [0153] 第3ドライバゲートDG3に対して、第1ドライバゲートDG1が位置する側とは反対側に位置する素子形成領域FRNの部分には、第10ハロ領域HR10、エクステンション領域ER、第5ソース／ドレインSD5および金属シリサイド膜SCLが形成されている。第10ハロ領域HR10は、第3ドライバゲートDG3の直下の領域に達するように形成されている。
- [0154] 第1ドライバゲートDG1および第3ドライバゲートDG3を覆うように、シリコン窒化膜などのストレスライナー膜SLが形成されている。そのストレスライナー膜SLを覆うように、シリコン酸化膜（たとえばTEOS膜）などの層間絶縁膜IL1が形成されている。層間絶縁膜IL1およびストレスライナー膜SLを貫通して金属シリサイド膜SCLに電氣的に接続されるプラグPG1が形成されている。プラグPG1は、TiN膜などのバリア金属膜BA1とタングステン膜TL1とを含んでいる。金属シリサイド膜SCLにそれぞれ接続するプラグPG1は、図37に示すコンタクトC5、C6、C7をそれぞれ構成する。
- [0155] プラグPG1を覆うように、層間絶縁膜IL1上にシリコン窒化膜などのエッチングストッパ膜ES1が形成されている。そのエッチングストッパ膜ES1上にシリコン酸化膜などの層間絶縁膜IL2が形成されている。層間絶縁膜IL2およびエッチングストッパ膜ES1を貫通してプラグPG1に電氣的に接続される銅配線CW1が形成されている。銅配線CW1はTaN膜などのバリア金属膜BA2と銅膜CL1とを含んでいる。プラグPG1にそれぞれ接続する銅配線CW1は、図37に示す第1金属配線M1、M4、

M5をそれぞれ構成する。なお、上記以外の各ハロ領域は各ゲートの直下の領域に達するように形成されている。

- [0156] 次に、アクセストランジスタの構造について詳しく説明する。なお、図40は、図37に示すXXXVII-XXXVII線に対応する断面線に沿った断面構造を示す。またアクセストランジスタの構造として第1アクセストランジスタNA1を例に説明するが、第2アクセストランジスタNA2も同様の構造を有している。
- [0157] 図40を参照して、素子形成領域FRN（図4参照）を横切るように形成された第1アクセストランジスタNA1の第1アクセスゲートAG1は、SiONなどの界面層SF上に、それぞれLaを含有したHfO₂、HfSiONなど所定の誘電率を有するHigh-k膜HK、TiNなど所定の仕事関数を有する金属膜MLおよびポリシリコン膜PSを積層させる態様で形成され、ポリシリコン膜PSの表面にはさらにニッケルシリサイドなどの金属シリサイド膜SCLが形成されている。
- [0158] 第1アクセスゲートAG1の両側面上には、たとえばシリコン窒化膜などのオフセットスペーサOSが形成されている。そのオフセットスペーサOSの上には、シリコン酸化膜SOとシリコン窒化膜SNIからなるサイドウォールスペーサSWが形成されている。
- [0159] 第1アクセスゲートAG1が延在する方向と直交する方向（ゲート長方向）の素子形成領域の部分には、第1ハロ領域HR1、第2ハロ領域HR2、エクステンション領域ER、第1ソース／ドレインSD1および金属シリサイド膜SCLが形成されている。
- [0160] 第1ハロ領域HR1および第2ハロ領域HR2は、図40に示すように、一対のソースまたはドレインの互いに対向する部分にそれぞれ隣接した領域にあり、サイドウォールスペーサSWの直下の領域から第1アクセスゲートAG1の直下の領域に達するように形成されている。ハロ領域HRの不純物濃度は $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ のオーダーであるが、半導体装置SCDでは、第2ハロ領域HR2の不純物濃度は、第1ハロ領域HR1の不純

物濃度よりも高く設定されている。

- [0161] ハロ領域HRの不純物濃度プロファイルを図41に示す。横軸は、第1アクセスゲートAG1の側面下端部の半導体基板SSの表面の部分からの深さ（矢印F1、F2）を示し、縦軸はP型不純物の不純物濃度を示す。第1ハロ領域HR1および第2ハロ領域HR2では、第1アクセスゲートAG1の側面下端部の半導体基板SSの表面の部分において、第2ハロ領域HR2の不純物濃度は、第1ハロ領域HR1の不純物濃度よりも高い。
- [0162] また、それぞれ表面から所定の深さf1、f2において不純物濃度のピーク（極大値）が最初に現れ、第2ハロ領域HR2の不純物濃度のピークも、第1ハロ領域HR1の不純物濃度のピークよりも高く、第2ハロ領域HR2では約 $6 \times 10^{18} / \text{cm}^3$ であり、第1ハロ領域HR1では約 $5 \times 10^{18} / \text{cm}^3$ である。SRAMメモリセルMC1のエクステンション領域ERの不純物濃度は $5 \times 10^{20} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ であり、ソースまたはドレインの不純物濃度は約 $5 \times 10^{21} / \text{cm}^3$ である。
- [0163] 後述するように、半導体装置SCDでは、第1アクセストランジスタNA1および第2アクセストランジスタNA2の1対のハロ領域HRのうち、第1記憶ノードSN1および第2記憶ノードSN2に接続されている側の第2ハロ領域HR2および第4ハロ領域HR4の不純物濃度が、第1ビット線BLおよび第2ビット線/BLに接続されている側の第1ハロ領域HR1および第3ハロ領域HR3の不純物濃度よりも高く設定されていることで、読み出しマージンおよび書き込みマージンを確保することができる。
- [0164] 次に、半導体装置の製造方法について説明する。半導体装置には、SRAM回路の他にロジック回路なども含まれるが、ここでは、SRAMメモリセルのアクセストランジスタおよびドライバトランジスタを形成する方法を中心に説明する。なお、以降に参照する図42、図44～図46、図48、図50、図52～図55では、各図(A)は図37に示すXXXVII-XXXVII線に対応する断面線に沿った断面構造を示し、各図(B)は図37に示すXXXI-XXXI線に対応する断面線に沿った断面構造を

示している。

[0165] まず、半導体基板SSの主表面に素子分離領域IRを形成することによって、互いに電氣的に分離される素子形成領域FRN、FRPが規定される。次に、素子形成領域FRNにpウェルPWが形成される。

[0166] 次に、図42(A)および(B)を参照して、半導体基板SSの表面上に、界面層SFを介在させて、所定の誘電率を有するHigh-k膜HK、所定の仕事関数を有する金属膜MLおよびポリシリコン膜PSを積層させる態様で、第1アクセスゲートAG1となるゲート構造Gと、第1ドライバゲートDG1、第3ドライバゲートDG3となる各々のゲート構造Gが形成される。次に、ゲート構造Gを覆うように半導体基板SS上に、たとえばシリコン窒化膜(図示せず)が形成される。次に、そのシリコン窒化膜に異方性エッチングを施すことにより、ゲート構造Gの両側面にオフセットスペーサOSが形成される。

[0167] 次に、図43を参照して、所定の写真製版処理を施すことにより、各ハロ領域HRを形成するための注入マスクとなるレジストマスクRM11が形成される。レジストマスクRM11はNMIS領域RNを露出し、PMIS領域RPを覆うようにパターン形成される。レジストマスクRM11は、第1アクセスゲートAG1、第1ドライバゲートDG1、第3ドライバゲートDG3となる各々のゲート構造Gを1つの開口で露出し、第2アクセスゲートAG2、第2ドライバゲートDG2、第4ドライバゲートDG4となる各々のゲート構造Gを1つの開口で露出するパターンに形成される。すなわちレジストマスクRM11の個々の開口部は、隣接するSRAMメモリセルMC1とSRAMメモリセルMC2とを跨ぐように連続的に形成される。

[0168] 次に、図44(A)および(B)を参照して、レジストマスクRM11を注入マスクとして、たとえばボロンを、ゲート構造Gが延在する方向と略直交する一方から、半導体基板SSの主表面に垂直な方向に対し斜め(θ =約7度)に注入することにより、露出しpウェルPWにp型不純物領域PIRが形成される。

- [0169] 次に、図45(A)および(B)を参照して、同じレジストマスクRM11を注入マスクとして、たとえばボロンを、ゲート構造Gが延在する方向と略直交する一方と逆方向の他方から、半導体基板SSの主表面に垂直な方向に対し斜め(θ = 約7度)に注入することにより、露出したpウェルPWにp型不純物領域PIRが形成される。なお、図44(A)および(B)に示す工程の注入と図45(A)および(B)に示す工程の注入では、同じ注入量および同じ注入エネルギーをもってボロンが注入される。また、注入量および注入エネルギーとしては、異なる注入量および異なる注入エネルギーにしてもよい。
- [0170] 次に、図46(A)および(B)を参照して、同じレジストマスクRM11を注入マスクとして、たとえば、リンまたは砒素を、半導体基板SSの主表面に垂直な方向から半導体基板SS内に注入することにより、露出したpウェルPWの表面から所定の深さにわたりエクステンション領域ERが形成される(エクステンション注入)。その後、レジストマスクRM11が除去される。なお、図46に示すエクステンション注入工程は、図43に示すマスク形成工程後、図44(A)および(B)、図45(A)および(B)に示すハロ注入工程よりも前に行ってもよい。
- [0171] 次に、図47を参照して、NMIS領域RNを覆い、PMIS領域RPを露出するレジストマスクRM12が形成される。次に、素子形成領域FRNにハロ領域HRを形成する工程と同様にして、レジストマスクRM12を注入マスクとして、たとえばリンまたは砒素を、半導体基板SSの主表面に垂直な方向から半導体基板SS内に注入することにより、素子形成領域FRPにハロ領域(図示せず)が形成される。次に、レジストマスクRM12を注入マスクとして、たとえばボロンを、半導体基板SSの主表面に垂直な方向から半導体基板SS内に注入することにより、エクステンション領域(図示せず)が形成される。その後、レジストマスクRM12が除去される。
- [0172] 次に、ゲート構造G(第1アクセスゲートAG1、ダミーゲートDU、第1ドライバゲートDG1、第3ドライバゲートDG3など)を覆うように、

たとえばシリコン酸化膜とシリコン窒化膜（図示せず）が順次形成される。次に、図48（A）および（B）を参照して、そのシリコン酸化膜とシリコン窒化膜とに異方性エッチングを施すことにより、ゲート構造Gの両側面上に、シリコン酸化膜SOとシリコン窒化膜SNIとからなるサイドウォールスペーサSWが形成される。

[0173] 次に、図49を参照して、NMIS領域RNを露出し、PMIS領域RPを覆うレジストマスクRM13が形成される。レジストマスクRM13はレジストマスクRM11と同じフォトマスクによって形成される。次に、図50（A）および（B）を参照して、レジストマスクRM13（図49）およびサイドウォールスペーサSWなどを注入マスクとして、たとえばリンまたは砒素を、半導体基板SSの主表面に垂直な方向から半導体基板SS内に注入することにより、露出したpウェルPWの表面から所定の深さにわたり第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5が形成される。その後、レジストマスクRM13が除去される。

[0174] 次に、図51を参照して、NMIS領域RNを覆い、PMIS領域RPを露出するレジストマスクRM14が形成される。次に、レジストマスクRM14およびサイドウォールスペーサSWなどを注入マスクとして、たとえばボロンを、半導体基板SSの主表面に垂直な方向から半導体基板SS内に注入することにより、露出した素子形成領域FRPの表面から所定の深さにわたりソース／ドレイン（図示せず）が形成される。その後、レジストマスクRM14が除去される。

[0175] 次に、図52（A）および（B）を参照して、所定のアニール処理を施すことにより、注入された不純物を熱拡散させることによって、第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5、エクステンション領域ER、第1ハロ領域HR1、第2ハロ領域HR2、第5ハロ領域HR5、第6ハロ領域HR6、第9ハロ領域HR9、第10ハロ領域HR10が活性化される。

- [0176] このとき、不純物が熱拡散することで、第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5、エクステンション領域ER第1ハロ領域HR1、第2ハロ領域HR2、第5ハロ領域HR5、第6ハロ領域HR6、第9ハロ領域HR9、第10ハロ領域HR10は、横方向と縦（深さ）方向に広がることになる。
- [0177] 次に、図53（A）および（B）を参照して、サリサイドプロセスにより、露出している第1ソース／ドレインSD1、第3ソース／ドレインSD3、第5ソース／ドレインSD5、第1アクセスゲートAG1、第1ドライバゲートDG1、第3ドライバゲートDG3のポリシリコン膜PSの表面に、たとえばニッケルシリサイドなどの金属シリサイド膜SCLが形成される。
- [0178] 次に、図54（A）および（B）を参照して、第1アクセスゲートAG1、第1ドライバゲートDG1および第3ドライバゲートDG3を覆うように、たとえば、シリコン窒化膜などのストレスライナー膜SLが形成される。そのストレスライナー膜SLを覆うように、シリコン酸化膜（たとえばTEOS膜）などの層間絶縁膜IL1が形成される。
- [0179] 次に、図55（A）および（B）を参照して、層間絶縁膜IL1に異方性エッチングを施すことにより、金属シリサイド膜SCLを露出するコンタクトホールCHが形成される。次に、コンタクトホールCHの内壁を覆うように、チタンナイトライド（TiN）などのバリア金属膜BA1が形成され、さらに、そのバリア金属膜BA1の上にコンタクトホールCH内を充填するようにタングステン膜TL1が形成される。
- [0180] 次に、化学的機械研磨処理（CMP）を施すことにより、層間絶縁膜IL1の上面上に位置するバリア金属膜およびタングステン膜の部分が除去されて、図55（A）および（B）に示すように、コンタクトホールCH内に、バリア金属膜BA1とタングステン膜TL1を含むプラグPG1が形成される。
- [0181] なお、本実施の形態のこれ以外の構成および製造方法は、上述した実施の形態1の構成および製造方法と同様であるため同一の要素については同一の

符号を付し、その説明を繰り返さない。

[0182] 次に本実施の形態の半導体装置の作用効果について説明する。

本実施の形態の半導体装置 SCD によれば、第 1 アクセストランジスタ NA 1 は第 1 ソース／ドレイン SD 1 の他方に隣接する第 1 ハロ領域 HR 1 と、第 1 ソース／ドレイン SD 1 の一方に隣接し、第 1 ハロ領域 HR 1 の不純物濃度より高い不純物濃度を有する第 2 ハロ領域 HR 2 とを含んでいる。また第 2 アクセストランジスタ NA 2 は第 2 ソース／ドレイン SD 2 の他方に隣接する第 3 ハロ領域 HR 3 と、第 2 ソース／ドレイン SD 2 の一方に隣接し、第 3 ハロ領域 HR 3 の不純物濃度より高い不純物濃度を有する第 4 ハロ領域 HR 4 とを含んでいる。

[0183] 読出しマージンおよび書込みマージンの双方を確保する手段として、電流の流れる向きにより電流特性が異なるという非対称な性質をもつトランジスタをアクセストランジスタに用いることが有効である。半導体装置 SCD では、第 1 アクセストランジスタ NA 1 において第 2 ハロ領域 HR 2 の不純物濃度が第 1 ハロ領域 HR 1 の不純物濃度よりも高く設定されており、第 2 アクセストランジスタ NA 2 において第 4 ハロ領域 HR 4 の不純物濃度が第 3 ハロ領域 HR 3 の不純物濃度よりも高く設定されている。つまり、第 1 アクセストランジスタ NA 1 および第 2 アクセストランジスタ NA 2 は非対称ハロ領域 HR を有している。

[0184] 図 56 を参照して、非対称ハロ領域 HR による動作マージンの向上について説明する。代表的に第 1 アクセストランジスタ NA 1 について説明するが、第 2 アクセストランジスタ NA 2 についても同様である。第 1 アクセストランジスタ NA 1 において、相対的に不純物濃度が高い第 2 ハロ領域 HR 2 が形成された側に位置する第 1 ソース／ドレイン SD 1 の一方から相対的に不純物濃度が低い第 1 ハロ領域 HR 1 が形成された側に位置する第 1 ソース／ドレイン SD 1 の他方に向かって流れる電流を電流 I_F とし、その逆方向に向かって流れる電流を電流 I_S とする。

[0185] 図 57 を参照して、同一のソース対ドレイン電圧における、電流 I_F , I

Sとソース対ゲート電圧 V_{gs} との関係を説明する。すなわち、第2ハロ領域HR2側の第1ソース／ドレインSD1の一方から第1ハロ領域HR1側の第1ソース／ドレインSD1に電流が流れる際の第1アクセストランジスタNA1のしきい値電圧は、その逆の第1ハロ領域HR1側の第1ソース／ドレインSD1の他方から第2ハロ領域HR2側の第1ソース／ドレインSD1の一方に電流が流れる際の第1アクセストランジスタNA1のしきい値電圧よりも低くなる。

[0186] このことから、不純物濃度が相対的に高い第2ハロ領域HR2を第1記憶ノードSN1側に形成し、不純物濃度が相対的に低い第1ハロ領域HR1を第1ビット線BL側に形成することで、読出し時において第1ビット線BLから第1記憶ノードSN1への電流を抑えやすく、かつ、書き込み時には第1記憶ノードSN1から第1ビット線BLへの電流を増加させやすくすることができる。

[0187] SRAMメモリセルの読み出しマージンを確保するためには β 比を高くすることが望ましく、書き込みマージンを高くするためには γ 比を高くすることが望ましい。 γ 比はロードトランジスタに対するアクセストランジスタの電流比（アクセストランジスタとロードトランジスタとの間で、ソース対ゲート電圧およびソース対ドレイン電圧はともに同一）で表される。

[0188] 本実施の形態では、 β 比を劣化させることなく γ 比を高くすることができる。あるいは、 γ 比を劣化させることなく β 比を高くすることができる。あるいは、 β 比と γ 比の双方を高くすることができる。その結果、読み出しマージンと書き込みマージンを拡大することができる。

[0189] 本実施の形態の半導体装置SCDでは、平面レイアウトにおいて、第1アクセスゲートAG1および第2アクセスゲートAG2、第1ドライバゲートDG1、第2ドライバゲートDG2、第1ロードゲートLG1および第2ロードゲートLG2の各々は同一方向に延在するように形成されている。そのため、ハロ領域HRを形成する際に、ハロ注入を2ステップ化（2方向）することができる。これにより、不純物ゆらぎ起因のローカルばらつきを低減

することができる。

[0190] また、ゲートが同一方向に形成されているため、マスクずれに起因してハロ領域HRが十分に形成されないことを低減することができる。そのため、マスクずれに起因するローカルばらつきを低減することができる。

[0191] 本実施の形態の半導体装置SCDでは、SRAMメモリセルMC1とSRAMメモリセルMC2とにおいて、第1ドライバトランジスタND1、第2ドライバトランジスタND2、第1ロードトランジスタPL1、第2ロードトランジスタPL2のそれぞれは、平面レイアウトにおいて線対称（鏡面对称）に配置されている。

[0192] そのため、SRAMメモリセルMC1とSRAMメモリセルMC2とにおいて、第1ドライバトランジスタND1と第2ドライバトランジスタND2とを覆う直線状のレジストマスクRM11、RM12を用いてハロ領域HRを形成するためにハロ注入することができる。また第1ロードトランジスタPL1と第2ロードトランジスタPL2とを覆う直線状のレジストマスクを用いてハロ領域HRを形成するためにハロ注入することができる。このため、不純物ゆらぎ起因のローカルばらつきを低減することができる。

[0193] また、エクステンション領域ERとハロ領域HRとを同じレジストマスクRM11、RM12で形成することができる。さらにエクステンション領域ERとハロ領域HRとを形成するレジストマスクRM11、RM12とソース/ドレインを形成するレジストマスクRM13、RM14とを同じImplaマスク（フォトマスク）で形成することができる。このため、生産コストを低減することができる。

[0194] また、ハロ注入に用いられるレジストマスクRM11、RM12では、開口部（抜きのパターン）として隣接するゲート間に比べて十分に大きい開口部が形成される。これにより、半導体基板SSの主表面に対して斜めにハロ注入してもレジストマスクRM11、RM12によってハロ注入が遮断されることが抑制される。このため、ハロ領域HRを確実に形成することができる。

[0195] 本実施の形態の半導体装置 SCD では、平面レイアウトにおいて、1 対の第 3 ソース／ドレイン SD 1 の一方から他方に向かう第 3 の方向 D 3 と、1 対の第 5 ソース／ドレイン SD 5 の一方から他方に向かう第 5 の方向 D 5 とが反対であり、かつ 1 対の第 4 ソース／ドレイン SD 4 の一方から他方に向かう第 4 の方向 D 4 と、1 対の第 6 ソース／ドレイン SD 6 の一方から他方に向かう第 6 の方向 D 6 とが反対である。そして、平面レイアウトにおいて、1 対の第 5 ソース／ドレイン SD 5 の一方から他方に向かう第 5 の方向 D 5 と、1 対の第 6 ソース／ドレイン SD 6 の一方から他方に向かう第 6 の方向 D 6 とが同じである。そして SRAM メモリセル MC 1 および SRAM メモリセル MC 2 のそれぞれの第 5 の方向 D 5 同士が互いに同じ方向であり、かつ第 6 の方向 D 6 同士が互いに同じ方向である。

[0196] 第 1 ドライバトランジスタ ND 1 ～第 4 ドライバトランジスタ ND 4 に非対称ハロ領域が形成されるが、第 1 ドライバトランジスタ ND 1 と第 3 ドライバトランジスタ ND 3 とは互いに向きが反対であり、第 2 ドライバトランジスタ ND 2 と第 4 ドライバトランジスタ ND 4 とは互いに向きが反対である。そのため、第 1 ドライバトランジスタ ND 1 と第 3 ドライバトランジスタ ND 3 とで非対称ハロ領域の影響がキャンセルされる。また第 2 ドライバトランジスタ ND 2 と第 4 ドライバトランジスタ ND 4 とで非対称ハロ領域の影響がキャンセルされる。このため、第 1 ドライバトランジスタ ND 1 および第 3 ドライバトランジスタ ND 3 と、第 2 ドライバトランジスタ ND 2 および第 4 ドライバトランジスタ ND 4 とによって、セルの左右インバータ特性はバランスが確保される。したがって、セル特性を向上させることができる。

[0197] (実施の形態 5)

本発明の実施の形態 5 の半導体装置では、実施の形態 1 の半導体装置と比較して、ドライバトランジスタのしきい値電圧がアクセストランジスタのしきい値電圧より高くなっている点で主に異なっている。

[0198] 図 58 を参照して、第 1 アクセストランジスタ NA 1 および第 2 アクセス

トランジスタNA2は非対称ハロ領域が形成されており、それぞれ濃いハロ領域DHIが形成されている。第1ドライバトランジスタND1および第3ドライバトランジスタND3は、第1アクセストランジスタNA1より高いしきい値電圧(H_{vt})を有するように形成されている。第2ドライバトランジスタND2および第4ドライバトランジスタND4は第2アクセストランジスタNA2より高いしきい値電圧(H_{vt})を有するように形成されている。

[0199] 本実施の形態の半導体装置SCDの製造方法において、第1、第2アクセストランジスタNA1、NA2、第1～第4ドライバトランジスタND1～ND4にハロ領域HRを形成するためのハロ注入が行われる。その後、図59を参照して、第1～第4ドライバトランジスタND1～ND4を開口するようにレジストマスクRM21が形成される。レジストマスクRM21を注入マスクとして、2方向ハロ注入が行われる。

[0200] これにより、第1ドライバトランジスタND1～第4ドライバトランジスタND4の各々のドライバゲートDG1～DG4の直下の領域においてハロ領域の濃度が高くなる。そのため、第1～第4ドライバトランジスタND1～ND4のしきい値電圧が第1および第2アクセストランジスタNA1、NA2のしきい値電圧より高くなる。

[0201] なお、本実施の形態のこれ以外の構成および製造方法は、上述した実施の形態1の構成および製造方法と同様であるため同一の要素については同一の符号を付し、その説明を繰り返さない。

[0202] 本実施の形態の半導体装置SCDによれば第1ドライバトランジスタND1および第2ドライバトランジスタND2は、第1アクセストランジスタNA1および第2アクセストランジスタNA2のしきい値電圧より高いしきい値電圧を有するように設けられている。そのため、第1ドライバトランジスタND1および第2ドライバトランジスタND2のリーク電流を低減することができる。これにより、セル特性のばらつきを低減させることができる。また、消費電力を低減することができる。

[0203] (実施の形態6)

本発明の実施の形態6の半導体装置では、アクセストランジスタを形成する活性領域が複数のSRAMメモリセル間も連続して延伸している点と、接地配線の上層と下層とを電氣的に接続するシャントが形成されている点で主に異なっている。

[0204] 図60は、SRAMメモリセルの各トランジスタと第3金属配線との接続関係を示す概略平面図である。図61は、各トランジスタと第1金属配線との接続構造を示す概略平面図である。図62は、図61においてSRAMメモリセルMC1の第1アクセストランジスタNA1と、ダミートランジスタDNMとを通るように第1アクセスゲートAG1の延在方向に直交する断面線LXII-LXIIに沿う概略断面図である。図63は、第2の金属配線と第3の金属配線との接続構造を示す平面図である。図64は、図60の平面レイアウトにあわせて示したSRAMメモリセルの等価回路を示す図である。

図60および図61を参照して、平面レイアウトにおいて、第1ビット線BLおよび第2ビット線/BLはSRAMメモリセルMC1を横断して延在している。SRAMメモリセルMC1と図示しないSRAMメモリセルMC2とは、第1ビット線BLおよび第2ビット線/BLが延在する方向に互いに隣接して配置されている。

[0205] SRAMメモリセルMC1およびSRAMメモリセルMC2（図示せず）の第1アクセストランジスタNA1の第1ソース／ドレインSD1および第2アクセストランジスタNA2の第2ソース／ドレインSD2を形成する活性領域ARは、連続して延びて、SRAMメモリセルMC1とSRAMメモリセルMC2（図示せず）とを横断するように設けられている。

[0206] 第1アクセストランジスタNA1側に形成されたダミートランジスタDNMのダミーゲートDUはコンタクトC3、第1金属配線M15、ヴィアホールV12、第2金属配線M28、ヴィアホールV23を介してワード線WLに電氣的に接続されている。第2アクセストランジスタNA2側に形成され

たダミーゲートDUはコンタクトC13、第1金属配線M16、ビアホールV13、第2金属配線M29、ビアホールV24を介してワード線WLに電氣的に接続されている。

[0207] 図62を参照して、ダミートランジスタDNMのダミーゲートDUに常時接地電氣が印加されている。そのため、ダミートランジスタDNMは、常時オフとなる。したがって、ダミートランジスタDNMには電氣が流れない。

[0208] 図60および図63を参照して、代表的にSRAMメモリセルMC1について説明するが、SRAMメモリセルMC2についても同様である。SRAMメモリセルMC1において、第2金属配線である接地配線（下層配線）VSSが平面レイアウトにおいて第1ビット線BLに沿うように形成されている。第3金属配線である接地配線（上層配線）VSSが接地配線（下層配線）VSSの上に配置されている。接地配線（上層配線）VSSは平面視において接地配線（下層配線）VSSと交差する方向に延びるように形成されている。

[0209] 第3ドライバトランジスタND3の上において、接地配線（下層配線）VSSと設置配線（上層配線）VSSとがシャントであるビアホールV25によって電氣的に接続されている。第4ドライバトランジスタND4の上において、接地配線（下層配線）VSSと設置配線（上層配線）VSSとがシャントであるビアホールV26によって電氣的に接続されている。

[0210] 図64に示すように、第1アクセストランジスタNA1側に形成されたダミートランジスタDNMは第1ビット線BLに電氣的に接続されており、第2アクセストランジスタNA2側に形成されたダミートランジスタDNMは第2ビット線／BLに電氣的に接続されている。

[0211] 図65に示すように、本実施の形態の半導体装置SCDにおいても実施の形態1と同様にローカルインタコネクタLICを適用することができる。この場合、ローカルインタコネクタLICの構造および製造方法は実施の形態1と同様である。

[0212] なお、本実施の形態のこれ以外の構成および製造方法は、上述した実施の

形態 1 の構成および製造方法と同様であるため同一の要素については同一の符号を付し、その説明を繰り返さない。

- [0213] 本実施の形態の半導体装置 SCD によれば、平面レイアウトにおいて、第 1 ビット線 BL および第 2 ビット線 /BL が SRAM メモリセル MC1 を横断して延在する方向に互いに隣接して配置された SRAM メモリセル MC1 および SRAM メモリセル MC2 の第 1 アクセストランジスタ NA1 および第 2 アクセストランジスタ NA2 の第 1 ソース /ドレイン SD1 および第 2 ソース /ドレイン SD を形成する活性領域 AR は、連続して延びて、SRAM メモリセル MC1 および SRAM メモリセル MC2 を横断するように設けられている。
- [0214] 活性領域 AR が連続して延びるように形成されているため、活性領域 AR を形成するためのマスクずれなどによる仕上がり寸法のばらつきを小さくすることができる。また活性領域 AR が長方形に形成されるため、RDR (Restricted Design Rule) の観点よりリソグラフィが容易になる。そのため微細加工が容易になる。これにより、グローバルばらつきを低減することができる。
- [0215] また活性領域 AR が連続して延びるように形成されているため、活性領域 AR にかかるストレスによってオン電流 (I_{on}) が向上する。そのため、セル電流が増加する。これにより動作速度を向上することができる。
- [0216] 本実施の形態の半導体装置 SCD によれば、SRAM メモリセル MC1 および SRAM メモリセル MC2 のそれぞれは、接地配線 (下層配線) VSS と、接地配線 (下層配線) VSS の上に位置し、かつ平面視において接地配線 (下層配線) VSS と交差する方向に延びる接地配線 (上層配線) VSS とを含んでいる。接地配線 (下層配線) VSS と接地配線 (上層配線) VSS とが電氣的に接続されている。
- [0217] 接地配線 (下層配線) VSS と接地配線 (上層配線) VSS とがシャントで電氣的に接続されているため、接地配線 VSS がメッシュ状に形成される。そのため、IR ドロップを低減することができる。

[0218] 上記の各実施の形態は、適時組み合わせることができる。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

産業上の利用可能性

[0219] 本発明は、SRAMを備えた半導体装置に特に有利に適用され得る。

符号の説明

[0220] AG1 第1アクセスゲート、AG2 第2アクセスゲート、AR 活性領域、BA1～BA5 バリア金属膜、BL 第1ビット線、／BL 第2ビット線、C1～C21 コンタクト、CH コンタクトホール、CL1～CL3 銅膜、CW1～CW3 銅配線D1～D6 第1の方向～第6の方向、DG1～DG4 第1ドライバゲート～第4ドライバゲート、DHI 濃いハロ領域、DNM ダミートランジスタ、DU ダミーゲート、ER エクステンション領域、ES1, ES2 エッチングストップ膜、FRN, FRP 素子形成領域、G ゲート構造、HK High-k膜、HR ハロ領域、HR1～HR12 第1ハロ領域～第12ハロ領域、IF, IS 電流、IL1～IL5 層間絶縁膜、IO IO領域、IR 素子分離領域、LC ロジック回路、LG1, LG2 ロードゲート、LIC ローカルインタコネクタ、M1～M32 金属配線、MA SRAMセルアレイ、MC 主制御回路、MC1, MC2 SRAMメモリセル、ML 金属膜、NA1 第1アクセストランジスタ、NA2 第2アクセストランジスタ、ND1～ND4 第1ドライバトランジスタ～第4ドライバトランジスタ、OS オフセットスペーサ、PG1, PG2 プラグ、PIR 型不純物領域、PL1 第1ロードトランジスタ、PL2 第2ロードトランジスタ、PS ポリシリコン膜、PW pウェル、R12～RM21 レジストマスク、RN NMIS領域、RP PMIS領域、SD1～SD6 第1ソース／ドレイン～第6ソース／ドレイン、SA センスアンプ、SCL 金属シリ

サイド膜、SCD 半導体装置、SF 界面層、SL ストレスライナー膜、SN1 第1記憶ノード、SN2 第2記憶ノード、SNI シリコン窒化膜、SO シリコン酸化膜、SR SRAM部、SS 半導体基板、SW サイドウォールスペーサ、T1, T2 アクセストランジスタ、T3, T4 ドライバトランジスタ、T5, T6 ロードトランジスタ、TL1, TL2 タングステン膜、V1~V24 ヴィアホール、VDD 電源配線、Vgs ソース対ゲート電圧、VL 境界線、VSS 接地配線（接地電位）、WA1~WA4 ゲート幅、WD ライトドライバ、WL ワード線、XD Xデコーダ、YD Yデコーダ。

請求の範囲

[請求項1]

平面レイアウトにおいて互いに隣接して配置された少なくとも2つのスタティックランダムアクセスメモリセル（MC 1, MC 2）を有する半導体装置SCDであって、

前記少なくとも2つのスタティックランダムアクセスメモリセル（MC 1, MC 2）のそれぞれは、

第1ドライバゲート（DG 1）を有する第1ドライバトランジスタ（ND 1）と、

第1ロードゲート（LG 1）を有し、かつ前記第1ドライバトランジスタ（ND 1）に第1記憶ノード（SN 1）で電氣的に接続された第1ロードトランジスタ（PL 1）と、

第2ドライバゲート（DG 2）を有する第2ドライバトランジスタ（ND 2）と、

第2ロードゲート（LG 2）を有し、かつ前記第2ドライバトランジスタ（ND 2）に第2記憶ノード（SN 2）で電氣的に接続された第2ロードトランジスタ（PL 2）と、

データの入出力を行う第1ビット線（BL）および第2ビット線（／BL）と、

第1アクセスゲート（AG 1）および1対の第1ソース／ドレイン（SD 1）を有し、前記第1記憶ノード（SN 1）に前記1対の第1ソース／ドレイン（SD 1）の一方が電氣的に接続され、かつ前記第1ビット線（BL）に前記1対の第1ソース／ドレイン（SD 1）の他方が電氣的に接続された第1アクセストランジスタ（NA 1）と、

第2アクセスゲート（AG 2）および1対の第2ソース／ドレイン（SD 2）を有し、前記第2記憶ノード（SN 2）に前記1対の第2ソース／ドレイン（SD 2）の一方が電氣的に接続され、かつ前記第2ビット線（／BL）に前記1対の第2ソース／ドレイン（SD 2）

の他方が電氣的に接続された第2アクセストランジスタ（NA2）と、を備え、

前記平面レイアウトにおいて、前記第1および第2アクセスゲート（AG1、AG2）、前記第1および第2ドライバゲート（DG1、DG2）および前記第1および第2ロードゲート（LG1、LG2）の各々が同一方向に延在しており、

前記平面レイアウトにおいて、前記1対の第1ソース／ドレイン（SD1）の一方から他方に向かう第1の方向（D1）と、前記1対の第2ソース／ドレイン（SD2）の一方から他方に向かう第2の方向（D2）とが同じであり、

前記少なくとも2つのスタティックランダムアクセスメモリセル（MC1、MC2）のそれぞれの前記第1の方向（D1）同士が互いに同じ方向であり、かつ前記第2の方向（D2）同士が互いに同じ方向である、半導体装置（SCD）。

[請求項2]

前記平面レイアウトにおいて、前記第1および第2ビット線（BL、／BL）が前記スタティックランダムアクセスメモリセル（MC1）を横断して延在する方向に互いに隣接して配置された2つの前記スタティックランダムアクセスメモリセル（MC1、MC2）の前記第1および第2ドライバトランジスタ（ND1、ND2）と、前記第1および第2ロードトランジスタ（PL1、PL2）とのそれぞれは、

前記平面レイアウトにおいて線対称に配置されている、請求の範囲第1項に記載の半導体装置（SCD）。

[請求項3]

前記第1および第2アクセストランジスタ（NA1、NA2）は、前記第1および第2ドライバトランジスタ（ND1、ND2）のしきい値電圧と異なるしきい値電圧を有するように設けられている、請求の範囲第1項に記載の半導体装置（SCD）。

[請求項4]

前記第1および第2アクセストランジスタ（NA1、NA2）は、前記第1および第2ドライバトランジスタ（ND1、ND2）のしき

い値電圧より高いしきい値電圧を有するように設けられている、請求の範囲第1項に記載の半導体装置（SCD）。

[請求項5]

前記第1アクセストランジスタ（NA1）は、前記第1ソース／ドレイン（SD1）の他方に隣接し、前記第1ソース／ドレイン（SD1）の第1導電型の不純物とは異なる第2導電型の不純物を有する第1ハロ領域（HR1）と、

前記第1ソース／ドレイン（SD1）の一方に隣接し、前記第1ハロ領域（HR1）の不純物濃度より高い不純物濃度の前記第2導電型の不純物を有する第2ハロ領域（HR2）と、を含み、

前記第2アクセストランジスタ（NA2）は、前記第2ソース／ドレイン（SD2）の他方に隣接し、前記第2ソース／ドレイン（SD2）の第1導電型の不純物とは異なる第2導電型の不純物を有する第3ハロ領域（HR3）と、

前記第2ソース／ドレイン（SD2）の一方に隣接し、前記第3ハロ領域（HR3）の不純物濃度より高い不純物濃度の前記第2導電型の不純物を有する第4ハロ領域（HR4）と、を含んでいる、請求の範囲第1項に記載の半導体装置（SCD）。

[請求項6]

前記第1ドライバトランジスタ（ND1）は、1対の第3ソース／ドレイン（SD3）を有し、

前記第1記憶ノード（S/N1）に前記1対の第3ソース／ドレイン（SD3）の一方が電氣的に接続され、かつ接地配線（VSS）に前記1対の第3ソース／ドレイン（SD3）の他方が電氣的に接続されており、

前記第2ドライバトランジスタ（ND2）は、1対の第4ソース／ドレイン（SD4）を有し、

前記第2記憶ノード（S/N2）に前記1対の第4ソース／ドレイン（SD4）の一方が電氣的に接続され、かつ接地配線（VSS）に前記1対の第4ソース／ドレイン（SD4）の他方が電氣的に接続され

ており、かつ、

第3ドライバゲート（ND3）および1対の第5ソース／ドレイン（SD5）を有し、前記第1記憶ノード（SN1）に前記1対の第5ソース／ドレイン（SD5）の一方が電氣的に接続され、かつ接地配線（VSS）に前記1対の第5ソース／ドレイン（SD5）の他方が電氣的に接続された第3ドライバトランジスタ（ND3）と、

第4ドライバゲート（DG4）および1対の第6ソース／ドレイン（SD6）を有し、前記第2記憶ノード（SN2）に前記1対の第6ソース／ドレイン（SD6）の一方が電氣的に接続され、かつ接地配線（VSS）に前記1対の第6ソース／ドレイン（SD6）の他方が電氣的に接続された第4ドライバトランジスタ（ND4）と、をさらに備え、

前記平面レイアウトにおいて、前記第1および第2ドライバゲート（DG1、DG2）と、前記第3および第4ドライバゲート（DG3、DG4）との各々が同一方向に延在しており、

前記平面レイアウトにおいて、前記1対の第3ソース／ドレイン（SD3）の一方から他方に向かう第3の方向（D3）と、前記1対の第5ソース／ドレイン（SD5）の一方から他方に向かう第5の方向（D5）とが反対であり、かつ前記1対の第4ソース／ドレイン（SD4）の一方から他方に向かう第4の方向（D4）と、前記1対の第6ソース／ドレイン（SD6）の一方から他方に向かう第6の方向（D6）とが反対であり、

前記平面レイアウトにおいて、前記1対の第5ソース／ドレイン（SD5）の一方から他方に向かう第5の方向（D5）と、前記1対の第6ソース／ドレイン（SD6）の一方から他方に向かう第6の方向（D6）とが同じであり、

前記少なくとも2つのスタティックランダムアクセスメモリセル（MC1、MC2）のそれぞれの前記第5の方向（D5）同士が互いに

同じ方向であり、かつ前記第6の方向（D6）同士が互いに同じ方向である、請求の範囲第1項に記載の半導体装置（SCD）。

[請求項7]

前記第1アクセストランジスタ（NA1）の前記第1アクセスゲート（AG1）の幅は、前記第1ドライバトランジスタ（ND1）の前記第1ドライバゲート（DG1）の幅（WA1）および前記第3ドライバトランジスタ（ND3）の前記第3ドライバゲート（DG3）の幅（WA3）より大きくなるように設けられており、

前記第2アクセストランジスタ（NA2）の前記第2アクセスゲート（AG2）の幅は、前記第2ドライバトランジスタ（ND2）の前記第2ドライバゲート（DG2）の幅WA2および前記第4ドライバトランジスタ（ND4）の前記第4ドライバゲート（DG4）の幅WA4より大きくなるように設けられている、請求の範囲第6項に記載の半導体装置（SCD）。

[請求項8]

前記第1ドライバトランジスタ（ND1）は、前記第1ドライバゲート（DG1）の直下の領域において、

前記第3ソース／ドレイン（SD3）の他方に隣接し、前記第3ソース／ドレイン（SD3）の第1導電型の不純物とは異なる第2導電型の不純物を有する第5ハロ領域（HR5）と、

前記第3ソース／ドレイン（SD3）の一方に隣接し、前記第5ハロ領域（HR5）の不純物濃度より高い不純物濃度の前記第2導電型の不純物を有する第6ハロ領域（HR6）とを含み、

前記第2ドライバトランジスタ（ND2）は、前記第2ドライバゲート（DG2）の直下の領域において、

前記第4ソース／ドレイン（SD4）の他方に隣接し、前記第4ソース／ドレイン（SD4）の第1導電型の不純物とは異なる第2導電型の不純物を有する第7ハロ領域（HR7）と、

前記第4ソース／ドレイン（SD4）の一方に隣接し、前記第7ハロ領域（HR7）の不純物濃度より高い不純物濃度の前記第2導電型

の不純物を有する第8ハロ領域（HR8）とを含み、

前記第3ドライバトランジスタ（ND3）は、前記第3ドライバゲート（DG3）の直下の領域において、

前記第5ソース／ドレイン（SD5）の一方に隣接し、前記第5ソース／ドレイン（SD5）の第1導電型の不純物とは異なる第2導電型の不純物を有する第9ハロ領域（HR9）と、

前記第5ソース／ドレイン（SD5）の他方に隣接し、前記第9ハロ領域（HR9）の不純物濃度より高い不純物濃度の前記第2導電型の不純物を有する第10ハロ領域（HR10）とを含み、

前記第4ドライバトランジスタ（ND4）は、前記第4ドライバゲート（DG4）の直下の領域において、

前記第6ソース／ドレイン（SD6）の一方に隣接し、前記第6ソース／ドレイン（SD6）の第1導電型の不純物とは異なる第2導電型の不純物を有する第11ハロ領域（HR11）と、

前記第6ソース／ドレイン（SD6）の他方に隣接し、前記第11ハロ領域（HR11）の不純物濃度より高い不純物濃度の前記第2導電型の不純物を有する第12ハロ領域（HR12）とを含んでいる、請求の範囲第6項に記載の半導体装置（SCD）。

[請求項9]

前記第1および第2ドライバトランジスタ（ND1，ND2）は、前記第1および第2アクセストランジスタ（NA1，NA2）のしきい値電圧より高いしきい値電圧を有するように設けられている、請求の範囲第1項に記載の半導体装置（SCD）。

[請求項10]

前記平面レイアウトにおいて、前記第1および前記第2ビット線（BL，／BL）が前記スタティックランダムアクセスメモリセル（MC1）を横断して延在する方向に互いに隣接して配置された2つの前記スタティックランダムアクセスメモリセル（MC1，MC2）の前記第1および第2アクセストランジスタ（NA1，NA2）の前記第1および第2ソース／ドレイン（SD1，SD2）を形成する活性領

域は、連続して延びて、2つの前記スタティックランダムアクセスメモリセル（MC 1，MC 2）を横断するように設けられている、請求の範囲第1項に記載の半導体装置（SCD）。

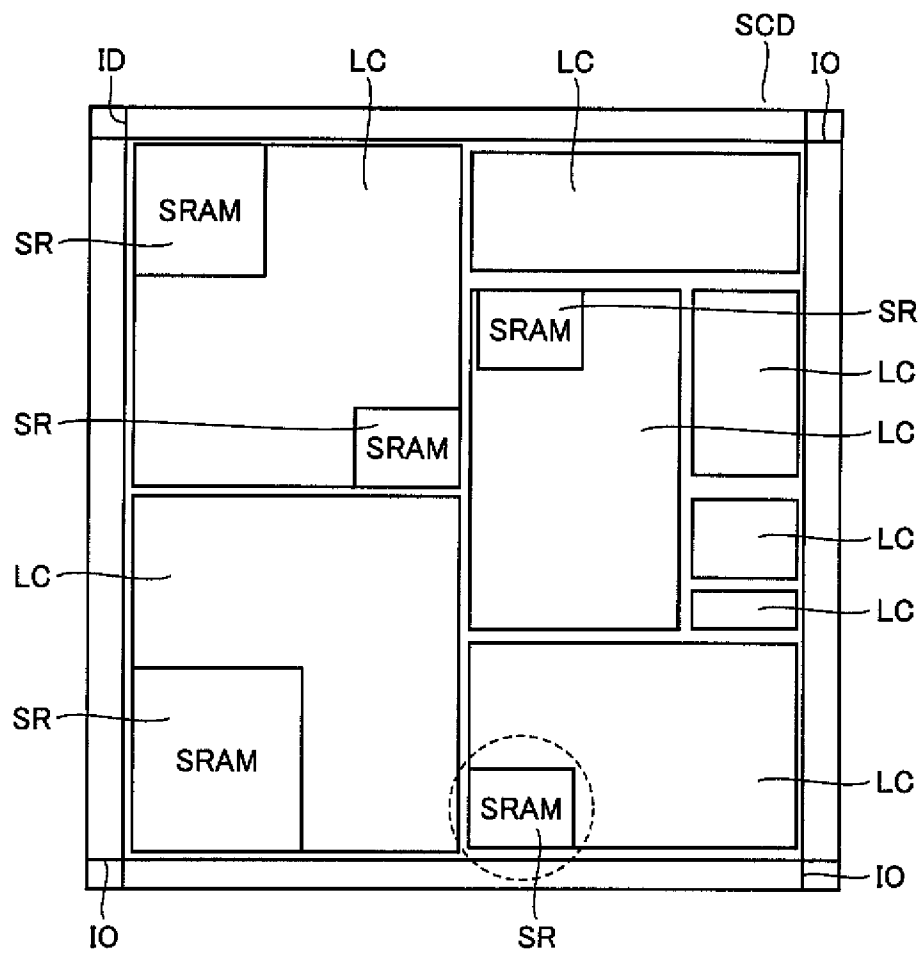
[請求項11] 前記少なくとも2つのスタティックランダムアクセスメモリセル（MC 1，MC 2）のそれぞれは、

下層配線（VSS）と、

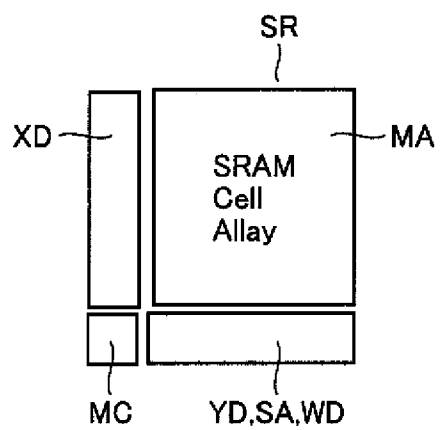
前記下層配線（VSS）の上に位置し、かつ平面視において前記下層配線（VSS）と交差する方向に延びる上層配線（VSS）とを含み、

前記下層配線（VSS）と前記上層配線（VSS）とが電氣的に接続されている、請求の範囲第1項に記載の半導体装置（SCD）。

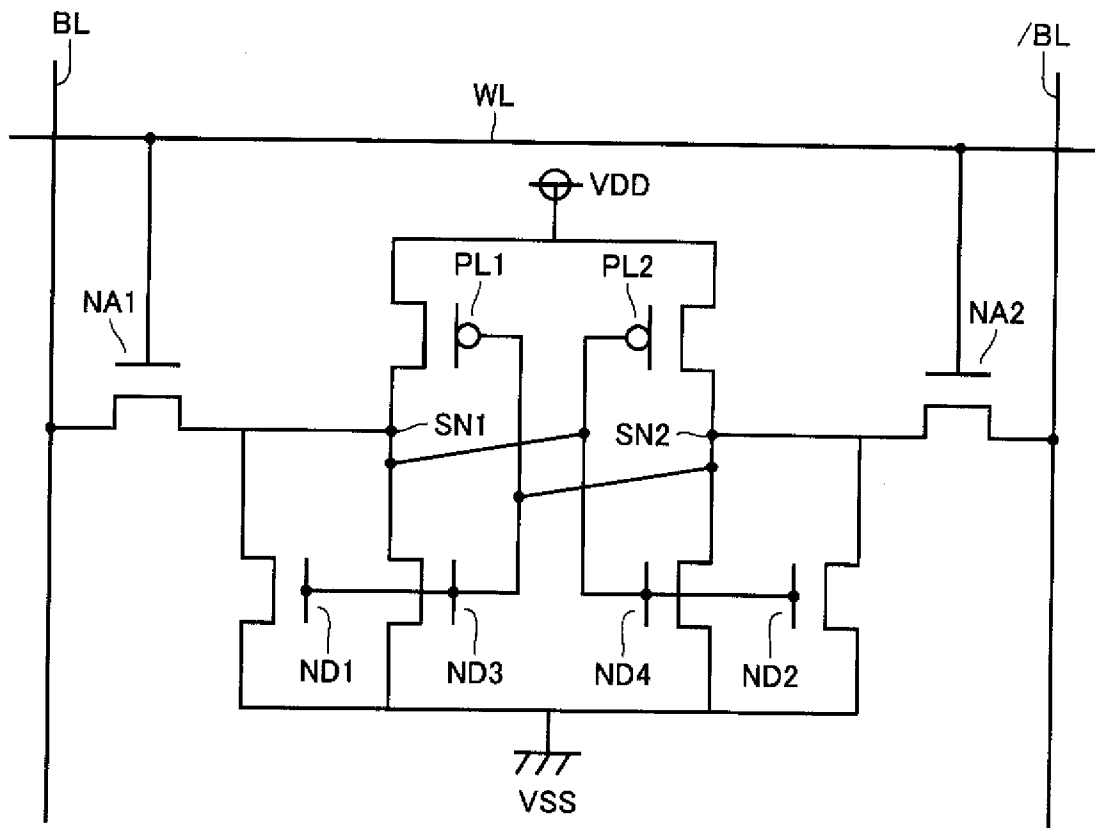
[図1]



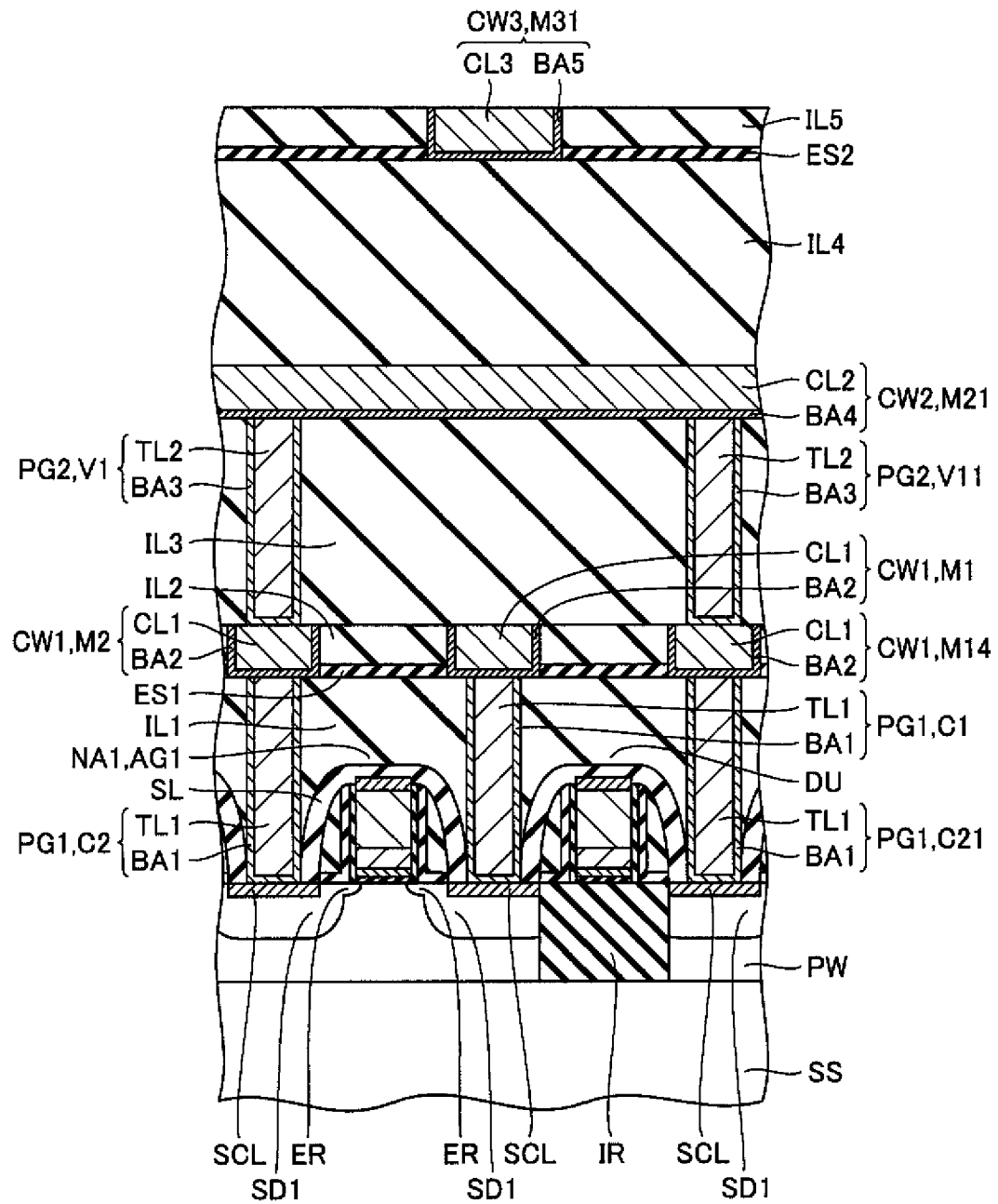
[図2]



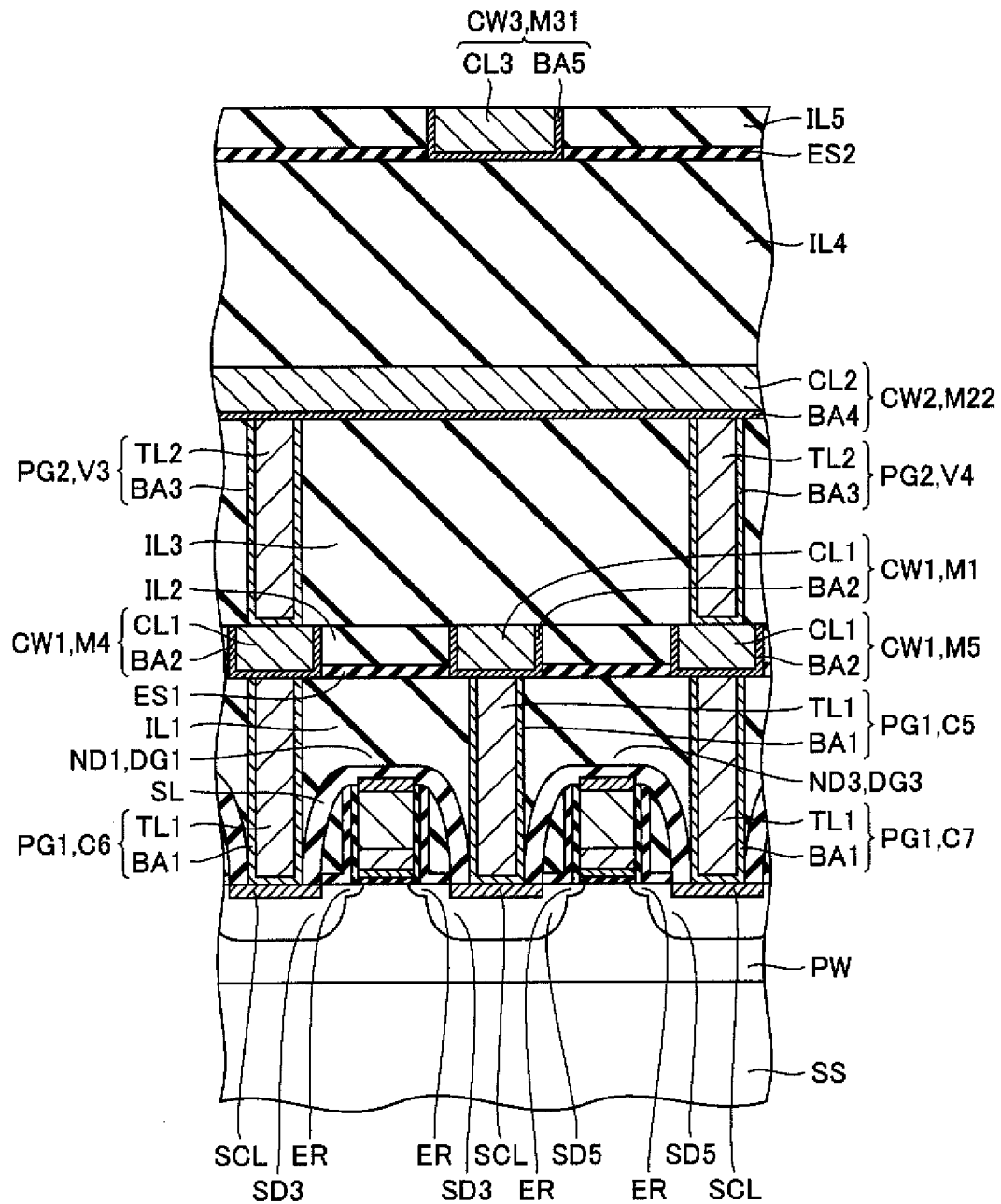
[図3]



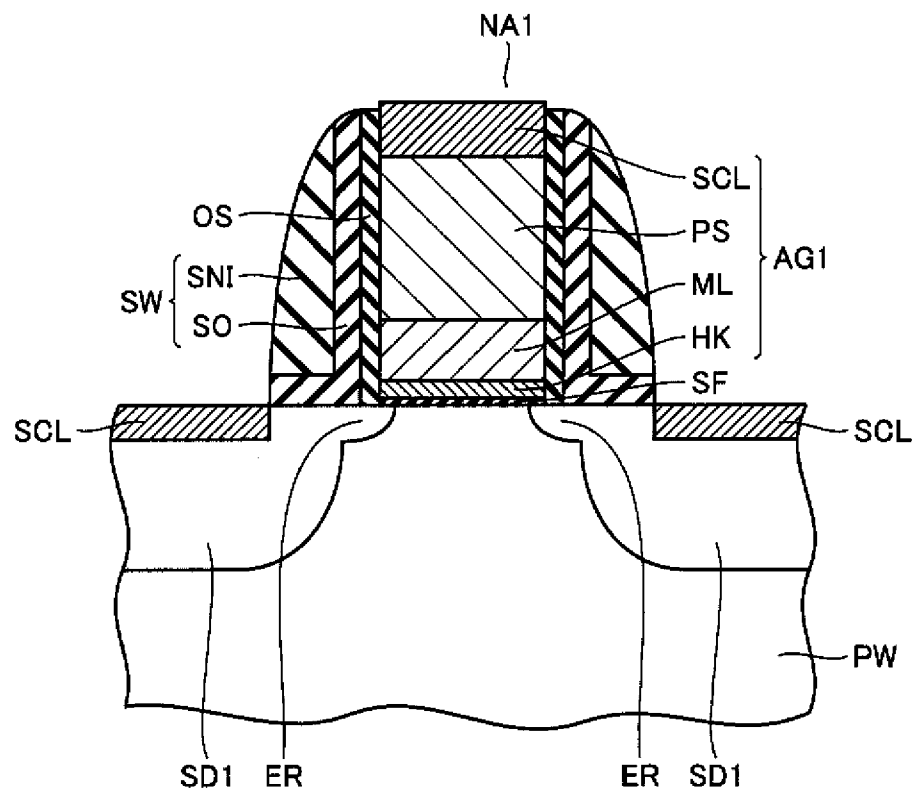
[図5]



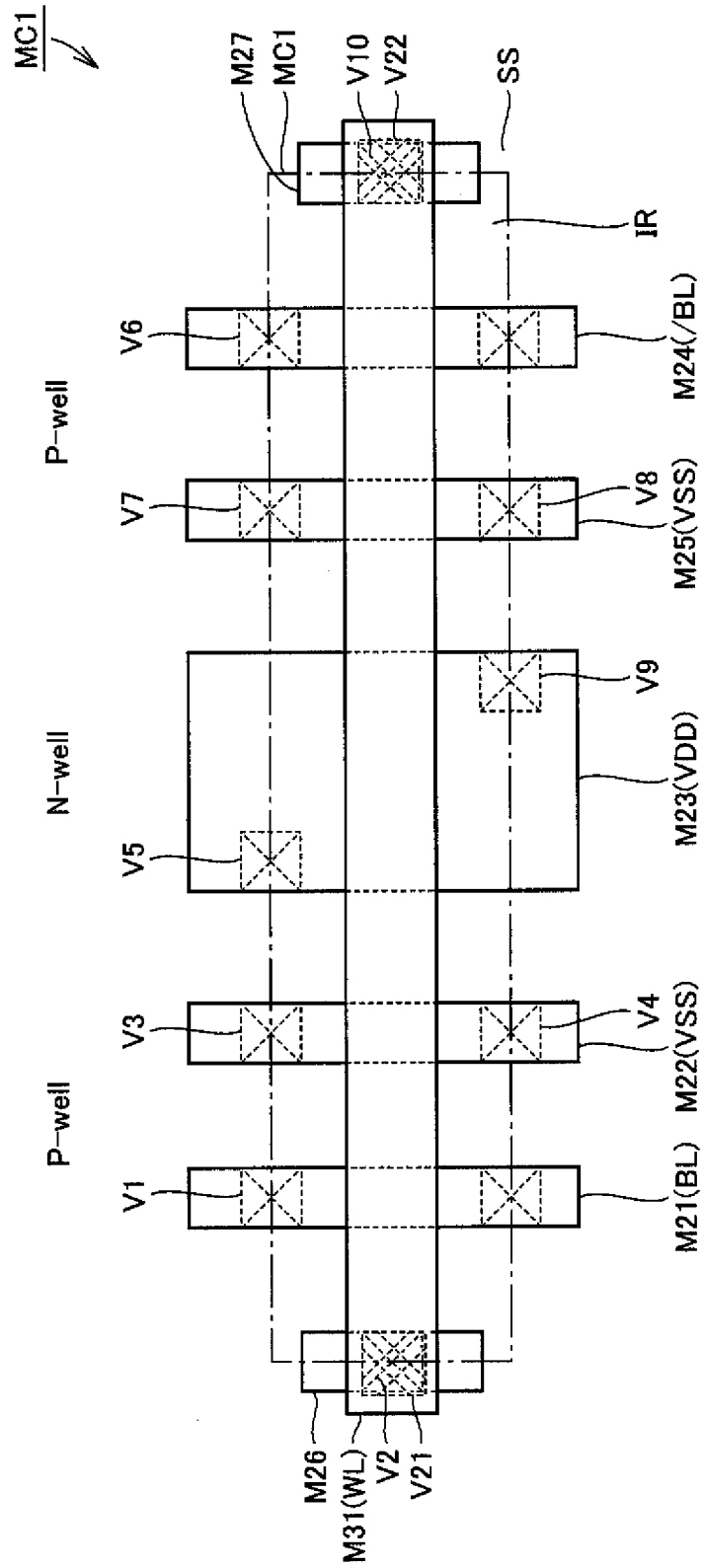
[図6]



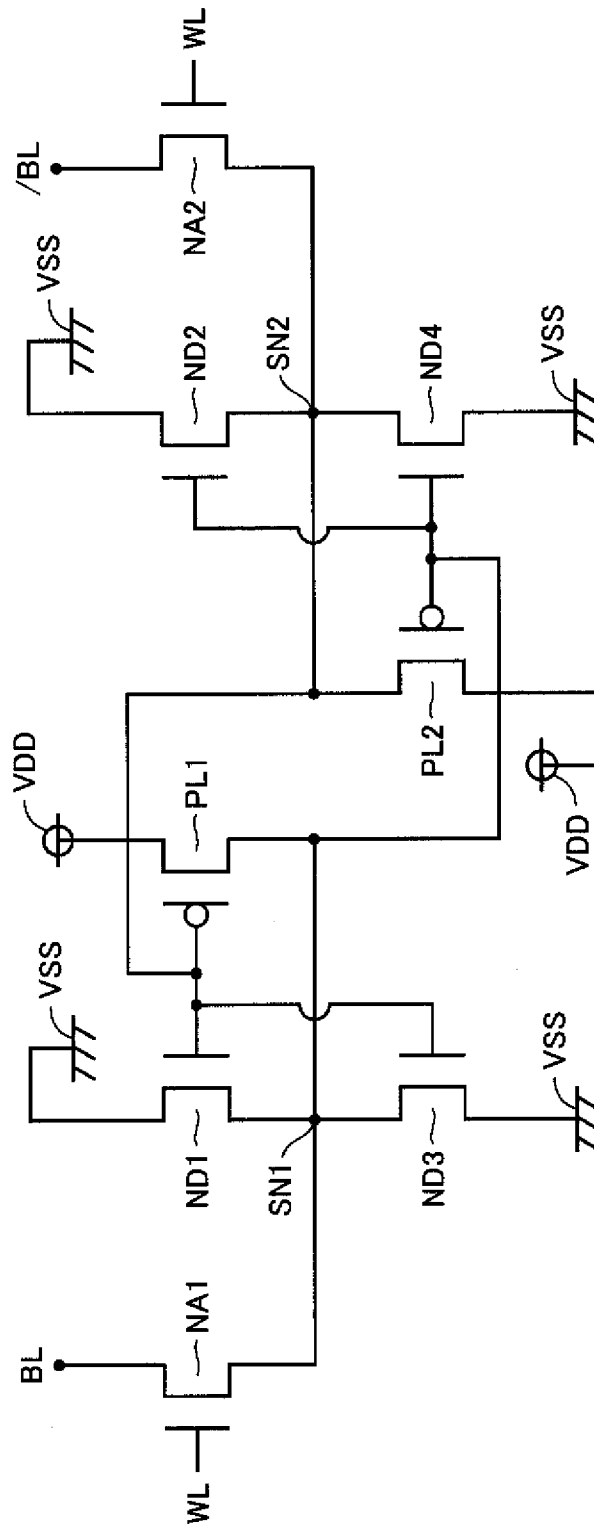
[図7]

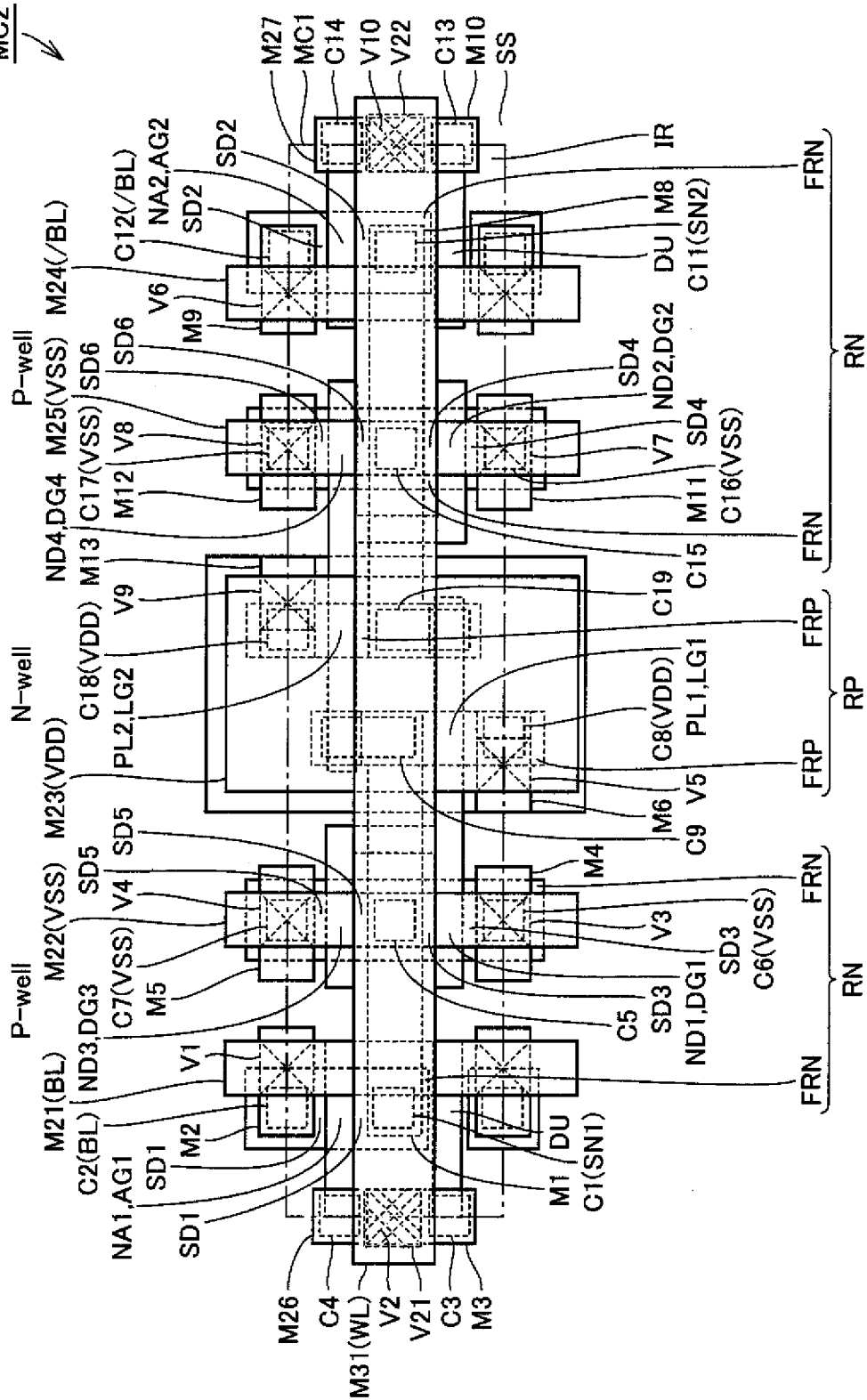


[図10]

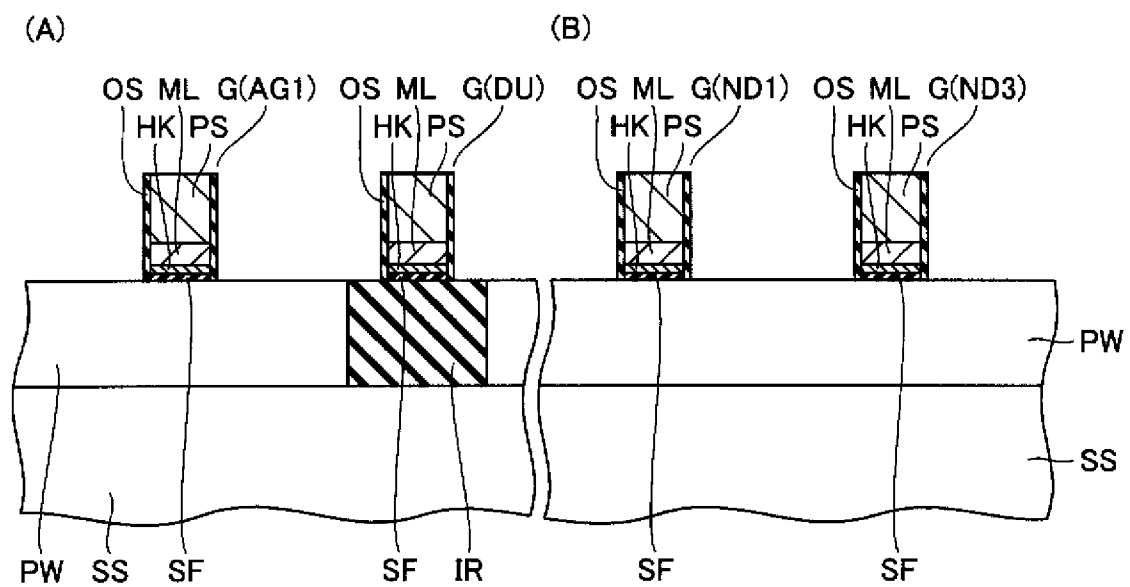


MC1 ↘

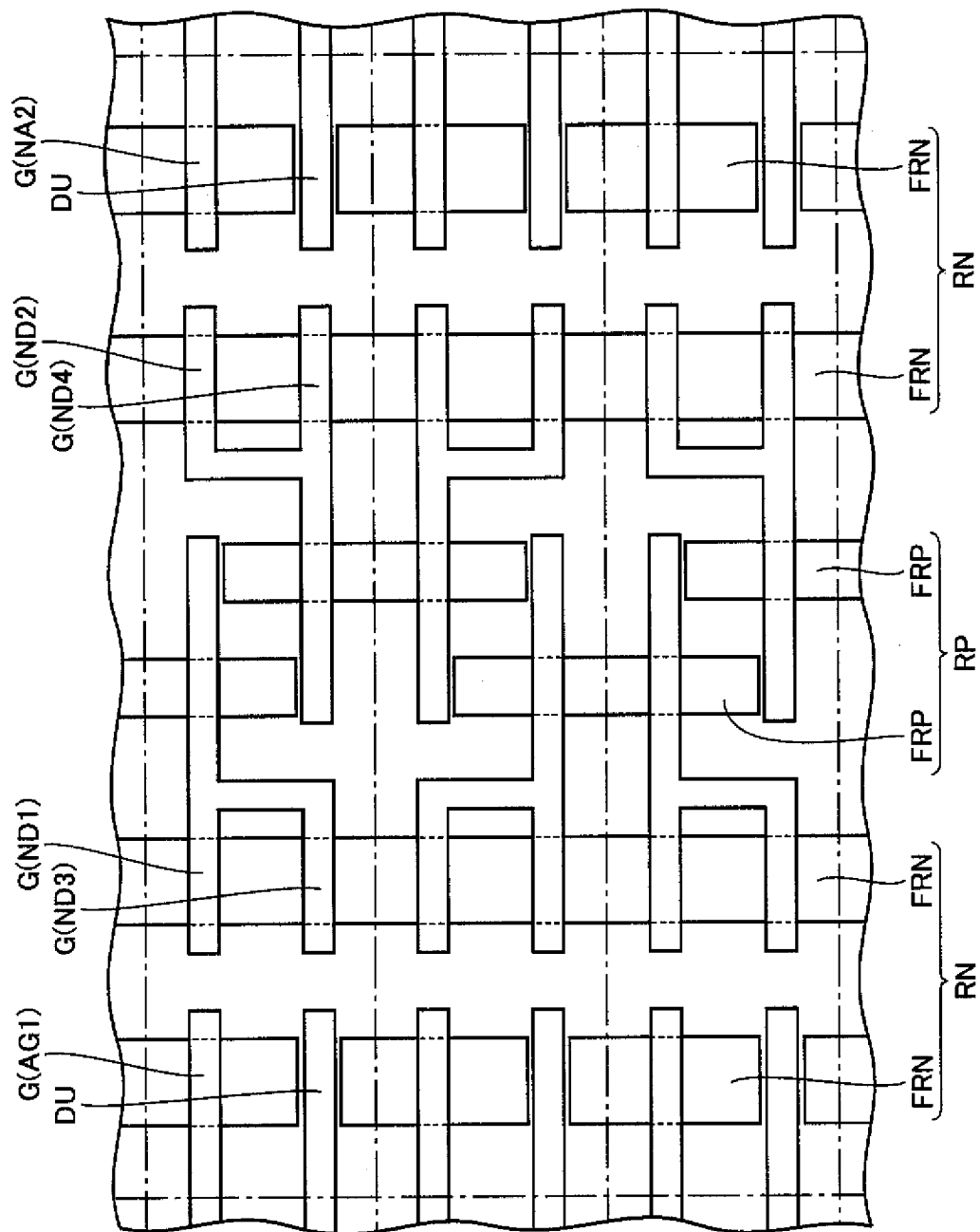


MC2

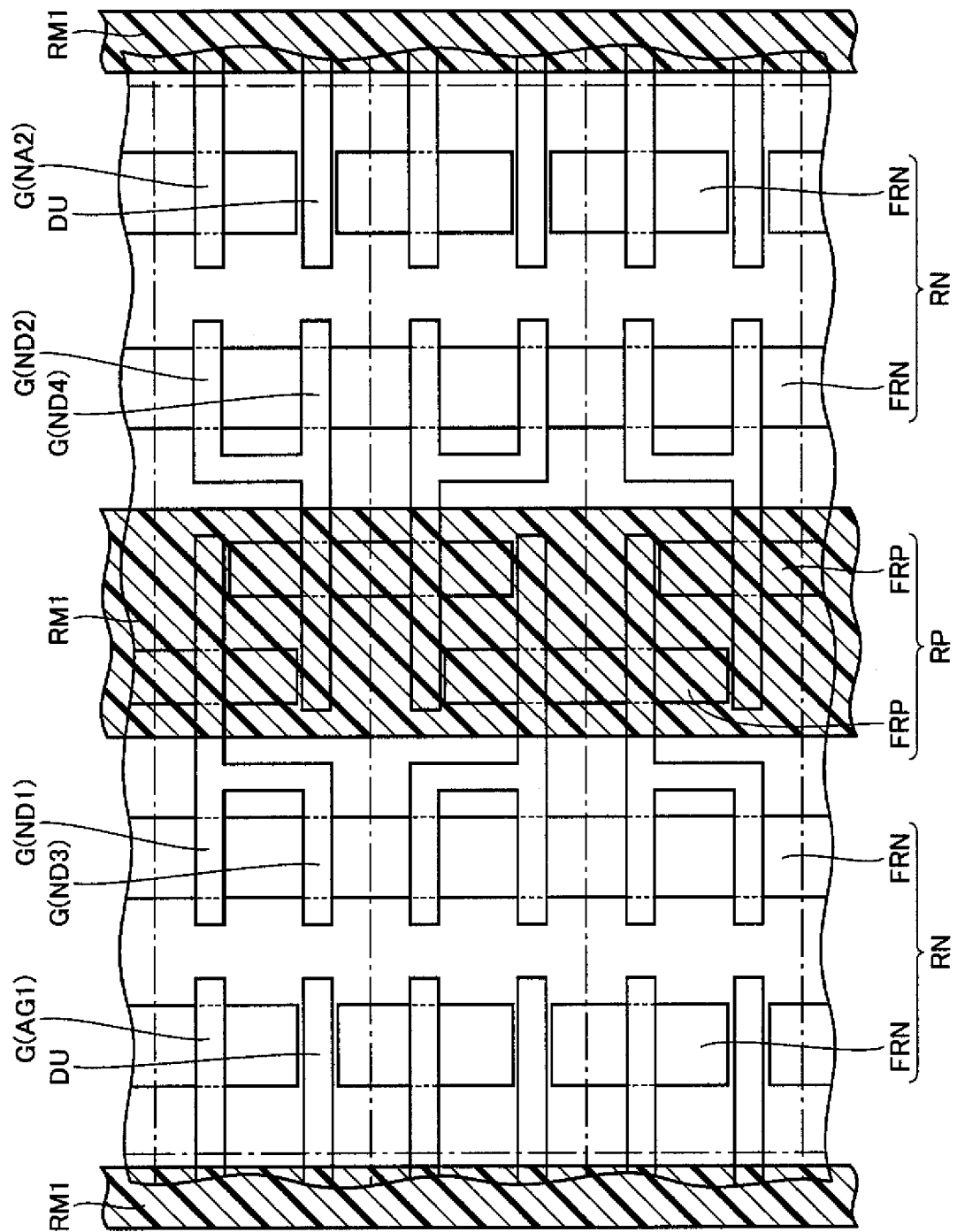
[図13]



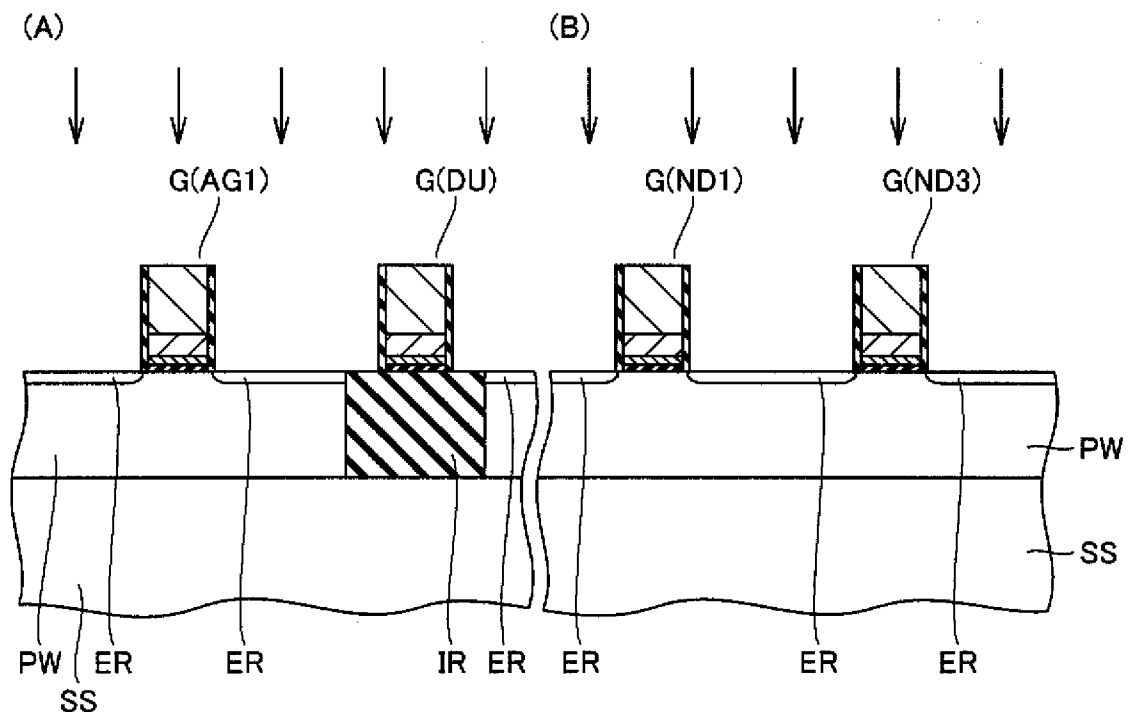
[図14]



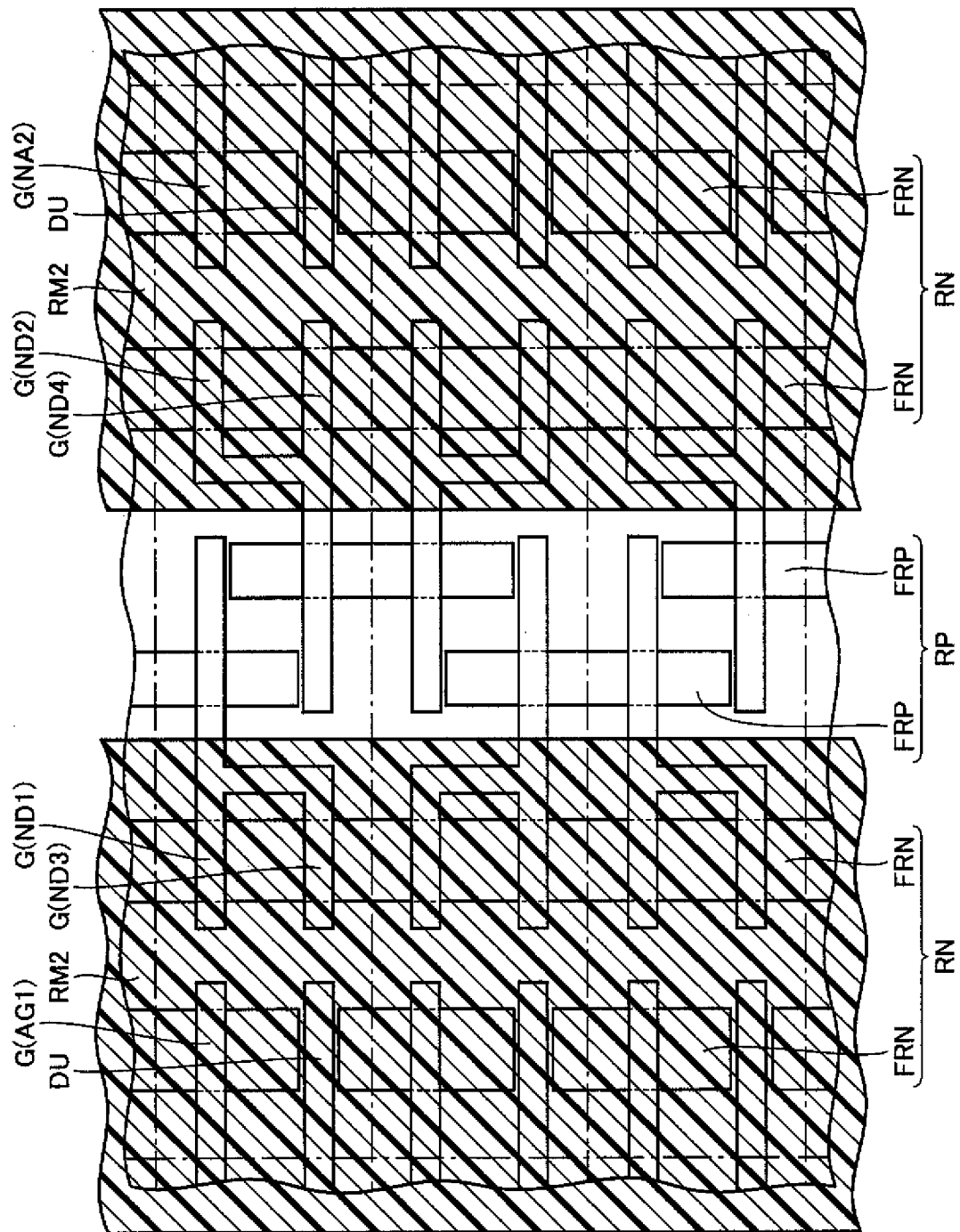
[図15]



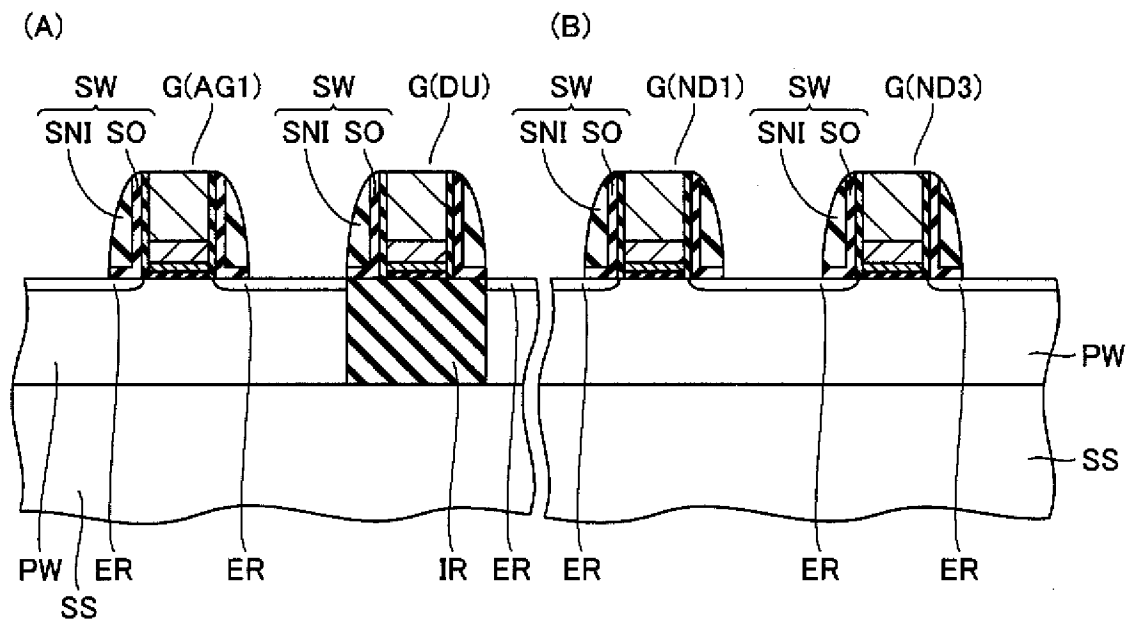
[図16]



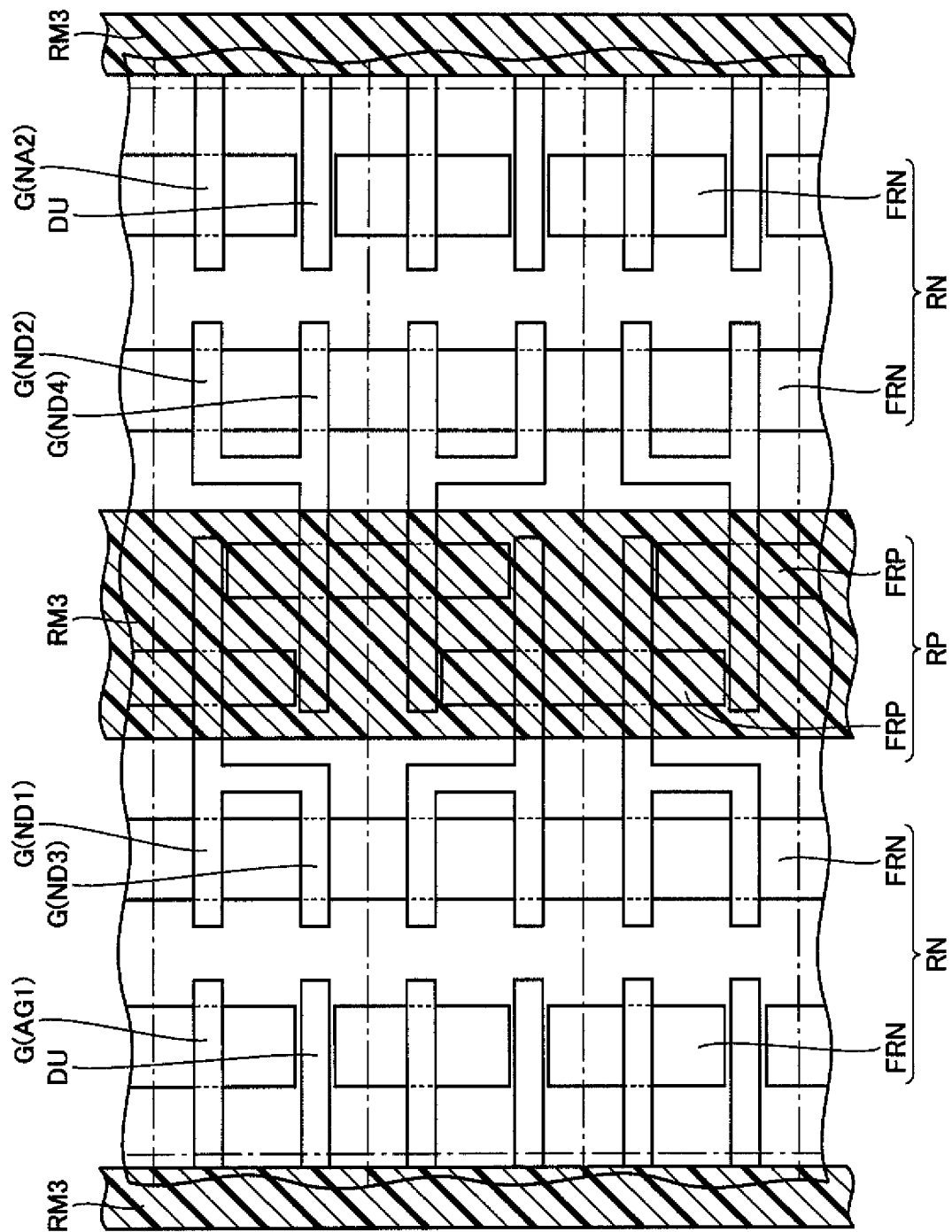
[図17]



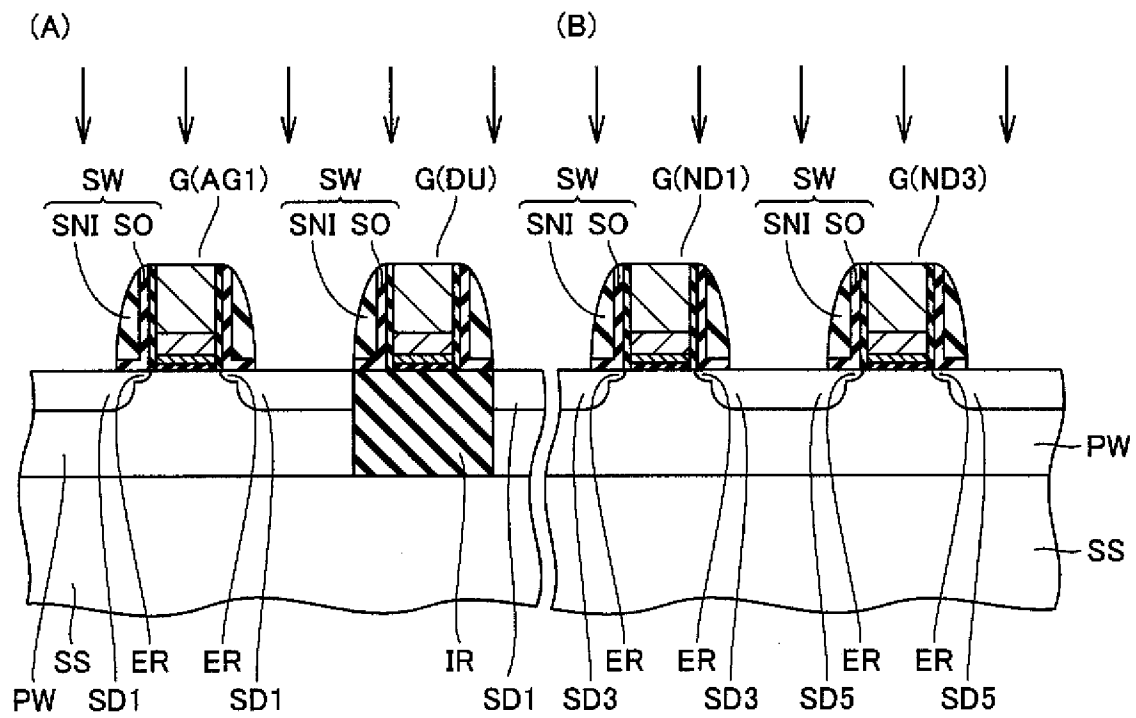
[図18]



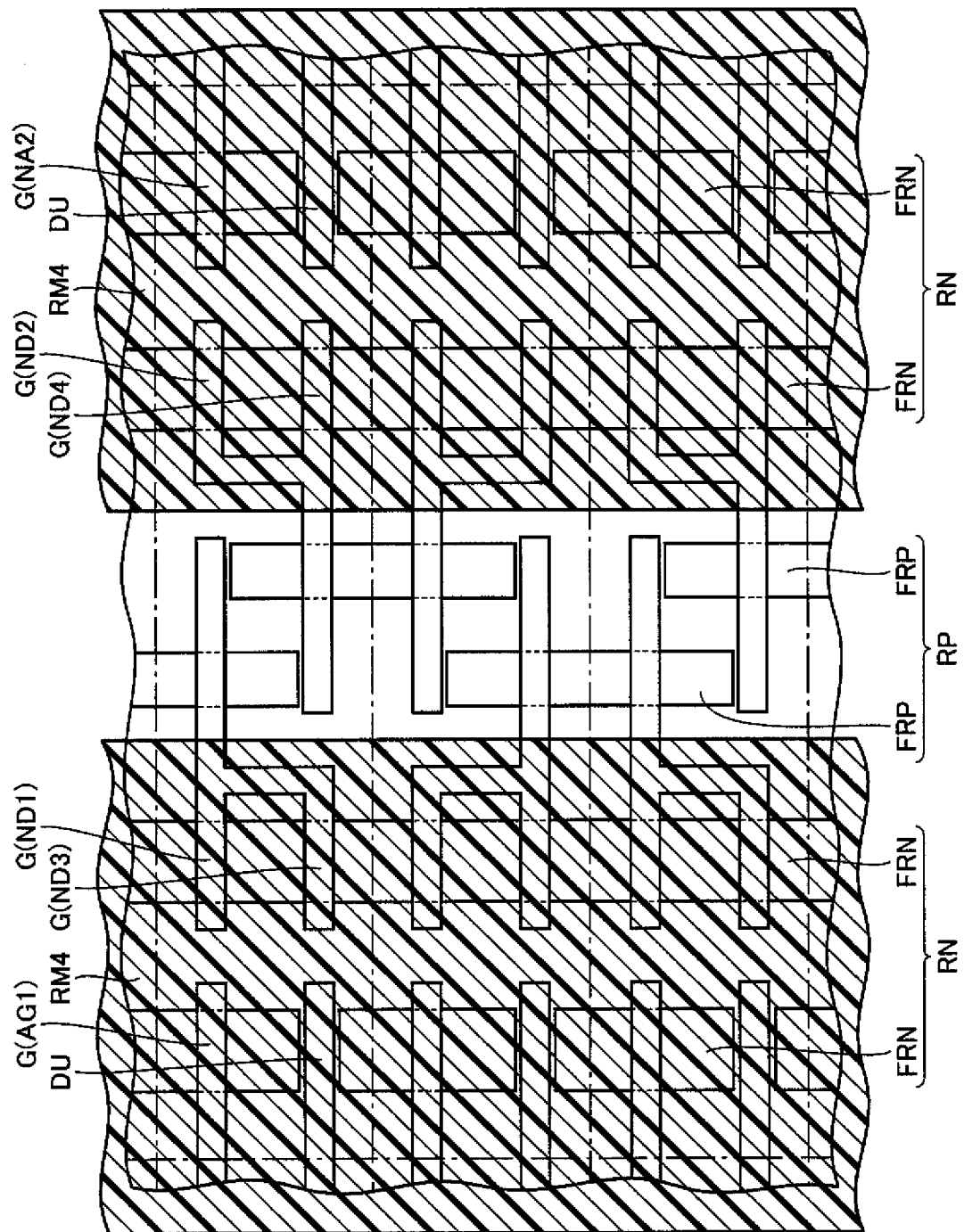
[図19]



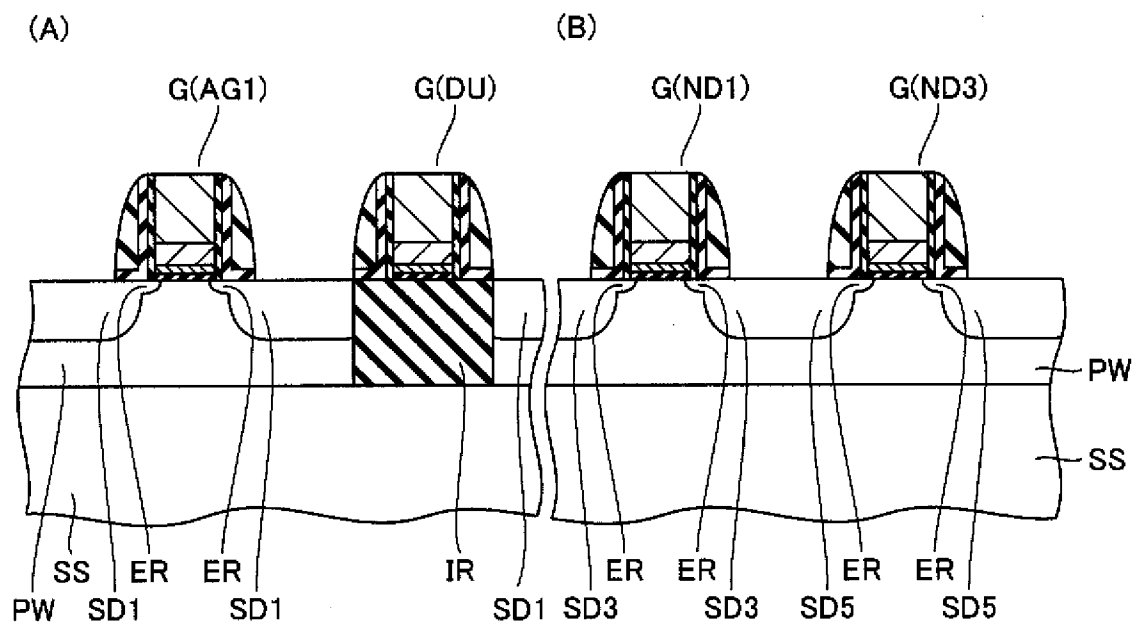
[図20]



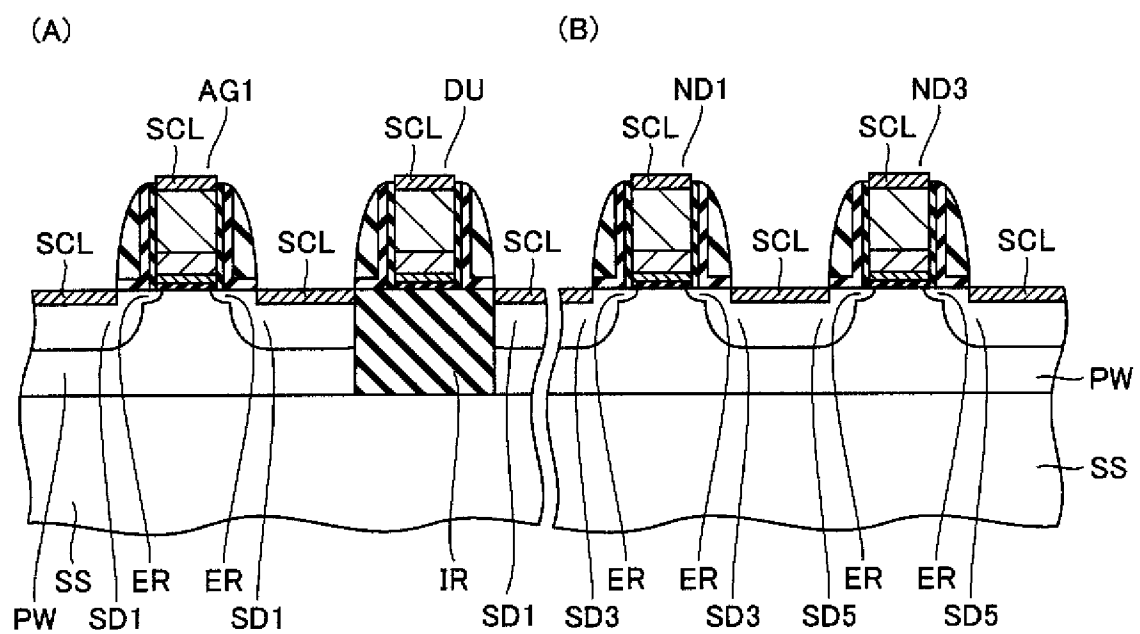
[図21]



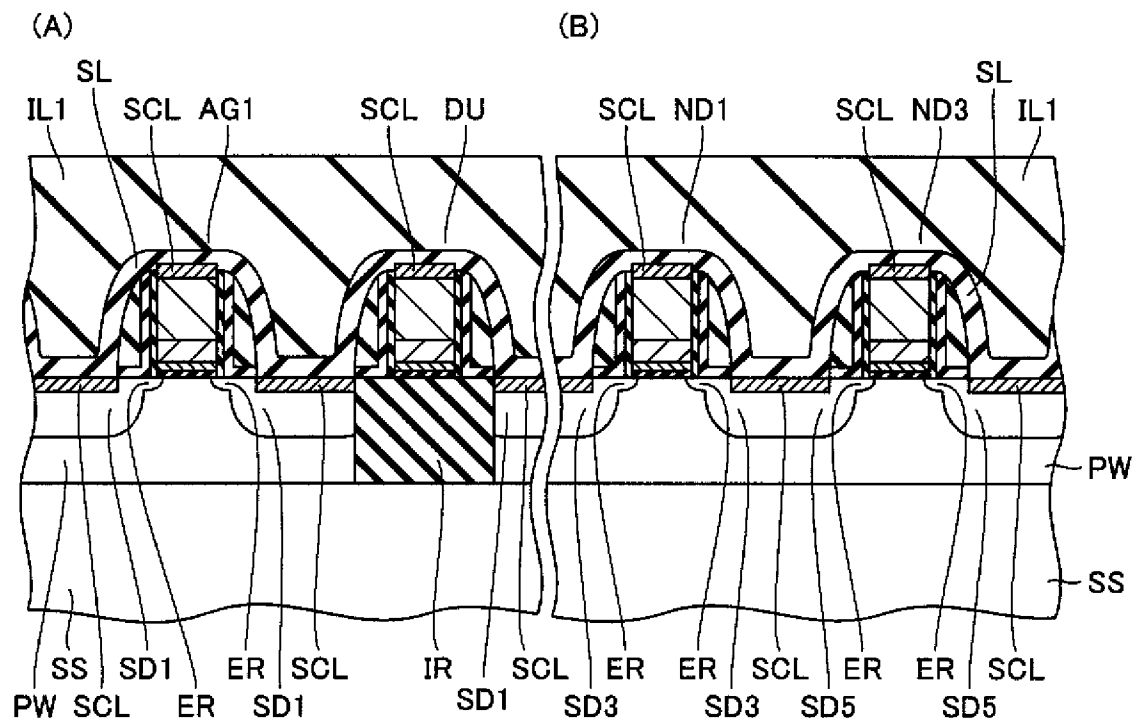
[図22]



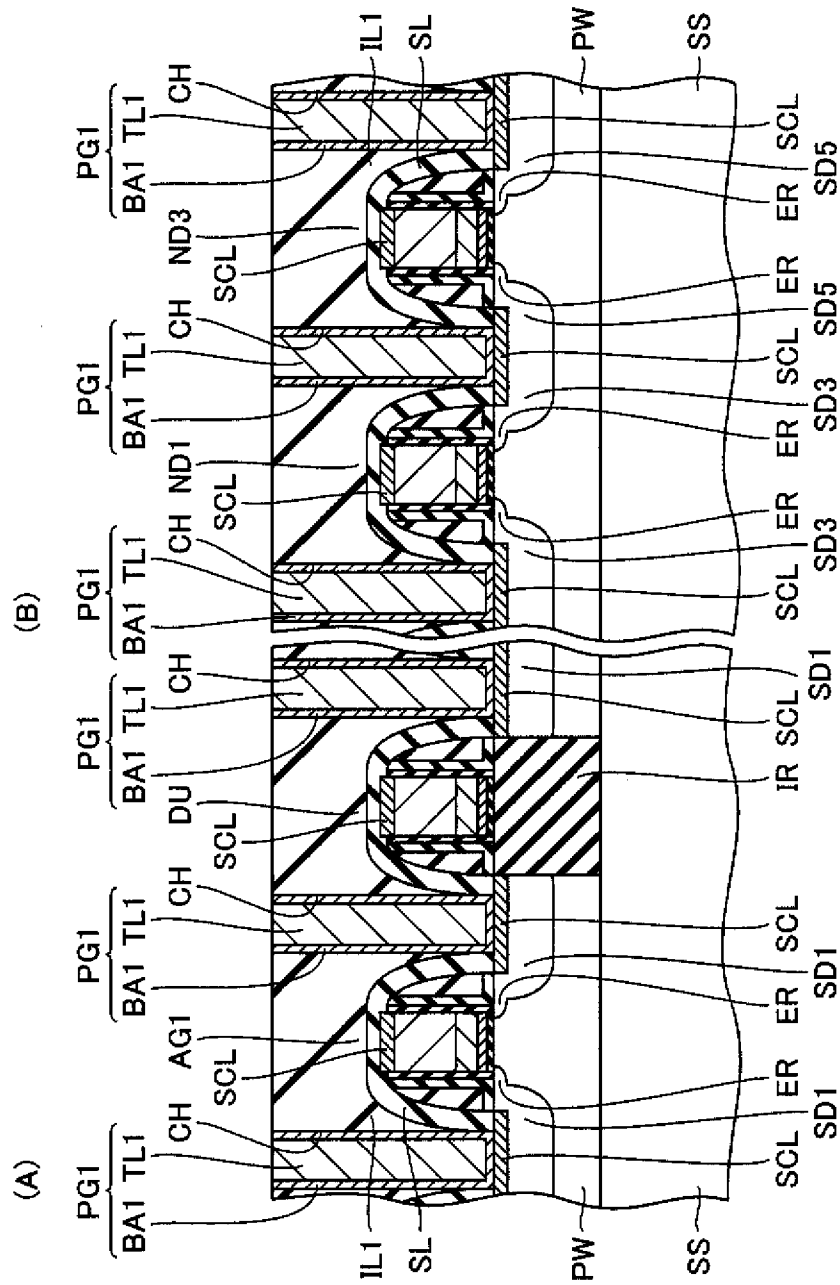
[図23]



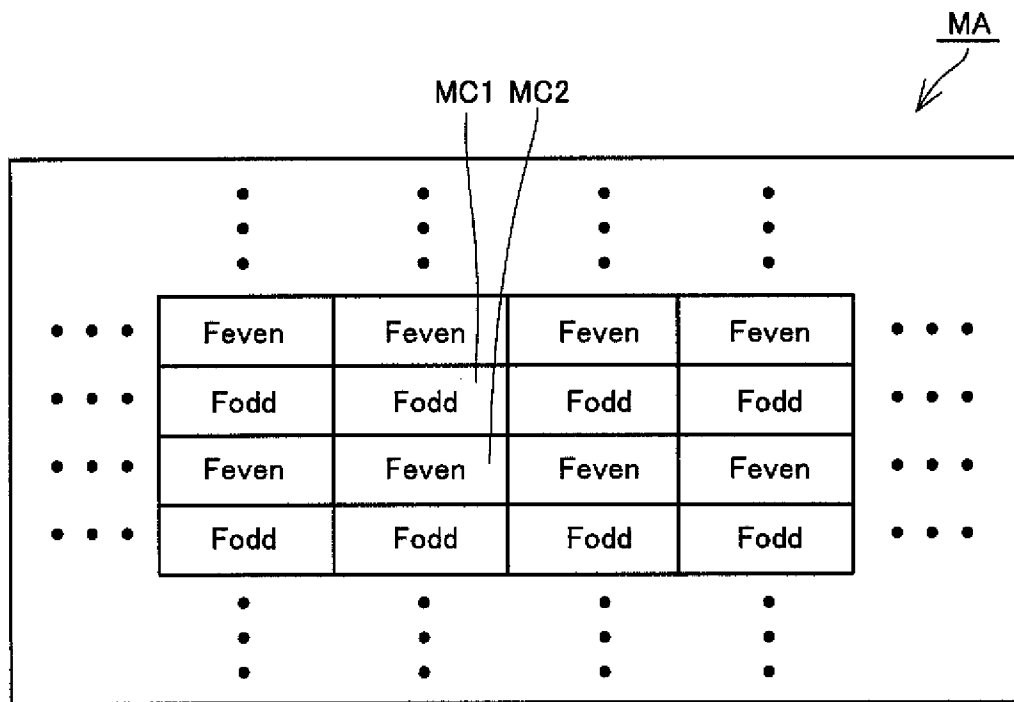
[図24]



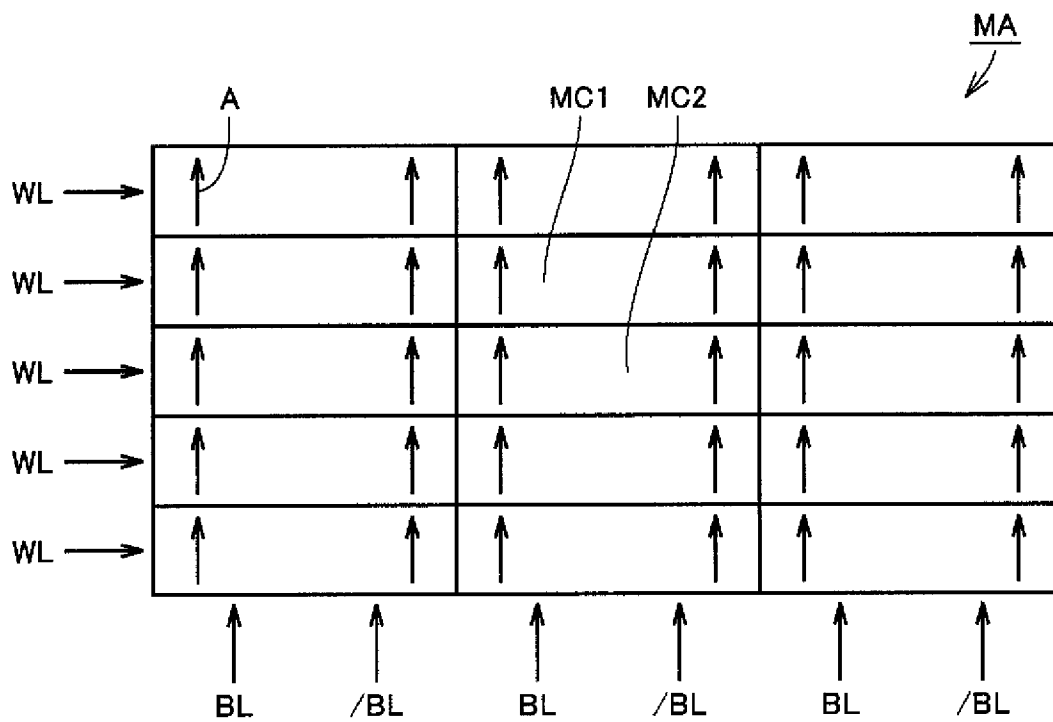
[図25]



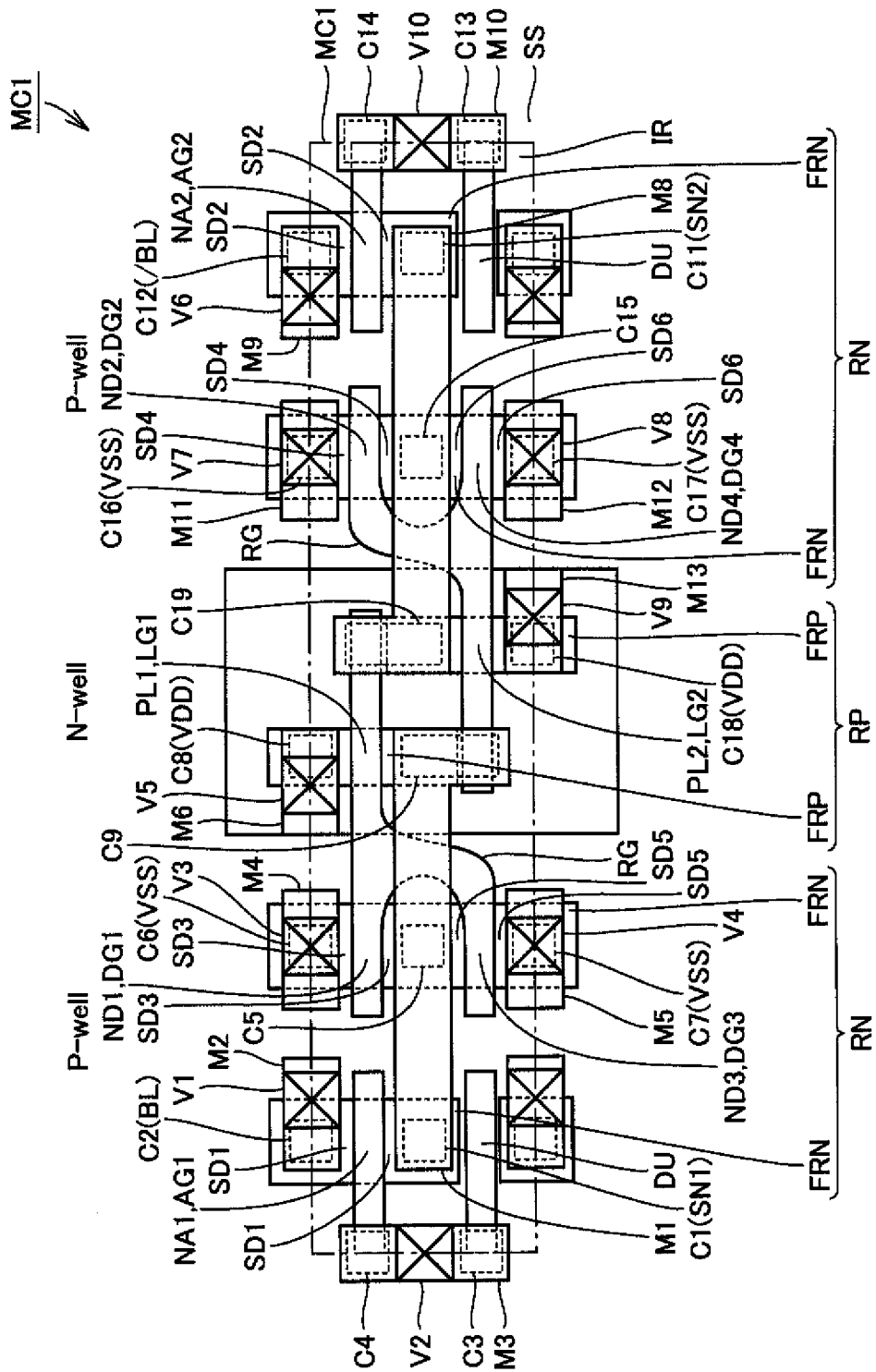
[図26]



[図27]

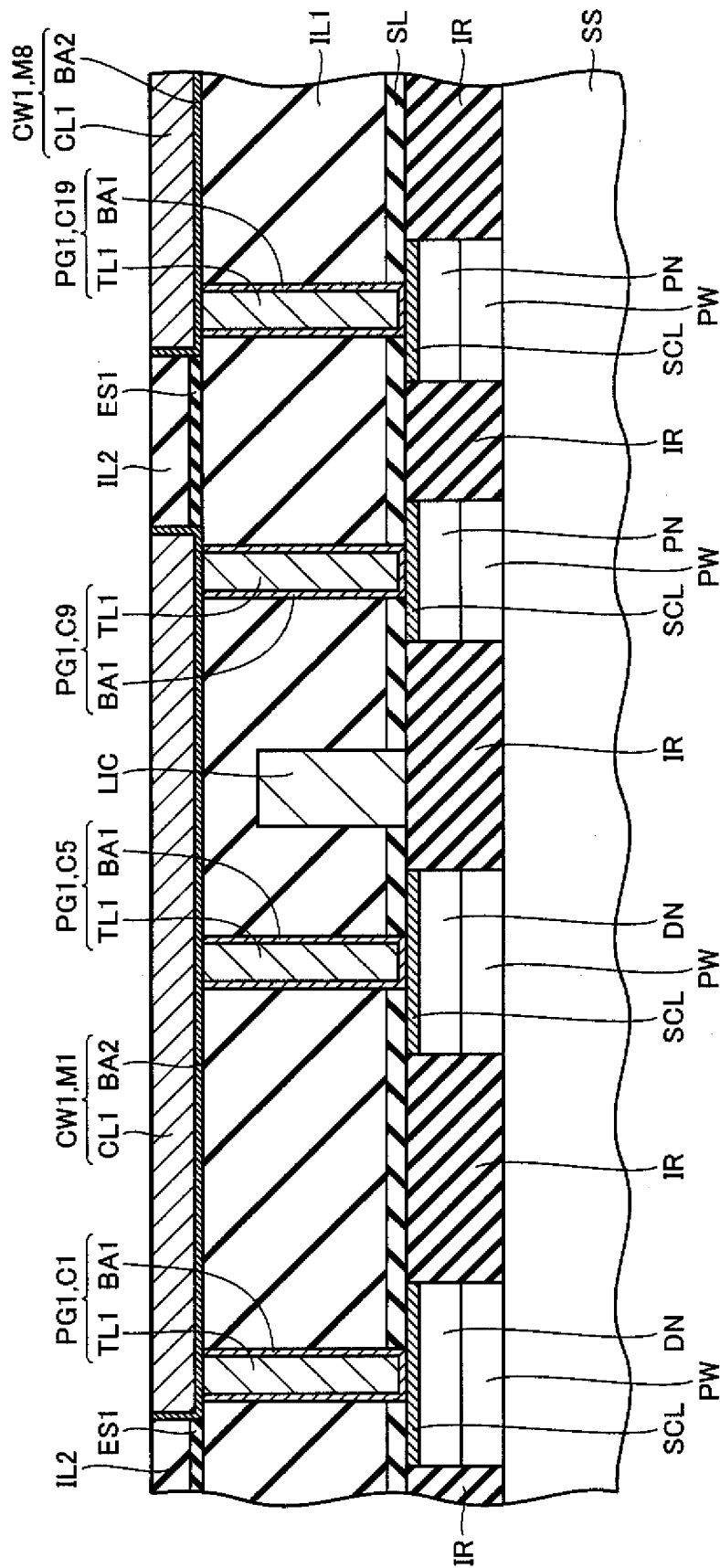


[図28]

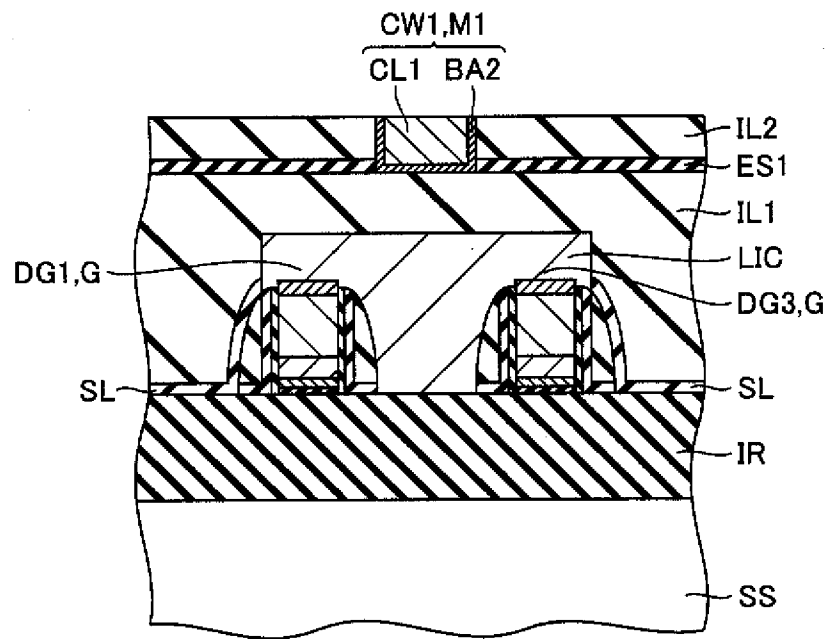


[illegible]

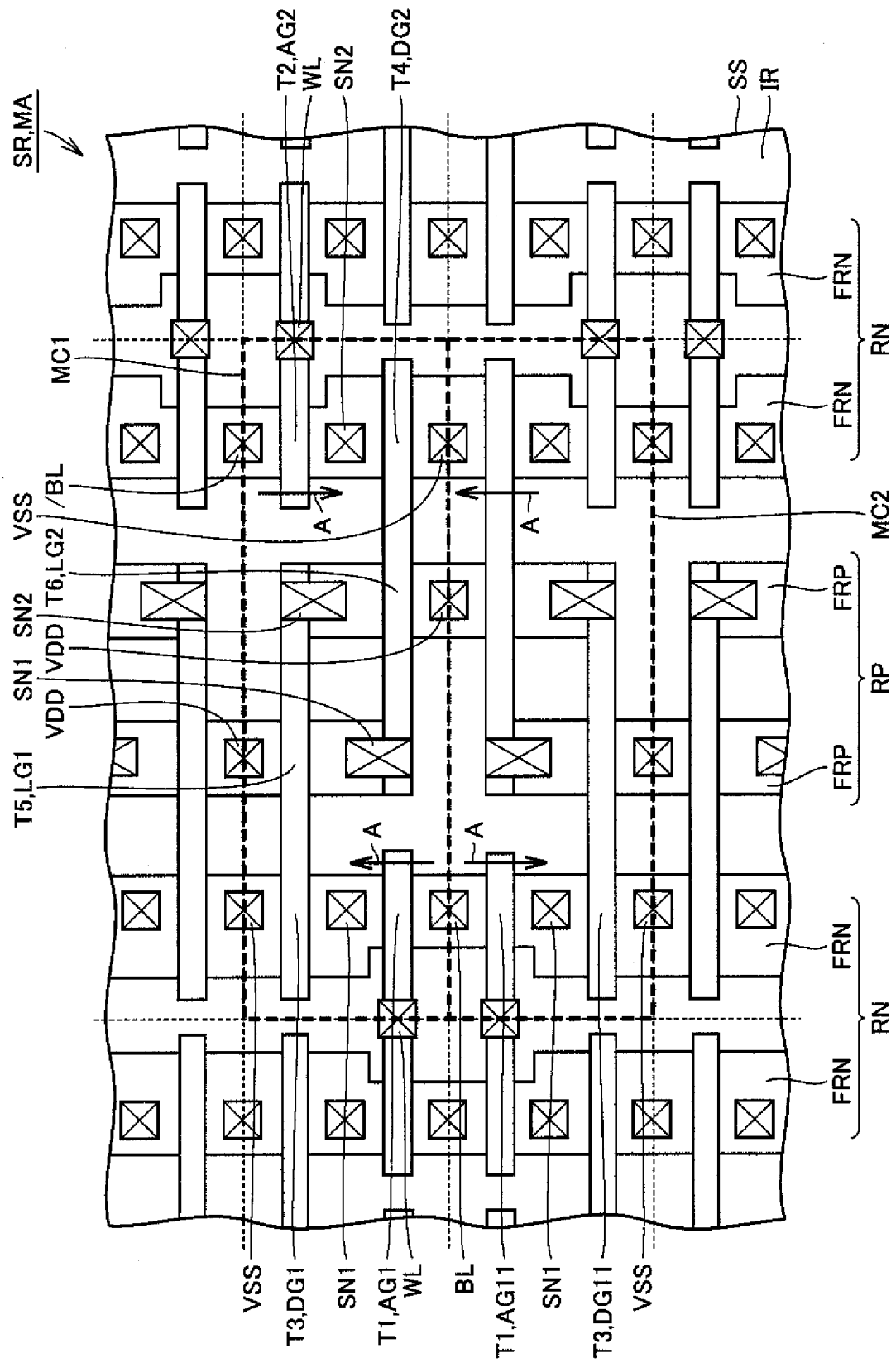
[図30]



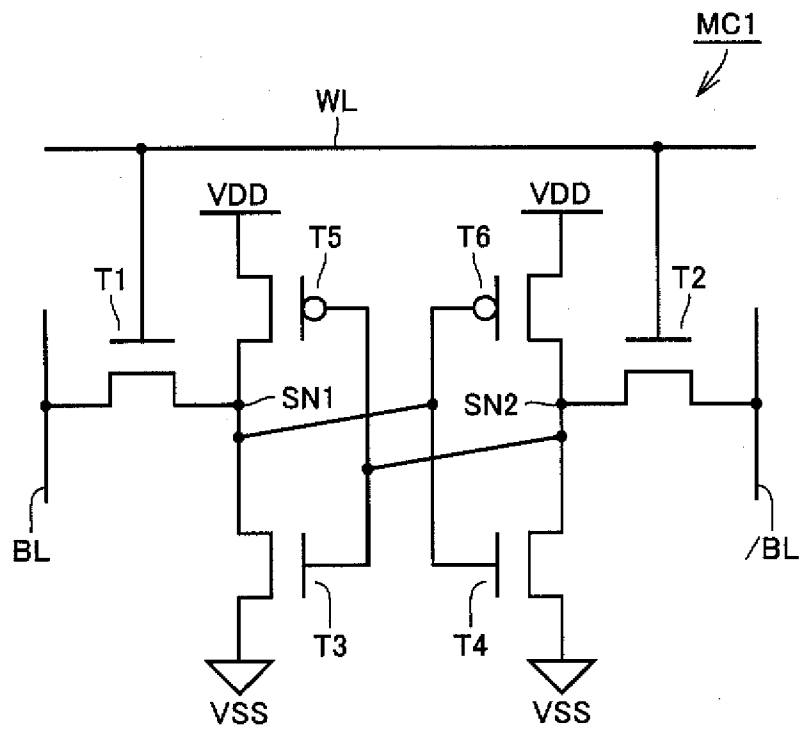
[図31]



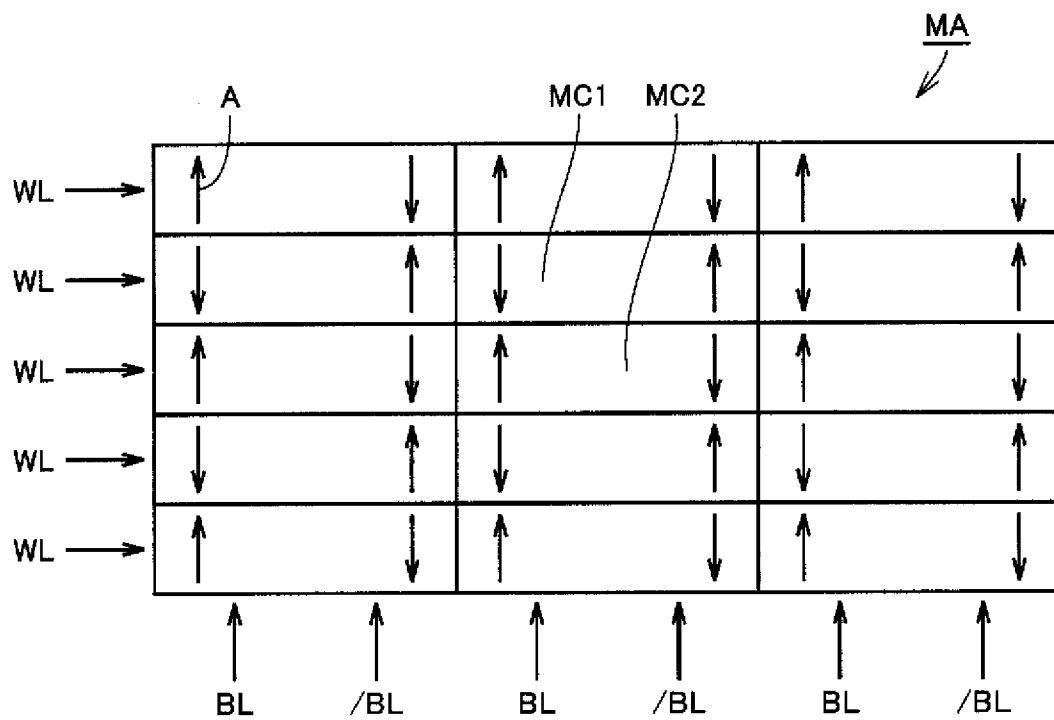
[図32]



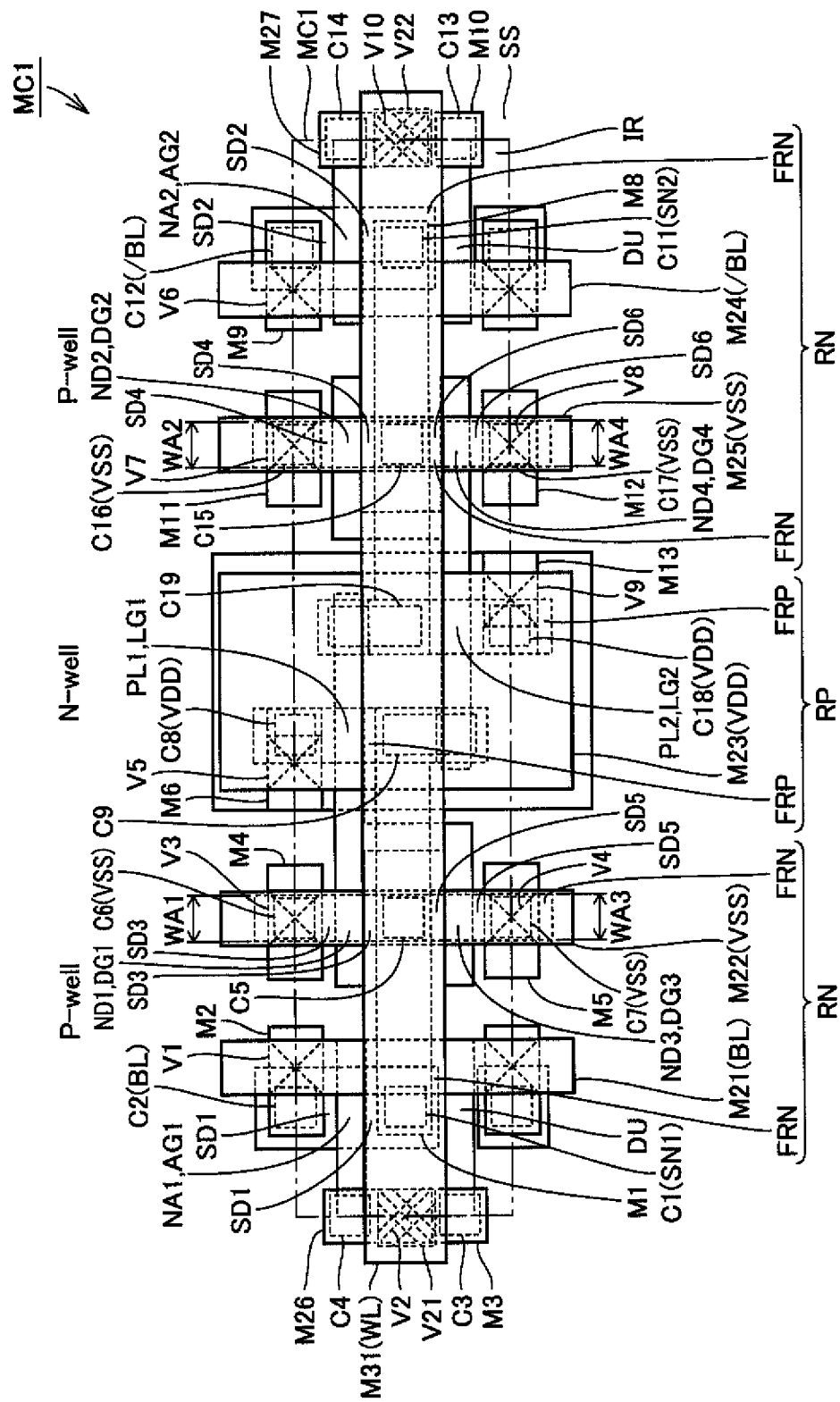
[図33]



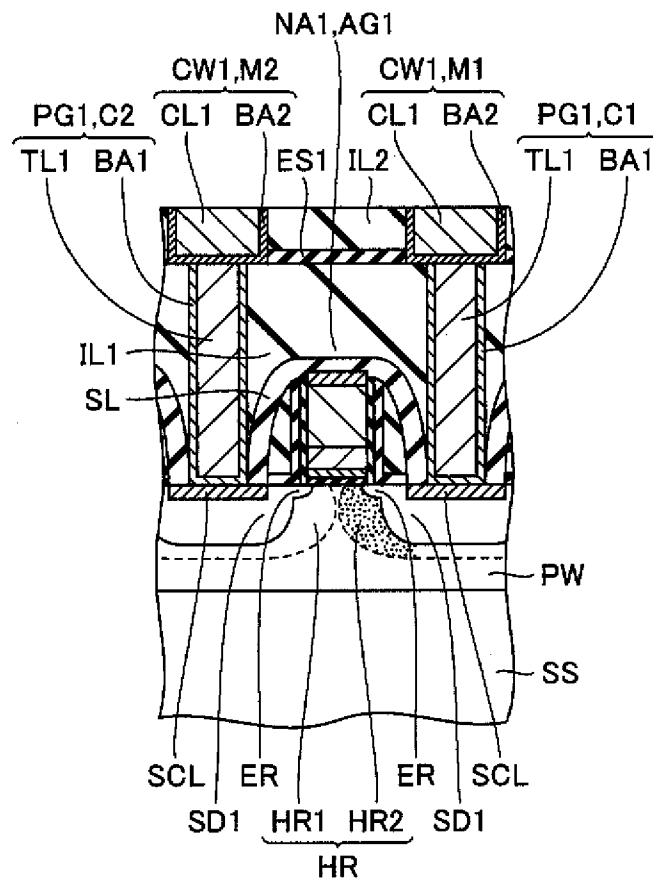
[図34]



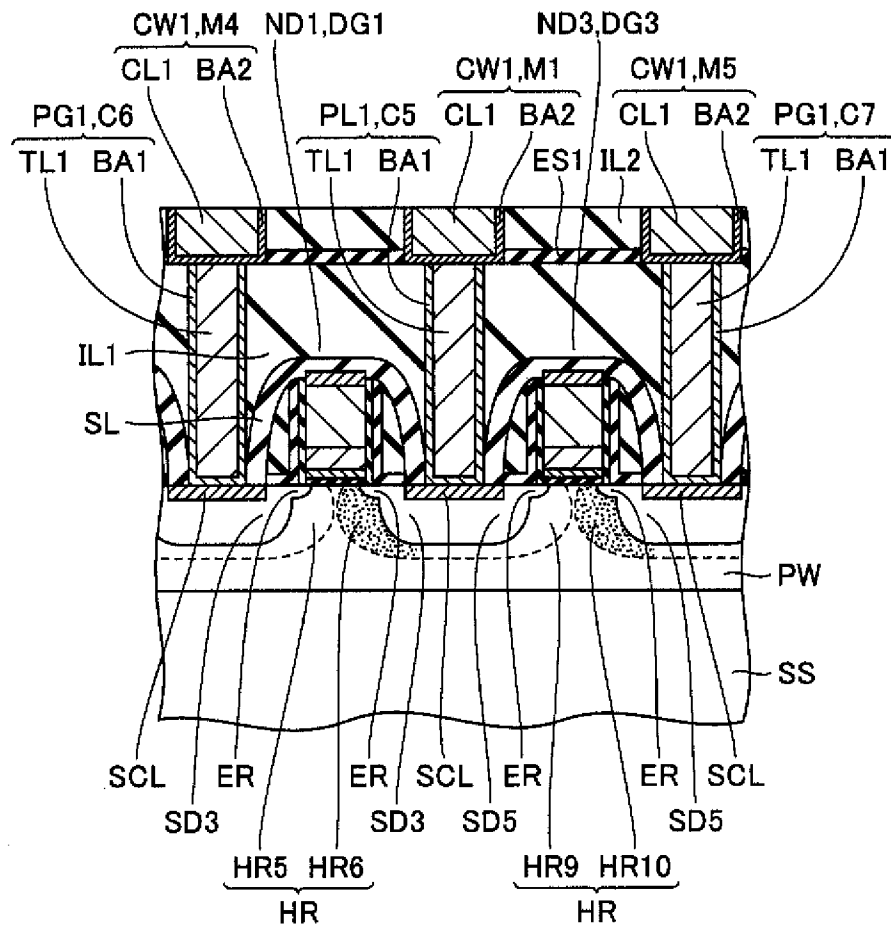
[図36]

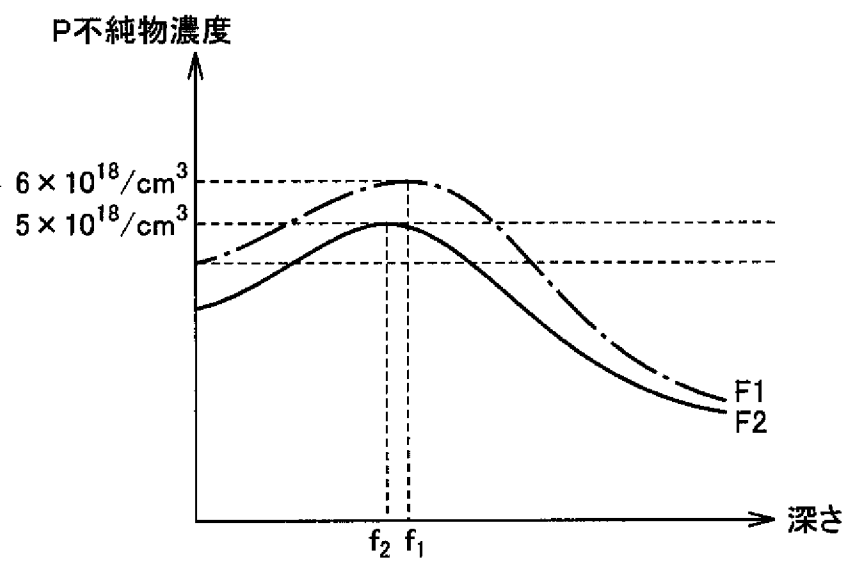
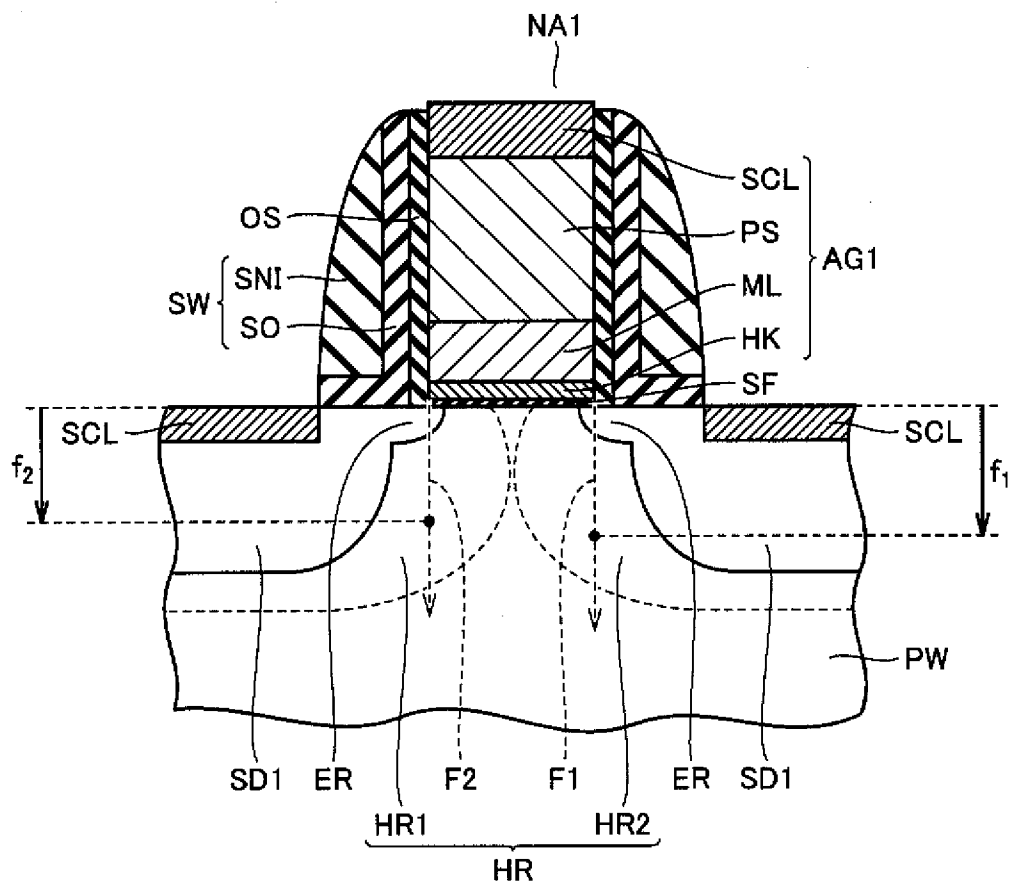


[図38]

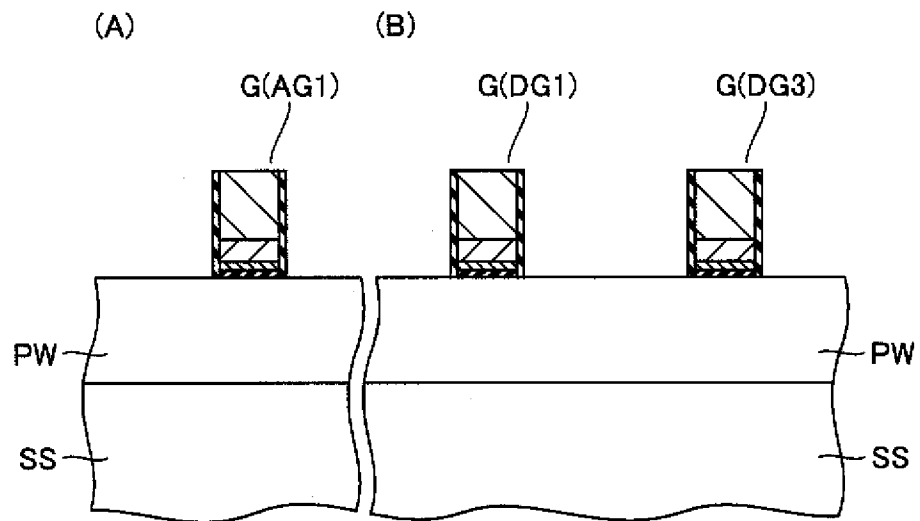


[図39]

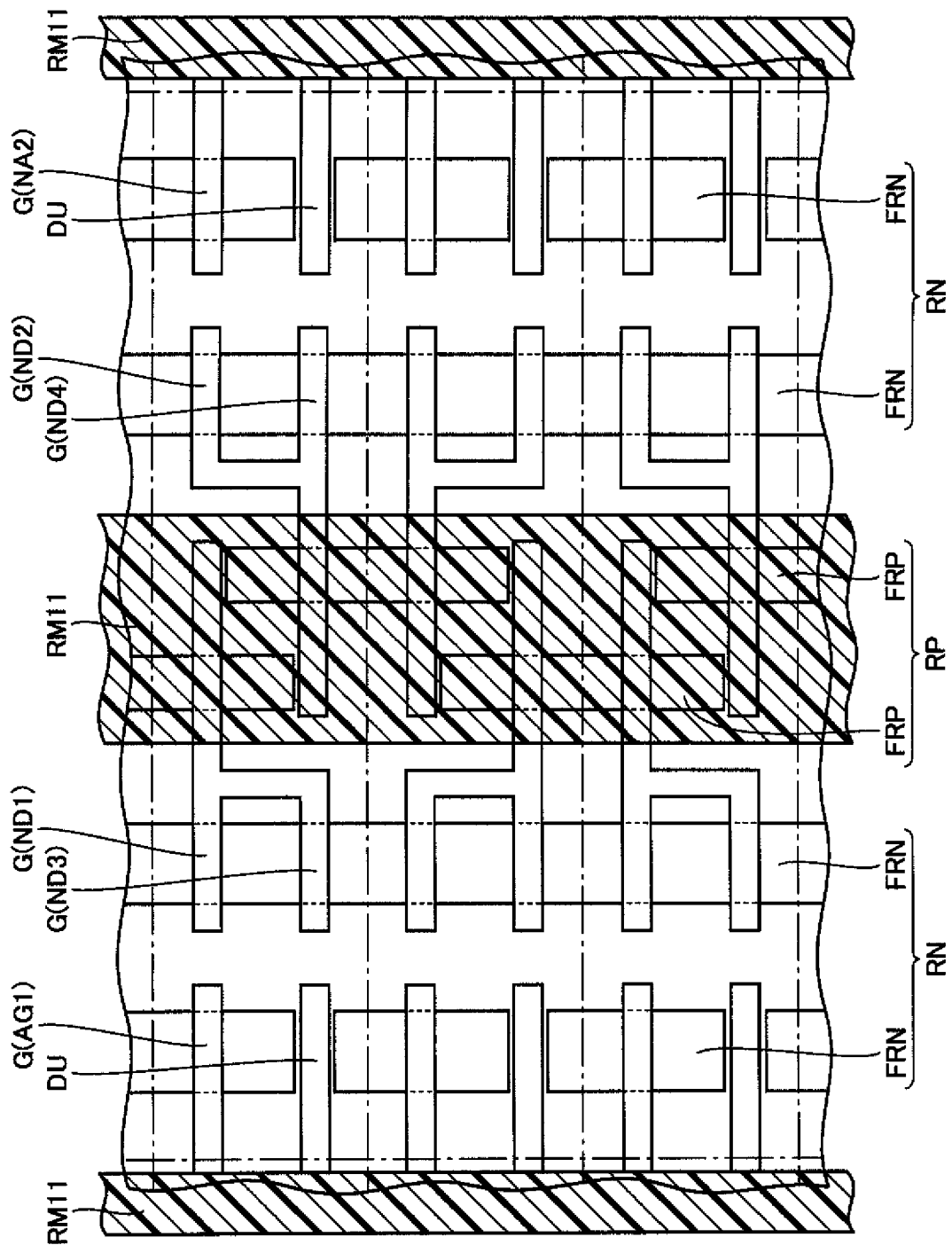




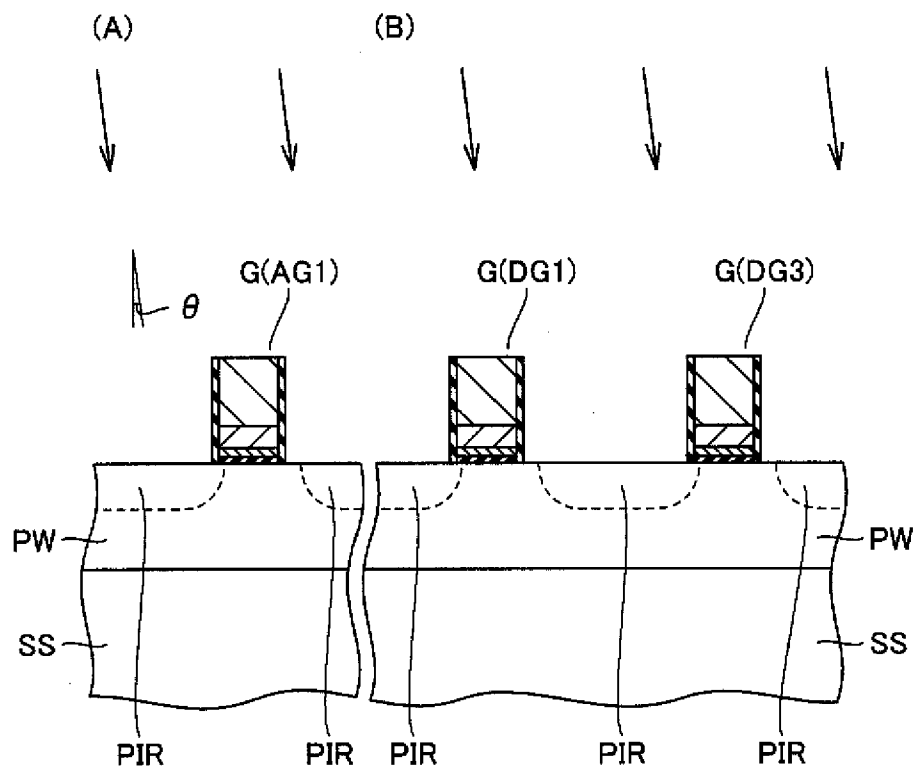
[図42]



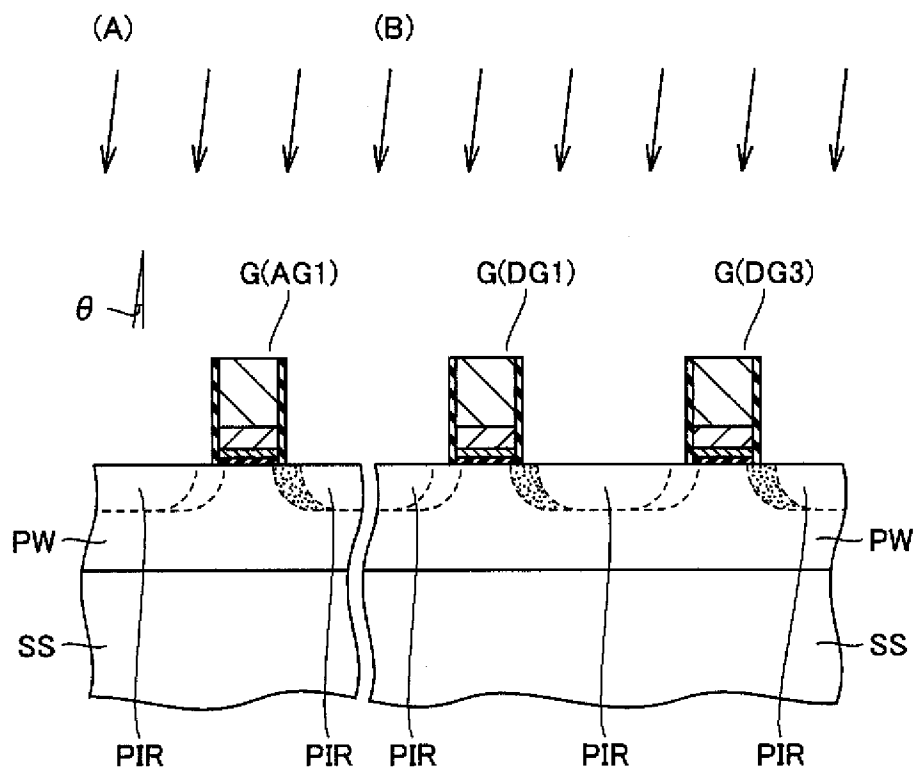
[図43]



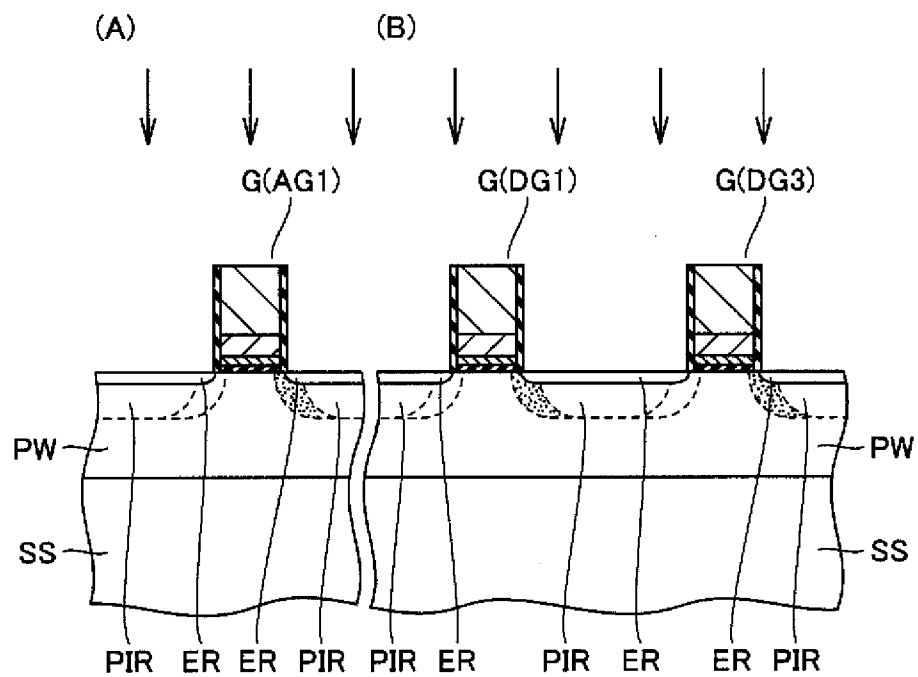
[図44]



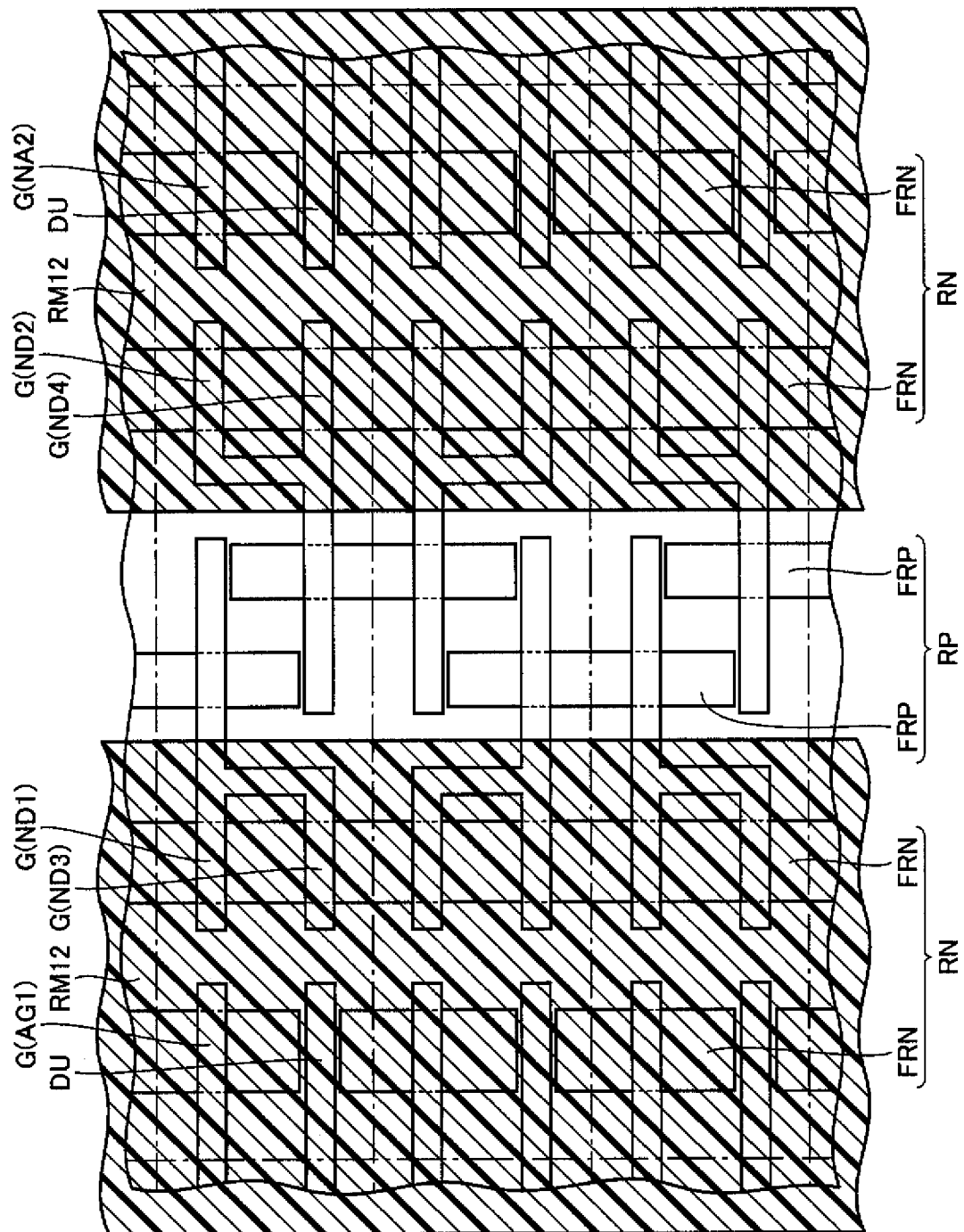
[図45]



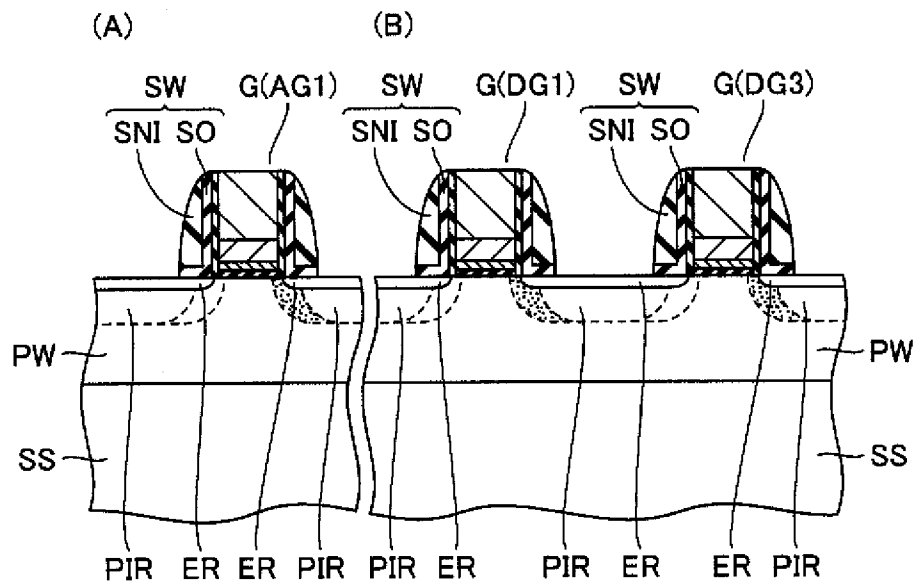
[図46]



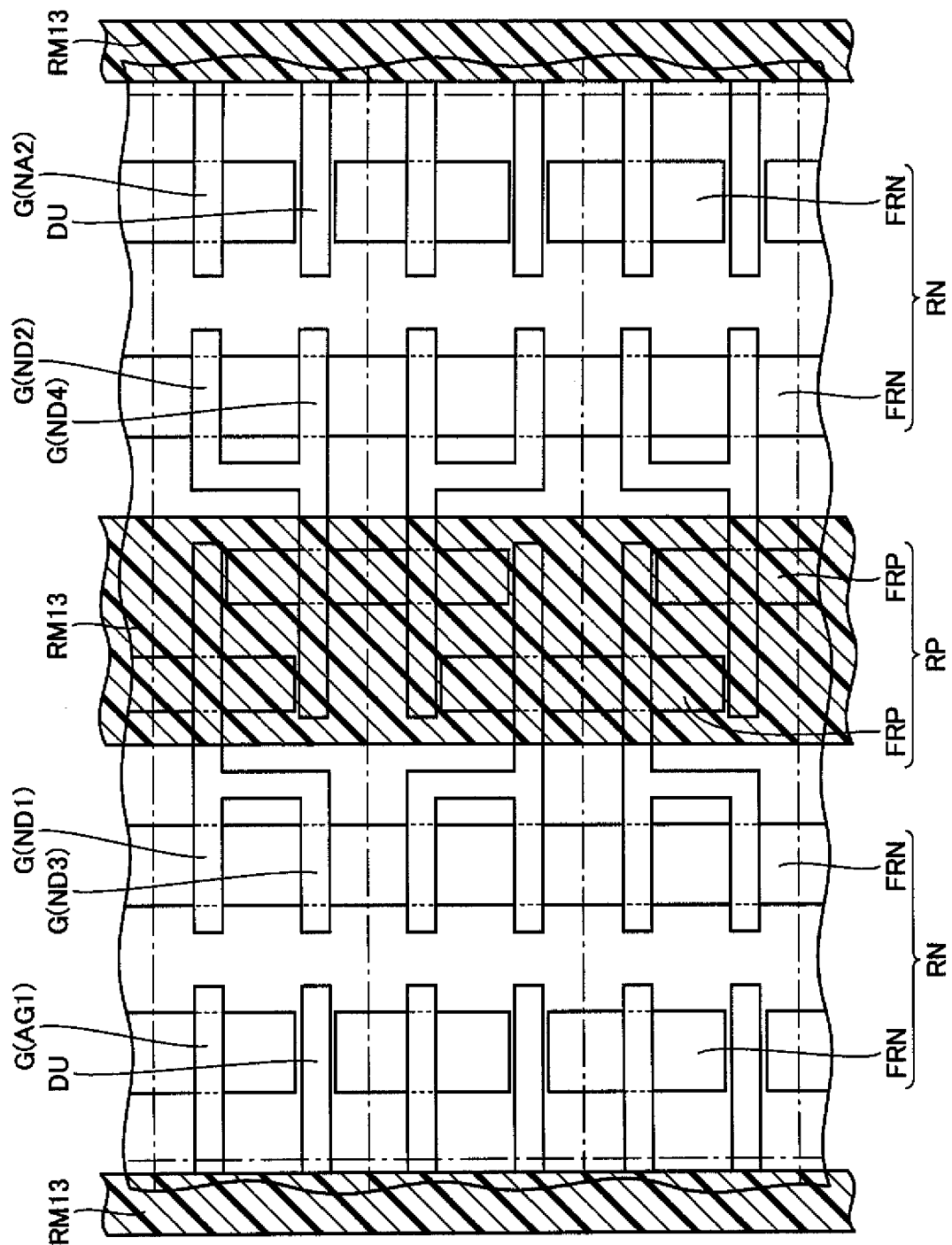
[図47]



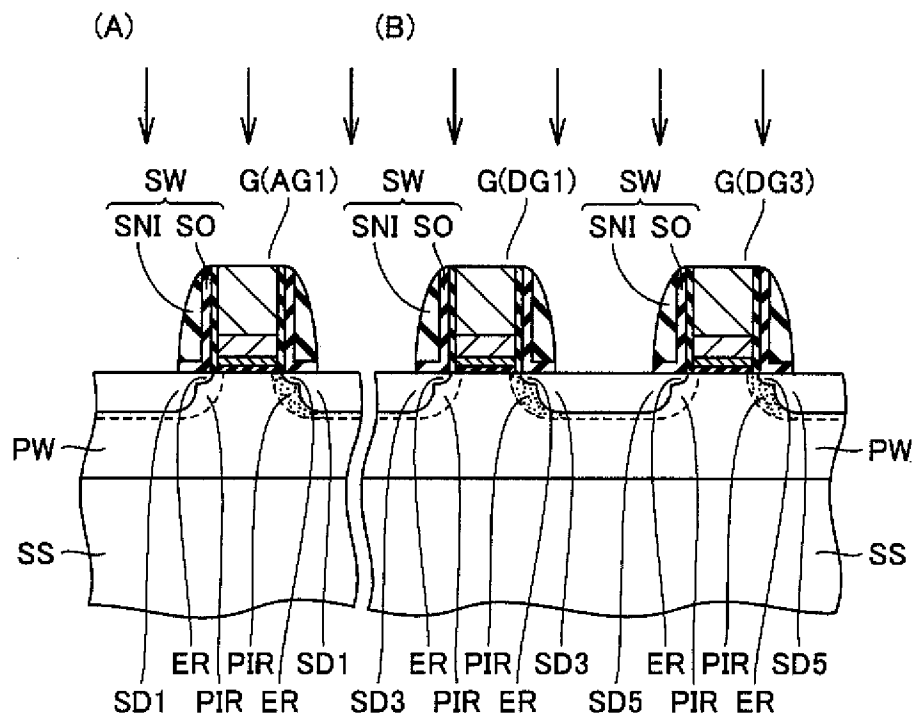
[図48]

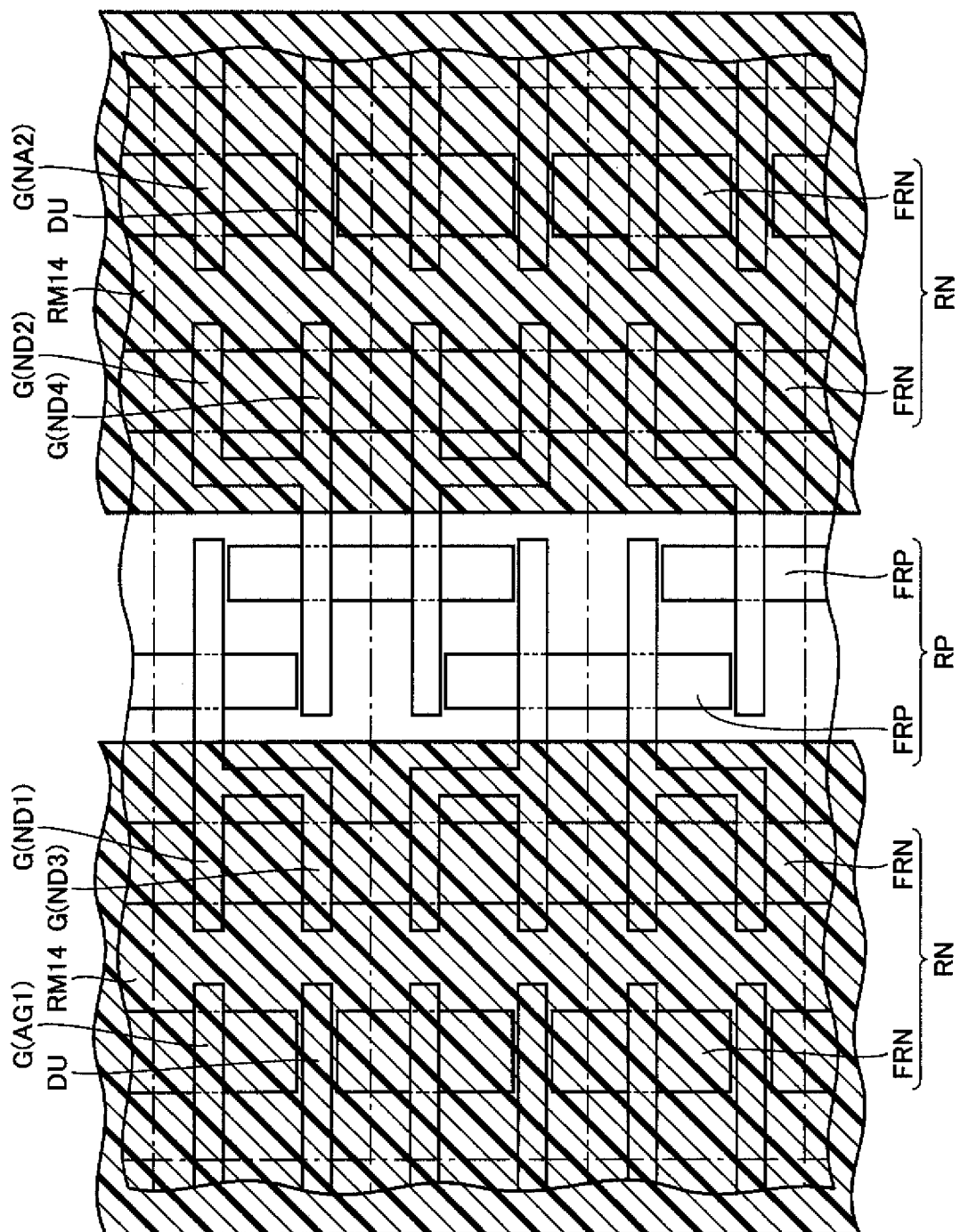


[図49]

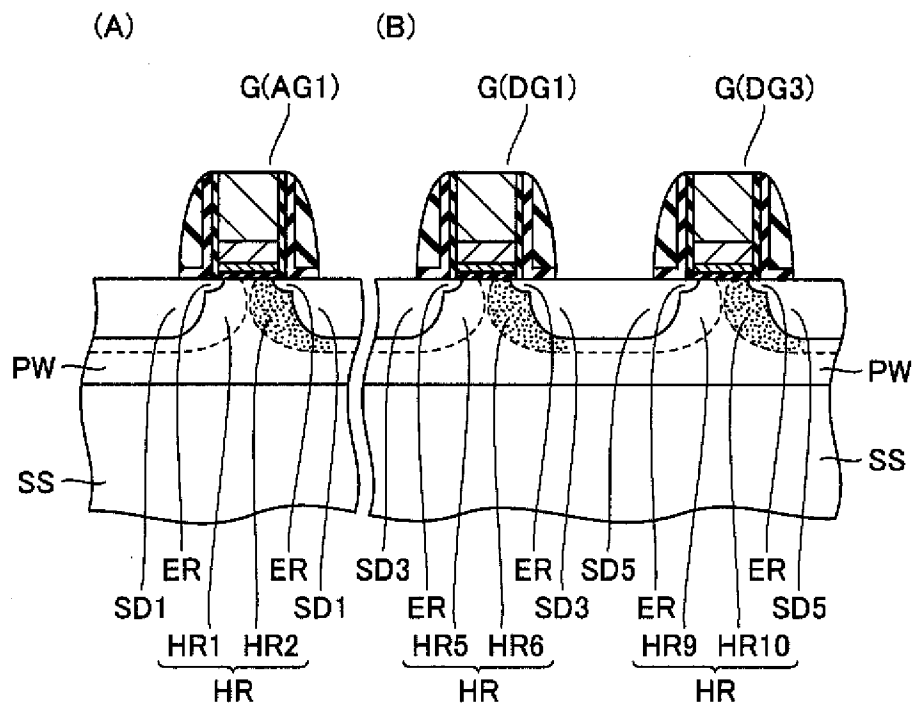


[図50]

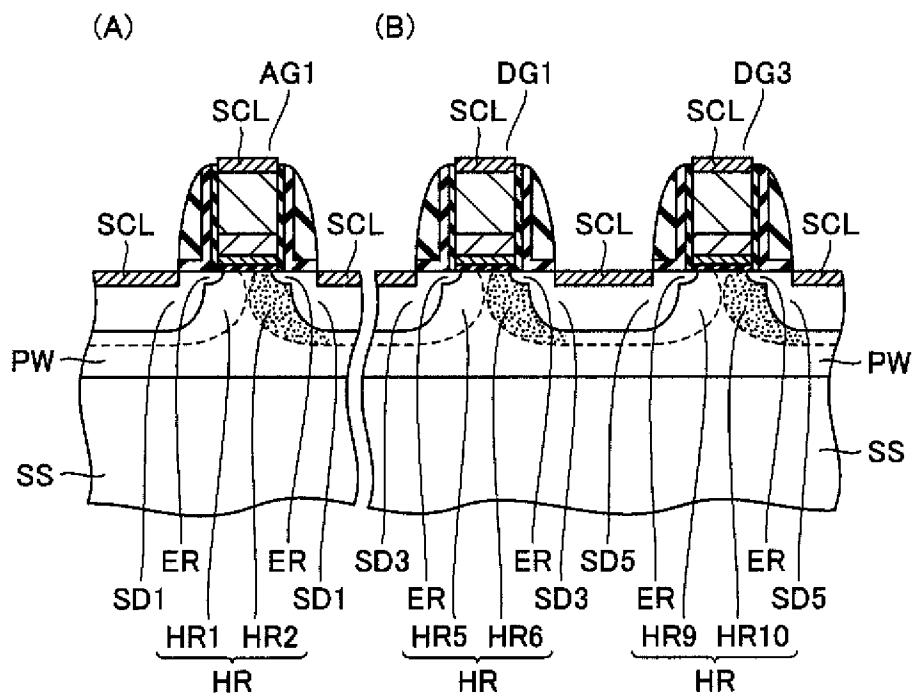




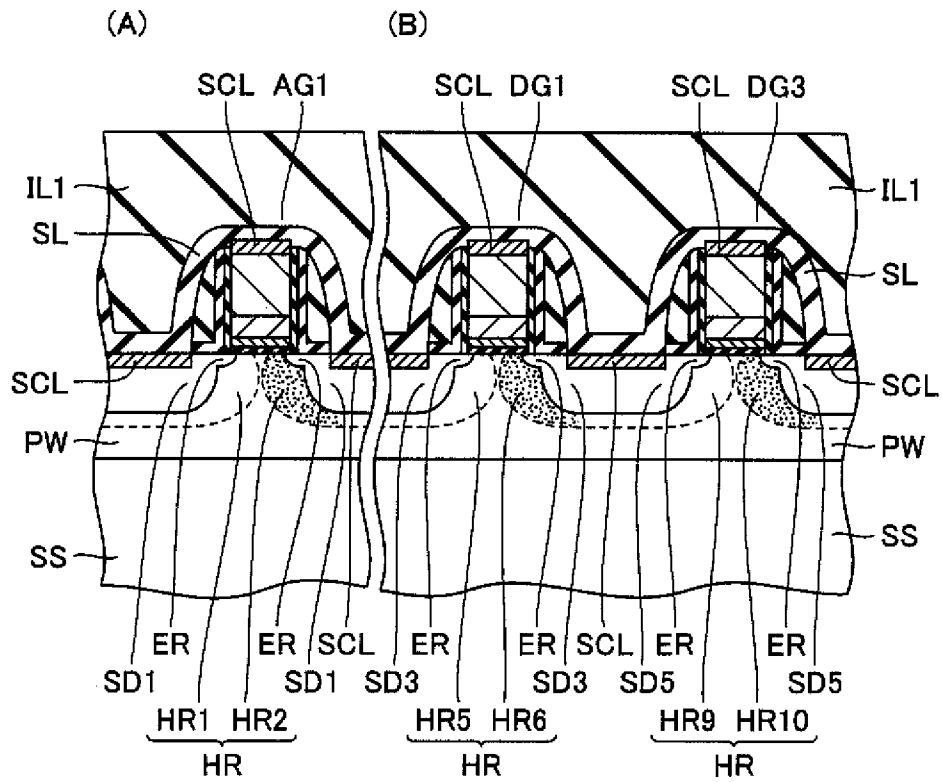
[図52]



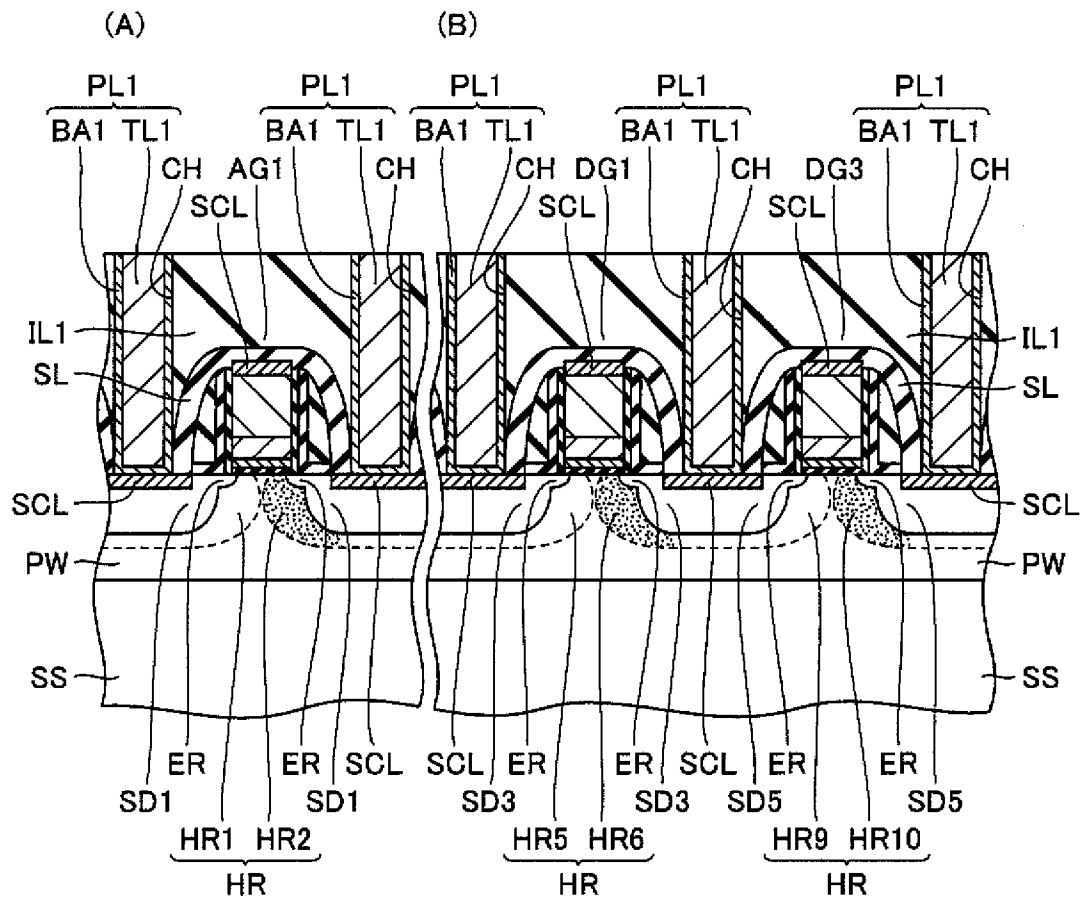
[図53]



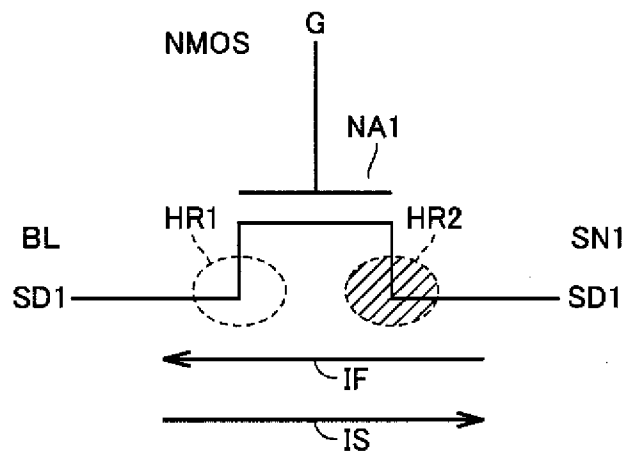
[図54]



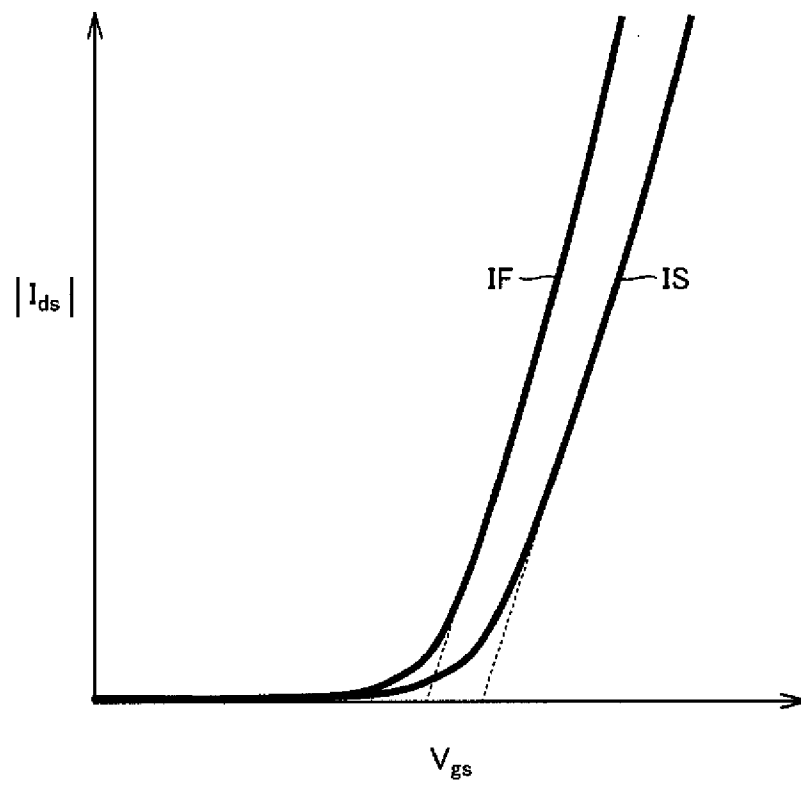
[図55]



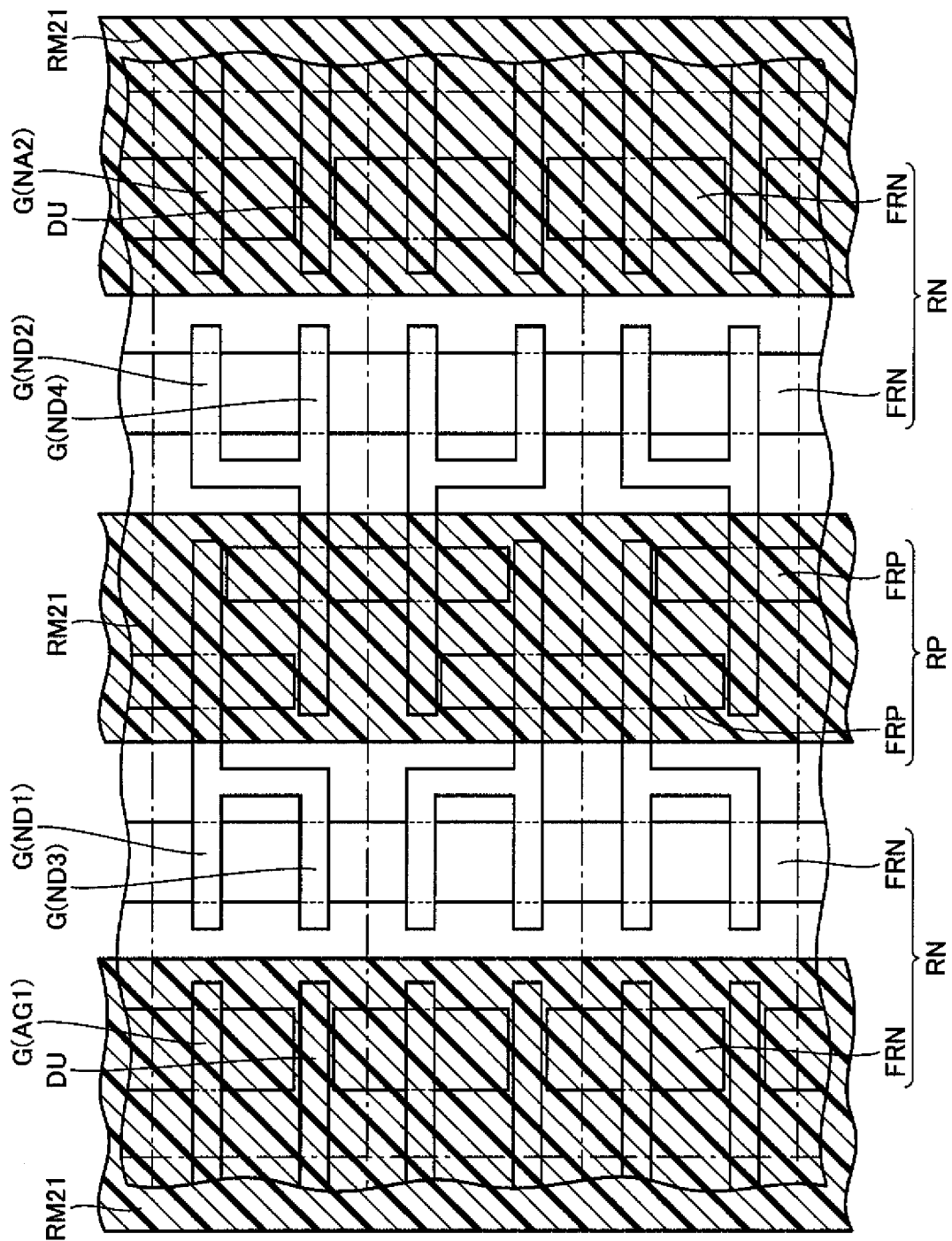
[図56]



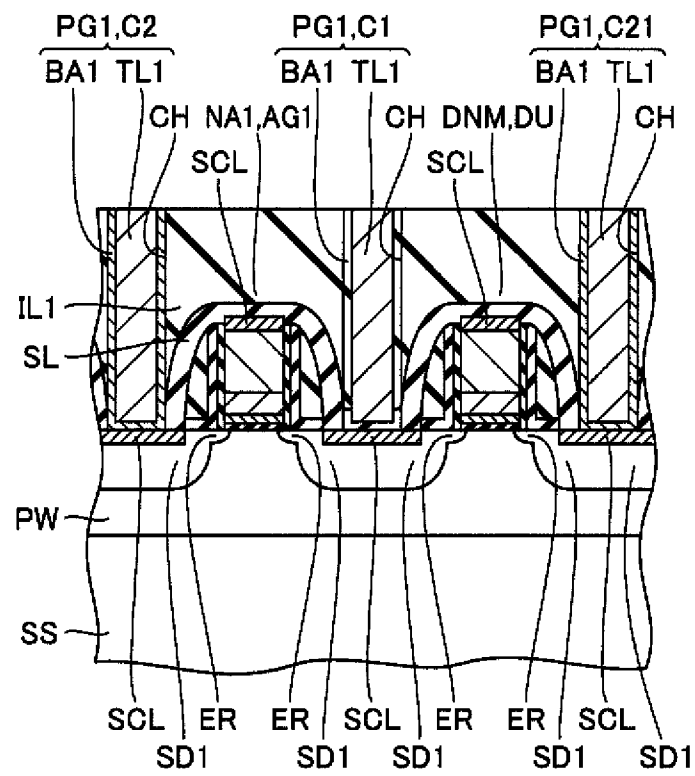
[図57]



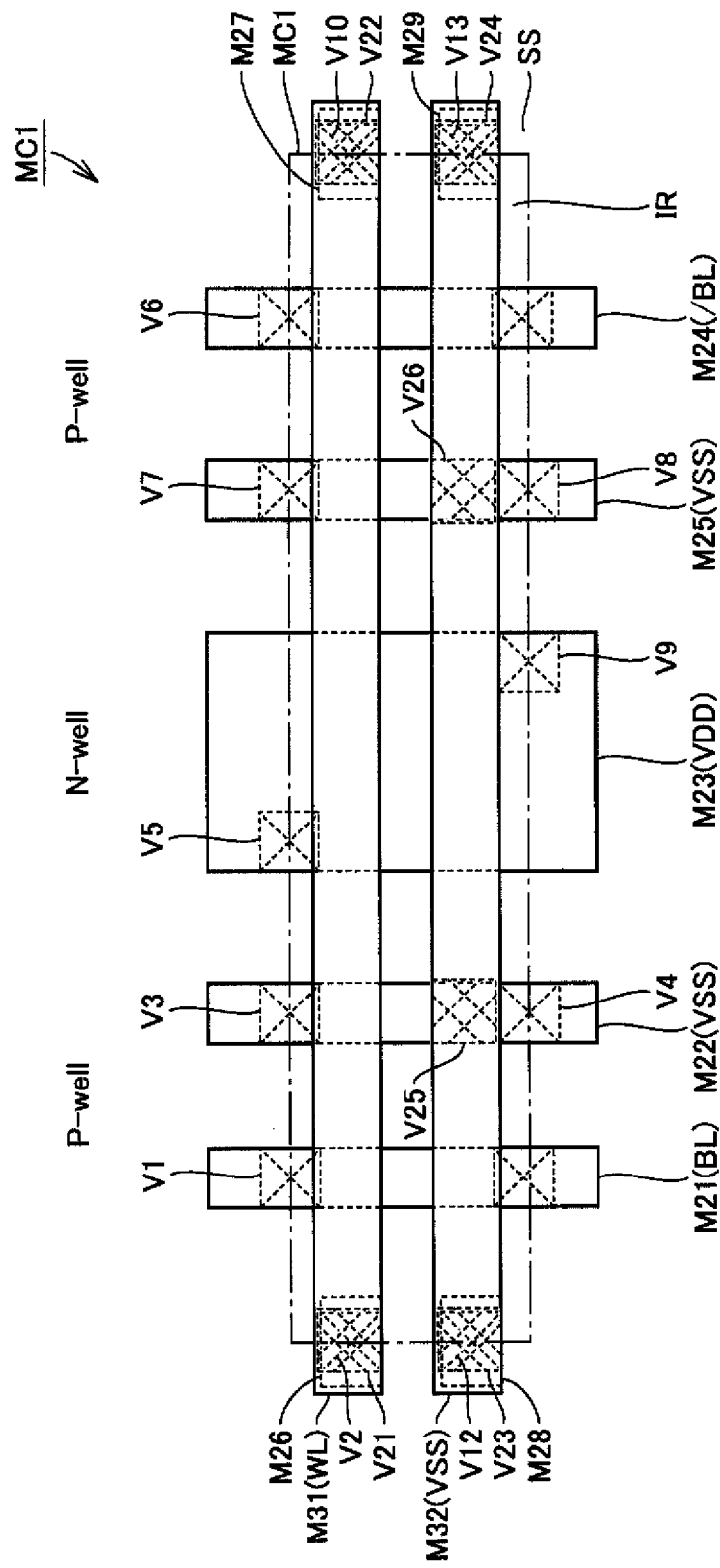
[図59]



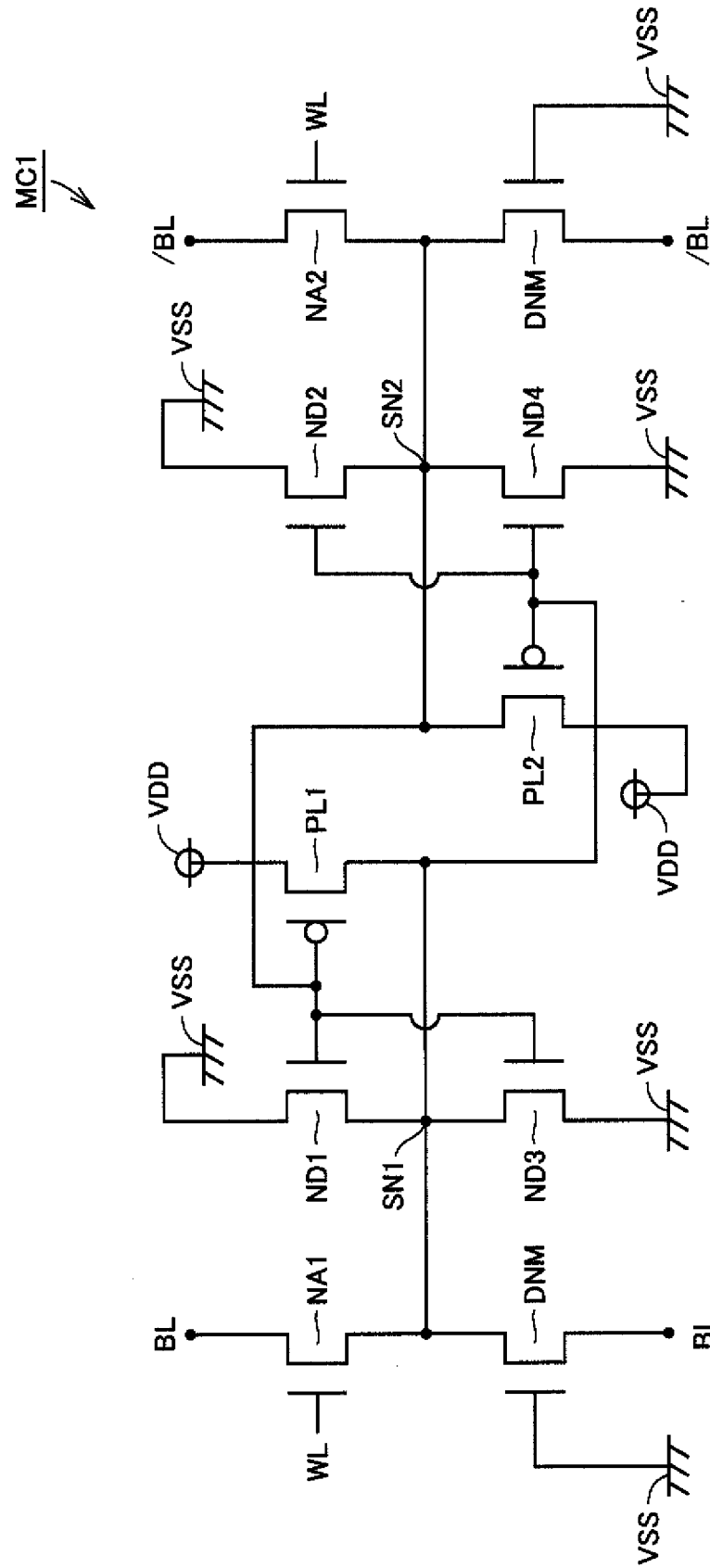
[図62]



[図63]



[図64]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063259

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8244(2006.01)i, H01L27/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8244, H01L27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-004664 A (Matsushita Electric Industrial Co., Ltd.), 10 January 2008 (10.01.2008), paragraphs [0056] to [0070]; fig. 1 to 2 (Family: none)	1, 3, 4, 9 11 2, 5-8, 10
X Y A	JP 2002-043441 A (Mitsubishi Electric Corp.), 08 February 2002 (08.02.2002), paragraphs [0047] to [0093]; fig. 1 to 6 & US 2001/0043487 A1 & DE 10123514 A & KR 10-2001-0106233 A	1, 3, 4, 6, 7, 9 11 2, 5, 8, 10
X Y A	JP 2004-335535 A (Renesas Technology Corp.), 25 November 2004 (25.11.2004), paragraphs [0035] to [0057]; fig. 8 to 10 & US 2004/0218455 A1 & KR 10-2004-0094281 A & CN 1542971 A	1, 3, 4, 9 11 2, 5-8, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 October, 2010 (28.10.10)

Date of mailing of the international search report
16 November, 2010 (16.11.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063259

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-111860 A (Mitsubishi Electric Corp.), 23 April 1999 (23.04.1999), paragraphs [0067] to [0070]; fig. 18, 20 & US 6236117 B1 & DE 19824209 A & CN 1213858 A	11
A	JP 2008-177278 A (Toshiba Corp.), 31 July 2008 (31.07.2008), paragraphs [0014] to [0031]; fig. 1 to 4 & US 2008/0173955 A1	5, 8
A	JP 2008-205168 A (Fujitsu Ltd.), 04 September 2008 (04.09.2008), entire text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/8244(2006.01)i, H01L27/11(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8244, H01L27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2008-004664 A（松下電器産業株式会社）2008.01.10, [0056]-[0070], 図 1-2（ファミリーなし）	1, 3, 4, 9 11 2, 5-8, 10
X Y A	JP 2002-043441 A（三菱電機株式会社）2002.02.08, [0047]-[0093], 図 1-6 & US 2001/0043487 A1 & DE 10123514 A & KR 10-2001-0106233 A	1, 3, 4, 6, 7, 9 11 2, 5, 8, 10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 1 0 . 2 0 1 0

国際調査報告の発送日

1 6 . 1 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

吉田 安子

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

4 4 9 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2004-335535 A (株式会社ルネサステクノロジ) 2004. 11. 25, [0035]-[0057], 図 8-10 & US 2004/0218455 A1 & KR 10-2004-0094281 A & CN 1542971 A	1, 3, 4, 9 11 2, 5-8, 10
Y	JP 11-111860 A (三菱電機株式会社) 1999. 04. 23, [0067]-[0070], 図 18, 図 20 & US 6236117 B1 & DE 19824209 A & CN 1213858 A	11
A	JP 2008-177278 A (株式会社東芝) 2008. 07. 31, [0014]-[0031], 図 1-4 & US 2008/0173955 A1	5, 8
A	JP 2008-205168 A (富士通株式会社) 2008. 09. 04, 全文, 全図 (ファ ミリーなし)	1-11