

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580010031.4

[51] Int. Cl.

H01L 21/66 (2006.01)

G05B 19/418 (2006.01)

H01L 21/28 (2006.01)

[43] 公开日 2007 年 3 月 28 日

[11] 公开号 CN 1938841A

[22] 申请日 2005.2.11

[21] 申请号 200580010031.4

[30] 优先权

[32] 2004.3.31 [33] US [31] 10/812,952

[86] 国际申请 PCT/US2005/004915 2005.2.11

[87] 国际公布 WO2005/104218 英 2005.11.3

[85] 进入国家阶段日期 2006.9.28

[71] 申请人 东京毅力科创株式会社

地址 日本东京都

[72] 发明人 岳红宇 陈立

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 李剑

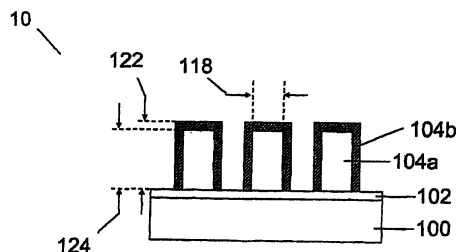
权利要求书 6 页 说明书 14 页 附图 10 页

[54] 发明名称

控制栅电极结构的修饰的方法

[57] 摘要

提供了一种用于控制包含具有第一尺寸的栅电极层的栅电极结构的修饰的方法和处理工具，包括确定栅电极结构的第一尺寸，选择目标修饰尺寸，将第一尺寸和目标修饰尺寸前馈到工艺模型以创建一组工艺参数，对栅电极结构执行修饰工艺，包括控制该组工艺参数，修饰栅电极结构，以及测量栅电极结构的修饰尺寸。修饰工艺可被重复至少一次，直到获得目标修饰尺寸，其中修饰尺寸可被反馈到工艺模型以创建一组新的工艺参数。



1. 一种制作半导体器件的方法，包括：
确定栅电极结构的第一尺寸；
选择目标修饰尺寸；
将所述第一尺寸和所述目标修饰尺寸前馈到工艺模型以创建一组工艺参数；以及
对所述栅电极结构执行修饰工艺，包括：
 控制所述修饰工艺中的该组工艺参数，并且
 修饰所述栅电极结构。
2. 如权利要求 1 所述的方法，还包括：
测量经修饰的栅电极结构的修饰尺寸。
3. 如权利要求 2 所述的方法，还包括重复所述执行步骤至少一次，直到获得所述目标修饰尺寸。
4. 如权利要求 3 所述的方法，其中所述执行步骤还包括将所述修饰尺寸反馈到所述工艺模型以创建一组新的工艺参数。
5. 如权利要求 1 所述的方法，其中该组工艺参数的创建包括
从所述第一尺寸、所述修饰尺寸、所述目标修饰尺寸或其两者或多者的组合计算反应层厚度；以及
基于所述反应层厚度确定该组工艺参数。
6. 如权利要求 5 所述的方法，其中所述确定步骤还包括选择至少一个工艺参数，同时保持其他工艺参数恒定。
7. 如权利要求 1 所述的方法，其中该组工艺参数包括处理气体压强、衬底温度、等离子体功率或处理时间或其两者或多者的组合。
8. 如权利要求 1 所述的方法，其中所述测量步骤包括使用散射技术、扫描电子显微镜（SEM）或这两者来确定所述第一尺寸。
9. 如权利要求 1 所述的方法，其中所述修饰步骤包括
通过与所述栅电极结构反应形成反应层；以及
通过化学刻蚀从所述栅电极结构的未反应部分选择性地去除所述反应

层。

10. 如权利要求 9 所述的方法，其中所述反应层是在自限制工艺中形成的。

11. 如权利要求 9 所述的方法，其中所述形成步骤包括将所述栅电极结构在热工艺、等离子体工艺或两者中暴露于反应气体。

12. 如权利要求 11 所述的方法，其中所述反应气体包括受激含氧气体。

13. 如权利要求 9 所述的方法，其中所述形成步骤包括将所述栅电极结构暴露于湿法氧化工艺。

14. 如权利要求 9 所述的方法，其中所述选择性去除步骤包括将所述栅电极结构暴露于刻蚀气体。

15. 如权利要求 9 所述的方法，其中所述选择性去除步骤包括将所述栅电极结构暴露于 $\text{HF}_{(\text{aq})}$ 。

16. 如权利要求 9 所述的方法，其中所述选择性去除步骤包括将所述栅电极结构暴露于 HF 和 NH_3 气体然后进行热处理。

17. 如权利要求 9 所述的方法，其中所述选择性去除步骤包括将所述栅电极结构暴露于远程等离子体中的 NF_3 和 NH_3 气体然后进行热处理。

18. 如权利要求 9 所述的方法，其中所述选择性去除步骤包括将所述栅电极结构暴露于湿法工艺。

19. 如权利要求 9 所述的方法，其中所述形成和去除步骤是在单个处理系统中执行的。

20. 如权利要求 9 所述的方法，其中所述形成和去除步骤是在多个处理系统中执行的。

21. 如权利要求 9 所述的方法，其中所述第一尺寸是光刻尺寸。

22. 如权利要求 9 所述的方法，其中所述形成步骤包括在所述栅电极的表面上形成氧化物层。

23. 如权利要求 1 所述的方法，其中所述栅电极结构包括栅电极层。

24. 如权利要求 23 所述的方法，其中所述栅电极层包括含 Si 层、含金属层或两者。

25. 如权利要求 24 所述的方法，其中所述栅电极层包括含 Si 层，含 Si 层包括无定型 Si、多晶 Si 或 SiGe 或其两者或多者的组合。

26. 如权利要求 24 所述的方法，其中所述栅电极层包括含金属层，含金属层包括金属、金属氮化物、金属氧化物或其两者或多者的组合。

27. 如权利要求 26 所述的方法，其中含金属层包括 TaN、TiN、TaSiN、Ru 或 RuO₂ 或其两者或多者的组合。

28. 如权利要求 23 所述的方法，其中所述栅电极结构还包括 ARC 层。

29. 如权利要求 28 所述的方法，其中所述 ARC 层包括有机 ARC 层或无机 ARC 层。

30. 如权利要求 28 所述的方法，其中所述 ARC 层包括 SiN。

31. 如权利要求 1 所述的方法，还包括将经修饰的栅电极结构用作用于各向异性刻蚀的掩模层。

32. 一种包含用于在处理器上执行的程序指令的计算机可读介质，所述程序指令当被所述处理器执行时，使得处理工具执行权利要求 1 的步骤。

33. 一种半导体器件，包括：

通过权利要求 1 的方法形成的经修饰的栅电极结构。

34. 一种处理工具，包括：

衬底加载室，配置用于加载和卸载衬底，所述衬底具有第一尺寸的栅电极结构；

转移系统，配置用于将所述衬底转移到所述处理工具内；

至少一个处理系统，配置用于对所述栅电极结构执行修饰工艺以形成修饰尺寸；

至少一个控制器，配置用于存储能够从所述第一尺寸和目标修饰尺寸创建一组工艺参数的工艺模型，并控制所述修饰工艺中的该组工艺参数；
以及

进一步处理系统，用于测量所述栅电极结构的第一尺寸、修饰尺寸或两者。

35. 如权利要求 34 所述的处理工具，其中所述至少一个处理系统被配置用于重复所述执行步骤至少一次，直到获得所述目标修饰尺寸。

36. 如权利要求 35 所述的处理工具，其中所述进一步处理系统测量所述修饰尺寸，并将所述修饰尺寸反馈到所述至少一个控制器以创建一组新的工艺参数。

37. 如权利要求 34 所述的处理工具，其中所述至少一个控制器：

从所述第一尺寸、修饰尺寸和目标修饰尺寸中的至少一个计算反应层厚度；以及

基于所述反应层厚度确定该组工艺参数。

38. 如权利要求 37 所述的处理工具，其中所述至少一个控制器通过选择至少一个工艺参数同时保持其他工艺参数恒定来确定该组工艺参数。

39. 如权利要求 34 所述的处理工具，其中该组工艺参数包括处理气体压强、衬底温度、等离子体功率或处理时间或其两者或多者的组合。

40. 如权利要求 34 所述的处理工具，其中所述进一步处理系统包括散射技术、扫描电子显微镜（SEM）或这两者。

41. 如权利要求 34 所述的处理工具，其中所述至少一个处理系统：

通过与所述栅电极结构的反应形成反应层；以及

通过化学刻蚀从所述栅电极结构的未反应部分选择性地去除所述反应层。

42. 如权利要求 41 所述的处理工具，其中所述反应层是在自限制工艺中形成的。

43. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所述栅电极结构在热工艺、等离子体工艺或两者中暴露于反应气体以形成所述反应层。

44. 如权利要求 43 所述的处理工具，其中所述反应气体包括受激含氧气体。

45. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所述栅电极结构暴露于湿法氧化工艺以形成所述反应层。

46. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所

述栅电极结构暴露于刻蚀气体以去除所述反应层。

47. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所述栅电极结构暴露于 $\text{HF}_{(\text{aq})}$ 以去除所述反应层。

48. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所述栅电极结构暴露于 HF 和 NH_3 气体然后进行热处理。

49. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所述栅电极结构暴露于远程等离子体中的 NF_3 和 NH_3 气体然后进行热处理。

50. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统将所述栅电极结构暴露于湿法工艺。

51. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统由单个处理系统组成。

52. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统包括多个处理系统。

53. 如权利要求 34 所述的处理工具，其中所述第一尺寸是光刻尺寸。

54. 如权利要求 41 所述的处理工具，其中所述至少一个处理系统在所述栅电极的表面上形成氧化物层作为所述反应层。

55. 如权利要求 34 所述的处理工具，其中所述栅电极结构包括栅电极层。

56. 如权利要求 55 所述的处理工具，其中所述栅电极层包括含 Si 层、含金属层或两者。

57. 如权利要求 56 所述的处理工具，其中所述栅电极层包括含 Si 层，含 Si 层包括无定型 Si 、多晶 Si 或 SiGe 或其两者或多者的组合。

58. 如权利要求 56 所述的处理工具，其中所述栅电极层包括含金属层，含金属层包括金属、金属氮化物、金属氧化物或其两者或多者的组合。

59. 如权利要求 58 所述的处理工具，其中含金属层包括 TaN 、 TiN 、 TaSiN 、 Ru 、 RuO_2 或其两者或多者的组合。

60. 如权利要求 55 所述的处理工具，其中所述栅电极结构还包括 ARC 层。

61. 如权利要求 60 所述的处理工具，其中所述 ARC 层包括有机 ARC 层或无机 ARC 层。

62. 如权利要求 60 所述的处理工具，其中所述 ARC 层包括 SiN。

63. 如权利要求 34 所述的处理工具，其中所述至少一个处理系统被配置用于湿法处理。

64. 如权利要求 34 所述的处理工具，还包括被配置用于等离子体刻蚀的附加处理系统。

65. 如权利要求 64 所述的处理工具，其中所述附加处理系统被配置用于 RIE。

控制栅电极结构的修饰的方法

相关申请的交叉引用

该 PCT 申请基于并要求 2004 年 3 月 31 日提交的美国非临时专利申请 10/812,952 的优先权，这里通过引用并入其全部内容。

本发明与 2004 年 1 月 4 日提交的美国专利申请 No. 10/756,759 有关，这里通过引用并入其全部内容。

技术领域

本发明涉及半导体制造，具体而言，涉及控制化学修饰工艺中栅电极结构的修饰的方法。

背景技术

等离子体处理系统用于半导体、集成电路、显示器和其他设备或材料的制造和处理。等离子体处理可用于将集成电路的图案从光刻掩模转移到半导体衬底上。光刻掩模可以包括抗刻蚀的光刻胶层，光刻胶层被沉积在衬底上，在所选的光刻图案下曝光然后显影。除了光刻胶层以外，光刻掩模结构还可以包括附加掩模层，例如抗反射涂层（ARC）。ARC 层常用于减少在光刻步骤期间来自衬底的光反射，并且牺牲掩模可用于图案化衬底上的区域。然后，衬底在等离子体工艺中进行各向异性刻蚀，其中图案化的光刻胶/掩模层限定了衬底中的开口。

微电子器件的最小特征尺寸正接近于深亚微米区域以满足更快的、功耗更低的微处理器和数字电路的需要。电路的临界尺寸（CD）是被确定为对于被制造的器件来说进行正常工作的临界的线条或空间的宽度，并且其还确定了器件的性能。

可以利用光刻胶材料层获得的最小初始特征尺寸受限于用来曝光并图案化光刻胶层的光刻技术。通常，利用等离子体刻蚀方法，图案化光刻胶

(PR)层的尺寸被修饰而超过了光刻技术的极限。在等离子体刻蚀工艺期间 CD 的减小被称为 CD 偏置。然而, 等离子体 PR 修饰工艺的结果是疏密(iso-dense) CD 偏置的, 其在保持所有其他处理参数(例如, 聚焦和曝光量)恒定的情况下, 在致密(间隔很近)和隔离结构的 CD 上有差别。这是由于主要为中性的各向同性刻蚀工艺的本质决定的。

发明内容

本发明提供了一种修饰栅电极结构的方法, 包括: 确定栅电极结构的第一尺寸, 选择目标修饰尺寸, 将第一尺寸和目标修饰尺寸前馈到工艺模型以创建一组工艺参数, 以及对栅电极结构执行修饰工艺, 包括控制修饰工艺中的该组工艺参数, 并且修饰栅电极结构。

修饰工艺可被重复至少一次, 直到获得目标修饰尺寸, 其中修饰尺寸可被反馈到工艺模型以创建一组新的工艺参数。

本发明提供了一种用于修饰栅电极结构的处理工具。该处理工具包括被配置用于加载和卸载衬底(所述衬底具有第一尺寸的栅电极结构)的衬底加载室, 被配置用于将衬底转移到处理工具内的转移系统, 被配置用于对栅电极结构执行修饰工艺以形成修饰尺寸的至少一个处理系统, 被配置用于存储能够从第一尺寸和目标修饰尺寸创建一组工艺参数的工艺模型并控制修饰工艺中的该组工艺参数的至少一个控制器, 以及用于测量栅电极结构的第一尺寸和修饰尺寸中的至少一个的进一步处理系统。

附图说明

在附图中:

图 1A-1G 示出了根据本发明实施例用于修饰栅电极结构的工艺流程的示意性横截面图;

图 2 示意性地示出了根据本发明实施例反应层厚度与反应气体暴露量之间的函数关系;

图 3A-3C 示出了根据本发明另一实施例用于修饰栅电极结构的工艺流程的示意性横截面图;

图 4A-4B 示出了根据本发明又一实施例用于修饰栅电极结构的工艺流程的示意性横截面图；

图 5A-5D 示出了根据本发明又一实施例用于修饰栅电极结构的工艺流程的示意性横截面图；

图 6 是根据本发明实施例用于修饰栅电极结构的流程图；

图 7 是根据本发明实施例用于控制栅电极结构的修饰的流程图；

图 8 示意性地示出了根据本发明实施例用于修饰栅电极结构的处理工具；以及

图 9 描绘了可用来实现本发明的通用计算机。

具体实施方式

图 1A-1G 示出了根据本发明实施例用于修饰栅电极结构的工艺流程的示意性横截面图。利用软掩模处理方案，通过化学刻蚀工艺来修饰光刻图案化的栅电极结构的尺寸。修饰后的尺寸可以低于光刻胶图案的光刻尺寸，或者其可以是任何尺寸。

图 1A 示出了包含衬底 100、高 k 层 102、栅电极层 104、有机 ARC 层 106 和图案化光刻胶层 108 的栅电极结构 10。栅电极层 104 可以是含 Si 层，例如无定型 Si、多晶 Si 或 SiGe 或其任意组合。或者，栅电极层 104 可以是含金属层，例如金属（例如 Ru）、金属合金（例如 TiNi）、金属氮化物（例如 TaN、TaSiN、TiN、HfN）、或金属氧化物（例如 RuO₂）或其任意组合。高 k 层 102 例如可以包含 HfO₂、HfSiO_x、ZrO₂ 或 ZrSiO_x 或其两者或多者的组合。图案化光刻胶层 108 可以通过将光刻胶层透过掩模曝光，然后利用显影剂溶液去除未曝光区域来形成。在图 1A 中所得到的具有初始光刻尺寸 122 的图案化光刻胶层 108 可用来利用诸如反应离子刻蚀（RIE）之类的各向异性刻蚀工艺将光刻图案转移到下层 104 和 106 上。栅电极层 104 和有机 ARC 层 106 的刻蚀可以利用多种公知的刻蚀气体执行。刻蚀气体例如可以包含 Cl₂、HBr、HCl、CF₄、SF₆、C₂F₆ 或 NF₃ 或其两者或多者的组合。图 1A 中所示的栅电极结构 10 可以进行约 4 分钟的刻蚀工艺，以形成图 1B 中所示的栅电极结构 10。刻蚀工艺在光刻胶层

108、有机 ARC 层 106 和栅电极层 104 中产生了对应于初始光刻尺寸 122 和第一水平尺寸 120 之间的差的小的 CD 偏置，如图 1B 所示。

随后，光刻胶层 108 和有机 ARC 层 106 可以在执行化学修饰工艺之前去除，如图 1C 所示，或者，光刻胶层 108 和有机 ARC 层 106 可用来在修饰工艺期间保护栅电极层 104 的水平（顶）面。在图 1C 中，栅电极层 104 具有第一水平尺寸 120 和第一垂直尺寸 122。化学修饰工艺可以进一步减少 CD（第一水平尺寸 118，见图 1D）至低于光刻尺寸 120，而不改变栅电极层 104 的疏密 CD 偏置或外形（外形上可以有略微改变）。

在化学修饰工艺中，图 1C 中的栅电极结构 10 可以暴露于反应气体，该反应气体与栅电极结构 10 发生各向同性反应，以形成图 1D 中所示的反应层 104b。反应气体可以在热工艺或等离子体工艺中暴露于栅电极结构。反应层 104b 的厚度取决于工艺条件，例如反应气体类型、反应气体压强、暴露时间和衬底温度。反应层 104b 的形成通过充当物理扩散阻挡，阻碍了剩余的栅电极层 104a 和反应气体之间的进一步反应。栅电极结构 10 暴露于反应气体这样长的一段时间，该段时间能够形成具有期望厚度的反应层 104b。

图 2 示意性地示出了根据本发明实施例反应层厚度与反应气体暴露时间之间的函数关系。曲线 200-220 示出了不同处理条件下的不同反应层厚度。如图 2 所示，首先可以观察到反应层厚度的快速增长，接着随着暴露时间的增加，增大速率“变平”。“变平”是因为自限制反应，其中反应层厚度接近渐近值。在实际中，选择工艺条件，以在对于半导体制造来说实际可行的时间量程内形成具有所需控制和可重复性的反应层。从而，可以开发出不同的修饰方案，其产生了不同的反应层厚度，并且允许对修饰工艺进行良好的可重复控制。

对于多晶 Si 栅电极层 104，取决于等离子体处理条件和衬底温度，可以在对于半导体器件的制造来说实际可行的时间量程内（例如，约 10 秒～约 30 秒）形成具有约 2nm 到约 5nm 之间的厚度的 SiO₂ 反应层 104b。在本发明的一个实施例中，包含受激氧物质的反应气体被用于与多晶 Si 栅电极层反应以形成 SiO₂ 反应层 104b。受激氧物质可利用 O₂ 等离子

体源产生。 O_2 等离子体源可以是远程等离子体源，如果该源需要远离被处理系统中的衬底的话。

在本发明的另一个实施例中，诸如 O_2 或 H_2O 之类的含氧气体可用于热氧化多晶 Si 栅电极以形成 SiO_2 反应层。在本发明的又一个实施例中，可以使用湿法氧化工艺。氧化工艺例如可以将衬底浸入在热 H_2O 或酸性溶液中。

在一个示例中，选择 O_2 等离子体处理条件和衬底温度，以在约 15 秒内在隔离和致密栅电极结构上产生约 4nm 厚的 SiO_2 反应层 104b。 SiO_2 反应层 104 的厚度看起来在室温下在约 15 秒后饱和，并且延长暴露时间并不会导致反应层 104b 的厚度增加。用于形成 SiO_2 反应层 104b 的短处理时间允许实现所需的高衬底产量。

返回图 1D，当形成具有期望厚度的反应层 104b 时，停止栅电极结构 10 暴露于反应气体的操作。其后，从未反应的栅电极层 104a 上去除（剥离）反应层 104b。反应层 104b 例如可以通过将栅电极结构 10 暴露于刻蚀气体来去除。对能够去除反应层 104b 的刻蚀气体的选择可能取决于栅电极材料。反应层 104b 的去除对于未反应的栅电极材料是选择性的，并且得到图 1E 中所示的经修饰栅电极层 104a。刻蚀气体例如可以是含水 HF 蒸气（ $HF_{(aq)}$ ）。本领域技术人员将会意识到， $HF_{(aq)}$ 对于 SiO_2 有高的基于 Si 的刻蚀选择性，从而允许从剩余的 Si 栅电极层 104a 上快速有选择性的去除 SiO_2 反应层 104b。 SiO_2 反应层 104b 暴露于 $HF_{(aq)}$ 刻蚀气体的操作可以执行预定时间段，该时间段的时长足够完成 SiO_2 反应层 104b 的去除。在本发明的一个示例中，可以在约 10 秒内去除 4nm 厚的 SiO_2 反应层 104b。经修饰的栅电极层 104a 具有第二水平尺寸 118 和第二垂直尺寸 124，其分别小于图 1C 中的第一水平尺寸 120 和第一垂直尺寸 122。如果希望进一步修饰栅电极层 104a，则可以重复修饰工艺。重复修饰工艺形成了图 1F 中的反应层 104d，以及图 1G 中的具有新的尺寸 116 和 126 的经修饰栅电极层 104c。修饰去掉氧化膜 104a 的另一示例是使用 COR（化学氧化物去除）。刻蚀气体 HF 和 NH_3 被用于与氧化膜反应，随后使用热处理来蒸发掉修饰产物。另一 COR 示例是使用由远程等离子体源激发的 NF_3

和 NH_3 刻蚀气体。另一 COR 示例是使用 NH_4F 蒸气来与氧化膜进行热反应。另一修饰去掉氧化膜 104a 的示例是使用湿法工艺。湿法工艺例如可以将衬底浸入在缓冲的 HF 溶液中。

修饰周期包括形成反应层并去除反应层。在图 1C-1E 中, 修饰周期减小了栅电极层 104 的第一水平尺寸 120, 减小量是第一垂直尺寸 122 的两倍。在本发明的一个实施例中, 一个修饰周期可以使 Si 栅电极层 104 的第一水平尺寸 120 减小约 8nm, 使垂直尺寸减小约 4nm。在一个示例中, 第一水平尺寸 120 可以约为 120nm, 第一垂直尺寸 122 可以约为 140nm。包含 10 个修饰周期的修饰工艺可以使第一水平尺寸 120 减小到约 40nm, 使第一垂直尺寸 122 减小到约 100nm。

图 3A-3C 示出了根据本发明另一个实施例用于修饰栅电极结构的工艺流程的示意性横截面图。在图 3A 中, 含金属层 103 插入在栅电极层 104 和介电层 102 之间。含金属层 103 例如可以选自 TaN、TiN、TaSiN、Ru 或 RuO_2 材料或其任意组合。高 k 层 102 例如可以包含 HfO_2 、 HfSiO_x 、 ZrO_2 或 ZrSiO_x 或其两者或多者的任意组合。栅电极层 104 的修饰可以按如上在图 1B-1G 中所述的那样执行, 以形成具有尺寸 116 和 126 的栅电极结构 10, 如图 3B 中所示。随后, 经修饰的栅电极层 104c 可用作各向异性刻蚀工艺中的掩模层, 以限定含金属层 103 中的子光刻刻蚀特征, 如图 3C 所示。含金属层 103 的刻蚀根据这些层的刻蚀比, 减小了栅电极层 104c 的尺寸 126。在多晶 Si 层 104c 和 TiN 层 103 的示例中, 刻蚀比可以约为 1.5 (多晶 Si/TiN)。因此, 为了获得期望的垂直尺寸 128, 尺寸 126 可以基于层 104 和 103 的刻蚀比来选择。TaN、TiN 和 TaSiN 材料可以利用基于卤素的气体 (例如 Cl_2) 进行等离子体刻蚀。含 Ru 材料例如可以利用 O_2 和 Cl_2 气体混合物进行等离子体刻蚀。或者, 如图 4A-4B 所示, 无机 ARC 层可用于防止减小尺寸 126, 同时刻蚀含金属层 103。

图 4A-4B 示出了根据本发明又一个实施例用于修饰栅电极结构的工艺流程的示意性横截面图。图 4A 中的栅电极结构 10 包含无机 ARC 层 106, 无机 ARC 层 106 与栅电极层 104 一起被修饰, 以形成图 4B 中的经修饰栅电极结构 10。无机 ARC 层 106 例如可以包含 SiN, 并且介电层 102 可以

选自 SiO_2 、 SiO_xN_y 或诸如 HfO_2 、 HfSiO_x 、 ZrO_2 或 ZrSiO_x 之类的高 k 材料。

SiN ARC 层 106 和多晶 Si 栅电极层 104 的修饰可以通过将栅电极结构 10 暴露于 O_2 等离子体中的受激氧物质来执行。反应层的生长速率可以随 SiN ARC 层和多晶 Si 栅电极层而不同，但是渐近反应层厚度预计在 SiN 和多晶 Si 材料上是类似的。

图 5A-5D 示出了根据本发明又一个实施例用于修饰栅电极结构的工艺流程的示意性横截面图。栅电极结构 10 包含衬底 100、介电层 102、栅电极层 104、无机 ARC 层 106 和图案化光刻胶层 108。无机 ARC 层 106 例如可以包含 SiN ，并且介电层 102 可以选自 SiO_2 、 SiO_xN_y 和诸如 HfO_2 、 HfSiO_x 、 ZrO_2 和 ZrSiO_x 之类的高 k 材料。图 5A 示出了在无机 ARC 层 106 的等离子体刻蚀和栅电极层 104 的部分刻蚀之后的栅电极结构。图 5B 示出了在一个修饰周期之后的经修饰栅电极结构 10，图 5C 示出了在两个修饰周期之后的经修饰栅电极结构 10。图 5D 示出了在栅电极层 104c 的各向异性刻蚀之后的栅电极结构 10。

图 6 是根据本发明实施例用于修饰栅电极结构的流程图。在 600，开始工艺。在 610，在处理系统中提供包含具有第一尺寸的栅电极层的栅电极结构。在 620，选择修饰方案。修饰方案的选择要能够对栅电极结构进行期望的修饰。在 630，通过与栅电极结构反应形成反应层。在本发明的一个实施例中，反应层可以通过在热工艺或等离子体工艺中将栅电极结构暴露于反应气体来形成。在 640，从栅电极结构的未反应部分去除反应层，从而形成具有小于第一尺寸的第二尺寸的栅电极结构。在本发明的一个实施例中，反应层可以通过将其暴露于能够选择性地刻蚀反应层的刻蚀气体来去除。

在本发明的一个实施例中，提供了一种用于使用工艺模型控制栅电极结构的修饰的方法。工艺模型包含一组工艺参数，处理系统使用这一组工艺参数来在修饰工艺中修饰栅电极结构的尺寸。工艺模型可以利用数学函数来表征工艺参数和反应层厚度之间的关系。在一个示例中，上述关系可以如方程 (1) 所示地表示：

$$t=f(x)+b \quad (1)$$

其中 t 是反应层厚度, b 是常数, x 是处理系统用来执行修饰工艺的一组工艺参数。函数 $f(x)$ 例如可以是线性函数或二次函数。这组工艺参数例如可以包括处理气体压强、衬底温度、等离子体功率和处理时间。方程 (1) 中的工艺参数和反应层厚度之间的关系被称为修饰曲线。

在本发明的一个实施例中, 可以选择这样的修饰曲线, 其包含单个可变工艺参数, 而其他工艺参数保持恒定。通过选择单个可变工艺参数 (例如处理气体压强), 目标反应层厚度可以如方程 (2) 所示地表示:

$$t=g(p)+c \quad (2)$$

其中 p 是处理气体压强, c 是常数。这种处理气体压强和反应层厚度之间的关系被称为基于压强的修饰曲线。

或者, 压强修饰曲线族可以通过变化至少一个附加工艺参数 (例如等离子体功率) 来获得。可用压强修饰曲线族可以提供更大的工艺灵活性, 并且减少了对诸如压强控制限度、功率限度、气体流量控制器分辨率之类的工艺操作条件的约束。

包含修饰曲线组的工艺模型可以通过执行多个修饰工艺并将不同的工艺参数与所得到的反应层厚度和修饰量相关联来创建。然后, 工艺模型可用于根据目标反应层厚度来控制这组工艺参数, 如方程 (3) 所示:

$$x=f^{-1}(t-b) \quad (3)$$

其中 f^{-1} 是 f 的反函数。

该 PCT 申请基于并要求 2004 年 3 月 30 日提交的美国非临时专利申请 10/812,354 的优先权, 这里通过引用并入其全部内容。在本发明的一个实施例中, 栅电极结构的第一尺寸可以是初始临界尺寸 CD_0 (例如如图 1C 中的尺寸 120), 目标修饰尺寸可以是目标临界尺寸 CD_t (例如如图 1E 中的尺寸 118 或图 1G 中的尺寸 116)。然后, 尺寸 CD_0 和 CD_t 被前馈到被配置用于根据方程 (4) 计算目标反应层厚度的控制器:

$$t=(CD_0-CD_t)/2 \quad (4)$$

在使用处理气体压强 p 作为单个可变工艺参数并且衬底具有初始尺寸 CD_0 和目标修饰尺寸 CD_t 的示例中, 可以从方程 (5) 计算获得目标修饰尺

寸 CD_t 所需的处理气体压强 p :

$$p = g^{-1}((CD_0 - CD_t)/2 - c) \quad (5)$$

很明显, 如果目标反应层厚度大于反应层厚度某一量并且该量大于在单次修饰工艺中可以获得的量, 则可能有必要执行多次修饰工艺。可以选择这样的多次修饰工艺以产生相同的反应层厚度, 或者, 可以选择多次工艺以产生不同的反应层厚度。

图 7 是根据本发明实施例用于控制栅电极结构的修饰的流程图。在 762, 开始工艺。在 764, 在修饰前测量步骤中测量栅电极结构的第一尺寸。第一尺寸和目标修饰尺寸被前馈到工艺模型 766, 以根据第一尺寸和目标修饰尺寸创建一组工艺参数。随后, 在 768 根据工艺模型执行修饰工艺, 以形成具有小于第一尺寸的经修饰尺寸的经修饰栅电极结构。在修饰工艺后, 在 770 在修饰后测量步骤中测量经修饰尺寸。

如果修饰工艺 768 产生了大于期望目标修饰尺寸的修饰尺寸, 则可以重复修饰工艺 768 至少一次, 直到获得目标修饰尺寸。重复步骤还可以包括将修饰尺寸反馈到工艺模型 766 以创建一组新的工艺参数。从而, 修饰工艺可以执行多次, 直到获得目标修饰尺寸, 其中一组新的工艺参数可以在执行每次修饰工艺之前创建。当获得目标修饰尺寸时, 工艺在 768 结束。

图 8 示意性地示出了根据本发明实施例用于修饰栅电极结构的处理工具。处理工具 800 例如可以是来自 Japan, Akasaka 的 Tokyo Electron Limited 的 UnityMe 刻蚀工具。处理工具 800 包含衬底加载室 810 和 820、处理系统 830-860、机械转移系统 870 和控制器 880。在本发明的一个实施例中, 可以在处理系统 840 中执行光刻胶层 108、ARC 层 106、栅电极层 104 (例如见图 1) 和含金属层 103 (例如见图 3) 的等离子体刻蚀。在本发明的一个实施例中, 可以在处理系统 850 中执行通过将栅电极结构暴露于反应气体而进行的反应层的形成, 并且可以在处理系统 860 中执行通过暴露于刻蚀气体而进行的反应层 104b 的去除。

反应层 104b 的形成和去除可以如上所述在单个处理系统中执行, 或者可以在不同处理系统中执行。当修饰工艺包括难以在气体暴露后从处理

系统中抽空的腐蚀性气体反应物时，使用多个处理系统来执行修饰周期可能是有利的。包含腐蚀性气体反应物的高背景压强可能导致与栅电极层的连续反应，并且可能腐蚀半导体衬底。

在本发明的一个实施例中，处理系统 830 可用作用于确定栅电极结构的尺寸的分析室。基于测得的尺寸，决定是利用相同的或另一个修饰方案执行另一个修饰周期，还是停止修饰工艺。处理系统 830 例如可以是来自 CA, Santa Clara 的 TIMBRE Technologies 的 Optical Digital Profilometer（光学数字轮廓曲线仪，ODPTM）或扫描电子显微镜（SEM）。

处理工具 800 可由控制器 880 控制。控制器 880 可以耦合到衬底加载室 810 和 820、处理系统 830-860 和机械转移系统 870，并与之交换信息。例如，存储在控制器 880 的存储器中的程序可用于根据期望工艺控制处理工具 800 的前述组件，并且执行与监视工艺相关联的任何功能。此外，控制器 880 可以存储用于创建一组工艺参数的工艺模型，这组工艺参数用于在处理工具 800 中执行修饰工艺。控制器 880 的一个示例是可以从 Texas, Austin 的 Dell Corporation 获得的 Dell Precision Workstation 610TM。或者，处理工具 800 可以包含多于一个控制器以执行上述功能。

图 9 图示了可以实现本发明实施例的计算机系统 1201。计算机系统 1201 可用作图 8 的控制器，或者可用于执行上述功能中的任何一个或全部的类似控制器。计算机系统 1201 包括总线 1202 或用于传输信息的其他通信机构，和与总线 1202 相耦合用于处理信息的处理器 1203。计算机系统 1201 还包括主存储器 1204，如随机访问存储器（RAM）或其他动态存储设备（例如动态 RAM（DRAM）、静态 RAM（SRAM）和同步 DRAM（SDRAM）），这些存储器耦合到总线 1202，用于存储信息和处理器 1203 执行的指令。另外，主存储器 1204 可用于存储在处理器 1203 执行指令期间的临时变量或其他中间信息。计算机系统 1201 还包括只读存储器（ROM）1205 或其他静态存储设备（例如，可编程 ROM（PROM）、可擦写 PROM（EPROM）和电可擦写 PROM（EEPROM）），这些设备耦合到总线 1202，用于存储静态信息和处理器 1203 的指令。

计算机系统 1201 还包括盘控制器 1206，盘控制器 1206 耦合到总线

1202 以控制用于存储信息和指令的一个或多个存储设备，如磁硬盘 1207 和可移动介质驱动器 1208（例如，软盘驱动、只读光盘驱动、读/写高密盘驱动、光盘机、磁带驱动和可移动磁光驱动）。存储设备可以利用合适的设备接口（例如，小型计算机系统接口（SCSI）、集成电子设备（IDE）、增强 IDE（E-IDE）、直接存储器访问（DMA）或 ultra-DMA）添加到计算机系统 1201 上。

计算机系统 1201 还可以包括专用逻辑器件（例如，专用集成电路（ASIC））或可配置逻辑器件（例如，简单可编程逻辑器件（SPLD）、复杂可编程逻辑器件（CPLD）和现场可编程门阵列（FPGA））。计算机系统还可以包括一个或多个数字信号处理器（DSP），如来自 Texas Instruments 的 TMS320 系列芯片，来自 Motorola 的 DSP56000、DSP56100、DSP56300、DSP56600 和 DSP96000 系列芯片，来自 Lucent Technologies 的 DSP1600 和 DSP3200 系列，或者来自 Analog Devices 的 ADSP2100 和 ADSP21000 系列。也可以使用其他专门设计用来处理已被转换到数字域的模拟信号的处理器。计算机系统还可以包括一个或多个数字信号处理器（DSP），如来自 Texas Instruments 的 TMS320 系列芯片，来自 Motorola 的 DSP56000、DSP56100、DSP56300、DSP56600 和 DSP96000 系列芯片，来自 Lucent Technologies 的 DSP1600 和 DSP3200 系列，或者来自 Analog Devices 的 ADSP2100 和 ADSP21000 系列。也可以使用其他专门设计用来处理已被转换到数字域的模拟信号的处理器。

计算机系统 1201 还可以包括耦合到总线 1202 以控制显示器 1210（如阴极射线管（CRT））的显示控制器 1209，显示器 1210 用于向计算机用户显示信息。计算机系统包括诸如键盘 1211 和点选设备 1212 之类的输入设备，其用于与计算机用户交互并向处理器 1203 提供信息。点选设备 1212 例如可以是鼠标、跟踪球、或点选棍，其用于将方向信息和命令选择传输到处理器 1203 并控制显示器 1210 上光标的移动。另外，打印机可以提供计算机系统 1201 存储和/或生成的数据的打印列表。

响应于处理器 1203 执行包含在存储器（如主存储器 1204）中的一条或多条指令的一个或多个序列，计算机系统 1201 执行本发明的处理步骤

中的一部分或全部。这些指令可以从另一种计算机可读介质（如硬盘 1207 或可移动介质驱动器 1208）读取到主存储器 1204 中。也可以采用多处理配置中的一个或多个处理器来执行包含在主存储器 1204 中的指令序列。在替换实施例中，可以使用硬连线电路来替代软件指令或与软件指令相组合。从而，实施例并不限于硬件电路和软件的任何特定组合。

如上所述，计算机系统 1201 包括至少一个计算机可读介质或存储器，其用于保存根据本发明的教导编程的指令，并保存数据结构、表、记录或这里所述的其他数据。计算机可读介质的示例是光盘、硬盘、软盘、磁带、磁光盘、PROM（EPROM、EEPROM、快闪 EPROM）、DRAM、SRAM、SDRAM、或任何其他磁介质、光盘（例如，CD-ROM）、或任何其他光介质、穿孔卡片、纸带、或其他具有孔图案的物理介质、载波（将在下面描述）、或计算机可以读取的任何其他介质。

本发明包括存储在计算机可读介质中的任何一种或其组合上的软件，该软件用于控制计算机系统 1201，驱动一个或多个设备以实现本发明，并且使计算机系统 1201 能够与人类用户交互（例如，打印生产员工）。这种软件可以包括但不限于设备驱动器、操作系统、开发工具和应用软件。这种计算机可读介质还包括本发明的计算机程序产品，其用于执行在实现本发明时所执行的处理中的一部分（如果处理是分布式的话）或全部。

本发明的计算机代码设备可以是任何可解释或可执行的代码机构，包括但不限于脚本、可解释程序、动态链接库（DLL）、Java 类和完全可执行程序。而且，本发明的处理的一部分可以是分布式的，以实现更好的性能、可靠性和/或成本。

这里所用的术语“计算机可读介质”指参与向处理器 1203 提供指令以用于执行的任何介质。计算机可读介质可以采取许多形式，包括但不限于非易失性介质、易失性介质和传输介质。非易失性介质例如包括光盘、磁盘和磁光盘，如硬盘 1207 或可移动介质驱动器 1208。易失性介质包括动态存储器，如主存储器 1204。传输介质包括同轴电缆、铜线和光纤，包括构成总线 1202 的线路。传输介质还可以采取声波或光波的形式，如在无线电波和红外数据通信期间生成的波。

各种形式的计算机可读介质可用来向处理器 1203 提供一条或多条指令的一个或多个序列以用于执行。例如，指令可以首先装载在远程计算机的磁盘上。远程计算机可以将用于实现本发明的全部或一部分的指令远程地加载到动态存储器中，并利用调制解调器经由电话线发送指令。在计算机系统 1201 本地的调制解调器可以在电话线上接收数据，并使用红外发送器将数据转换为红外信号。耦合到总线 1202 的红外检测器可以接收红外信号中承载的数据，并将数据放在总线 1202 上。总线 1202 将数据传输到主存储器 1204，处理器 1203 从主存储器 1204 取得并执行指令。主存储器 1204 接收的指令可选地可以在由处理器 1203 执行之前或之后被存储在存储设备 1207 或 1208 上。

计算机系统 1201 还包括耦合到总线 1202 的通信接口 1213。通信接口 1213 提供耦合到网络链路 1214 的双向数据通信，网络链路 1214 例如连接到局域网（LAN）1215，或者连接到诸如互联网之类的另一个通信网络 1216。例如，通信接口 1213 可以是附接到任何分组交换 LAN 的网络接口卡。作为另一个示例，通信接口 1213 可以是提供到相应类型的通信线路的数据通信连接的非对称数字用户线路（ADSL）卡、集成服务数字网络（ISDN）卡或调制解调器。也可以实现无线链路。在任何一种实现方式中，通信接口 1213 发送并接收电的、电磁的或光信号，这些信号承载了代表各种类型信息的数字数据流。

网络链路 1214 一般提供经过一个或多个网络到其他数据设备的数据通信。例如，网络链路 1214 可以提供经过本地网络 1215（例如，LAN）或者经过由服务供应商运行的设备到另一个计算机的连接，服务供应商提供经过通信网络 1216 的通信服务。本地网络 1215 和通信网络 1216 例如使用承载了数字数据流的电的、电磁的或光信号以及相关物理层（例如，CAT 5 电缆、同轴电缆、光纤等）。经过各种网络的信号和在网络链路 1214 上并且经过通信接口 1213 的信号（其承载了去往和来自计算机系统 1201 的数字数据）可以以基带信号、或基于载波的信号的形式来实现。基带信号将数字数据以无调制的电脉冲形式传送，这种电脉冲描述了数字数据位流，其中术语“位”应广义理解为符号，每个符号传送至少一

个或多个信息位。数字数据也可用来调制载波，例如以幅移键控、相移键控和/或频移键控信号来调制，这些信号在传导介质上传播，或者以电磁波的形式经过传播介质来发送。从而，数字数据可以经由“有线”通信信道以无调制的基带数据的形式发送，以及/或者通过调制载波在不同于基带的预定频带内发送。计算机系统 1201 可以经由网络 1215 和 1216、网络链路 1214 和通信接口 1213 发送和接收包括程序代码在内的数据。而且，网络链路 1214 可以提供经由 LAN 1215 到移动设备 1217 的连接，移动设备 1217 例如是个人数字助理（PDA）、膝上型计算机或蜂窝电话。

计算机系统 1201 可被配置用来执行本发明的方法，以通过对栅电极结构执行修饰工艺来制作半导体器件。根据本发明，计算机系统 1201 可被配置用来利用工艺模型创建一组工艺参数并控制修饰工艺。

应当理解，在实施本发明时可以采用本发明的各种修改和变化。因此，应当理解，除了以上具体指出的以外，还可以在所附权利要求的范围内实施本发明。

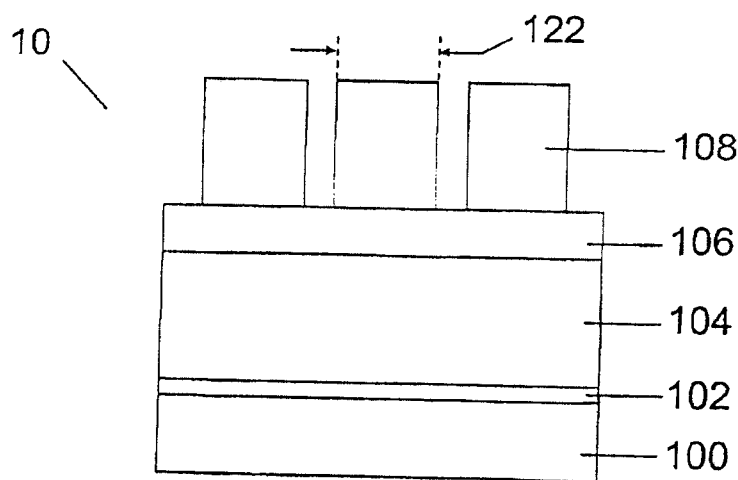


图1A

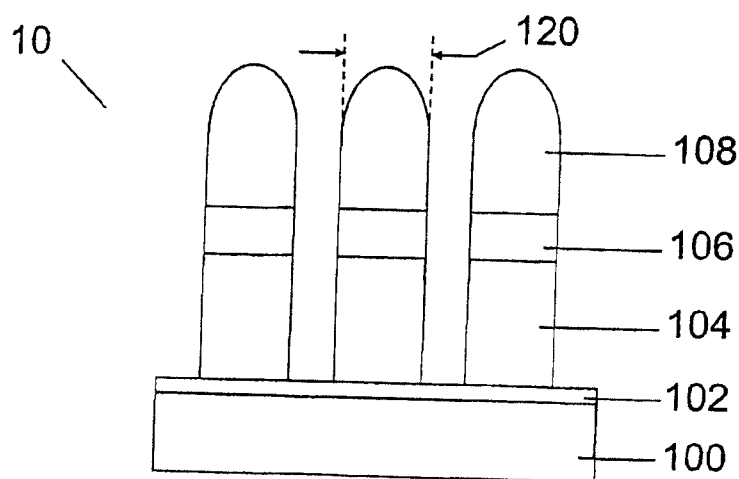


图1B

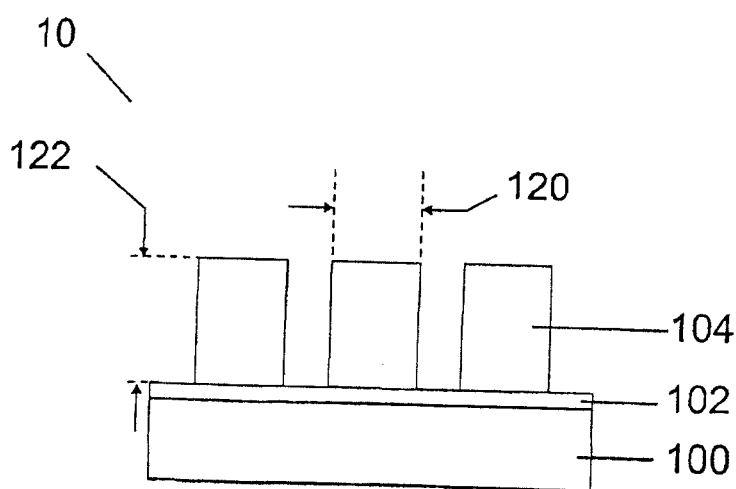


图1C

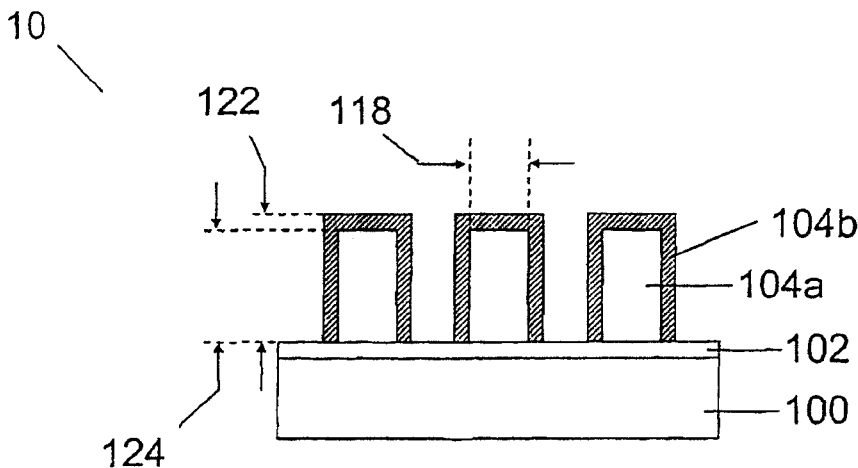


图1D

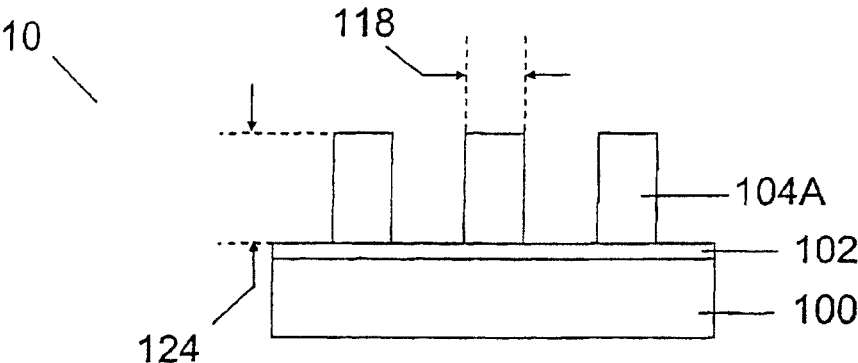


图1E

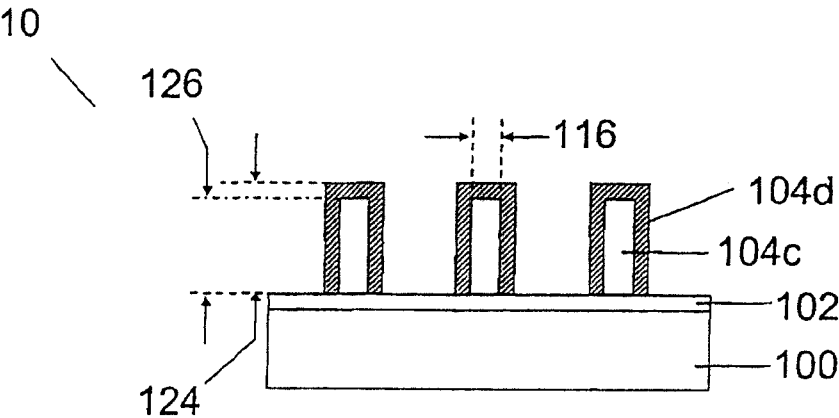


图1F

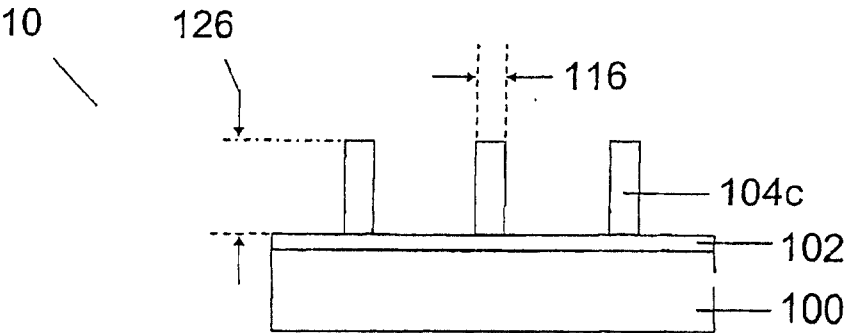


图1G

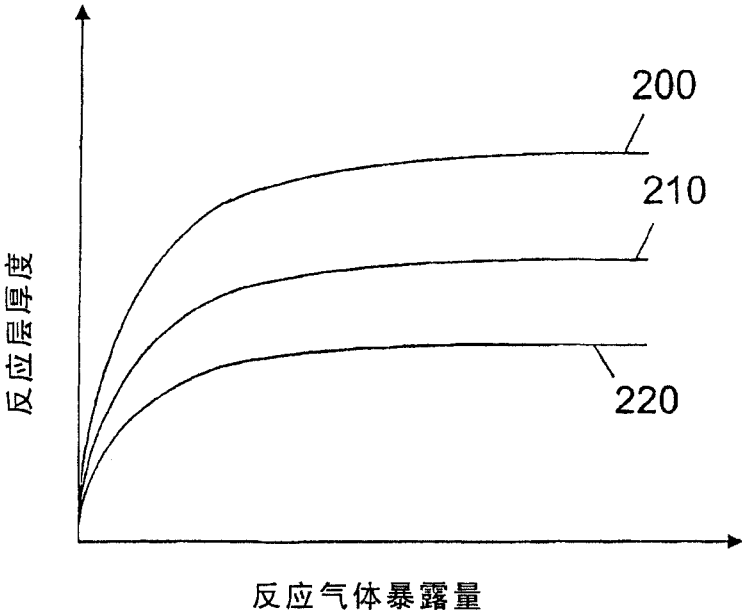


图2

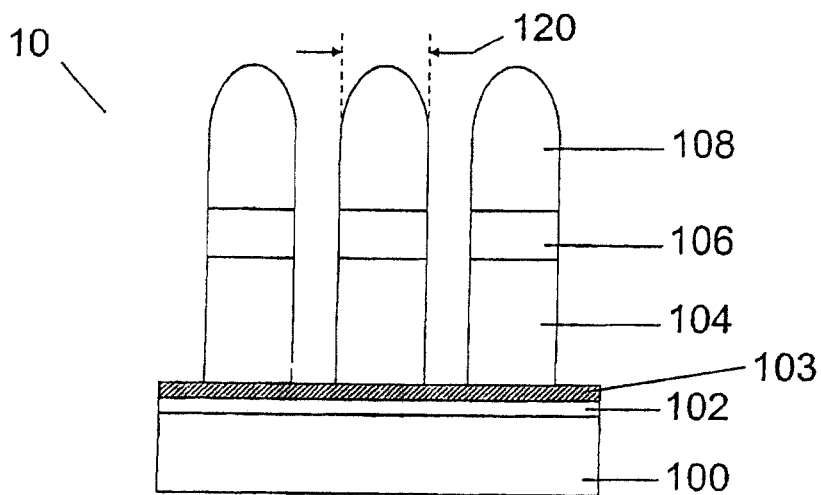


图3A

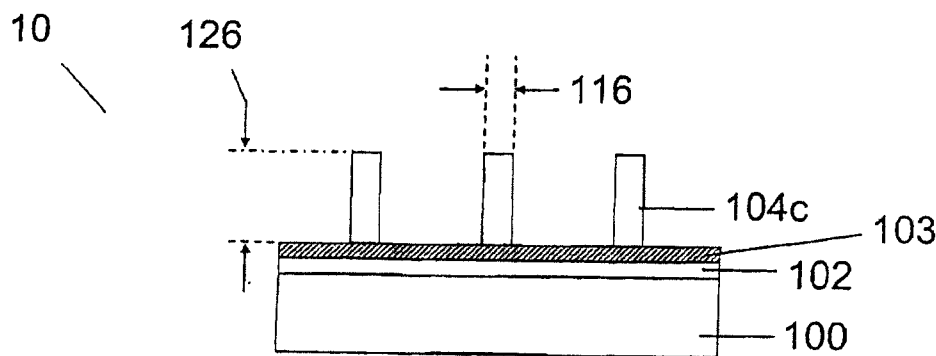


图3B

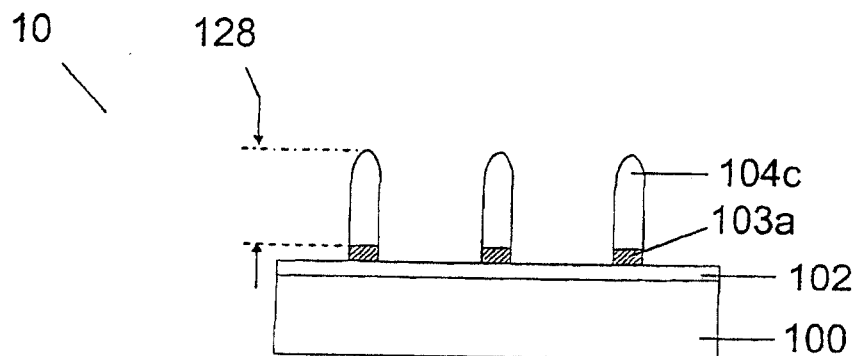


图3C

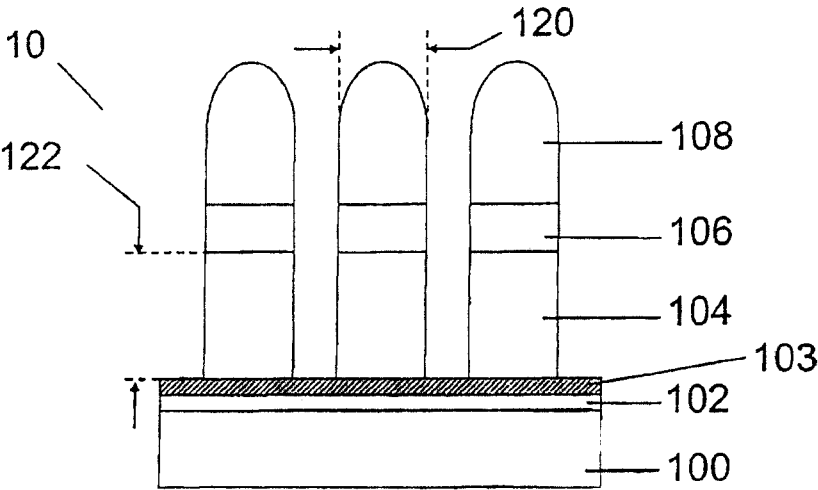


图4A

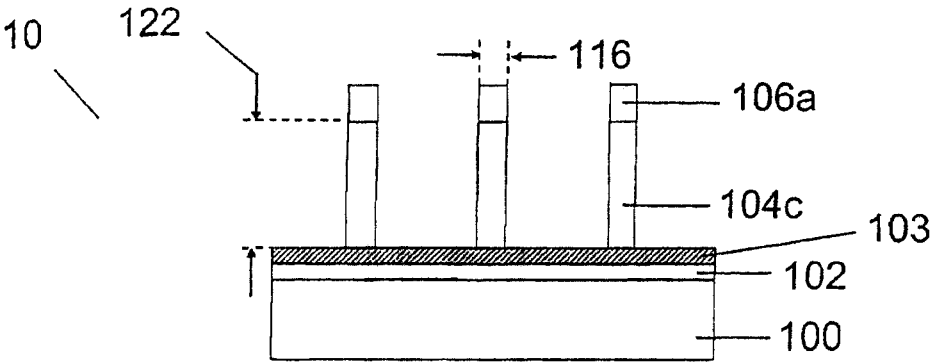


图4B

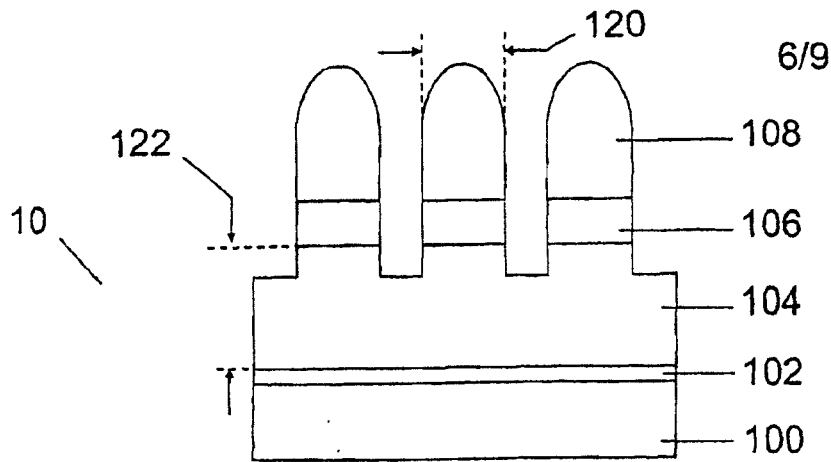


图5A

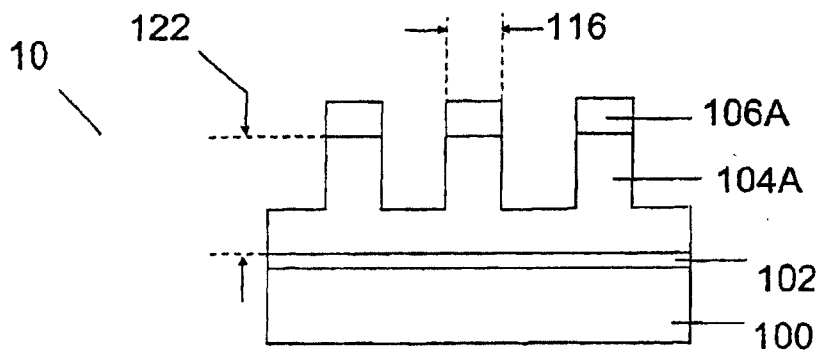


图5B

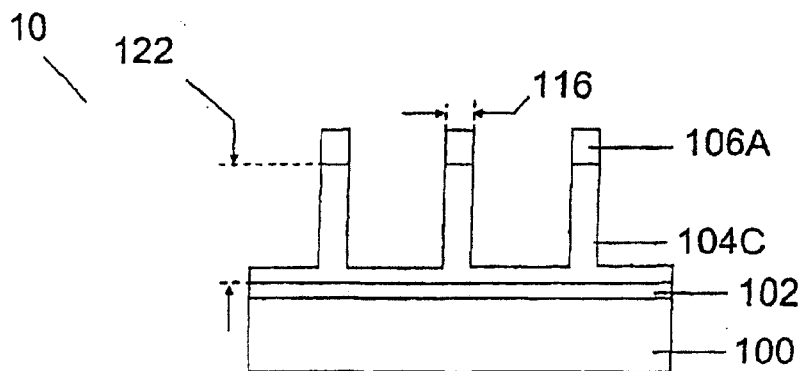


图5C

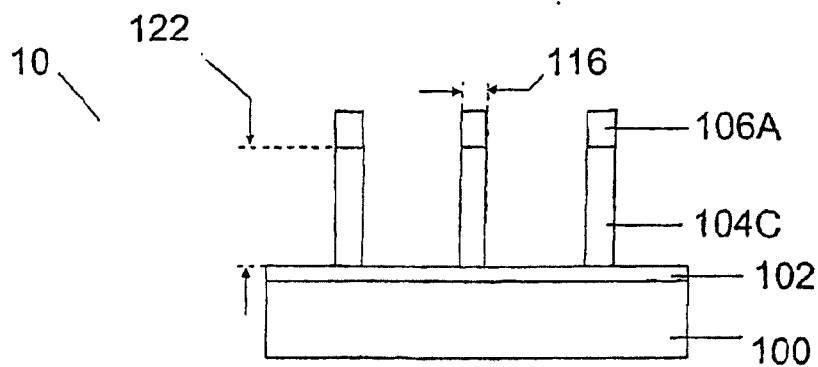


图5D

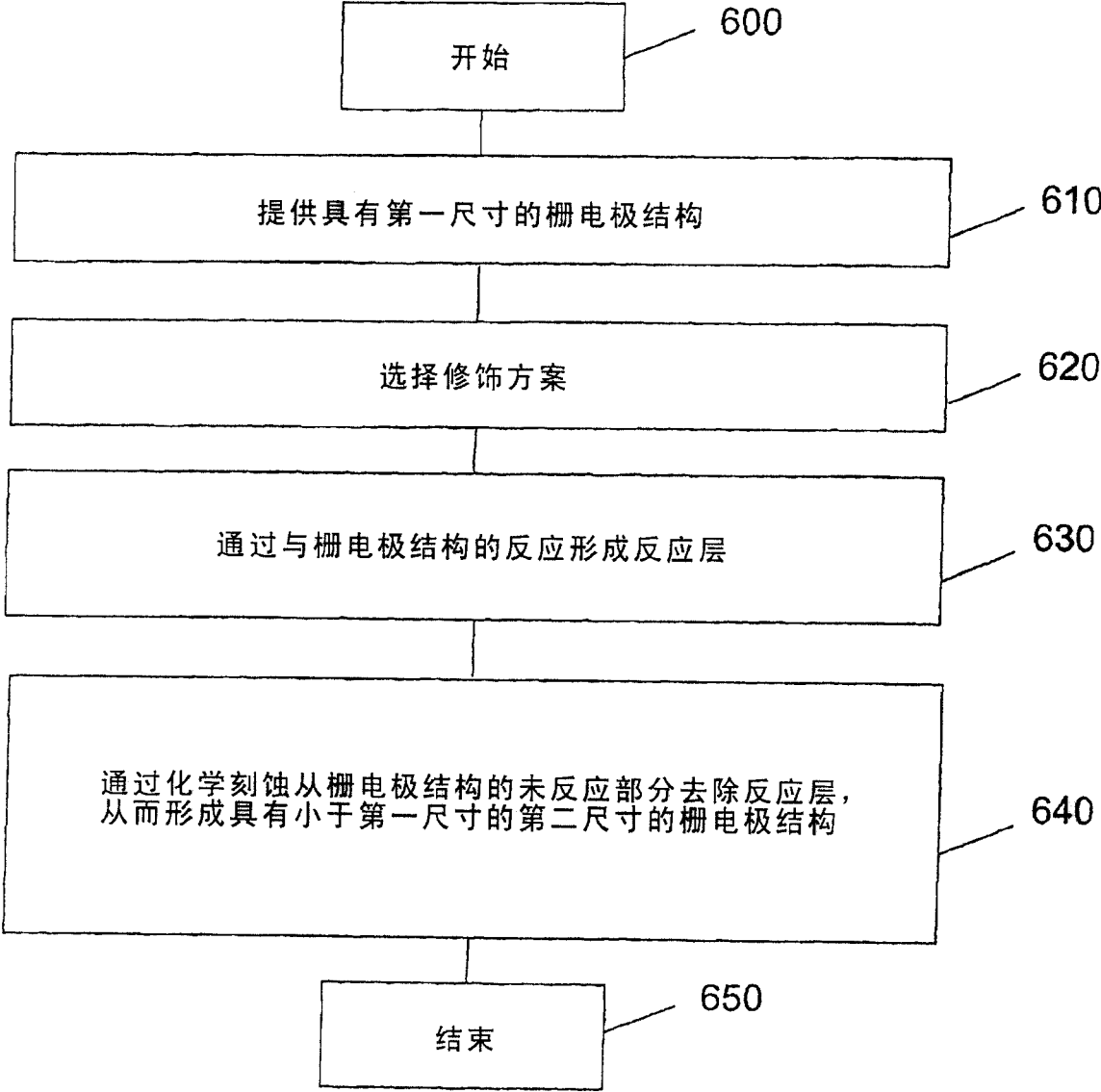


图6

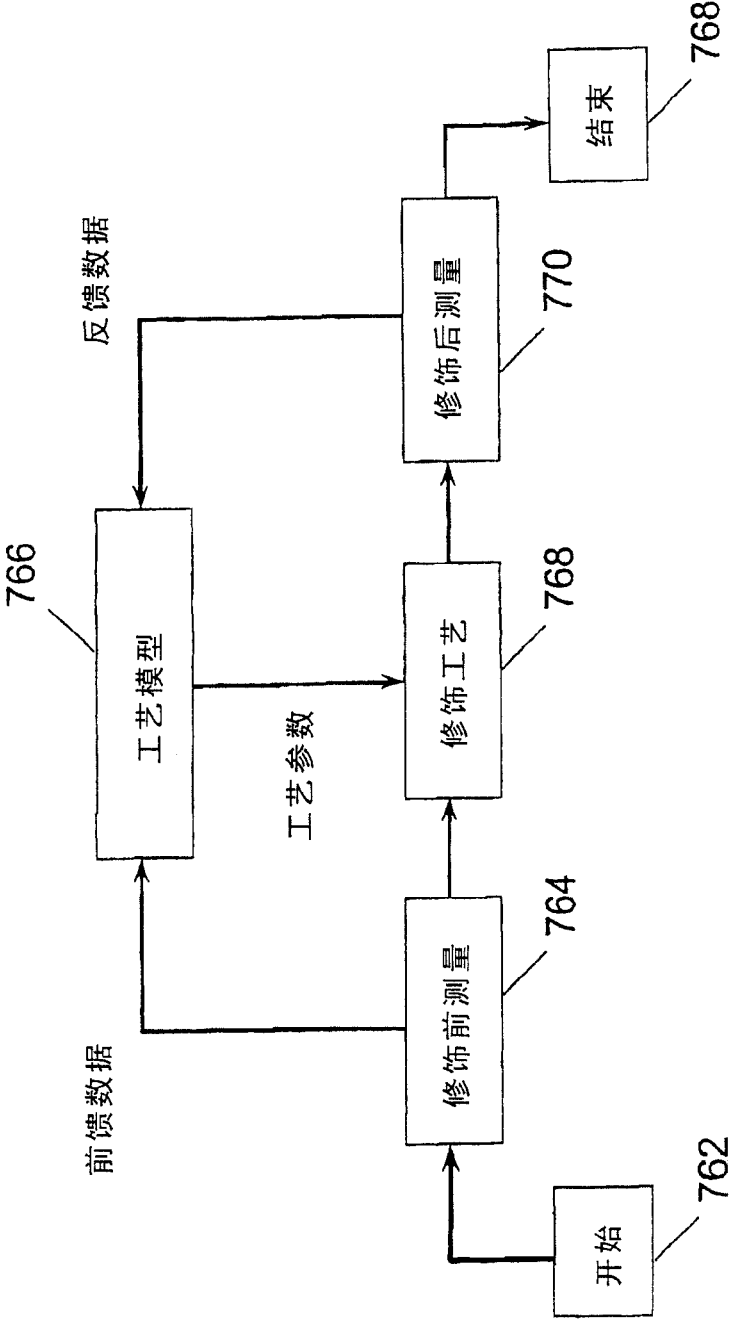


图7

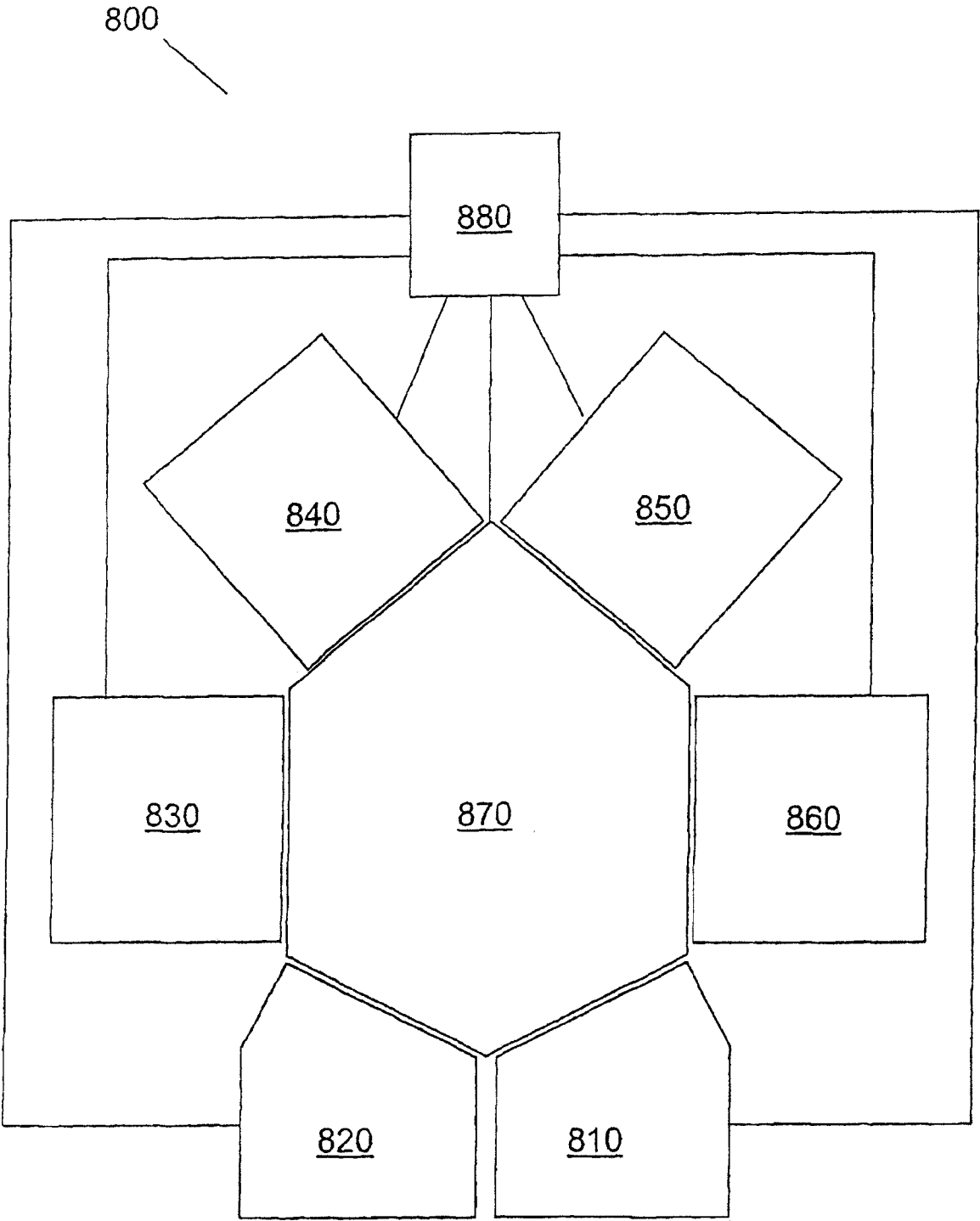


图8

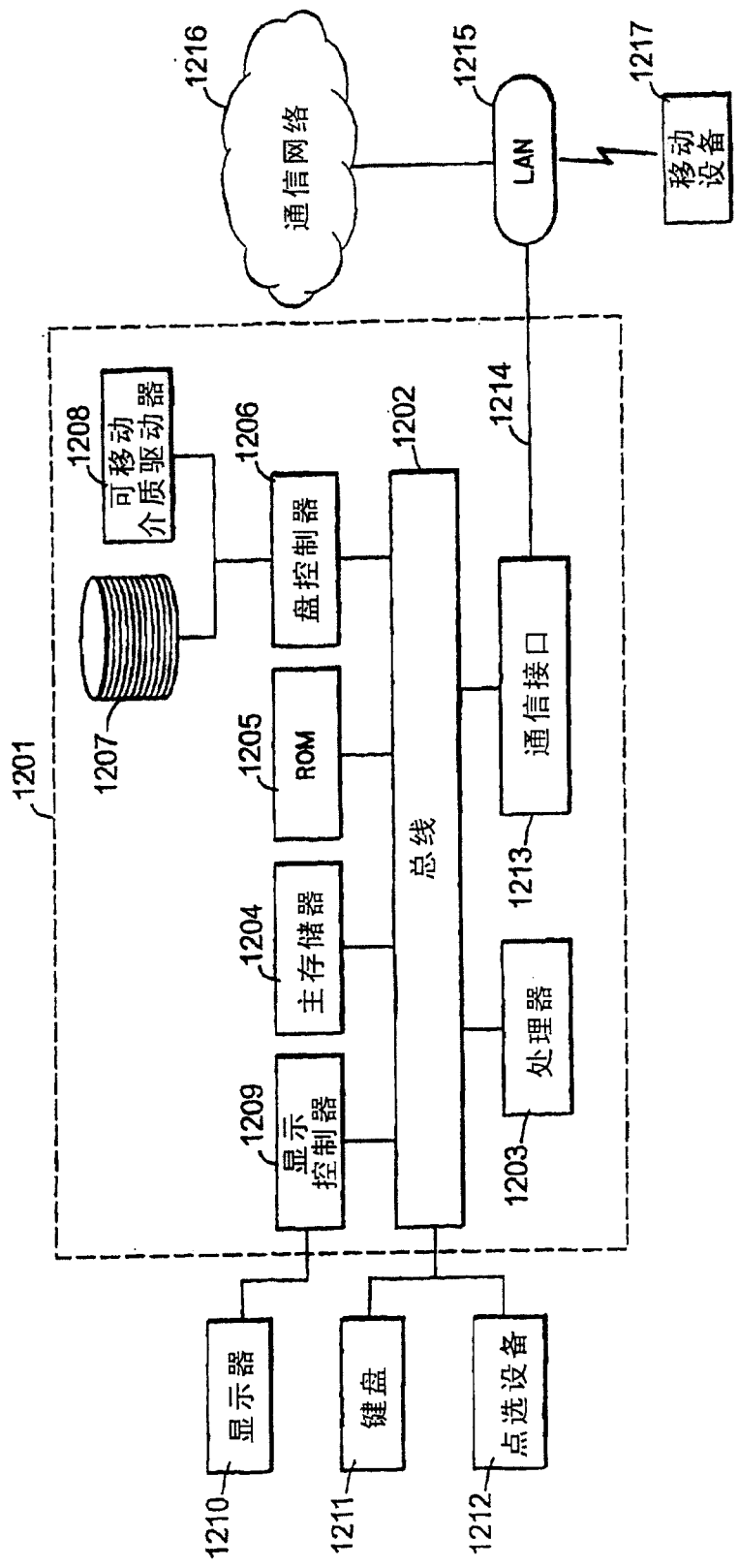


图9