

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月28日(28.09.2023)



(10) 国際公開番号

WO 2023/182303 A1

(51) 国際特許分類:
H02P 27/08 (2006.01)

(21) 国際出願番号: PCT/JP2023/010992

(22) 国際出願日: 2023年3月20日(20.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-050627 2022年3月25日(25.03.2022) JP

(71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジ ャ
パン株式会社 (NUVOTON TECHNOLOGY
CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町1番地 Kyoto (JP).

(72) 発明者: 福田 大祐(FUKUDA, Daisuke). 石井 卓
也(ISHII, Takuya). 黒島 伸一(KUROSHIMA,
Shinichi). 江村 紀章(EMURA, Noriaki).

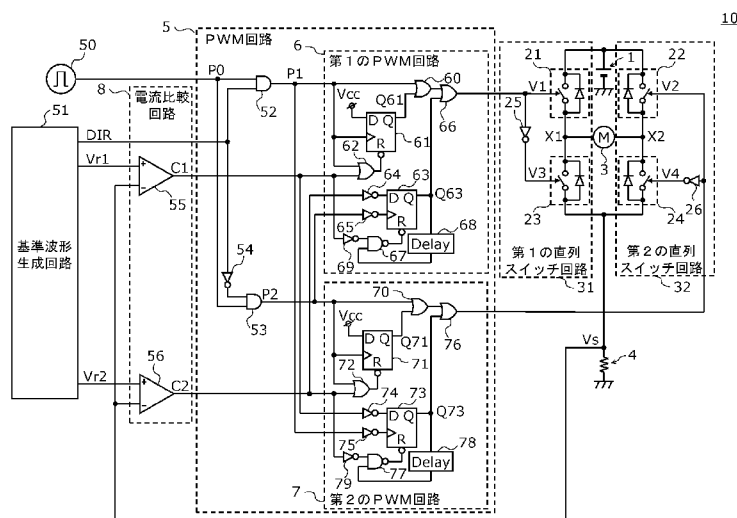
(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目
3番10号タナカ・イトーピア新大阪ビル6
階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: MOTOR DRIVE DEVICE

(54) 発明の名称: モータ駆動装置

[図1A]



5 PWM circuit
6 First PWM circuit
7 Second PWM circuit
8 Current comparison circuit
31 First series switch circuit
32 Second series switch circuit
51 Reference waveform generation circuit
68, 78 Delay

(57) Abstract: A motor drive device (10) comprises: a reference pulse generation circuit (50) that generates a reference pulse signal; a current detection unit that outputs a current signal corresponding to the motor current; a reference waveform generation circuit (51) that generates a reference waveform signal; a current comparison circuit (8) that compares the current signal and the reference waveform signal; and a PWM circuit (5) that outputs a first drive signal and a second drive signal. The first drive signal includes a first pulse that starts synchronously with the start of the reference pulse signal and

LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

ends when the absolute value of the current signal has exceeded the absolute value of the reference waveform signal after a pulse continuation time has elapsed since the beginning of the reference pulse signal. In a case in which the absolute value of the current signal has exceeded the absolute value of the reference waveform signal within the pulse continuation time, the second drive signal includes a second pulse that starts after the end of the first pulse and is continued at least for a period until the absolute value of the current signal falls below the absolute value of the reference waveform signal.

(57) 要約：モータ駆動装置（10）は、基準パルス信号を生成する基準パルス生成回路（50）と、モータ電流に対応する電流信号を出力する電流検出部と、基準波形信号を生成する基準波形生成回路（51）と、電流信号と基準波形信号とを比較する電流比較回路（8）と、第1の駆動信号及び第2の駆動信号を出力するPWM回路（5）とを有し、第1の駆動信号は、基準パルス信号の開始と同期して開始され、基準パルス信号の先頭からパルス継続時間の経過後であって電流信号の絶対値が基準波形信号の絶対値を越えた時に終了される第1のパルスを含み、第2の駆動信号は、パルス継続時間以内に電流信号の絶対値が基準波形信号の絶対値を越えた場合に、第1のパルスの終了後に開始され、少なくとも電流信号の絶対値が基準波形信号の絶対値を下回るまでの期間は持続される第2のパルスを含む。

明 細 書

発明の名称： モータ駆動装置

技術分野

[0001] 本開示は、モータ駆動装置に関するものである。

背景技術

[0002] モータ駆動装置において、低騒音、低振動が要求されている。低騒音、低振動でモータを駆動するモータ駆動装置には、例えば特許文献１に開示されているようなものがある。特許文献１のモータ駆動装置は、スイッチ素子のスイッチング動作によってモータコイルに流れる電流を抵抗で検出し、その検出電圧のピーク値が、基準電圧に追従するように当該電流をPWM（Pulse Width Modulation：パルス幅変調）制御することによって、低騒音、低振動を実現しようとしている。ここで、基準電圧とは、モータコイルに流れる電流の目標値を設定する電圧である。

先行技術文献

特許文献

[0003] 特許文献１：特開２００７－６５６３号公報

発明の概要

発明が解決しようとする課題

[0004] 上記従来技術では、スイッチ素子のターンオン時のサージ電流を無視する期間、つまり、PWM制御を停止する期間であるマスク期間が必要である。このマスク期間は、サージ電流が発生し得る期間をカバーするのに十分な長さの期間である最小オン期間に設定される必要があるため、所定の時間以下に短縮することができない。このようなマスク期間を設けることによって、モータコイルに流れる電流がゼロとなるゼロクロスポイント近傍で電流が目標値を越え得る。このため、特許文献１においてもゼロクロスポイント近傍ではスイッチング動作モードの切り換えによる対策が開示されている。しかしながらスイッチ素子の特性によって最小オン期間の設定は異なり、スイッ

チ素子駆動回路の汎用性から最小オン期間は余裕をもって長めに設定されるため、ゼロクロスポイント近傍で電流波形が目標波形から外れてしまうといった上記問題点は顕著となる。

[0005] 本開示は、このような課題を解決するものであり、ゼロクロスポイント近傍における電流波形を目標波形に正確に追従させることができるモータ駆動装置を提供する。

課題を解決するための手段

[0006] 以上に鑑み、本開示に係るモータ駆動装置は、モータを駆動するモータ駆動装置であって、第1のハイサイドスイッチ素子、及び第1のローサイドスイッチ素子を含む第1の直列スイッチ回路と、第2のハイサイドスイッチ素子、及び第2のローサイドスイッチ素子を含み、前記第1の直列スイッチ回路に並列接続される第2の直列スイッチ回路と、ゼロより大きいパルス継続時間を有する基準パルス信号を所定の周期で生成する基準パルス生成回路と、前記モータに流れる電流であるモータ電流に対応する電流信号を出力する電流検出部と、前記モータ電流の制御目標値に対応する基準波形信号を生成する基準波形生成回路と、前記電流信号と前記基準波形信号とを比較して比較信号を生成する電流比較回路と、前記基準パルス信号、前記基準波形信号、及び前記比較信号が入力され、第1の駆動信号、及び第2の駆動信号を出力するPWM回路と、を有し、前記第1のハイサイドスイッチ素子と前記第1のローサイドスイッチ素子との接続点である第1の接続点と、前記第2のハイサイドスイッチ素子と前記第2のローサイドスイッチ素子との接続点である第2の接続点と、の間に前記モータが接続され、前記第1の駆動信号は、前記基準パルス信号の開始と同期して開始される第1のパルスであって、前記基準パルス信号の先頭から前記パルス継続時間の経過後であって前記電流信号の絶対値が前記基準波形信号の絶対値を越えた時に終了される第1のパルスを含み、前記第2の駆動信号は、前記パルス継続時間以内に前記電流信号の絶対値が前記基準波形信号の絶対値を越えた場合に、前記第1のパルスの終了後に開始される第2のパルスであって、少なくとも前記電流信号の

絶対値が前記基準波形信号の絶対値を下回るまでの期間は持続される前記第2のパルスを含み、前記PWM回路は、主として前記第1の接続点から前記第2の接続点へ前記モータ電流が流れる第1の期間において、前記第1の駆動信号を前記第1の直列スイッチ回路に出力し、前記第2の駆動信号を前記第2の直列スイッチ回路に出力し、主として前記第2の接続点から前記第1の接続点へ前記モータ電流が流れる第2の期間において、前記第2の駆動信号を前記第1の直列スイッチ回路に出力し、前記第1の駆動信号を前記第2の直列スイッチ回路に出力する。

発明の効果

[0007] 本開示によれば、ゼロクロスポイント近傍における電流波形を目標波形に正確に追従させることができるモータ駆動装置を提供できる。

図面の簡単な説明

[0008] [図1A]図1Aは、実施の形態1に係るモータ駆動装置の回路構成図である。

[図1B]図1Bは、実施の形態1に係る極性指示信号、第1の基準波形信号、及び第2の基準波形信号の波形の一例を示すグラフである。

[図2]図2は、図1Bの区間A1及びA2における各信号の波形の一例を示すグラフである。

[図3A]図3Aは、図1Bの区間A1における各スイッチ素子の状態と電流の経路とを示す状態図である。

[図3B]図3Bは、図1Bの区間A2における各スイッチ素子の状態と電流の経路とを示す状態図である。

[図4]図4は、図1Bの区間Bにおける各信号の波形の一例を示すグラフである。

[図5]図5は、図1Bの区間Bにおける各スイッチ素子の状態と流れる電流の経路とを示す状態図である。

[図6]図6は、図1Bの区間Cにおける各信号の波形の一例を示すグラフである。

[図7A]図7Aは、実施の形態2に係るモータ駆動装置の回路構成図である。

[図7B]図 7 B は、実施の形態 2 に係る極性指示信号、及び基準波形信号の波形の一例を示すグラフである。

[図8]図 8 は、図 7 B の区間 A 1 及び A 2 における各信号の波形の一例を示すグラフである。

[図9]図 9 は、図 7 B の区間 B における各信号の波形の一例を示すグラフである。

[図10]図 1 0 は、図 7 B の区間 C における各信号の波形の一例を示すグラフである。

発明を実施するための形態

[0009] 以下、本開示の実施の形態について、図面を参照しながら説明する。なお、以下に説明する実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、及び、構成要素の配置位置や接続形態などは、一例であって本開示を限定する主旨ではない。

[0010] また、各図は模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。なお、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0011] (実施の形態 1)

実施の形態 1 に係るモータ駆動装置について説明する。まず、本実施の形態に係るモータ駆動装置の回路構成について、図 1 A を用いて説明する。図 1 A は、本実施の形態に係るモータ駆動装置 1 0 の回路構成図である。図 1 A には、モータ駆動装置 1 0 が駆動するモータ 3、モータ駆動装置 1 0 に直流電力を供給する入力電源 1 も併せて示されている。

[0012] 図 1 A に示されるように、入力電源 1 は、電源ラインとグラウンドラインとの間に電源電圧 V_{cc} を供給する。入力電源 1 は、例えば、バッテリーである。

[0013] モータ駆動装置 1 0 は、モータ 3 を駆動する装置である。モータ駆動装置

10は、第1の直列スイッチ回路31と、第2の直列スイッチ回路32と、基準パルス生成回路50と、電流検出抵抗4と、PWM回路5と、基準波形生成回路51と、電流比較回路8と、を有する。

[0014] 第1の直列スイッチ回路31は、第1のハイサイドスイッチ素子21、及び第1のローサイドスイッチ素子23を含む直列回路である。第1のハイサイドスイッチ素子21と、第1のローサイドスイッチ素子23とは、第1の接続点X1で直列に接続されている。第1の接続点X1は、第1のハイサイドスイッチ素子21と第1のローサイドスイッチ素子23との接続点である。本実施の形態では、第1の直列スイッチ回路31は、反転器25をさらに有する。反転器25は、第1のローサイドスイッチ素子23の制御端子と、第1のハイサイドスイッチ素子21の制御端子との間に接続され、第1のハイサイドスイッチ素子21の制御端子に入力される駆動信号V1の反転信号である駆動信号V3を第1のローサイドスイッチ素子23の制御端子に入力する。

[0015] 第2の直列スイッチ回路32は、第2のハイサイドスイッチ素子22、及び第2のローサイドスイッチ素子24を含み、第1の直列スイッチ回路31に並列接続される直列回路である。第2のハイサイドスイッチ素子22と、第2のローサイドスイッチ素子24とは、第2の接続点X2で直列に接続されている。第2の接続点X2は、第2のハイサイドスイッチ素子22と第2のローサイドスイッチ素子24との接続点である。第1のハイサイドスイッチ素子21と、第2のハイサイドスイッチ素子22とは、電源ラインで接続され、第1のローサイドスイッチ素子23と、第2のローサイドスイッチ素子24とは、接続される。本実施の形態では、第2の直列スイッチ回路32は、反転器26をさらに有する。反転器26は、第2のローサイドスイッチ素子24の制御端子と、第2のハイサイドスイッチ素子22の制御端子との間に接続され、第2のハイサイドスイッチ素子22の制御端子に入力される駆動信号V2の反転信号である駆動信号V4を第2のローサイドスイッチ素子24の制御端子に入力する。

- [0016] 第1のハイサイドスイッチ素子21、第2のハイサイドスイッチ素子22、第1のローサイドスイッチ素子23、及び第2のローサイドスイッチ素子24の構成は特に限定されない。各スイッチ素子として、例えば、NチャネルMOSFETを用いることができる。なお、各スイッチ素子の制御端子に入力される信号を反転することで、各スイッチ素子としてPチャネルMOSFETを用いることも可能である。本開示では、ボディダイオードを有し、制御端子に高レベル（つまり、Hレベル）の駆動信号が印加されると第1端子ー第2端子間が導通してON状態になる理想スイッチとして、各スイッチ素子を説明する。
- [0017] 第1の直列スイッチ回路31と第2の直列スイッチ回路32とを含むブリッジ回路の第1の接続点X1と第2の接続点X2との間にモータ3が接続される。
- [0018] 電流検出抵抗4は、モータ3に流れる電流であるモータ電流 I_L に対応する電流信号を出力する電流検出部の一例である。本実施の形態では、電流検出抵抗4は、第1のローサイドスイッチ素子23、及び第2のローサイドスイッチ素子24の接続点と、グラウンドラインとの間に接続される抵抗素子である。以下では、電流検出抵抗4の抵抗値を R_s と表す。
- [0019] 以上のように、電源ラインとグラウンドラインとの間には、第1の直列スイッチ回路31と第2の直列スイッチ回路32とを含むブリッジ回路と、モータ3と、電流検出抵抗4とが接続される。
- [0020] 上記のような駆動信号 $V_1 \sim V_4$ によると各ハイサイドスイッチ素子と各ローサイドスイッチ素子とは交互にオンオフするが、実際にはスイッチングの際に同時導通となる電源地絡を防ぐために、各ハイサイドスイッチ素子と各ローサイドスイッチ素子とがともにオフ状態となる期間であるデッドタイムと称される期間が設けられる。あるいは、各ハイサイドスイッチ素子と各ローサイドスイッチ素子とがともにオフ状態となる期間を設ける動作モードもある。しかしながら、このような動作は、周知技術であって本開示での要諦ではない。このため、本開示では、説明が煩雑となることを回避するため

に、このような動作の図示や説明は省略し、各ハイサイドスイッチ素子と各ローサイドスイッチ素子とは同時に、かつ交互にオンオフするとして説明する。

[0021] 基準パルス生成回路50は、ゼロより大きいパルス継続時間（つまり、パルス幅）を有する基準パルス信号P0を所定の周期で生成する回路である。このパルス継続時間を最小オン期間とも称する。パルス継続時間、所定の周期は特に限定されない。本実施の形態では、パルス継続時間は、2 μ 秒であり、所定の周期は、10 μ 秒である。

[0022] 基準波形生成回路51は、モータ電流ILの制御目標値に対応する基準波形信号を生成する回路である。本実施の形態では、基準波形信号は、第1の基準波形信号と、第2の基準波形信号と、を含む。モータ3の回転位置に応じて、第1の接続点X1から第2の接続点X2へ向かう向き（以後、正向きとも称する）に流れるモータ電流ILの制御目標波形となる第1の基準波形信号Vr1と、第2の接続点X2から第1の接続点X1へ向かう向き（以後、負向きとも称する）に流れるモータ電流の制御目標波形である第2の基準波形信号Vr2と、モータ電流ILが流れる向き極性を示す極性指示信号DIRを生成する。極性指示信号DIRは、モータ電流ILの向きを制御する信号である。極性指示信号DIRは、PWM回路5に出力される。本実施の形態では、極性指示信号DIRが高レベルである場合にモータ電流ILは、正向きであり、低レベル（つまり、Lレベル）である場合に負向きである。つまり、極性指示信号DIRが高レベルである期間は、主として第1の接続点X1から第2の接続点X2へモータ電流ILが流れる第1の期間に対応する。極性指示信号DIRが低レベルである期間は、主として第2の接続点X2から第1の接続点X1へモータ電流ILが流れる第2の期間に対応する。

[0023] ここで、極性指示信号DIR、第1の基準波形信号Vr1、及び第2の基準波形信号Vr2について、図1Bを用いて説明する。図1Bは、本実施の形態に係る極性指示信号DIR、第1の基準波形信号Vr1、及び第2の基準波形信号Vr2の波形の一例を示すグラフである。図1Bのグラフ（a）

は、極性指示信号 D I R の波形を示すグラフである。図 1 B のグラフ (b) は、第 1 の基準波形信号 V_{r1} 、及び第 2 の基準波形信号 V_{r2} の波形を示すグラフである。各グラフの横軸は時間を表す。グラフ (b) において、実線の曲線が第 1 の基準波形信号 V_{r1} の波形を示し、破線の曲線が第 2 の基準波形信号 V_{r2} の波形を示す。

[0024] 図 1 B に示されるように、第 1 の基準波形信号 V_{r1} は、基準振幅にて正負に周期的に振動する信号である。第 2 の基準波形信号 V_{r2} は、第 1 の基準波形信号 V_{r1} に対して逆位相で、基準振幅にて正負に周期的に振動する信号である。つまり、第 2 の基準波形信号 V_{r2} は、第 1 の基準波形信号 V_{r1} の正負を反転させた信号である。図 1 B に示される例では、各基準波形信号は台形波であるが、正弦波などの波形であっても構わない。また、各スイッチ素子のスイッチング周期は各基準波形信号の周期に比べ充分短く、以下では、スイッチング動作の数周期において各基準波形信号は一定値として説明する。

[0025] 電流比較回路 8 は、電流信号と基準波形信号とを比較して比較信号を生成する回路である。本実施の形態では、比較信号は、第 1 の比較信号 C 1 と、第 2 の比較信号 C 2 とを含み、電流比較回路 8 は、電流信号と第 1 の基準波形信号 V_{r1} とを比較して第 1 の比較信号 C 1 を生成する第 1 の比較回路 5 5 と、電流信号と第 2 の基準波形信号 V_{r2} とを比較して第 2 の比較信号 C 2 を生成する第 2 の比較回路 5 6 と、を有する。各比較回路には、電流信号として、電流検出抵抗 4 の電流検出電圧 V_s が入力される。各比較回路が以上のような構成を有することから、第 1 の比較信号 C 1 が反転するのはモータ電流 I_L が第 1 の目標波形値 V_{r1} / R_s の時であり、第 2 の比較信号 C 2 が反転するのはモータ電流 I_L が第 2 の目標波形値 V_{r2} / R_s の時である。第 1 の比較回路 5 5、及び第 2 の比較回路 5 6 として、例えば、差動増幅回路などを用いることができる。

[0026] PWM 回路 5 は、基準パルス信号、基準波形信号、及び比較信号が入力され、第 1 の駆動信号、及び第 2 の駆動信号を出力する回路である。PWM 回

路5は、主として第1の接続点X1から第2の接続点X2へモータ電流I_Lが流れる第1の期間において、第1の駆動信号を第1の直列スイッチ回路31に出力し、第2の駆動信号を第2の直列スイッチ回路32に出力する。また、PWM回路5は、主として第2の接続点X2から第1の接続点X1へモータ電流I_Lが流れる第2の期間において、第2の駆動信号を第1の直列スイッチ回路31に出力し、第1の駆動信号を第2の直列スイッチ回路32に出力する。

[0027] 第1の駆動信号は、基準パルス信号の開始と同期して開始される第1のパルスであって、基準パルス信号の先頭からパルス継続時間の経過後であって電流信号の絶対値が基準波形信号の絶対値を越えた時に終了される第1のパルスを含む。本実施の形態では、第1のパルスは、基準パルス信号の立ち上がりに従って立ち上げられ、立ち上げられてから基準パルス信号のパルス継続時間の経過後であって電流信号の絶対値が基準波形信号の絶対値を越えた時に立ち下げられる第1のパルスを含む。

[0028] 第2の駆動信号は、基準パルス信号のパルス継続時間以内に電流信号の絶対値が基準波形信号の絶対値を越えた場合に、第1のパルスの終了後に開始される第2のパルスであって、少なくとも電流信号の絶対値が基準波形信号の絶対値を下回るまでの期間は持続される第2のパルスを含む。第2の駆動信号は、基準パルス信号のパルス継続時間以内に電流信号の絶対値が基準波形信号の絶対値を越えない場合には、パルスを含まない。本実施の形態では、第2の駆動信号は、基準パルス信号のパルス継続時間以内に電流信号の絶対値が基準波形信号の絶対値を越えない場合には、低レベルに維持される。第2の駆動信号は、基準パルス信号のパルス継続時間以内に電流信号の絶対値が基準波形信号の絶対値を越えた場合に、第1のパルスの終了後に第2のパルスが立ち上げられる。

[0029] 本実施の形態では、PWM回路5は、第1のパルス出力回路52と、第2のパルス出力回路53と、第1のPWM回路6と、第2のPWM回路7と、を有する。

- [0030] 第1のパルス出力回路52は、基準パルス信号P0が入力され、主として第1の接続点X1から第2の接続点X2へモータ電流ILが流れる第1の期間において出力されるパルスを含む第1の基準パルス信号P1を出力する回路である。本実施の形態では、第1のパルス出力回路52は、基準パルス信号P0と、極性指示信号DIRと、が入力され、第1の基準パルス信号P1を出力する。第1のパルス出力回路52として、例えば、AND回路を用いることができる。
- [0031] 第2のパルス出力回路53は、基準パルス信号P0が入力され、主として第2の接続点X2から第1の接続点X1へモータ電流ILが流れる第2の期間において出力されるパルスを含む第2の基準パルス信号P2を出力する回路である。本実施の形態では、第2のパルス出力回路53は、基準パルス信号P0と、極性指示信号DIRの反転信号と、が入力され、第2の基準パルス信号P2を出力する。第2のパルス出力回路53として、例えば、AND回路を用いることができる。本実施の形態では、極性指示信号DIRの反転信号は、反転器54に極性指示信号DIRを入力することで得られる。
- [0032] 第1のPWM回路6は、第1の比較信号C1、第2の比較信号C2、第1の基準パルス信号P1、第2の基準パルス信号P2に基づいて、主として第1の接続点X1から第2の接続点X2へモータ電流ILが流れる第1の期間において、第1の直列スイッチ回路31に、第1の駆動信号を出力し、主として第2の接続点X2から第1の接続点X1へモータ電流ILが流れる第2の期間において、第2の駆動信号を出力する回路である。第1のPWM回路6が出力する信号は、第1のハイサイドスイッチ素子21の制御端子に入力される駆動信号V1に相当する。
- [0033] 第1のPWM回路6は、OR回路60、62、66と、Dフリップフロップ61、63と、反転器64、65、69と、NAND回路67と、遅延回路68と、を有する。
- [0034] OR回路60は、第1の基準パルス信号P1とDフリップフロップ61の出力信号Q61とが入力される。

- [0035] Dフリップフロップ61は、D端子に制御回路用電源電圧 V_{cc} が印加され、クロック端子に第1の基準パルス信号P1が入力される。
- [0036] OR回路62は、第1の基準パルス信号P1と第1の比較信号C1とが入力される。OR回路62の出力はDフリップフロップ61のリセット端子に入力される。
- [0037] Dフリップフロップ63は、D端子に反転器64を介して第2の比較信号C2の反転信号が入力され、クロック端子に反転器65を介して第2の基準パルス信号P2の反転信号が入力される。
- [0038] OR回路66は、OR回路60の出力とDフリップフロップ63の出力信号Q63とが入力され、駆動信号V1を出力する。
- [0039] NAND回路67は、遅延回路68を介して得られるDフリップフロップ63の出力信号Q63の遅延信号と、反転器69を介して得られる、第1の比較信号C1の反転信号とを入力される。NAND回路67の出力はDフリップフロップ63のリセット端子に入力される。
- [0040] 第2のPWM回路7は、第1の比較信号C1、第2の比較信号C2、第1の基準パルス信号P1、第2の基準パルス信号P2に基づいて、主として第1の接続点X1から第2の接続点X2へモータ電流 I_L が流れる第1の期間において、第2の直列スイッチ回路32に、第2の駆動信号を出力し、主として第2の接続点X2から第1の接続点X1へモータ電流 I_L が流れる第2の期間において、第1の駆動信号を出力する回路である。第2のPWM回路7が出力する信号は、第2のハイサイドスイッチ素子22の制御端子に入力される駆動信号V2に相当する。
- [0041] 第2のPWM回路7は、OR回路70、72、76と、Dフリップフロップ71、73と、反転器74、75、79と、NAND回路77と、遅延回路78と、を有する。
- [0042] OR回路70は、第2の基準パルス信号P2とDフリップフロップ71の出力信号Q71とが入力される。
- [0043] Dフリップフロップ71は、D端子に制御回路用電源電圧 V_{cc} が印加さ

れ、クロック端子に第2の基準パルス信号P2が入力される。

[0044] OR回路72は、第2の基準パルス信号P2と第2の比較信号C2とが入力される。OR回路72の出力はDフリップフロップ71のリセット端子に入力される。

[0045] Dフリップフロップ73は、D端子に反転器74を介して第1の比較信号C1の反転信号が入力され、クロック端子に反転器75を介して第1の基準パルス信号P1の反転信号が入力される。

[0046] OR回路76は、OR回路70の出力とDフリップフロップ73の出力信号Q73とが入力され、駆動信号V2を出力する。

[0047] NAND回路77は、遅延回路78を介して得られるDフリップフロップ73の出力信号Q73の遅延信号と、反転器79を介して得られる、第2の比較信号C2の反転信号とを入力される。NAND回路77の出力はDフリップフロップ73のリセット端子に入力される。

[0048] 次に、本実施の形態に係るモータ駆動装置10の動作について説明する。まず、基準波形信号のピーク値付近におけるモータ駆動装置10の動作について、図1A～図3Bを用いて説明する。図2は、図1Bの区間A1及びA2における極性指示信号DIR、基準パルス信号P0、第1の比較信号C1、第2の比較信号C2、Dフリップフロップ61の出力信号Q61、Dフリップフロップ63の出力信号Q63、Dフリップフロップ71の出力信号Q71、Dフリップフロップ73の出力信号Q73、駆動信号V1～V4、電流検出電圧Vs、モータ電流ILの波形の一例を示すグラフである。図2の横軸は、時間を示す。図3A及び図3Bは、それぞれ、図1Bの区間A1及びA2における各スイッチ素子の状態と電流の経路とを示す状態図である。

[0049] 区間A1のように、極性指示信号DIRが高レベル(H)、即ちモータ電流ILが正向きである場合、時刻t0において基準パルス信号P0が立ち上がると、第1の基準パルス信号P1も立ち上り、OR回路60とOR回路66とを介して駆動信号V1も立ち上がる。これに伴い、図3Aの状態図(a)に示されるように、第1のハイサイドスイッチ素子21はオン状態となる

。同時に駆動信号V 2は立ち下がって第1のローサイドスイッチ素子2 3はオフ状態となる。Dフリップフロップ6 1は、高レベルの第1の比較信号C 1がリセット端子に入力されている状態で第1の基準パルス信号P 1がクロック入力されるので、出力信号Q 6 1が立ち上がる。Dフリップフロップ6 3は、クロック入力となる、第2の基準パルス信号P 2の反転信号が高レベルに固定されているため、出力信号Q 6 3は低レベル(L)に維持される。また、第2の基準パルス信号P 2は低レベルであるので、クロック入力の無いDフリップフロップ7 1の出力信号Q 7 1は低レベルに維持される。高レベルの第2の比較信号C 2の反転信号がD端子に入力されるDフリップフロップ7 3の出力信号Q 7 3も低レベルに維持される。従ってそれらの論理和である駆動信号V 2も低レベルに維持され、第2のハイサイドスイッチ素子2 2はオフ状態、第2のローサイドスイッチ素子2 4はオン状態である。第1のハイサイドスイッチ素子2 1のターンオンと共に、入力電源1の正極から第1のハイサイドスイッチ素子2 1、モータ3、第2のローサイドスイッチ素子2 4、電流検出抵抗4、入力電源1の負極と流れる電流は、サージ状に振動しながら増加するので、電流検出電圧V sも振動し、第1の比較信号C 1も高レベルと低レベルとの間で振動する。しかしながら電流検出電圧V sは、OR回路6 2で第1の基準パルス信号P 1の高レベルとの論理和、NAND回路7 7で後述の遅延回路7 8の遅延信号の低レベルとの否定論理積を取られるので、回路動作に影響しない。この状態は、少なくとも、第1の基準パルス信号P 1が高レベルである時刻t 1まで維持され、正向きに電源電圧が印加されたモータ3のモータ電流I Lは正向きに増加していく。以上のように、基準パルス信号P 0のパルス継続時間は、マスク期間の最小値である最小オン期間T mとなる。

[0050] 最小オン期間T m後の時刻t 1において、基準パルス信号P 0と共に第1の基準パルス信号P 1が立ち下がる。この時、電流検出電圧V sは第1の基準波形信号V r 1に至っておらず、第1の比較信号C 1は高レベルのままであるので、Dフリップフロップ6 1はリセットされず、状態は時刻t 2まで

維持される。つまり、各スイッチ素子などは、時刻 $t_0 \sim t_2$ においては、図 3 A の状態図 (a) に状態に維持される。

[0051] 時刻 t_2 において、モータ電流 I_L の増加に伴って上昇した電流検出電圧 V_s が第 1 の基準波形信号 V_{r1} に至ると、第 1 の比較信号 C_1 が立ち下がり、D フリップフロップ 61 がリセットされて出力信号 Q_61 が低レベルになる。このため OR 回路 60、66 のすべての入力が高レベルとなり、駆動信号 V_1 は立ち下がって第 1 のハイサイドスイッチ素子 21 はオフ状態になり、駆動信号 V_3 は立ち上がって第 1 のローサイドスイッチ素子 23 はオン状態になる。このとき、図 3 A の状態図 (b) に示されるように、第 1 のローサイドスイッチ素子 23 及び第 2 のローサイドスイッチ素子 24 がオン状態となるので、モータ 3 は両端が短絡状態となり、電流検出抵抗 4 には電流は流れない。モータ 3 のモータコイルには逆起電圧のみが印加され、モータ電流 I_L は減少していく。この状態をスローディケイと呼ぶ。

[0052] 次に、時刻 t_3 において、基準パルス信号 P_0 が再び立ち上がると、時刻 t_0 で説明した動作を繰り返す。時刻 $t_2 \sim t_3$ においては、各スイッチ素子などは、図 3 A の状態図 (b) の状態に維持される。

[0053] 以上のように、図 1 B に示される区間 A1 では、第 2 のハイサイドスイッチ素子 22 がオフ、第 2 のローサイドスイッチ素子 24 がオンの状態に固定され、所定のスイッチング周期で第 1 のハイサイドスイッチ素子 21 と第 1 のローサイドスイッチ素子 23 が交互にオンオフする。第 1 のハイサイドスイッチ素子 21 のオン期間は、最小オン期間 T_m 以上で、モータ電流 I_L のピーク値が目標波形値 V_{r1} / R_s に達するまでの期間に制御される。

[0054] 図 1 B の区間 A2 は上記の区間 A1 に対して基準波形信号の正負が反転したピーク値近辺の区間であり、動作は第 1 の PWM 回路 6 と第 2 の PWM 回路 7 の役割が入れ替わり、上述の区間 A1 の時刻 $t_0 \sim t_3$ に区間 A2 の時刻 $T_0 \sim T_3$ が対応する。即ち、第 1 のハイサイドスイッチ素子 21 がオフ、第 1 のローサイドスイッチ素子 23 がオンの状態に固定され、所定のスイッチング周期で第 2 のハイサイドスイッチ素子 22 と第 2 のローサイドス

ッチ素子 24 が交互にオンオフする。第 2 のハイサイドスイッチ素子 22 のオン期間は、最小オン期間 T_m 以上で、モータ電流 I_L のピーク値が目標波形値 V_{r2}/R_s に達するまでの期間に制御される。各スイッチ素子などは、時刻 $T_0 \sim T_2$ においては、図 3 B の状態図 (a) に示される状態に維持され、時刻 $T_2 \sim T_3$ においては、図 3 B の状態図 (b) に示される状態に維持される。

[0055] 次に、図 1 B の区間 B のように基準波形信号がダイナミックに減衰している場合の動作を説明する。モータ駆動装置 10 は、モータ電流 I_L が基準波形信号の減衰に追従するように制御するため、第 1 のハイサイドスイッチ素子 21 のオン期間も減少するが、最小オン期間 T_m より短くはならないためにモータ電流 I_L のピーク値は制御目標値を越えて大きくなる。ここでは、制御目標値を越えたモータ電流 I_L のピーク値が是正されていく過程を図 4 及び図 5 を用いて説明する。

[0056] 図 4 は、図 1 B の区間 B における極性指示信号 DIR 、基準パルス信号 P_0 、第 1 の比較信号 C_1 、第 2 の比較信号 C_2 、D フリップフロップ 61 の出力信号 Q_{61} 、D フリップフロップ 63 の出力信号 Q_{63} 、D フリップフロップ 71 の出力信号 Q_{71} 、D フリップフロップ 73 の出力信号 Q_{73} 、駆動信号 $V_1 \sim V_4$ 、電流検出電圧 V_s 、モータ電流 I_L の波形の一例を示すグラフである。図 5 は、図 1 B の区間 B における各スイッチ素子の状態と流れる電流の経路とを示す状態図である。

[0057] 図 4 の時刻 t_4 において、モータ電流 I_L が制御目標値を越えた状態で、基準パルス信号 P_0 に従って第 1 の基準パルス信号 P_1 が立ち下がる。この時、モータ電流 I_L が制御目標値を越えており、第 1 の比較信号 C_1 は低レベルであったので、D フリップフロップ 61 はリセットされて出力信号 Q_{61} が立ち下がる。このため駆動信号 V_1 も立ち下がり、第 1 のハイサイドスイッチ素子 21 はオフ状態になるとともに、第 1 のローサイドスイッチ素子 23 はオン状態になる。また、D フリップフロップ 73 は、第 1 の比較信号 C_1 の反転信号である高レベルの信号が D 端子に印加された状態で、第 1 の

基準パルス信号P 1の立ち下がりでクロック入力されるので出力信号Q 7 3を立ち上げる。出力信号Q 7 3の立ち上がりによって、OR回路7 6を介して駆動信号V 2が立ち上げられ、第2のハイサイドスイッチ素子2 2はオン状態になるとともに、第2のローサイドスイッチ素子2 4はオフ状態になる。このためモータ3には電源電圧V c cが負向きにかかり、モータ電流I Lは減少に転じる。各スイッチ素子の状態は図5の状態図(a)の状態から状態図(b)の状態に移行し、入力電源1から供給されて電流検出抵抗4を流れる電流は逆流して回生電流となる。前述のモータ3の両端が短絡されるスローディケイ状態に対し、この状態においては、逆電圧の印加によってモータ電流I Lが急速に減少するので、この状態はファーストディケイと呼ばれる。なお、この時、回生電流は第2の基準波形信号V r 2に対応する制御目標値 $V_r 2 / R_s$ を下回るので、第2の比較信号C 2は高レベルとなる。

[0058] Dフリップフロップ7 3の出力信号Q 7 3は遅延回路7 8とNAND回路7 7とを介してDフリップフロップ7 3のリセット端子に入力される。遅延時間後の時刻t 5には遅延回路7 8の出力は立ち下がるが、モータ電流I Lがまだ制御目標値以上であって第2の比較信号C 2の反転信号が低レベルであるため、NAND回路7 7の出力は高レベルに維持され、Dフリップフロップ7 3はリセットされずに各スイッチ素子の状態は維持される。

[0059] 時刻t 6において、上昇（絶対値は減少）してきた電流検出電圧V sが第2の基準波形信号V r 2に至ると、第2の比較信号C 2は低レベルに立ち下がり、Dフリップフロップ7 3はリセットされて出力信号Q 7 3も立ち下がる。このため駆動信号V 2は立ち下がり、第2のハイサイドスイッチ素子2 2はオフ状態になるとともに、第2のローサイドスイッチ素子2 4はオン状態になってスイッチの状態は図5の状態図(b)の状態から状態図(c)のスローディケイ状態に移行する。

[0060] 時刻t 7において基準パルス信号P 0が立ち上がると、第1の基準パルス信号P 1も立ち上り、OR回路6 0とOR回路6 6とを介して駆動信号V 1も立ち上がり、第1のハイサイドスイッチ素子2 1はオン状態となる。同時

に駆動信号 V_2 は立ち下がって第1のローサイドスイッチ素子23はオフ状態となる。各スイッチ素子の状態は図5の状態図(a)の状態にもどり、正向きに電源電圧が印加されたモータ3のモータ電流 I_L は正向きに増加していく。前周期(時刻 t_4 を含む周期)に比べると、ファーストディケイ状態によってモータ電流 I_L は減衰し、電流検出電圧 V_s のレベルも低下している。

[0061] しかし第1の基準波形信号 V_{r1} のレベルも低く、時刻 t_8 において最小オン期間 T_m に至って基準パルス信号 P_0 及び第1の基準パルス信号 P_1 が立ち下がる際には、モータ電流 I_L は制御目標値を越えており、第1のハイサイドスイッチ素子21はオフ状態になり、各スイッチ素子の状態は再び図5の状態図(b)のファーストディケイ状態となる。この周期ではファーストディケイ状態の時刻 t_9 においてモータ電流 I_L は制御目標値 $-V_{r2}/R_s$ を下回り(電流検出電圧 V_s は第2の基準波形信号 V_{r2} を越える)、第2の比較信号 C_2 は立ち下がるが、Dフリップフロップ73の出力信号 Q_{73} の遅延信号が到達していないので状態は変わらない。

[0062] 時刻 t_{10} において、Dフリップフロップ73の出力信号 Q_{73} の遅延信号が立ち上がると、Dフリップフロップ73はリセットされて出力信号 Q_{73} は立ち下がり、第2のハイサイドスイッチ素子22はオフ状態になり、各スイッチ素子の状態は再び図5の状態図(c)のスローディケイ状態となる。即ち、遅延回路78によるDフリップフロップ73の出力信号 Q_{73} の遅延時間がファーストディケイ状態の最小期間である。以後、このような動作を繰り返し、モータ電流 I_L は目標波形に収斂していく。

[0063] 次に、図1Bの区間Cの動作を、図6を用いて説明する。図6は、図1Bの区間Cにおける極性指示信号 DIR 、基準パルス信号 P_0 、第1の比較信号 C_1 、第2の比較信号 C_2 、Dフリップフロップ61の出力信号 Q_{61} 、Dフリップフロップ63の出力信号 Q_{63} 、Dフリップフロップ71の出力信号 Q_{71} 、Dフリップフロップ73の出力信号 Q_{73} 、駆動信号 $V_1 \sim V_4$ 、電流検出電圧 V_s 、モータ電流 I_L の波形の一例を示すグラフである。

区間Cは、極性指示信号D I Rが高レベルから低レベルに変化し、モータ電流I Lをゼロクロスさせるべき領域であり、第1の基準波形信号V r 1及び第2の基準波形信号V r 2はほぼゼロである。

[0064] 時刻t 1 1において、基準パルス信号P 0が立ち上がると、駆動信号V 1も立ち上がり、第1のハイサイドスイッチ素子2 1はオン状態となる。同時に駆動信号V 2は立ち下がり第1のローサイドスイッチ素子2 3はオフ状態となる。第1の基準波形信号V r 1及び第2の基準波形信号V r 2はほぼゼロであるので第1の比較信号C 1及び第2の比較信号C 2は低レベルとなる。

[0065] 時刻t 1 2において、最小オン期間T mに至って第1の基準パルス信号P 1が立ち下がると、Dフリップフロップ6 1はリセットされて出力信号Q 6 1と共に駆動信号V 1も低レベルとなって第1のハイサイドスイッチ素子2 1はオフ状態になり、第1のローサイドスイッチ素子2 3はオン状態になる。一方、Dフリップフロップ7 3は第1の基準パルス信号P 1の立ち下がりによってクロック入力され、出力信号Q 7 3を立ち上げる。これにより駆動信号V 2も高レベルとなり、第2のハイサイドスイッチ素子2 2はオン状態になり、第2のローサイドスイッチ素子2 4はオフ状態になる。各スイッチ素子の状態は図5状態図(a)の状態から状態図(b)のファーストディケイ状態に移行する。モータ電流I Lは減少し、電流検出電圧V sは負となって第1の比較信号C 1及び第2の比較信号C 2は高レベルとなる。

[0066] 遅延回路7 8の遅延時間後の時刻t 1 3においてモータ電流I L及び電流検出電圧V sが制御目標値のゼロになると、第1の比較信号C 1及び第2の比較信号C 2は低レベルとなり、Dフリップフロップ7 3はリセットされて出力信号Q 7 3は低レベルになる。これにより駆動信号V 2も低レベルとなり、第2のハイサイドスイッチ素子2 2はオフ状態になり、第2のローサイドスイッチ素子2 4はオン状態になる。各スイッチ素子の状態は図5の状態図(b)の状態から状態図(c)のスローディケイ状態に移行する。

[0067] なお、時刻t 1 3は遅延回路7 8の遅延時間後としたが、先にモータ電流

I_Lがゼロに至り、その後に遅延時間が経過して各スイッチ素子の状態がスローディケイ状態に移行する場合もありうる。その場合モータ電流I_Lは負向きに流れるが、スローディケイ状態でモータ電流I_Lは減衰する。モータ3の特性や状態にもよるが、ゼロクロス近傍において逆起電圧は小さく、スローディケイ状態でのモータ電流I_Lもゼロもしくは小さな値に減衰しているものとする。

[0068] また、スローディケイ状態では電流検出抵抗4には電流は流れず、電流検出電圧V_sは制御目標値と同じくゼロなので、第1の比較信号C₁及び第2の比較信号C₂は不定となる。しかしスローディケイ状態では第1の比較信号C₁及び第2の比較信号C₂を参照することは無く、動作への影響はない。この不定状態を避けたい場合は、第1の比較回路55、及び第2の比較回路56にヒステリシスやオフセットを設定してもよい。

[0069] 時刻t₁₄で極性指示信号D_{1R}が低レベルに転じると、第1の基準パルス信号P₁は低レベルに固定され、基準パルス信号P₀は第2の基準パルス信号P₂に出力されるように状態が転じる。この後の時刻t₁₅で基準パルス信号P₀が立ち上がると、Dフリップフロップ71にクロック入力されて出力信号Q₇₁が立ち上がり、OR回路70、76を介して駆動信号V₂が立ち上がる。したがって第2のハイサイドスイッチ素子22がオン状態になって第2のローサイドスイッチ素子24はオフ状態になる。モータ3は負向きに電源電圧V_{cc}が印加され、モータ電流I_Lは負向きに増加していく。

[0070] 時刻t₁₆で第2のハイサイドスイッチ素子22がオフ状態になり、第1のハイサイドスイッチ素子21がオン状態になって各スイッチ素子の状態がファーストディケイに転じ、時刻t₁₇で第1のハイサイドスイッチ素子21がオフ状態になってスローディケイ状態に転じる。以上の動作は、第1のPWM回路6から第2のPWM回路7に役割が移行している点において相違するが、前述と同様の動作であり、モータ電流I_Lはスムーズに正負が逆転していく。

[0071] 以上のように、本実施の形態に係るモータ駆動装置10によれば、入力電

源 1 から供給されるモータ電流 I_L を検出して正向きでは第 1 の目標波形値 V_{r1}/R_s 、負向きでは第 2 の目標波形値 V_{r2}/R_s に追従させるピーク電流制御において、最小オン期間 T_m に目標電流を越える場合に、目標電流に減少するまでファーストディケイ状態となる期間を設けることによって、ゼロクロス近傍においても目標電流波形を維持させることができる。

[0072] (実施の形態 2)

実施の形態 2 に係るモータ駆動装置について説明する。本実施の形態に係るモータ駆動装置は、主に、基準波形生成回路が一つの基準波形信号だけを生成する点において実施の形態 1 に係るモータ駆動装置 10 と相違する。以下、本実施の形態に係るモータ駆動装置について、実施の形態 1 に係るモータ駆動装置 10 との相違点を中心に図 7 A ～ 図 10 を用いて説明する。

[0073] 図 7 A は、本実施の形態に係るモータ駆動装置 110 の回路構成図である。図 7 A において、図 1 A と同様の構成要素については同一の符号を付与し、それらの説明を省略する。

[0074] 図 7 A に示されるように、本実施の形態に係るモータ駆動装置 110 は、第 1 の直列スイッチ回路 31 と、第 2 の直列スイッチ回路 32 と、基準パルス生成回路 50 と、電流検出抵抗 4 と、PWM 回路 5 A と、基準波形生成回路 51 A と、電流比較回路 57 と、を有する。本実施の形態では、モータ駆動装置 110 は、増幅器 40 と、抵抗 41、42、44、45 と、スイッチ 43 と、をさらに有する。

[0075] 本実施の形態に係る基準波形生成回路 51 A は、0 以上の信号レベルの基準波形信号 V_r を生成する。基準波形信号 V_r について、図 7 B を用いて説明する。図 7 B は、本実施の形態に係る極性指示信号 DIR 、及び基準波形信号 V_r の波形の一例を示すグラフである。図 7 B のグラフ (a) は、極性指示信号 DIR の波形の一例を示すグラフである。図 7 B のグラフ (b) は、基準波形信号 V_r の波形の一例を示すグラフである。各グラフの横軸は時間を表す。図 7 B に示されるように、基準波形信号 V_r は、0 以上の信号レベルを維持し、負の信号を含まない。

- [0076] 本実施の形態に係るPWM回路5Aは、実施の形態1に係る第1のPWM回路6と同様の回路に加えて、第1の切替回路58と、第2の切替回路59とを有する。
- [0077] PWM回路5Aは、実施の形態1に係る第1の基準パルス信号P1及び第2の基準パルス信号P2に代えて、基準パルス信号P0が入力される。またPWM回路5Aは、OR回路66を有さず、OR回路60の出力とDフリップフロップ63の出力信号Q63は、第1の切替回路58及び第2の切替回路59に入力される。
- [0078] 第1の切替回路58は、第1の駆動信号を、主として第1の接続点X1から第2の接続点X2へモータ電流ILが流れる第1の期間において第1の直列スイッチ回路31に出力し、主として第2の接続点X2から第1の接続点X1へモータ電流ILが流れる第2の期間において第2の直列スイッチ回路32に出力する回路である。第1の切替回路58は、基準波形生成回路51Aからの極性指示信号DIR、OR回路60の出力信号、及び、Dフリップフロップ63の出力信号Q63を入力され、極性指示信号DIRに応じて、第1の直列スイッチ回路31へOR回路60の出力信号、又は、Dフリップフロップ63の出力信号Q63を出力する。
- [0079] 第2の切替回路59は、第2の駆動信号を、主として第1の接続点X1から第2の接続点X2へモータ電流ILが流れる第1の期間において第2の直列スイッチ回路32に出力し、主として第2の接続点X2から第1の接続点X1へモータ電流ILが流れる第2の期間において第1の直列スイッチ回路31に出力する回路である。第2の切替回路59は、基準波形生成回路51Aからの極性指示信号DIR、OR回路60の出力信号、及び、Dフリップフロップ63の出力信号Q63を入力され、極性指示信号DIRに応じて、第1の直列スイッチ回路31へOR回路60の出力信号、又は、Dフリップフロップ63の出力信号Q63を出力する。
- [0080] PWM回路5AのOR回路60の出力は、極性指示信号DIRが高レベルの場合、第1の切替回路58を介して駆動信号V1となり、極性指示信号D

I Rが低レベルの場合、第2の切替回路59を介して駆動信号V2となる。一方、Dフリップフロップ63の出力信号Q63は極性指示信号D I Rが高レベルの場合、第2の切替回路59を介して駆動信号V2となり、極性指示信号D I Rが低レベルの場合、第1の切替回路58を介して駆動信号V1となる。

[0081] また、本実施の形態においては、電流比較回路57において比較する対象においても、実施の形態1と異なる。実施の形態1では電流検出抵抗4の電流検出電圧V sと第1の基準波形信号V r 1とを比較したが、本実施の形態では基準波形信号V rを増幅器40で一旦N倍に増幅し、抵抗41と抵抗42とで分圧して再び基準波形信号V rに戻して電流比較回路57に入力する。一方、電流検出抵抗4の電圧V sから抵抗値R5の抵抗45を介して得られる検出電圧V s Aが電流比較回路57に入力され、上記基準波形信号（分圧電圧）V rと比較されて比較信号C3が出力される。さらにDフリップフロップ63の出力信号Q63に応じて開閉するスイッチ43と抵抗値R4の抵抗44の直列回路が、増幅器40の出力（電圧N・V r）と抵抗45（電圧V s A）との間に接続される。

[0082] このような構成とすることにより、Dフリップフロップ63の出力信号Q63が低レベルの時、つまり、ファーストディケイ状態でない時、スイッチ43はオフ状態であり、V s A = V sとなる。言い換えると、電流比較回路57が出力する比較信号C3は、電流検出電圧V sと基準波形信号V rとの比較結果となる。一方、Dフリップフロップ63の出力信号Q63が高レベルの時、即ちファーストディケイ状態の時、スイッチ43はオン状態であり、検出電圧V s Aは増幅器40の出力N・V rによってバイアスされ、次式のようになる。

$$[0083] \quad V_{sA} = (R4 \cdot V_s + R5 \cdot N \cdot V_r) / (R4 + R5)$$

[0084] この電圧V s Aが基準波形信号V rと比較されるので、V s A = V rよりV sを求めると、以下の関係が得られる。

$$[0085] \quad V_s = \{1 - (N - 1) \cdot R5 / R4\} \cdot V_r$$

[0086] ここで、 $(N-1) \cdot R_5 / R_4 = 2$ （例えば、 $N=3$ 、 $R_4=R_5$ ）に設定することにより、 $V_s = -V_r$ で比較信号C3は反転する。即ち、ファーストディケイ状態の時、電流比較回路57が出力する比較信号C3は、等価的に電流検出電圧 V_s と負の基準波形信号 $-V_r$ との比較結果となる。つまり、電流比較回路57は、第2の駆動信号が第1のハイサイドスイッチ素子又は第2のハイサイドスイッチ素子をオンする場合（つまり、第2の駆動信号が高レベルである場合）に、等価的に、電流検出電圧 V_s （つまり、電流信号）と、基準波形信号 V_r を負に反転した信号と、を比較する。

[0087] 以下、本実施の形態に係るモータ駆動装置110の動作について図8～図10を用いて説明する。図8は、図7Bの区間A1及びA2における極性指示信号DIR、基準パルス信号P0、比較信号C3、Dフリップフロップ61の出力信号Q61、Dフリップフロップ63の出力信号Q63、駆動信号V1～V4、電流検出電圧 V_s 、モータ電流ILの波形の一例を示すグラフである。各スイッチ素子の状態と流れる電流の経路は図3A及び図3Bと同様である。以下、図7A、図7B、及び図8を用いて、基準波形ピーク近辺の動作を説明する。

[0088] 極性指示信号DIRが高レベル、即ちモータ電流ILが正向きであって、時刻t0において基準パルス信号P0が立ち上がると、OR回路60と第1の切替回路58とを介して駆動信号V1も立ち上がり、第1のハイサイドスイッチ素子21はオン状態となる。同時に駆動信号V2は立ち下がって第1のローサイドスイッチ素子23はオフ状態となる。Dフリップフロップ61は、高レベルの比較信号C3をリセット端子に入力されている状態で基準パルス信号P0をクロック入力されるので、Dフリップフロップ61の出力信号Q61も立ち上がる。一方、高レベルの比較信号C3の反転信号をD端子に入力されるDフリップフロップ63の出力信号Q63は低レベルであり、出力信号Q63は第2の切替回路59を介して駆動信号V2となるので、第2のハイサイドスイッチ素子22はオフ状態、第2のローサイドスイッチ素子24はオン状態である。第1のハイサイドスイッチ素子21のターンオン

に伴い、入力電源 1 の正極から第 1 のハイサイドスイッチ素子 2 1、モータ 3、第 2 のローサイドスイッチ素子 2 4、電流検出抵抗 4、入力電源 1 の負極と流れる電流は、サージ状に振動しながら増加するので、電流検出電圧 V_s も振動し、比較信号 C_3 も高レベル及び低レベルの間で振動する。しかしながら電流検出電圧 V_s は、OR 回路 6 2 で基準パルス信号 P_0 の高レベルとの論理和、NAND 回路 6 7 で後述の遅延回路 6 8 の遅延信号の低レベルとの否定論理積を取られるので、回路動作に影響しない。この状態は、少なくとも、基準パルス信号 P_0 が高レベルである時刻 t_1 まで維持され、正向きに電源電圧が印加されたモータ 3 のモータ電流 I_L は正向きに増加していく。以上のように、基準パルス信号 P_0 のパルス継続時間は、マスク期間の最小値である最小オン期間 T_m となる。

[0089] 最小オン期間 T_m 後の時刻 t_1 において、基準パルス信号 P_0 が立ち下がる。この時、電流検出電圧 V_s は基準波形信号 V_r に至っておらず、比較信号 C_3 は高レベルのままであるので、D フリップフロップ 6 1 はリセットされず状態は時刻 t_2 まで維持される。各スイッチ素子などは、時刻 $t_0 \sim t_2$ において、図 3 A の状態図 (a) の状態に維持される。

[0090] 時刻 t_2 において、モータ電流 I_L の増加に伴って上昇した電流検出電圧 V_s が基準波形信号 V_r に至ると、比較信号 C_3 が立ち下がり、D フリップフロップ 6 1 がリセットされて出力信号 $Q_6 1$ が低レベルになる。このため OR 回路 6 0 の入力がいずれも低レベルとなり、駆動信号 V_1 は立ち下がって第 1 のハイサイドスイッチ素子 2 1 はオフ状態になり、駆動信号 V_3 は立ち上がって第 1 のローサイドスイッチ素子 2 3 はオン状態になる。

[0091] 第 1 のローサイドスイッチ素子 2 3 と第 2 のローサイドスイッチ素子 2 4 とがオン状態となるので、モータ 3 は両端が短絡状態となり、電流検出抵抗 4 には電流は流れない。モータコイルには逆起電圧のみが印加され、モータ電流 I_L は減少していくスローディケイ状態となる。

[0092] 次に、時刻 t_3 において、基準パルス信号 P_0 が再び立ち上がると、時刻 t_0 で説明した動作を繰り返す。各スイッチ素子などは、時刻 $t_2 \sim t_3$ に

において、図 3 A の状態図 (b) の状態に維持される。

[0093] 以上のように、図 7 B の区間 A 1 では、第 2 のハイサイドスイッチ素子 2 2 がオフ、第 2 のローサイドスイッチ素子 2 4 がオンの状態に固定され、所定のスイッチング周期で第 1 のハイサイドスイッチ素子 2 1 と第 1 のローサイドスイッチ素子 2 3 が交互にオンオフする。第 1 のハイサイドスイッチ素子 2 1 のオン期間は、最小オン期間 T_m 以上で、モータ電流 I_L のピーク値が目標波形値 V_r / R_s に達するまでの期間に制御される。

[0094] 図 7 B の区間 A 2 では、PWM 回路 5 A は上記の区間 A 1 と同様の動作であるが、極性指示信号 DIR が低レベルであるので第 1 の切替回路 5 8 及び第 2 の切替回路 5 9 の状態が区間 A 1 と異なり、OR 回路 6 0 の出力信号が駆動信号 V_2 、D フリップフロップ 6 3 の出力信号 Q_{63} が駆動信号 V_1 となる。上述の区間 A 1 の時刻 $t_0 \sim t_3$ に区間 A 2 の時刻 $T_0 \sim T_3$ が対応し、第 1 のハイサイドスイッチ素子 2 1 がオフ、第 1 のローサイドスイッチ素子 2 3 がオンの状態に固定され、所定のスイッチング周期で第 2 のハイサイドスイッチ素子 2 2 と第 2 のローサイドスイッチ素子 2 4 とが交互にオンオフする。第 2 のハイサイドスイッチ素子 2 2 のオン期間は、最小オン期間 T_m 以上で、モータ電流 I_L のピーク値が目標波形値 V_r / R_s に達するまでの期間に制御される。各スイッチ素子などは、時刻 $T_0 \sim T_2$ においては、図 3 B の状態図 (a) の状態に維持され、時刻 $T_2 \sim T_3$ においては、図 3 B の状態図 (b) の状態に維持される。

[0095] 次に図 7 B の区間 B のように基準波形がダイナミックに減衰している場合の動作を説明する。モータ駆動装置 1 1 0 は、モータ電流 I_L が基準波形信号の減衰に追従するように制御するため、第 1 のハイサイドスイッチ素子 2 1 のオン期間も減少するが、最小オン期間 T_m より短くはないためにモータ電流 I_L のピーク値は制御目標値を越えて大きくなる。ここでは、制御目標値を越えたモータ電流 I_L のピーク値が是正されていく過程を、図 9 を用いて説明する。

[0096] 図 9 は、図 7 B の区間 B における極性指示信号 DIR 、基準パルス信号 P

0、比較信号C3、Dフリップフロップ61の出力信号Q61、Dフリップフロップ63の出力信号Q63、駆動信号V1～V4、電流検出電圧Vs、及びモータ電流ILの波形の一例を示すグラフである。各スイッチ素子の状態と流れる電流の経路は図5に示される状態図と同様である。

[0097] 図9の時刻t4において、モータ電流ILが制御目標値 V_r/R_s を越えた状態で、基準パルス信号P0に従って基準パルス信号P0が立ち下がる。この時、モータ電流ILが制御目標値を越えており、比較信号C3は低レベルであったので、Dフリップフロップ61はリセットされて出力信号Q61が立ち下がる。このため駆動信号V1も立ち下がり、第1のハイサイドスイッチ素子21はオフ状態になるとともに、第1のローサイドスイッチ素子23はオン状態になる。また、Dフリップフロップ63は、比較信号C3の反転信号である高レベルの信号がD端子に入力された状態で、基準パルス信号P0の立ち下がりによってクロック入力されるので出力信号Q63を立ち上げる。出力信号Q63が高レベルになると、第2の切替回路59を介して駆動信号V2が立ち上げられ、第2のハイサイドスイッチ素子22はオン状態になるとともに、第2のローサイドスイッチ素子24はオフ状態になる。このためモータ3には電源電圧Vccが負向きにかかり、モータ電流ILは減少に転じる。各スイッチ素子の状態は、入力電源1から供給されて電流検出抵抗4を流れる電流が逆流して回生電流となる、図5の状態図(b)のファーストディケイ状態となる。また、Dフリップフロップ63の出力信号Q63が高レベルになると、スイッチ43がオン状態となり、比較信号C3は等価的に電流検出電圧Vsと負の基準波形信号 $-V_r$ との比較結果になる。

[0098] Dフリップフロップ63の出力信号Q63は、遅延回路68とNAND回路67を介してDフリップフロップ63のリセット端子に入力される。遅延時間後の時刻t5には遅延回路68の出力は立ち下がるが、モータ電流ILがまだ制御目標値以上であって比較信号C3の反転信号が低レベルであるので、NAND回路67の出力は高レベルを維持し、Dフリップフロップ63はリセットされずにスイッチの状態は維持される。

- [0099] 時刻 t_6 において、上昇（絶対値は減少）してきた電流検出電圧 V_s が負の基準波形信号 $-V_r$ に至ると、比較信号 C_3 は低レベルに立ち下がり、Dフリップフロップ63はリセットされて出力信号 Q_{63} も立ち下がる。このため駆動信号 V_2 は立ち下がり、第2のハイサイドスイッチ素子22はオフ状態になるとともに、第2のローサイドスイッチ素子24はオン状態になってスローディケイ状態（図5の状態図（c））に移行する。
- [0100] 時刻 t_7 において基準パルス信号 P_0 が立ち上がると、OR回路60と第1の切替回路58とを介して駆動信号 V_1 も立ち上がり、第1のハイサイドスイッチ素子21はオン状態となる。同時に駆動信号 V_3 は立ち下がって第1のローサイドスイッチ素子23はオフ状態となり、正向きに電源電圧 V_{cc} が印加されたモータ3のモータ電流 I_L は正向きに増加していく（図5の状態図（a））。前周期に比べると、ファーストディケイ状態によってモータ電流 I_L は減衰し、電流検出電圧 V_s のレベルも低下している。
- [0101] しかし基準波形信号 V_r のレベルも低いため、時刻 t_8 において最小オン期間 T_m に至って基準パルス信号 P_0 が立ち下がる際には、モータ電流 I_L は制御目標値を越えている。このため第1のハイサイドスイッチ素子21はオフ状態になって、再びファーストディケイ状態となる（図5の状態図（b））。この周期ではファーストディケイ状態の時刻 t_9 においてモータ電流 I_L は制御目標値を下回り（つまり、電流検出電圧 V_s は基準波形信号 V_r を越え）、比較信号 C_3 は立ち下がるが、Dフリップフロップ63の出力信号 Q_{63} の遅延信号が来ていないので状態は変わらない。
- [0102] 時刻 t_{10} において、Dフリップフロップ63の出力信号 Q_{63} の遅延信号が立ち上がると、Dフリップフロップ63はリセットされて出力信号 Q_{63} は立ち下がり、第2のハイサイドスイッチ素子22はオフ状態になってスローディケイ状態となる。即ち、遅延回路68によるDフリップフロップ63の出力信号 Q_{63} の遅延時間がファーストディケイ状態の最小期間である。以後、このような動作を繰り返し、モータ電流 I_L は目標波形に収斂していく。

- [0103] 次に、図 7 B の区間 C の動作を、図 10 を用いて説明する。図 10 は、図 7 B の区間 C における極性指示信号 D I R、基準パルス信号 P O、比較信号 C 3、D フリップフロップ 6 1 の出力信号 Q 6 1、D フリップフロップ 6 3 の出力信号 Q 6 3、駆動信号 V 1 ~ V 4、電流検出電圧 V s、及びモータ電流 I L の波形の一例を示すグラフである。
- [0104] 区間 C は、極性指示信号 D I R が高レベルから低レベルに変化し、モータ電流 I L をゼロクロスさせるべき領域であり、基準波形信号 V r はほぼゼロである。
- [0105] 時刻 t 1 1 において、基準パルス信号 P O が立ち上がると、駆動信号 V 1 も立ち上がり、第 1 のハイスайдスイッチ素子 2 1 はオン状態となる。同時に駆動信号 V 2 は立ち下がって第 1 のローサイドスイッチ素子 2 3 はオフ状態となる。基準波形信号 V r はほぼゼロであるので比較信号 C 3 は低レベルとなる。
- [0106] 時刻 t 1 2 において、最小オン期間 T m に至って基準パルス信号 P O が立ち下がると、D フリップフロップ 6 1 はリセットされて出力信号 Q 6 1 と共に駆動信号 V 1 も低レベルとなって第 1 のハイスайдスイッチ素子 2 1 はオフ状態になり、第 1 のローサイドスイッチ素子 2 3 はオン状態になる。一方、D フリップフロップ 6 3 は基準パルス信号 P O の立ち下がりによってクロック入力され、出力信号 Q 6 3 を立ち上げる。これにより駆動信号 V 2 も高レベルとなり、第 2 のハイスайдスイッチ素子 2 2 はオン状態になり、第 2 のローサイドスイッチ素子 2 4 はオフ状態になる。各スイッチ素子の状態はファーストディケイ状態に移行するためモータ電流 I L は減少し、電流検出電圧 V s は負となって比較信号 C 3 は高レベルとなる。また、D フリップフロップ 6 3 の出力信号 Q 6 3 が高レベルになると、スイッチ 4 3 がオン状態となり、比較信号 C 3 は等価的に電流検出電圧 V s と負の基準電圧 - V r との比較結果になる。
- [0107] 遅延回路 6 8 の遅延時間後の時刻 t 1 3 においてモータ電流 I L 及び電流検出電圧 V s が制御目標値のゼロになると、比較信号 C 3 は低レベルとなり

、Dフリップフロップ63はリセットされて出力信号Q63は低レベルになる。これにより駆動信号V2も低レベルとなり、第2のハイサイドスイッチ素子22はオフ状態になり、第2のローサイドスイッチ素子24はオン状態になる。各スイッチ素子の状態はスローディケイ状態に移行する。

[0108] なお、時刻 t_{13} は遅延回路68の遅延時間後としたが、先にモータ電流 I_L がゼロに至り、その後に遅延時間が経過してスイッチの状態がスローディケイ状態に移行する場合もありうる。その場合モータ電流 I_L は負向きに流れるが、スローディケイ状態で電流は減衰する。モータ3の特性や状態にもよるが、ゼロクロス近傍において逆起電圧は小さく、スローディケイ状態でのモータ電流もゼロもしくは小さな値に減衰しているものとする。

[0109] また、スローディケイ状態では電流検出抵抗4には電流は流れず、電流検出電圧 V_s は制御目標値と同じくゼロなので、比較信号C3は不定となる。しかしスローディケイ状態では比較信号C3を参照することは無く、動作への影響はない。この不定状態を避けたい場合は、電流比較回路57にヒステリシスやオフセットを設定してもよい。

[0110] 時刻 t_{14} で極性指示信号DIRが低レベルに転じると、第1の切替回路58と第2の切替回路59との状態が切り換わり、OR回路60の出力が駆動信号V2、Dフリップフロップ63の出力信号Q63が駆動信号V1となる。この後の時刻 t_{15} で基準パルス信号POが立ち上がると、Dフリップフロップ61がクロック入力されて出力信号Q61が立ち上がり、OR回路60及び第1の切替回路58を介して駆動信号V2が立ち上がる。したがって第2のハイサイドスイッチ素子22がオン状態になって第2のローサイドスイッチ素子24はオフ状態になる。モータ3は負向きに電源電圧 V_{cc} が印加され、モータ電流 I_L は負向きに増加していく。

[0111] 時刻 t_{16} で第2のハイサイドスイッチ素子22がオフ状態になり、第1のハイサイドスイッチ素子21がオン状態になってファーストディケイ状態に転じ、時刻 t_{17} で第1のハイサイドスイッチ素子21がオフ状態になってスローディケイ状態に転じる。以上のように、第1の切替回路58と第2

の切替回路 59 の状態が切り換わることにより、モータ電流 I_L はスムーズに正負が逆転していく。

[0112] 以上のように、本実施の形態に係るモータ駆動装置 110 によれば、入力電源 1 から供給されるモータ電流 I_L を検出して正向きでは目標波形値 V_r / R_s 、負向きでは目標波形値 $-V_r / R_s$ に追従させるピーク電流制御において、最小オン期間 T_m に目標電流を越える場合に、目標電流に減少するまでファーストディケイ状態となる期間を設けることによって、ゼロクロス近傍においても目標電流波形を維持させることができる。

[0113] なお、制御を簡素化するために通常の動作においてもスローディケイの代わりにファーストディケイを使用しても構わないが、ファーストディケイではモータ電流のリプルが増加する。リプル電流の増加は、電流実効値の増大に伴う導通損失の増加とスイッチング周波数ノイズの増大とにつながる。そのため本開示においては、最小オン期間での電流目標値越えの是正のためにのみファーストディケイ状態を設ける。

[0114] (その他の変形例)

以上、本開示について、実施の形態に基づいて説明したが、本開示は、上記実施の形態に限定されるものではない。

[0115] 例えば、上記各実施の形態において、各信号の高レベルと低レベルとは反転させ、各信号に応じて、回路構成を変更してもよい。

[0116] その他、各実施の形態に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で各実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

産業上の利用可能性

[0117] 本開示のモータ駆動装置は、例えば、低騒音、低振動でモータを駆動できるモータ駆動装置として車載用を始めとして様々な用途のモータに適用できる。

符号の説明

- [0118] 1 入力電源
- 3 モータ
- 4 電流検出抵抗（電流検出部）
- 5、5 A PWM回路
- 6 第1のPWM回路
- 7 第2のPWM回路
- 8、5 7 電流比較回路
- 10、110 モータ駆動装置
- 21 第1のハイサイドスイッチ素子
- 22 第2のハイサイドスイッチ素子
- 23 第1のローサイドスイッチ素子
- 24 第2のローサイドスイッチ素子
- 25、26、54、64、65、69、74、75、79 反転器
- 31 第1の直列スイッチ回路
- 32 第2の直列スイッチ回路
- 40 増幅器
- 41、42、44、45 抵抗
- 43 スイッチ
- 50 基準パルス生成回路
- 51、51 A 基準波形生成回路
- 52 第1のパルス出力回路
- 53 第2のパルス出力回路
- 55 第1の比較回路
- 56 第2の比較回路
- 58 第1の切替回路
- 59 第2の切替回路
- 60、62、66、70、72、76 OR回路
- 61、63、71、73 Dフリップフロップ

67、77 NAND回路

68、78 遅延回路

請求の範囲

[請求項1]

モータを駆動するモータ駆動装置であって、

第1のハイサイドスイッチ素子、及び第1のローサイドスイッチ素子を含む第1の直列スイッチ回路と、

第2のハイサイドスイッチ素子、及び第2のローサイドスイッチ素子を含み、前記第1の直列スイッチ回路に並列接続される第2の直列スイッチ回路と、

ゼロより大きいパルス継続時間を有する基準パルス信号を所定の周期で生成する基準パルス生成回路と、

前記モータに流れる電流であるモータ電流に対応する電流信号を出力する電流検出部と、

前記モータ電流の制御目標値に対応する基準波形信号を生成する基準波形生成回路と、

前記電流信号と前記基準波形信号とを比較して比較信号を生成する電流比較回路と、

前記基準パルス信号、前記基準波形信号、及び前記比較信号が入力され、第1の駆動信号、及び第2の駆動信号を出力するPWM (Pulse Width Modulation) 回路と、を有し、

前記第1のハイサイドスイッチ素子と前記第1のローサイドスイッチ素子との接続点である第1の接続点と、前記第2のハイサイドスイッチ素子と前記第2のローサイドスイッチ素子との接続点である第2の接続点と、の間に前記モータが接続され、

前記第1の駆動信号は、前記基準パルス信号の開始と同期して開始される第1のパルスであって、前記基準パルス信号の先頭から前記パルス継続時間の経過後であって前記電流信号の絶対値が前記基準波形信号の絶対値を越えた時に終了される第1のパルスを含み、

前記第2の駆動信号は、前記パルス継続時間以内に前記電流信号の絶対値が前記基準波形信号の絶対値を越えた場合に、前記第1のパル

スの終了後に開始される第2のパルスであって、少なくとも前記電流信号の絶対値が前記基準波形信号の絶対値を下回るまでの期間は持続される前記第2のパルスを含み、

前記PWM回路は、

主として前記第1の接続点から前記第2の接続点へ前記モータ電流が流れる第1の期間において、前記第1の駆動信号を前記第1の直列スイッチ回路に出力し、前記第2の駆動信号を前記第2の直列スイッチ回路に出力し、

主として前記第2の接続点から前記第1の接続点へ前記モータ電流が流れる第2の期間において、前記第2の駆動信号を前記第1の直列スイッチ回路に出力し、前記第1の駆動信号を前記第2の直列スイッチ回路に出力する

モータ駆動装置。

[請求項2]

前記基準波形信号は、基準振幅にて正負に周期的に振動する第1の基準波形信号と、前記第1の基準波形信号に対して逆位相で、前記基準振幅にて正負に周期的に振動する第2の基準波形信号と、を含み、

前記比較信号は、第1の比較信号と、第2の比較信号とを含み、

前記電流比較回路は、前記電流信号と前記第1の基準波形信号とを比較して前記第1の比較信号を生成する第1の比較回路と、前記電流信号と前記第2の基準波形信号とを比較して前記第2の比較信号を生成する第2の比較回路と、を有し、

前記PWM回路は、

前記基準パルス信号が入力され、前記第1の期間において出力されるパルスを含む第1の基準パルス信号を出力する第1のパルス出力回路と、

前記基準パルス信号が入力され、前記第2の期間において出力されるパルスを含む第2の基準パルス信号を出力する第2のパルス出力回路と、

前記第1の比較信号、前記第2の比較信号、前記第1の基準パルス信号、前記第2の基準パルス信号に基づいて、前記第1の期間において、前記第1の直列スイッチ回路に、前記第1の駆動信号を出力し、前記第2の期間において、前記第2の駆動信号を出力する第1のPWM回路と、

前記第1の比較信号、前記第2の比較信号、前記第1の基準パルス信号、前記第2の基準パルス信号に基づいて、前記第1の期間において、前記第2の直列スイッチ回路に、前記第2の駆動信号を出力し、前記第2の期間において、前記第1の駆動信号を出力する第2のPWM回路と、を有する

請求項1に記載のモータ駆動装置。

[請求項3] 前記基準波形生成回路は、0以上の信号レベルの基準波形信号を生成し、

前記PWM回路は、

前記第1の駆動信号を、前記第1の期間において前記第1の直列スイッチ回路に出力し、前記第2の期間において前記第2の直列スイッチ回路に出力する第1の切替回路と、

前記第2の駆動信号を、前記第1の期間において前記第2の直列スイッチ回路に出力し、第2の期間において前記第1の直列スイッチ回路に出力する第2の切替回路と、を有し、

前記電流比較回路は、前記第2の駆動信号が前記第1のハイサイドスイッチ素子又は前記第2のハイサイドスイッチ素子をオンする場合に、等価的に、前記電流信号と、前記基準波形信号を負に反転した信号と、を比較する

請求項1に記載のモータ駆動装置。

[請求項4] 前記基準波形生成回路は、前記モータ電流の向きを制御する極性指示信号を前記PWM回路に出力する

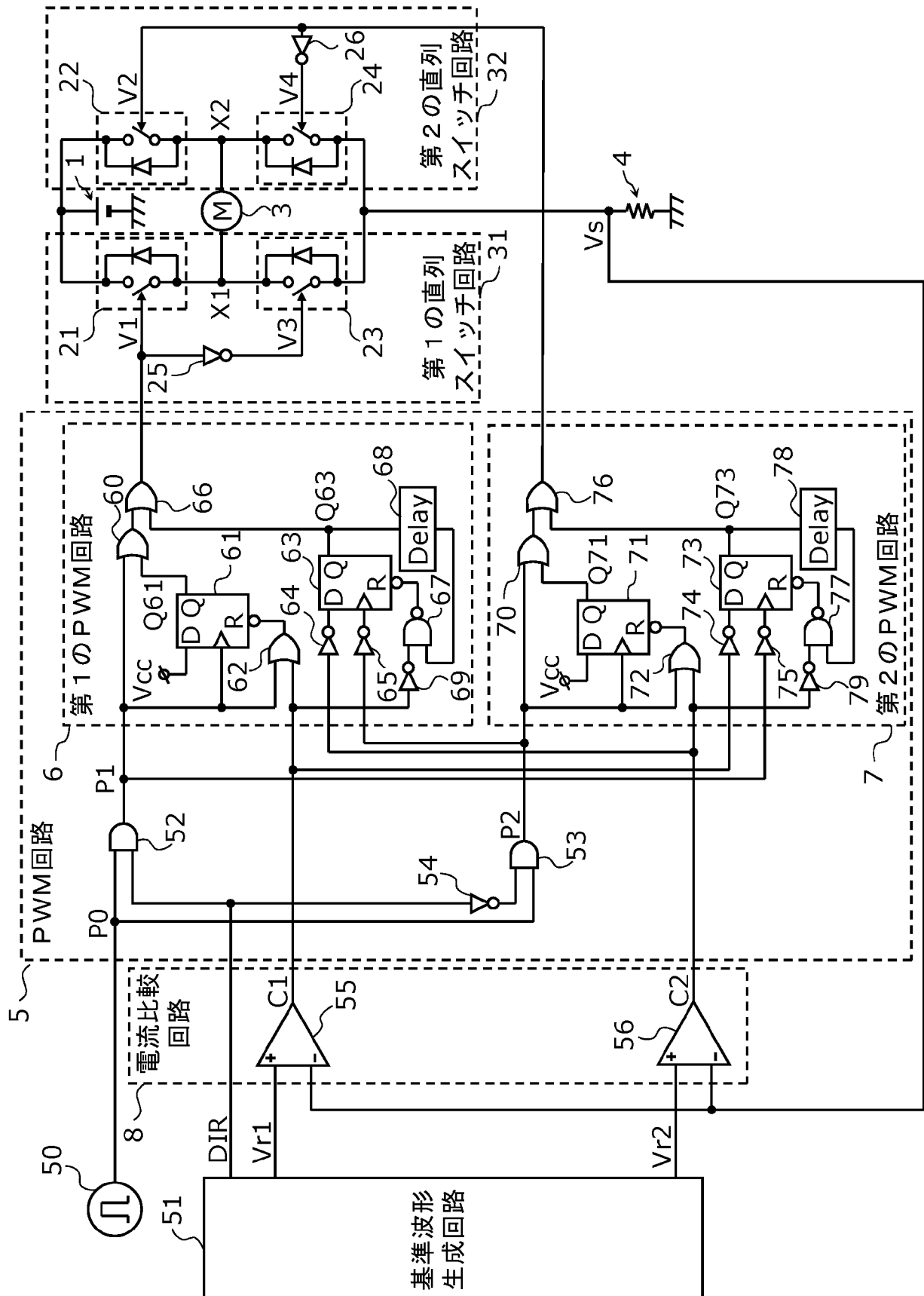
請求項1～3のいずれか1項に記載のモータ駆動装置。

[請求項5] 前記第2の駆動信号は、前記基準パルス信号の開始から前記パルス継続時間以内に前記電流信号の絶対値が前記基準波形信号の絶対値を越えない場合にはパルスを含まない

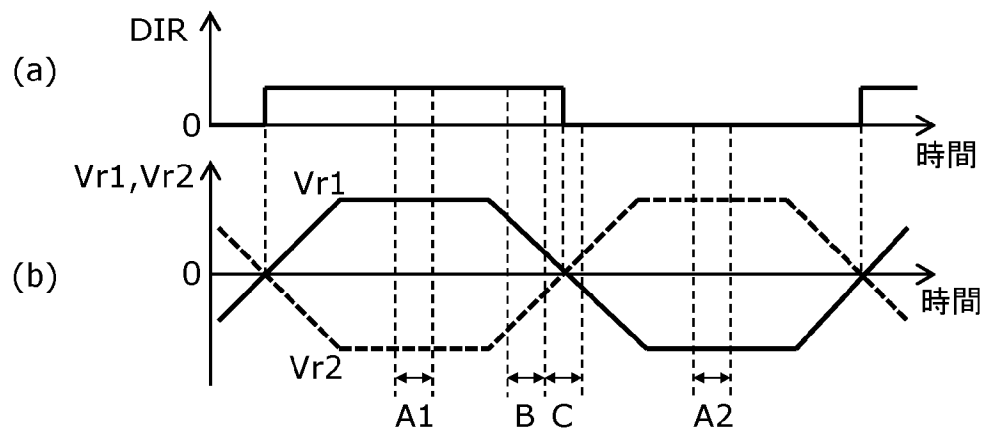
請求項1～4のいずれか1項に記載のモータ駆動装置。

[図1A]

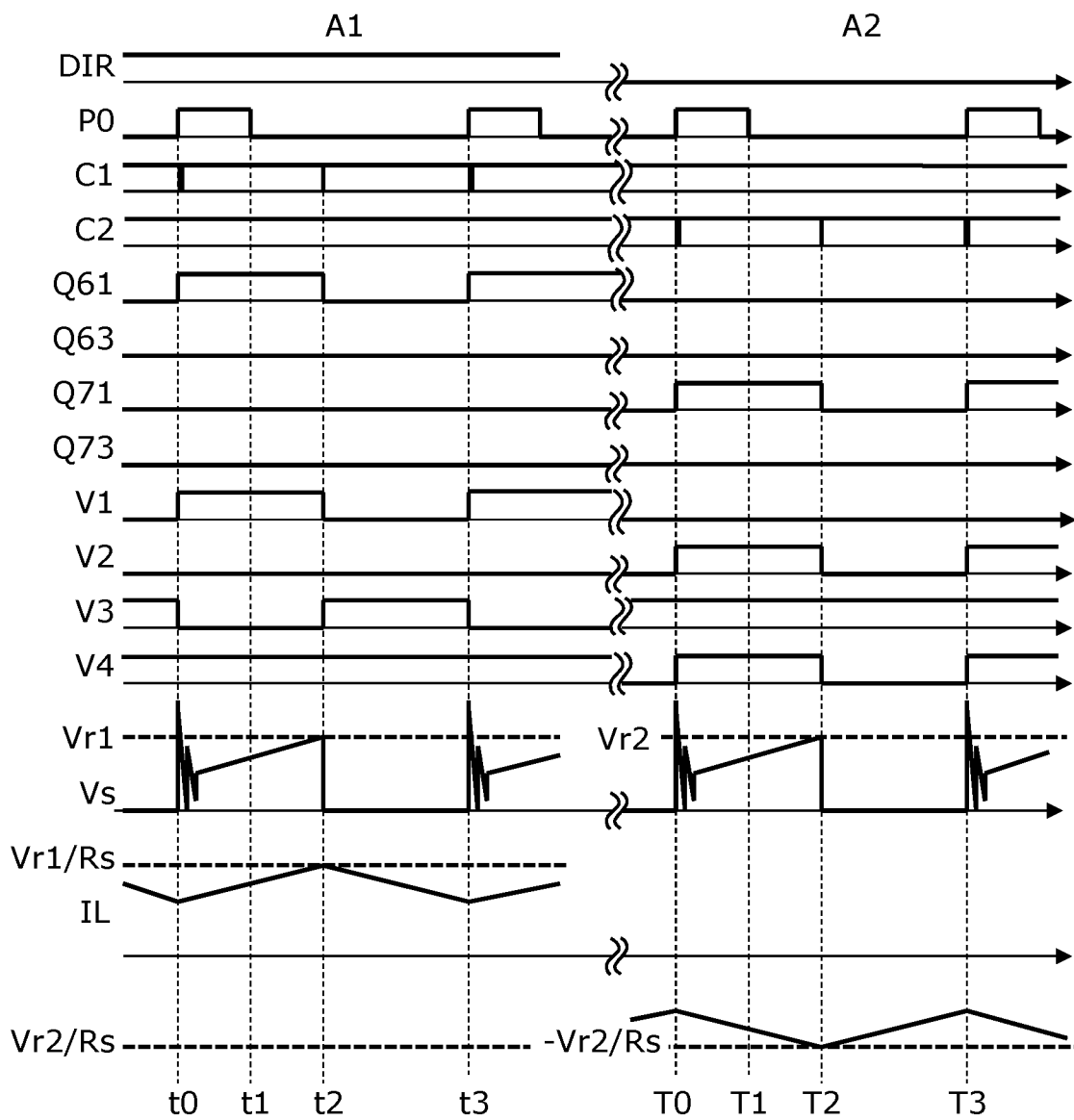
10



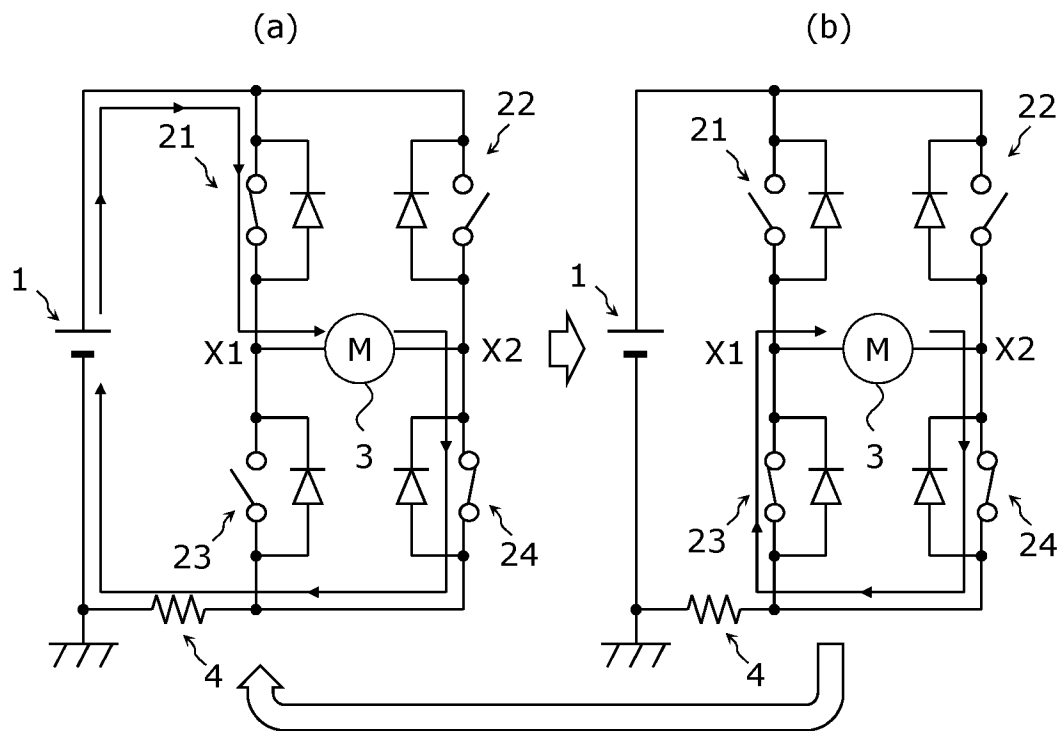
[図1B]



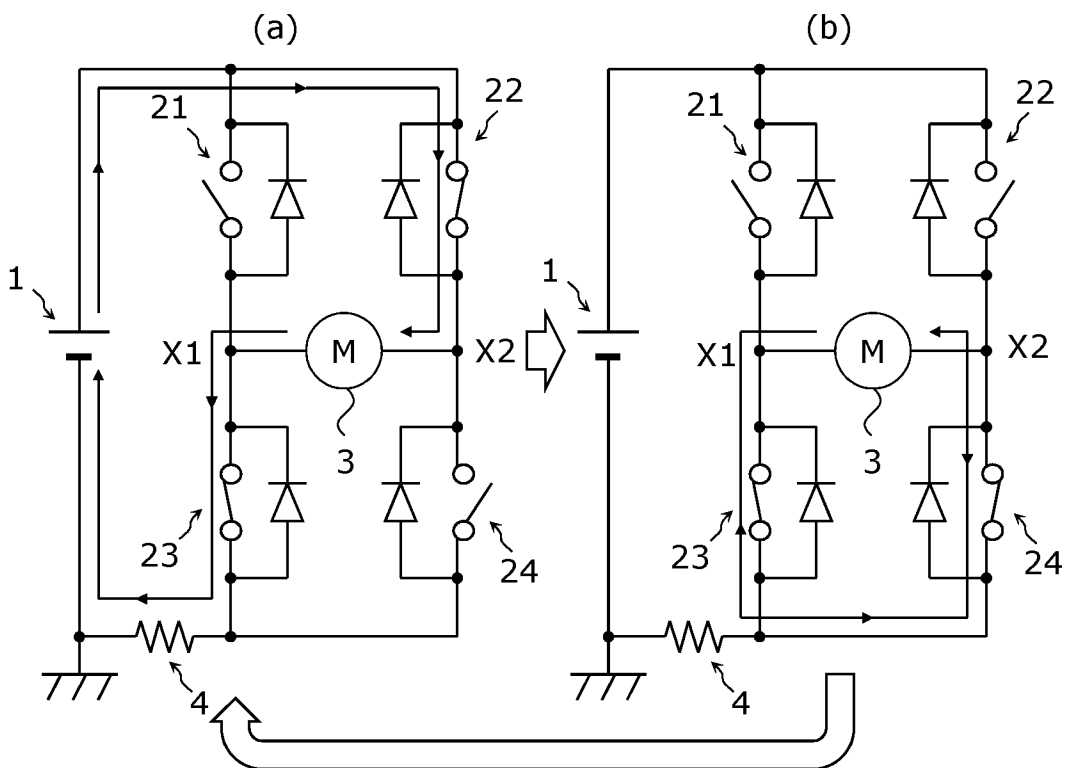
[図2]



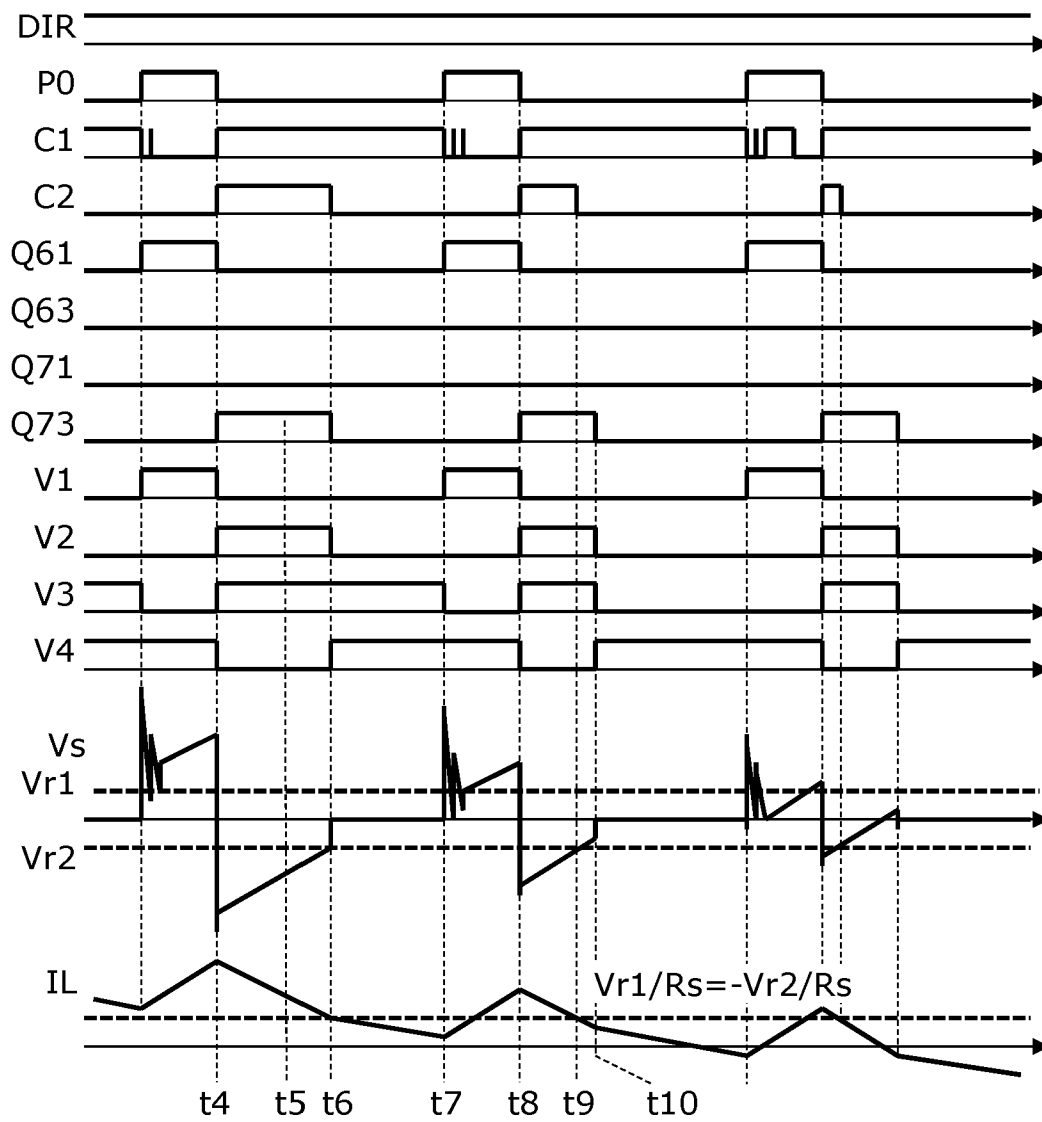
[図3A]



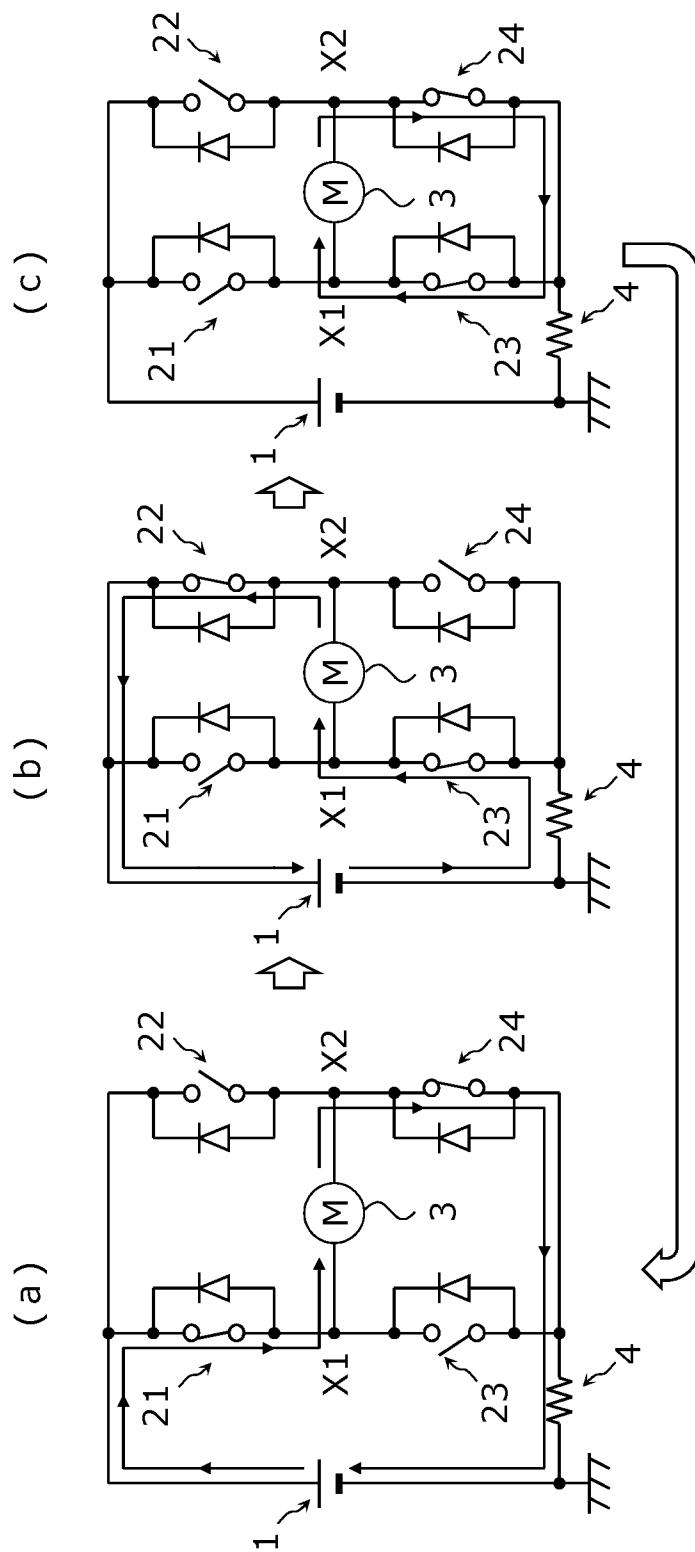
[図3B]



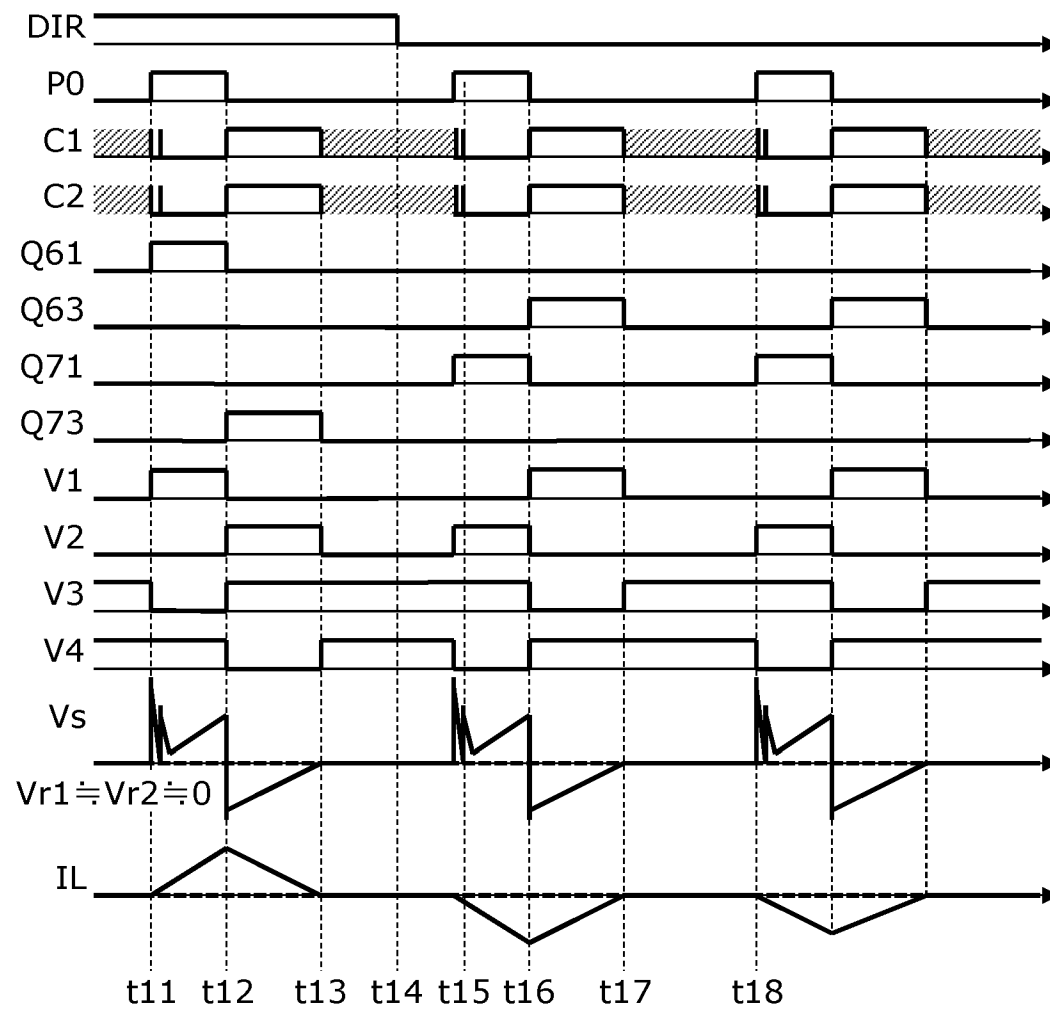
[図4]



[図5]

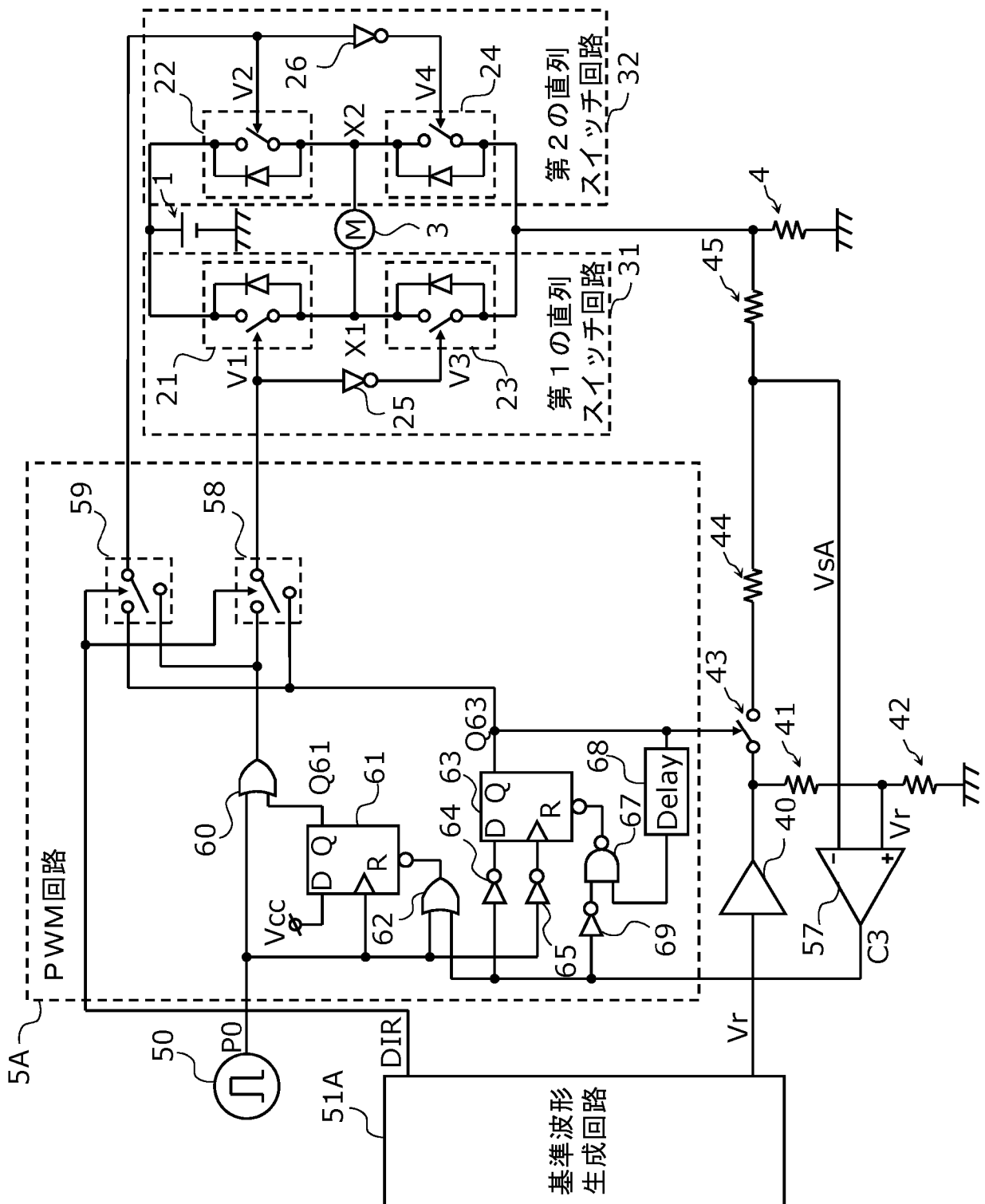


[図6]

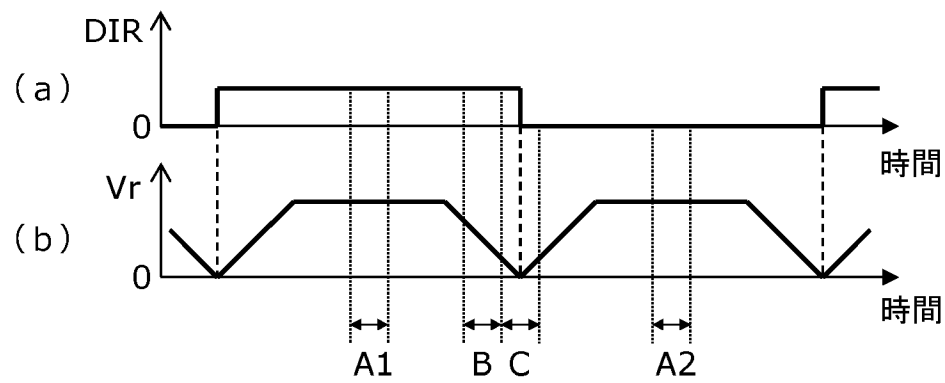


[図7A]

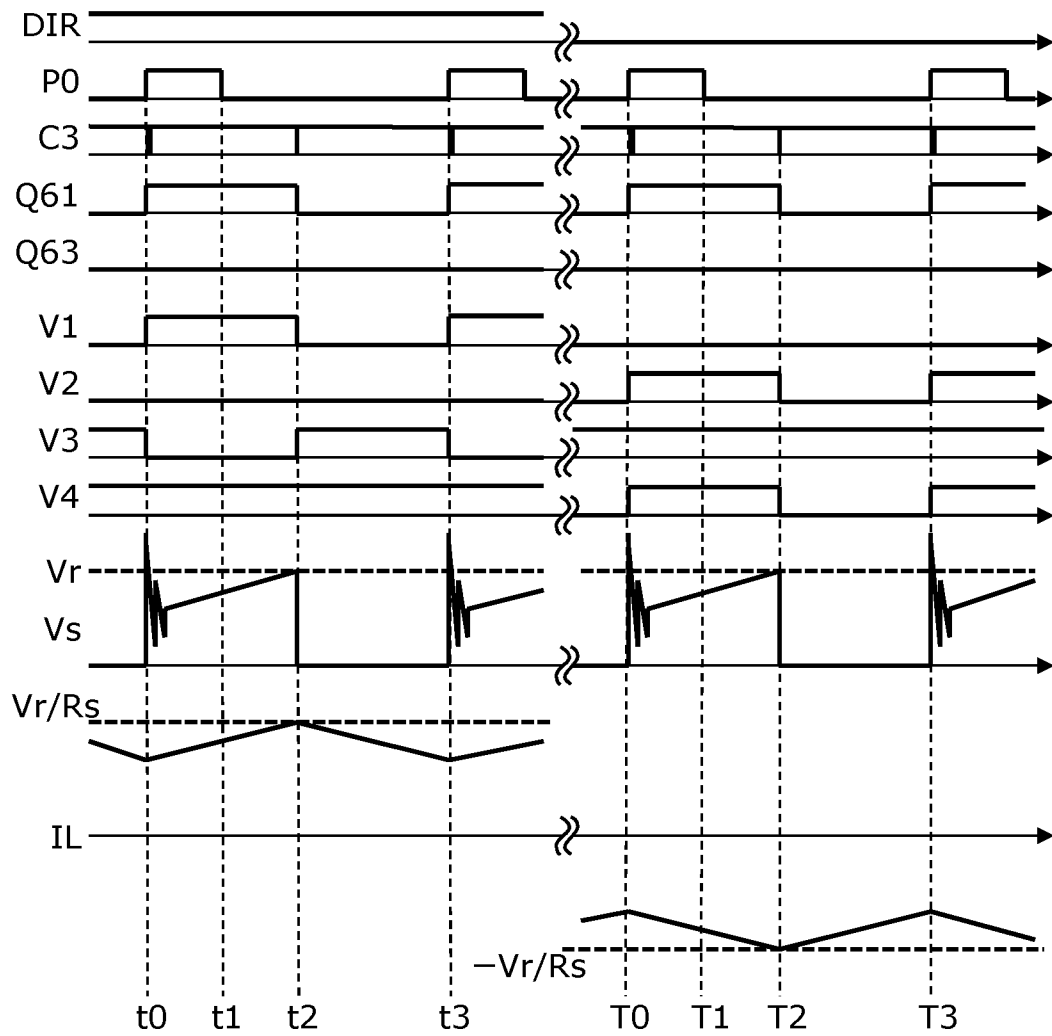
110



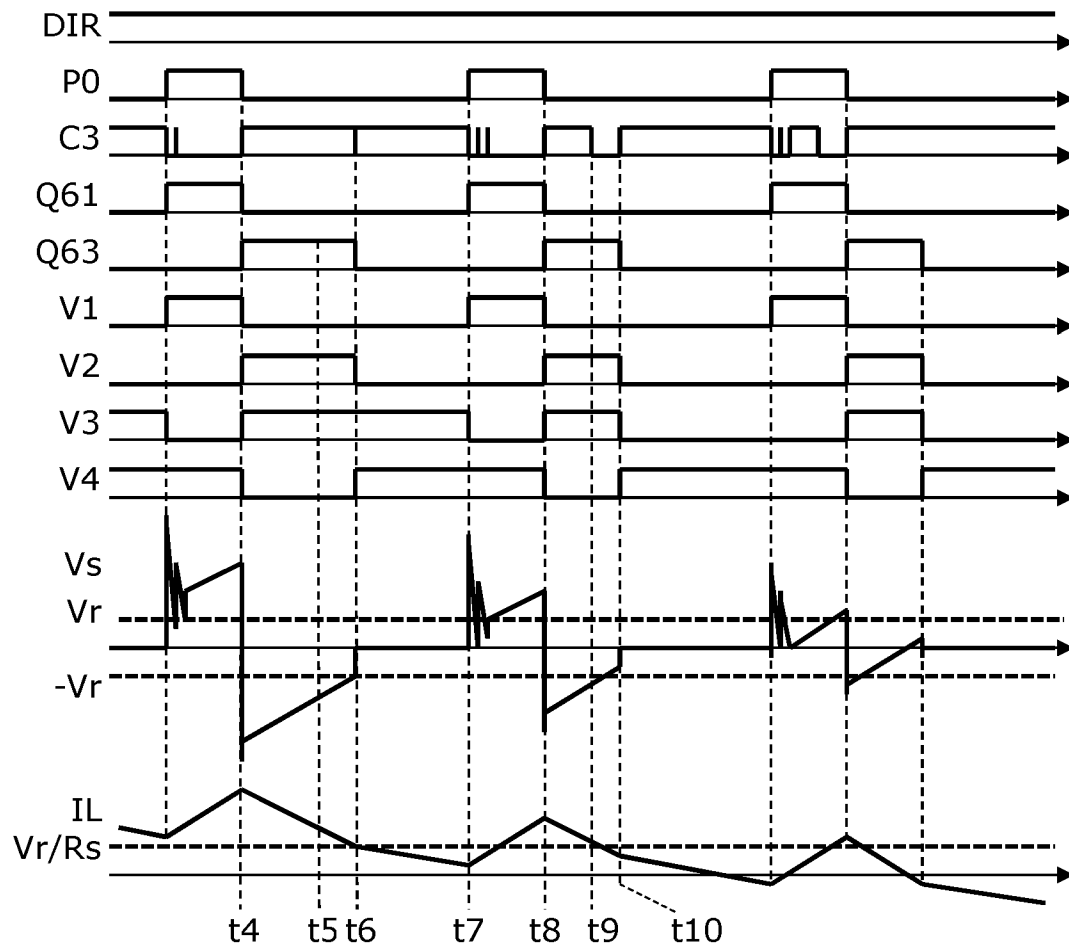
[図7B]



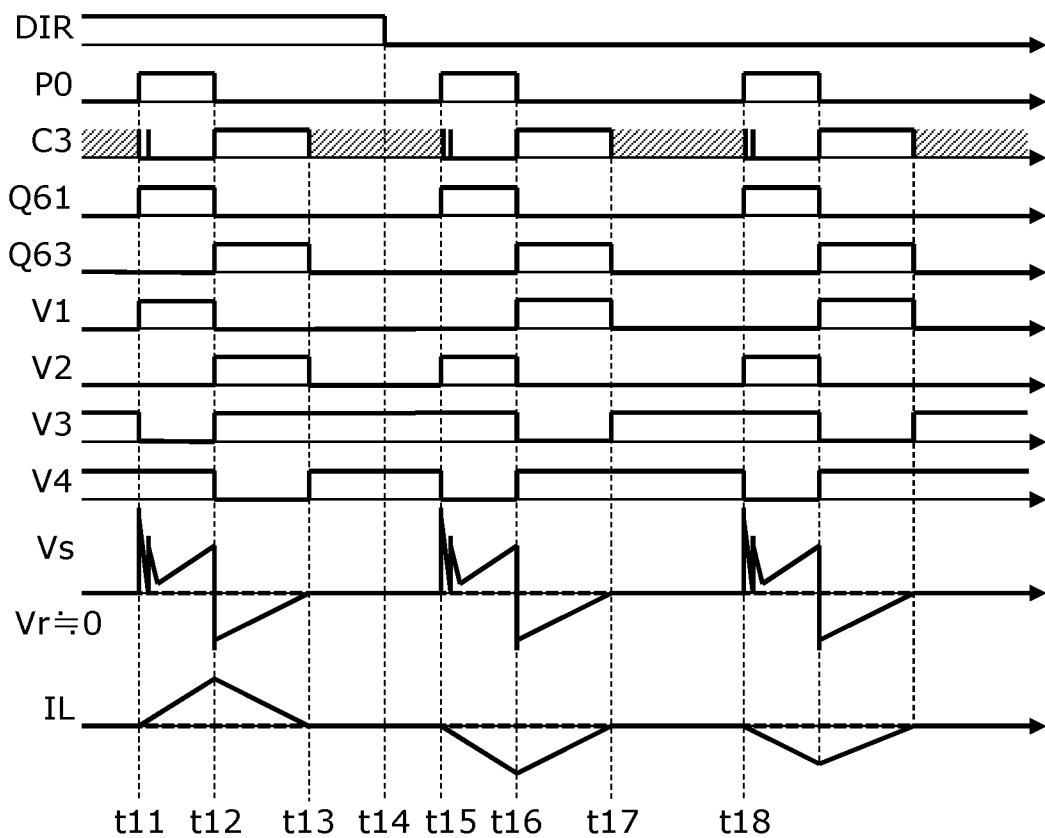
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/010992

A. CLASSIFICATION OF SUBJECT MATTER**H02P 27/08**(2006.01)i

FI: H02P27/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02P27/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-207607 A (MINEBEAMITSUMI INC) 27 December 2018 (2018-12-27) paragraphs [0001]-[0081], fig. 1-17	1-5
A	JP 2020-58120 A (ROHM CO LTD) 09 April 2020 (2020-04-09) paragraphs [0001]-[0163], fig. 1-16	1-5
A	JP 2018-198533 A (SEIKO EPSON CORP) 13 December 2018 (2018-12-13) paragraphs [0001]-[0144], fig. 1-20	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

09 May 2023

Date of mailing of the international search report

30 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/010992

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-207607	A	27 December 2018	US 2020/0083827 A1 paragraphs [0001]-[0211], fig. 1-17 DE 112018002815 T5 CN 110663169 A	
JP	2020-58120	A	09 April 2020	(Family: none)	
JP	2018-198533	A	13 December 2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02P 27/08(2006.01)i FI: H02P27/08										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02P27/08 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2018-207607 A（ミネベアミツミ株式会社）27.12.2018（2018 - 12 - 27） 段落[0001]-[0081], 図1-17	1-5								
A	JP 2020-58120 A（ローム株式会社）09.04.2020（2020 - 04 - 09） 段落[0001]-[0163], 図1-16	1-5								
A	JP 2018-198533 A（セイコーエプソン株式会社）13.12.2018（2018 - 12 - 13） 段落[0001]-[0144], 図1-20	1-5								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 09.05.2023		国際調査報告の発送日 30.05.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 池田 貴俊 3V 9256 電話番号 03-3581-1101 内線 3357								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/010992

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-207607	A	27.12.2018	US 2020/0083827 A1 段落[0001]- [0211], FIG.1-17 DE 112018002815 T5 CN 110663169 A	
JP	2020-58120	A	09.04.2020	(ファミリーなし)	
JP	2018-198533	A	13.12.2018	(ファミリーなし)	