



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월26일

(11) 등록번호 10-1506350

(24) 등록일자 2015년03월20일

(51) 국제특허분류(Int. Cl.)

C08G 61/12 (2006.01) C08L 65/00 (2006.01)

H01L 21/00 (2006.01)

(21) 출원번호 10-2009-0075358

(22) 출원일자 2009년08월14일

심사청구일자 2014년08월08일

(65) 공개번호 10-2010-0021978

(43) 공개일자 2010년02월26일

(30) 우선권주장

12/193,189 2008년08월18일 미국(US)

(56) 선행기술조사문헌

US20050146263 A1

전체 청구항 수 : 총 8 항

(73) 특허권자

제록스 코퍼레이션

미국 코네티컷주 노윅 피.오.박스 4505 글로버  
애비뉴 45

(72) 발명자

리 유녕

싱가폴 128044 싱가포르 웨스트 코스트 크레센트  
#05-04 16

(74) 대리인

특허법인태평양

심사관 : 김장강

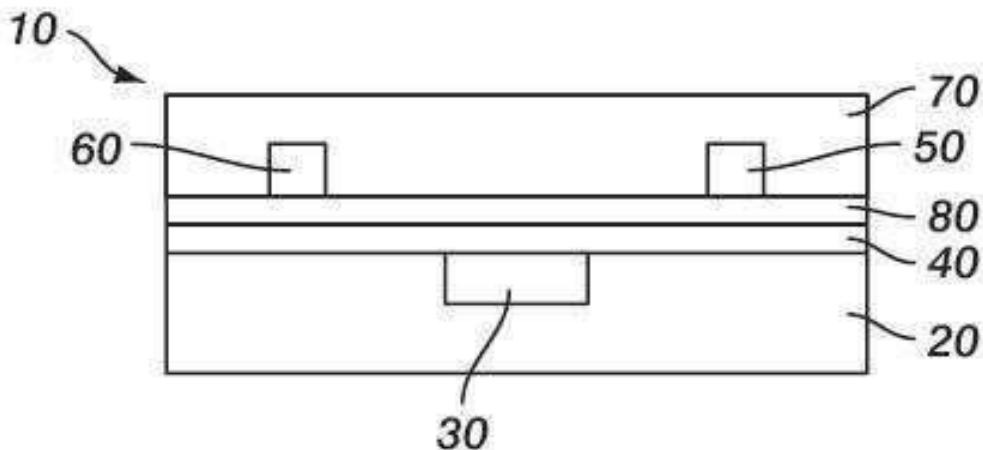
(54) 발명의 명칭 반도체성 중합체를 포함하는 전자 장치

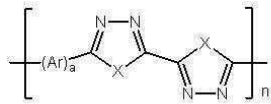
(57) 요약

하기 식 ( I )의 반도체성 중합체를 포함하는 전자 장치:

(뒷면에 계속)

대표도 - 도1





식 ( I )

상기 식에서, X는 독립적으로 S, Se, O 및 NR로부터 선택되고, R은 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 및 -CN으로부터 선택되며;

Ar은 독립적으로 콘쥬게이트된 2가 모이어티이고;

a는 1 내지 약 10인 정수이며;

n은 2 내지 약 5,000인 정수이다.

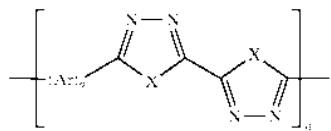
전자 장치는 유기 박막 트랜지스터일 수 있다.

---

## 특허청구의 범위

### 청구항 1

하기 식 (I)의 반도체성 중합체를 포함하는 반도체층을 포함하는 전자 장치:



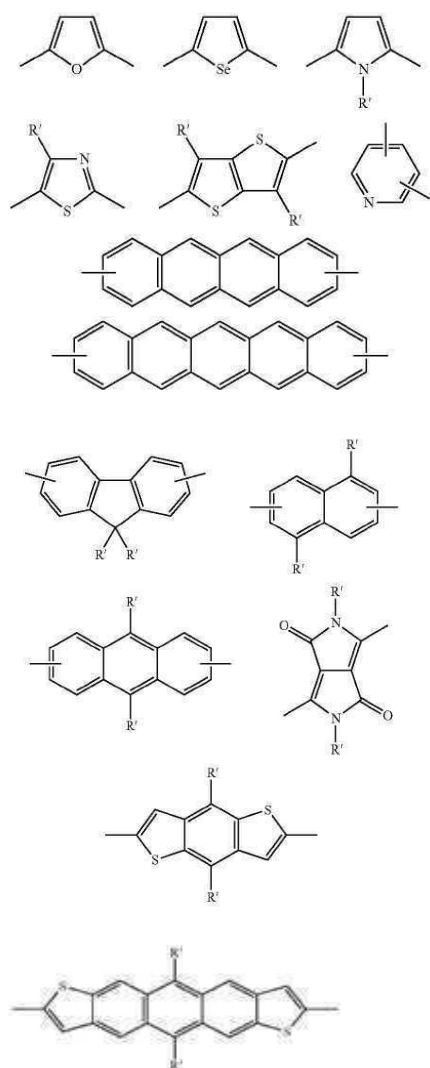
식 (I)

상기 식에서, X는 독립적으로 S, Se, O 및 NR로부터 선택되고, R은 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 및 -CN으로부터 선택되고;

a는 1 내지 10인 정수이며;

n은 2 내지 5,000인 정수이고;

각각의 Ar은 하기로부터 선택되는 콘쥬게이트된 2가 모이어티:



및 이들의 조합이며, 상기 식에서 R'은 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 또는 CN으로부터 선택되고; 상기 2가 모이어티는 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, 할로젠, -CN 또는 -NO<sub>2</sub>로 치환될 수 있다.

## 청구항 2

청구항 1에 있어서,

상기 반도체성 중합체는 4.5eV 이하의 LUMO를 가지는 전자 장치.

## 청구항 3

청구항 1에 있어서,

상기 반도체성 중합체는 n-형 반도체인 전자 장치.

## 청구항 4

청구항 1에 있어서,

상기 반도체성 중합체는 n-형 및 p-형 반도체 둘다인 전자 장치.

## 청구항 5

청구항 1에 있어서,

상기 반도체성 중합체는 1,000 내지 1,000,000의 중량 평균 분자량을 가지는 전자 장치.

## 청구항 6

청구항 1에 있어서,

상기 전자 장치는 박막 트랜지스터인 전자 장치.

## 청구항 7

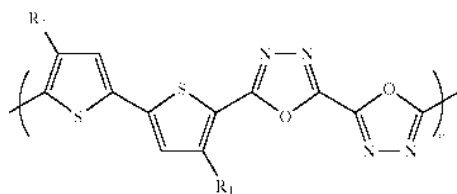
삭제

## 청구항 8

삭제

## 청구항 9

하기 식 (1)의 반도체성 중합체를 포함하는 반도체층을 포함하는 전자 장치 :



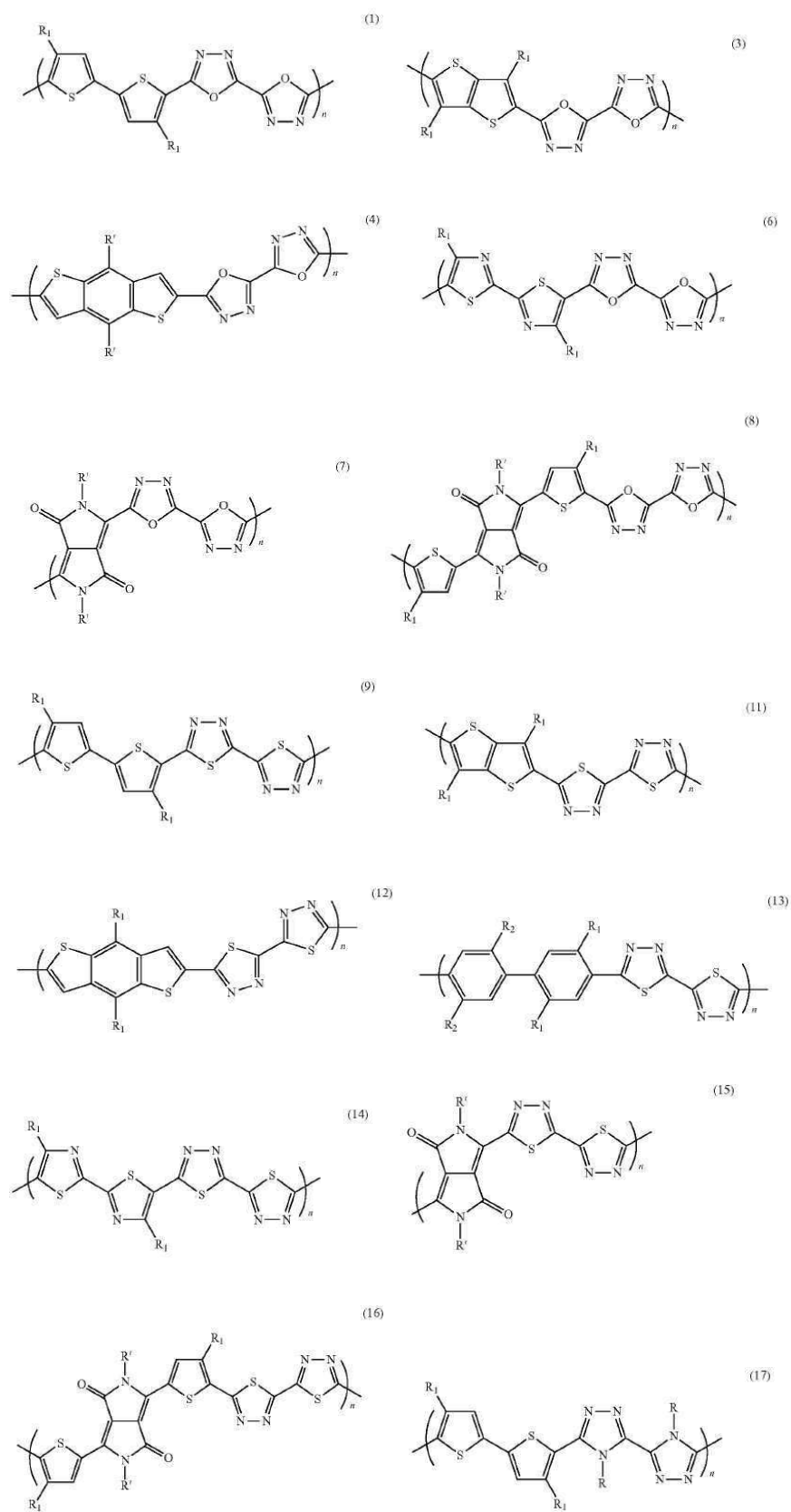
식 (1)

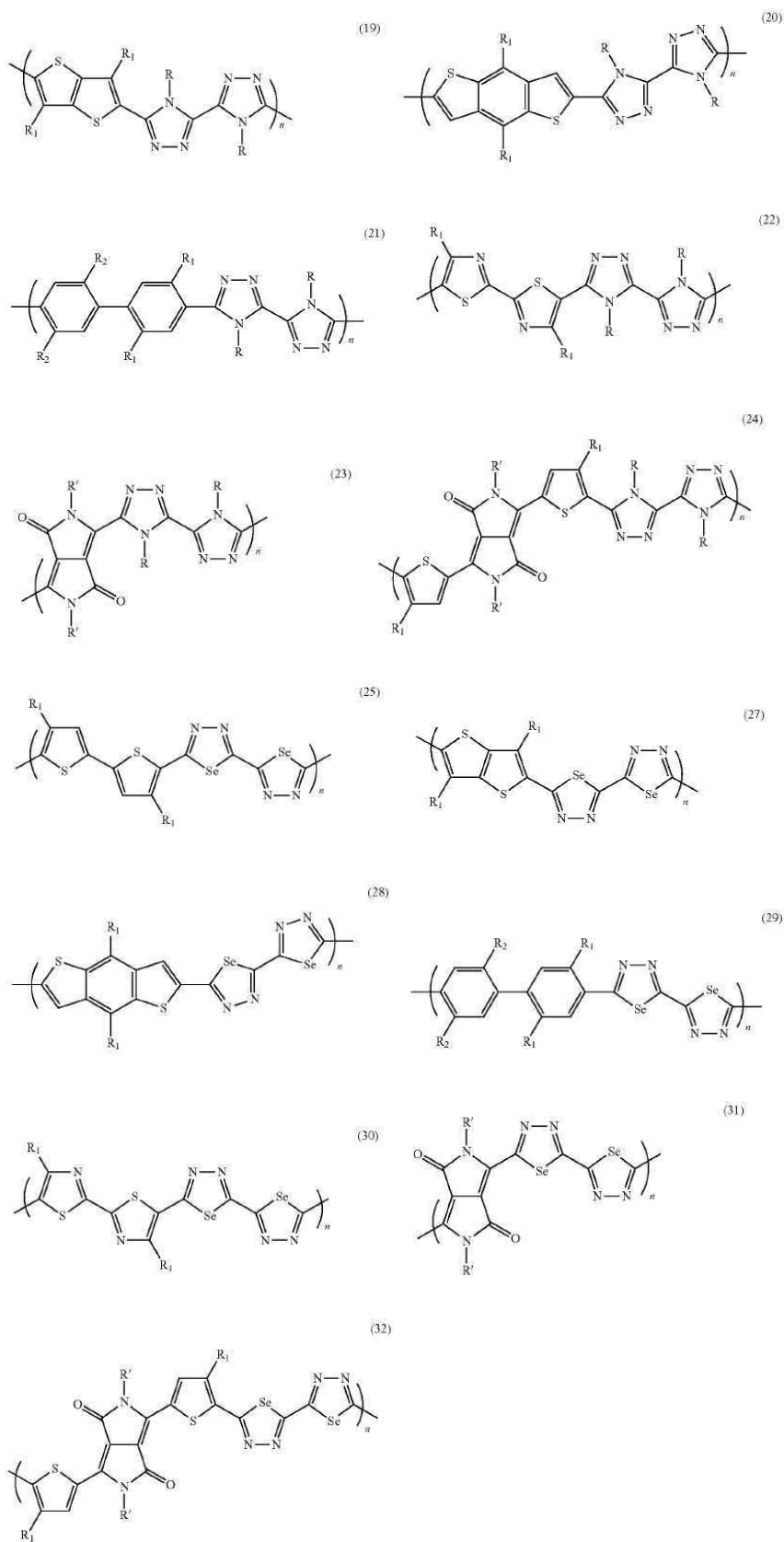
상기 식에서, R<sub>1</sub>은 1 내지 20개의 탄소 원자를 갖는 알킬기 또는 5 내지 20개의 탄소 원자를 갖는 아릴 또는 헤테로아릴기이다.

## 청구항 10

반도체성 중합체를 포함하는 반도체층을 포함하는 전자 장치로서, 상기 반도체성 중합체는 하기 식 (1), (3), (4), (6) 내지 (9), (11) 내지 (17), (19) 내지 (25), 및 (27) 내지 (32)로 이루어진 군으로부터 선택되는 전

자 장치:





상기 식에서, R, R', R<sub>1</sub> 및 R<sub>2</sub>는 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, -CN 또는 이의 혼합물로부터 선택된다.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

- [0001] 본 발명은 다양한 구현예에 있어서 박막 트랜지스터("TFT")와 같은 전자 장치용으로 적합한 조성물 및 공정에 관한 것이다. 본 발명은 또한 상기 조성물 및 공정을 사용하여 생산되는 구성요소 또는 층에 관한 것일 뿐 아니라, 상기 재료를 포함하는 전자 장치에 관한 것이다.

#### 배경 기술

- [0002] 박막 트랜지스터는(TFT), 예를 들어 센서, 이미지 스캐너 및 전자 디스플레이 장치를 포함하여 현대 전자공학에 있어서 기본적인 구성요소이다. 현재의 주류인 실리콘 기술을 이용한 TFT(thin film transistor) 회로는 어떤 용도, 특히 디스플레이용 백플레인 스위칭(backplane switching) 회로와 같이 빠른 스위칭 속도가 필수적이지 않은 대형 전자 장치(예, 능동 매트릭스 액정 모니터 또는 텔레비전)용으로는 가격이 지나치게 높을 수 있다. 실리콘 기반 TFT 회로가 고비용인 것은 주로 자본 집약적 실리콘 제조 시설을 사용할 뿐만 아니라, 엄격히 제어된 환경하에서 복잡한 고온, 고진공 포토리소그래피 제조 공정을 사용하기 때문이다. 훨씬 더 낮은 제조 비용이 들 뿐만 아니라 물리적으로 소형이고 경량이며 유연한 것과 같이 매력적인 기계적 특성을 갖는 TFT를 제조할 것이 일반적으로 요구된다. 유기 박막 트랜지스터(OTFT)는 높은 스위칭 속도나 높은 밀도를 필요로하지 않는 용도로 적합할 수 있다.
- [0003] TFT는 일반적으로 지지 기재, 세 개의 전기 전도성 전극(게이트, 소스 및 드레인 전극), 채널 반도체층 및 게이트 전극과 반도체층을 분리하는 전기 절연 게이트 유전층으로 구성된다.
- [0004] 이미 알려져 있는 TFT의 성능을 향상시키는 것이 바람직하다. 성능은 이동성, 전류 점멸비 및 문턱 전압의 적어도 세 가지 특성으로 측정될 수 있다. 이동성은  $\text{cm}^2/\text{V} \cdot \text{sec}$  단위로 측정되고; 이동성이 더 높은 것이 바람직하다. 전류 점멸비가 더 높은 것이 바람직하다. 문턱 전압은 전류가 흐르도록 하기 위해 게이트 전극에 적용될 필요가 있는 바이어스 전압에 관한 것이다. 일반적으로 문턱 전압은 가능하면 0에 가까울수록 바람직하다.
- [0005] p-형 반도체 재료가 광범위하게 연구되어 온 반면에, n-형 반도체 재료에는 그다지 강조되지 않았다. 공기 중에서 높은 전자 이동성과 안정성을 갖는 n-형 유기 반도체, 특히 용액 가공성 n-형 반도체는 그들의 공기 민감성 및 p-형 반도체와 비교하여 합성의 어려움 때문에 드물다. n-형 반도체는 구멍 대신 전자를 전달하기 때문에 낮은 최저 비점유 분자 궤도(LUMO) 에너지 준위를 필요로 한다. 낮은 LUMO 준위를 달성하기 위해, 몇몇 n-형 유기 반도체에 플루오로알킬, 시아노, 아실 또는 이미드기와 같이 전자 끄는 기(electron-withdrawing group)가 사용되어 왔다. 그러나 이들 전자 끄는 기는 아센, 프탈로시아닌 및 올리고티오펜과 같은 콘쥬게이트된 코어에 치환기나 결사슬로만 사용될 수도 있고, 선상 n-형 반도체성 중합체를 제조하기 위해 그들 자체가 콘쥬게이트된 2가 결합으로 사용될 수 없다. 가장 많이 보고된 고-이동성의 공기 중에서 안정한 n-형 반도체는 작은 분자 화합물이고, 최대 성능을 달성하기 위해 값비싼 진공 증착 기술을 사용해서만 가공될 수 있다.

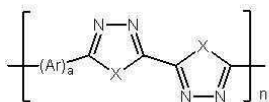
#### 발명의 내용

##### 해결 하고자하는 과제

- [0006] 본 발명은, 다양한 구현예에 있어서 반도체성 중합체 및 반도체성 중합체를 포함하는 반도체층을 갖는 박막 트랜지스터와 같은 전자 장치에 관한 것이다. 반도체성 중합체는 공기 중에서 안정하고 높은 이동성을 갖는 n-형 또는 n-형과 p-형 반도체 재료 모두이다.

##### 과제 해결수단

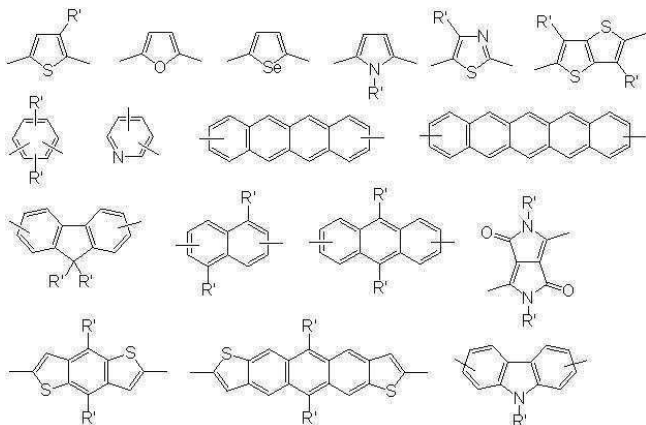
- [0007] 반도체층을 포함하는 전자장치가 구현예에 기재되고, 상기 반도체층은 하기 식 (I)의 반도체성 중합체를 포함한다:



식 ( I )

상기 식에서, X는 독립적으로 S, Se, O 및 NR로부터 선택되고, R은 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 및 -CN으로부터 선택되며; Ar은 독립적으로 콘쥬게이트된 2가 모이어티이고; a는 1 내지 약 10인 정수이며; n은 2 내지 약 5,000인 정수이다.

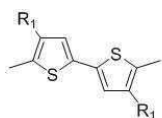
각각의 Ar은



로부터 선택된 콘쥬게이트된 2가의 모이어티이고 R'는 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, -CN 등 또는 그의 혼합물로부터 선택된다. 구체적인 구현예에서, R'는 알킬이다. 콘쥬게이트된 2가의 모이어티 Ar은 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, 할로젠, -CN, -NO<sub>2</sub> 등 또는 그의 혼합물로 한 번, 두 번 또는 여러 번 치환될 수 있다.

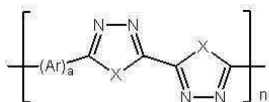
반도체성 중합체는 진공에 대해 3.5 eV 이하, 또는 4.0eV 이하, 또는 4.5eV 이하의 LUMO를 가질 수 있다.

몇몇 구현예에서 Ar은



일 수 있다. 상기 식에서, R<sub>1</sub>은 1 내지 약 18 개의 탄소 원자를 갖는 알킬기 또는 약 5 내지 약 20 개의 탄소 원자를 갖는 아릴 또는 헤테로아릴기이다.

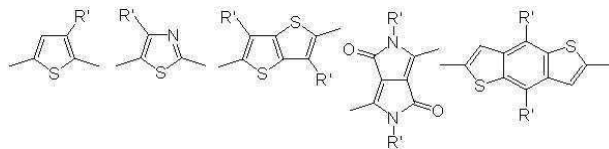
다른 구현예에서 전자 장치의 반도체층은 하기 식 ( I )의 반도체성 중합체를 포함한다:



식 ( I )

상기 식에서, X는 독립적으로 S, Se, O 및 NR로부터 선택되고, R은 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 및 -CN으로부터 선택되며; 각각의 Ar 모이어티는 독립적으로 하기로부터 선택된다:





[0022]

[0023]

R'는 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 및 -CN으로부터 선택되고; a는 1 내지 약 10인 정수이고, n은 2 내지 약 5,000인 정수이다.

[0024]

또한 이 공정에 의해 생산된 반도체층 및/또는 박막 트랜지스터가 추가적인 구현예에 포함된다.

### 발명의 실시를 위한 구체적인 내용

[0025]

첨부된 도면을 참조하여 본 발명에 기재된 구성요소, 공정 및 장치를 보다 완전하게 이해할 수 있다. 이들 도면은 편의에 기초하여, 본 전개를 설명하기 쉽게 하기 위해 단지 모식적으로 나타내는 것이므로, 장치나 그 구성요소의 상대적인 크기 및 치수를 나타내고 및/또는 대표 구현예의 범위를 제한하거나 한정하기 위한 것이 아니다.

[0026]

다음의 기재에서 명확성을 위해 특정 용어가 사용될지라도, 이들 용어는 도면에서 예시를 위해 선택된 구현예의 특정 구조를 지칭하려 하는 것일 뿐 명세서의 범위를 제한하거나 한정하려는 것이 아니다. 도면 및 다음의 기재에서 유사한 숫자는 유사한 기능을 갖는 구성요소를 지칭함을 알 수 있다.

[0027]

본 발명은 아래에 추가로 기술된 바와 같이 식 (I)의 반도체성 중합체에 관한 것이다. 이들 반도체성 중합체는 박막 트랜지스터 또는 유기 박막 트랜지스터(OTFT)와 같은 전자 장치의 반도체층에 사용되기에 특히 적합하다. 이러한 트랜지스터는 많은 상이한 배열을 가질 수 있다.

[0028]

도 1은 제1 OTFT 구현예 또는 배열을 예시한다. OTFT (10)은 게이트 전극 (30) 및 유전층 (40)과 접촉하는 기재 (20)을 포함한다. 여기서 게이트 전극 (30)이 기재 (20) 내에 묘사되어 있지만 이것은 필수적이지는 않다. 그러나 유전층 (40)이 게이트 전극 (30)을 소스 전극 (50), 드레인 전극 (60) 및 반도체층 (70)과 분리하는 것은 상당히 중요하다. 소스 전극 (50)은 반도체층 (70)과 접촉한다. 드레인 전극 (60)은 또한 반도체층 (70)과 접촉한다. 반도체층 (70)은 소스 및 드레인 전극 (50 및 60) 위에서 및 그 사이에서 작동한다. 선택적인 계면층 (80)은 유전층 (40)과 반도체층 (70) 사이에 위치한다.

[0029]

도 2는 제2 OTFT 구현예 또는 배열을 예시한다. OTFT (10)은 게이트 전극 (30) 및 유전층 (40)과 접촉하는 기재 (20)를 포함한다. 반도체층 (70)은 유전층 (40)의 위 또는 꼭대기에 위치하여 유전층을 소스 및 드레인 전극 (50 및 60)으로부터 분리시킨다. 선택적인 계면층 (80)은 유전층 (40)과 반도체층 (70) 사이에 위치한다.

[0030]

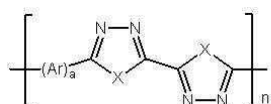
도 3은 제3 OTFT 구현예 또는 배열을 예시한다. OTFT (10)은 게이트 전극으로도 작용하고 유전층 (40)과 접촉하는 기재 (20)를 포함한다. 반도체층 (70)은 유전층 (40) 위에 또는 꼭대기에 위치하여 유전층을 소스 및 드레인 전극 (50 및 60)으로부터 분리시킨다, 선택적인 계면층 (80)은 유전층 (40)과 반도체층 (70) 사이에 위치한다.

[0031]

도 4는 제4 OTFT 구현예 또는 배열을 예시한다. OTFT (10)은 소스 전극 (50), 드레인 전극 (60) 및 반도체층 (70)과 접촉하는 기재 (20)를 포함한다. 반도체층 (70)은 소스 및 드레인 전극 (50 및 60) 위에 그리고 그 사이에서 작동한다. 유전층 (40)은 반도체층 (70) 꼭대기에 있다. 게이트 전극 (30)은 유전층 (40)의 꼭대기에 있고 반도체층 (70)과 접촉하지 않는다. 선택적인 계면층 (80)은 유전층 (40) 및 반도체층 (70) 사이에 위치한다.

[0032]

하기 식 (I)의 반도체성 중합체를 포함하는 전자 장치의 반도체층이 구현예에 기재된다:



[0033]

[0034]

식 (I)

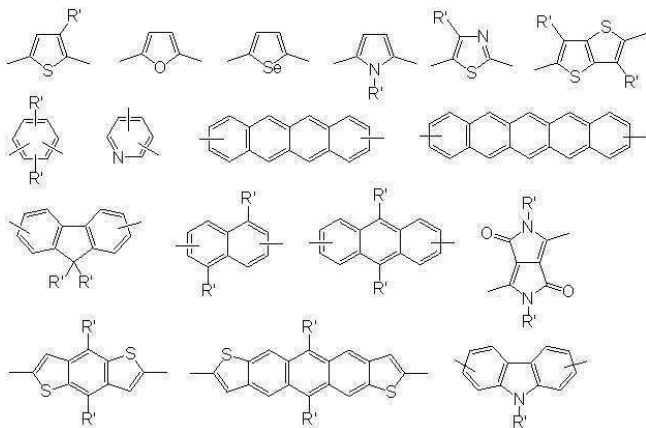
[0035]

상기 식에서, X는 독립적으로 S, Se, O 및 NR로부터 선택되고, R은 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴 및 -CN으로부터 선택되며; Ar은 독립적으로 콘쥬게이트된 2가 모이어티이고; a는 1 내

지 약 10인 정수이며; n은 2 내지 약 5,000인 정수이다.

[0036] 구체적인 구현예에서 X는 독립적으로 S 및 O로부터 선택된다. X가 황일 때, 반도체 재료로는 바이티아디아졸(bithiadiazole) 재료가 고려될 수 있다. X가 산소일 때, 반도체 재료로는 바이옥사디아졸(bioxadiazole) 재료가 고려될 수 있다.

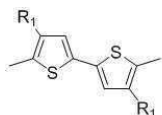
[0037] 각각의 Ar 모이어티는



[0038]

[0039]로부터 선택된 2가 모이어티 및 그의 조합일 수 있고, 여기서 R'는 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, -CN 등 또는 그의 혼합물로부터 선택된다. 구체적인 구현예에서, R'는 알킬이다. 콘주게이트된 2가의 모이어티 Ar은 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, 할로겐, -CN, -NO<sub>2</sub> 등 또는 그의 혼합물로 한 번, 두 번 또는 여러 번 치환될 수 있다. "Ar"은 모이어티의 존재, 반면에 "a"는 모이어티의 수를 나타냄을 주목해야 한다. 즉, 본 발명에 뒤이어 개시되는 바와 같이, 상이한 Ar 모이어티가 있을 수 있다.

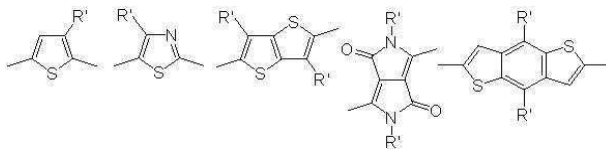
[0040] 몇몇 구현예에서 Ar은



[0041]

[0042] 일 수 있다. 여기서 R<sub>1</sub>은 1 내지 약 18 개의 탄소 원자를 갖는 알킬기 또는 약 5 내지 약 20 개의 탄소 원자를 갖는 아릴 또는 헤테로아릴기이다. Ar이 의미하는 바와 관련하여, 여기서 a=2이다. 2 개의 Ar 모이어티는 하나의 결사슬을 갖는 티오펜이지만, R<sub>3</sub> 결사슬은 하나의 티오펜의 3-탄소에 있고, 다른 티오펜의 4-탄소에 있다.

[0043] 다른 구체적인 구현예에서, 각각의 Ar 모이어티는 독립적으로



[0044]

[0045]로부터 선택된다.

[0046] 특정 구현예에서 반도체성 중합체는 진공에 대해 3.5 eV 이하의 LUMO를 갖는다. 보다 구체적인 구현예에서, 반도체성 중합체는 진공에 대해 4.0eV 이하 또는 4.5eV 이하의 LUMO를 갖는다.

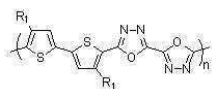
[0047] 구현예에서 반도체성 중합체는 n-형 반도체이다. 즉, 반도체성 중합체는 전자를 전달할 수 있다.

[0048] 다른 구현예에서 반도체성 중합체는 n-형 및 p-형 반도체 둘다이다. 즉, 반도체성 중합체는 전자 및 홀 모두를 전달할 수 있다.

[0049] 그 결과로 생기는 반도체성 중합체는 약 1,000 내지 약 1,000,000 또는 약 5,000 내지 약 100,000의 중량 평균

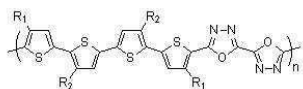
분자량을 가질 수 있다.

[0050] 구체적인 구현예에서 반도체성 중합체는 하기 식 (1) 내지 (32)로부터 선택된다:



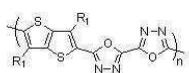
(1)

[0051]



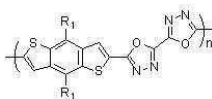
(2)

[0052]



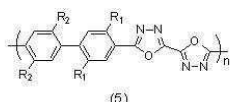
(3)

[0053]



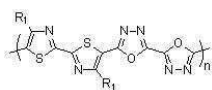
(4)

[0054]



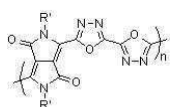
(5)

[0055]



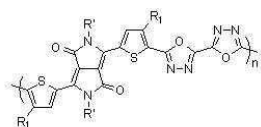
(6)

[0056]



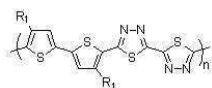
(7)

[0057]



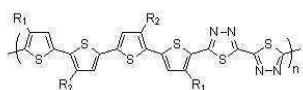
(8)

[0058]



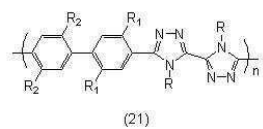
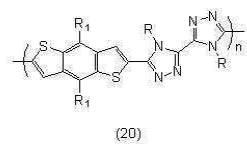
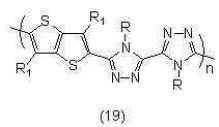
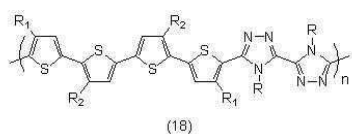
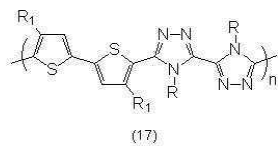
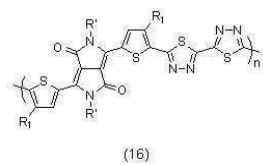
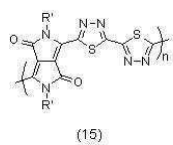
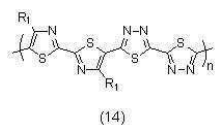
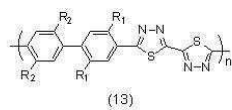
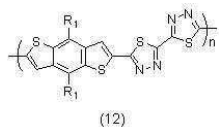
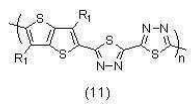
(9)

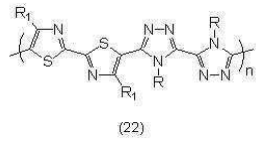
[0059]



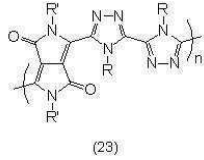
(10)

[0060]

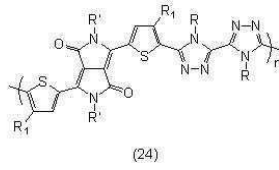




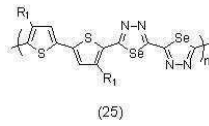
[0072]



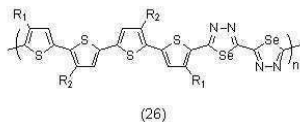
[0073]



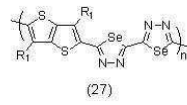
[0074]



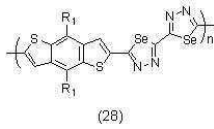
[0075]



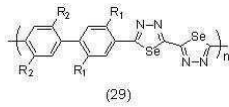
[0076]



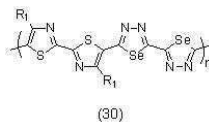
[0077]



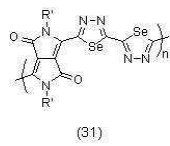
[0078]



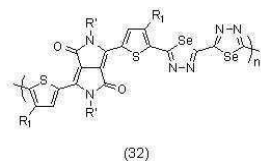
[0079]



[0080]



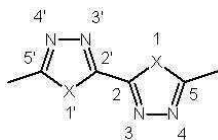
[0081]



여기서 R, R', R<sub>1</sub> 및 R<sub>2</sub>는 독립적으로 수소, 알킬, 치환된 알킬, 아릴, 치환된 아릴, 헤테로아릴, -CN 등 또는 그 혼합물로부터 선택된다. 구체적인 구현예에서 R'는 알킬이다. 다른 구체적인 구현예에서 R<sub>1</sub>은 R<sub>2</sub>와 다르다.

또, Ar이 의미하는 바와 관련하여, 식 (32)에서 a=3이다. Ar 모이어티 중 두 개는 하나의 결사슬을 갖는(게다가 또 상이한 탄소에 부착된) 티오펜이고 세번째 모이어티는 디케토피롤로피롤이다.

본 발명의 반도체성 중합체는 n-형 반도체로 적합하다. 이들 중합체의 1,3,4-헤테로디아졸 모이어티는 강한 전자를 끄는 모이어티이고, 이는 그 결과 생기는 반도체성 중합체의 LUMO를 낮춘다. 바이헤테로디아졸 모이어티는 모노헤테로디아졸 모이어티보다 더 강한 전자 수용 능력을 가져야 한다. 아울러, 하기와 같이 위치 번호를 매긴 도면에서 바이헤테로디아졸 모이어티는 5 및 5' 위치에 걸친 중합체를 형성한다.



그 결과, 5 및 5'에서 형성된 결합은 서로에게 실질적으로 평행이다. 이는 그 결과 생기는 중합체 사슬이 선상이 되게 하여, 결과적으로 고체 상태에서 분자 패킹(packaging)의 정렬을 증가시킨다. 이러한 선상 구조는, 또한 두 개의 헤테로디아졸환과 그들에 연결된 인접한 콘쥬게이트된 유닛 사이의 입체 반발력을 감소시킨다. 이는 중합체의 골격이 거의 동일 평면상에 있게 하고, 이는 또 분자간 pi-pi 상호작용을 통해 분자가 고정렬로 패킹되게 한다.

원한다면, 반도체층은 또다른 유기 반도체 재료를 추가로 포함할 수 있다. 다른 유기 반도체 재료의 예는 아센(예를 들어, 안트라센, 테트라센, 펜타센 및 그들의 치환된 유도체), 페릴렌, 풀러렌, 올리고티오펜, 다른 반도체성 중합체(예를 들어, 트리아릴아민 중합체, 폴리인돌로카르바졸, 폴리카르바졸, 폴리아센, 폴리플루오렌, 폴리티오펜 및 그들의 치환된 유도체), 프탈로시아닌(예를 들어, 구리 프탈로시아닌 또는 아연 프탈로시아닌 및 그들의 치환된 유도체)을 포함하나, 이에 한정되는 것은 아니다.

반도체층은 약 5nm 내지 약 1,000nm 두께, 특히 약 10nm 내지 약 100nm 두께이다. 반도체층은 임의의 적당한 방법에 의해 형성될 수 있다. 그러나 반도체층은 일반적으로 분산액 또는 용액과 같은 액체 조성물로 형성되고, 그런 다음 트랜지스터의 기재 위로 증착된다. 대표적인 증착 방법은 스핀 코팅, 딥 코팅, 블레이트 코팅, 로드 코팅, 스크린 프린팅, 스탬핑, 잉크 젯 프린팅 등과 같은 액체 증착 및 당업계에 알려진 다른 종류의 공정을 포함한다.

기재는 실리콘, 유리 플레이트, 플라스틱 필름 또는 시트를 포함하는 재료로 구성될 수 있으나, 이에 한정되는 것은 아니다. 구조적으로 유연한 장치용으로, 예를 들어 폴리에스테르, 폴리카보네이트, 폴리이미드 시트 등과 같은 플라스틱 기재가 사용될 수 있다. 기재의 두께는 약 10 $\mu$ m 내지 10mm 이상일 수 있고, 대표적인 두께는 특히 유연한 플라스틱 기재용으로는 약 50 $\mu$ m 내지 약 5mm, 유리나 실리콘과 같은 단단한 기재용으로는 약 0.5 내지 약 10mm일 수 있다.

게이트 전극은 전기 전도성 재료로 구성된다. 상기 전극은 금속 박막, 전도성 중합체 막, 전도성 잉크 또는 페이스트로 만들어진 전도성 막 또는 기재 자체, 예를 들어 두껍게 도핑된 실리콘일 수 있다. 게이트 전극 재료의 예는 알루미늄, 금, 은, 크롬, 인듐 주석 산화물, 폴리스티렌 설포네이트 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PSS-PEDOT)와 같은 전도성 중합체 및 카본블랙/흑연 또는 은 콜로이드로 구성된 전도성 잉크/페이스트를 포함할 수 있으나, 이로 제한되지는 않는다. 게이트 전극은 진공 증착(vacuum evaporation), 금속이나 전도성 금속 산화물의 스퍼터링, 종래의 리소그래피 및 에칭, 화학적 기상 증착, 스핀 코팅, 캐스팅 또는 프린팅 또는 다른 증착 공정에 의해 제조될 수 있다. 게이트 전극의 두께는 금속 막용으로는 약 10 내지 약 500nm, 전도성 중합체용으로는 약 0.5 내지 약 10 $\mu$ m 범위이다.

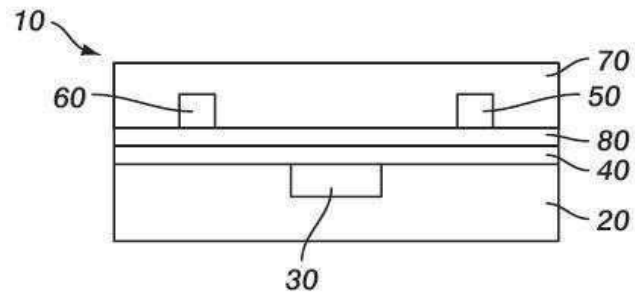
- [0092] 유전층은 일반적으로 무기 금속 막, 유기 중합체 막 또는 유기-무기 복합 막일 수 있다. 유전층으로 적합한 무기 재료의 예는 실리콘 산화물, 실리콘 질화물, 알루미늄 산화물, 바륨 티타네이트, 바륨 지르코늄 티타네이트 등을 포함한다. 적합한 유기 중합체의 예는 폴리에스테르, 폴리카보네이트, 폴리(비닐 페놀), 폴리이미드, 폴리스티렌, 폴리메타크릴레이트, 폴리아크릴레이트, 에폭시 수지 등을 포함한다. 유전층의 두께는 사용되는 재료의 유전 상수에 따라 다르며, 예를 들어 약 10nm 내지 약 500nm일 수 있다. 유전층은 예를 들어 센티미터당 약  $10^{-12}$  지멘스(S/cm) 이하의 전도성을 가질 수 있다. 유전층은 게이트 전극 형성에 기재된 공정들을 포함하는, 당업계에 알려진 종래의 공정을 사용하여 형성된다.
- [0093] 원한다면, 계면층은 유전층 및 반도체층 사이에 위치할 수 있다. 유기 박막 트랜지스터에서 전하 전달은 이들 두 층의 계면에서 일어나고, 계면층은 TFT의 특성에 영향을 미칠 수 있다. 대표적인 계면층은 2008년 4월 11일에 출원된 미국 특허 출원 제12/101,942호에 기재된 것과 같은 실란으로 형성될 수 있다.
- [0094] 소스 및 드레인 전극으로 사용하기에 적합한 전형적인 재료는 금, 은, 니켈, 알루미늄, 백금, 전도성 중합체 및 전도성 잉크와 같은 게이트 전극 재료들을 포함한다. 구체적인 구현예에서, 전극 재료는 반도체에 낮은 접촉 저항을 제공한다. 전형적인 두께는, 예를 들어 약 40nm 내지 약 1 $\mu$ m이고, 보다 특정 두께는 약 100 내지 약 400nm이다. 본 문헌의 OTFT 장치는 반도체 채널을 포함한다. 반도체 채널 폭은, 예를 들어 약 5 $\mu$ m 내지 약 5mm이고, 특정 채널 폭은 약 100 $\mu$ m 내지 약 1mm일 수 있다. 반도체 채널 길이는, 예를 들어 약 1 $\mu$ m 내지 약 1mm이고, 보다 특정한 채널 길이는 약 5 $\mu$ m 내지 약 100 $\mu$ m일 수 있다.
- [0095] 소스 전극은 접지되고, 예를 들어 약 +10 볼트 내지 약 -80 볼트의 전압이 게이트 전극에 적용되면, 예를 들어 약 0 볼트 내지 약 80 볼트의 바이어스 전압이 드레인 전극에 적용되어 반도체 채널을 건너 전달된 전하 운반체를 모은다. 전극은 당업계에 알려진 종래의 공정을 사용하여 형성되거나 증착될 수 있다.
- [0096] 원한다면, 배리어층도 TFT의 꼭대기에 증착되어, TFT의 전기적 특성을 저하시킬 수 있는 빛, 산소 및 수증기 등과 같은 환경 조건으로부터 TFT를 보호할 수 있다. 그러한 배리어층은 당업계에 알려져 있고, 중합체로 간단하게 구성될 수도 있다.
- [0097] OTFT의 다양한 구성요소는, 도면에서 보는 바와 같이 임의의 순서로 기재에 증착될 수 있다. "기재 위"라는 용어는 각각의 구성요소가 기재에 직접 접촉할 필요가 있는 것처럼 해석되어서는 안된다. 상기 용어는 기재에 대한 구성요소의 위치를 기재하는 것으로 해석되어야 한다. 그러나 일반적으로 게이트 전극 및 반도체층은 모두 유전층과 접촉해야 한다. 아울러, 소스 및 드레인 전극은 모두 반도체층과 접촉해야 한다. 본 발명의 방법에 의해 형성된 반도체성 중합체는 유기 박막 트랜지스터의 임의의 적당한 구성요소에 증착되어 그 트랜지스터의 반도체층을 형성할 수 있다.
- [0098] 그 결과 생성된 트랜지스터는 구현예에서 0.01 cm<sup>2</sup>/V·sec 이상의 이동성을 가질 수 있다.

### 도면의 간단한 설명

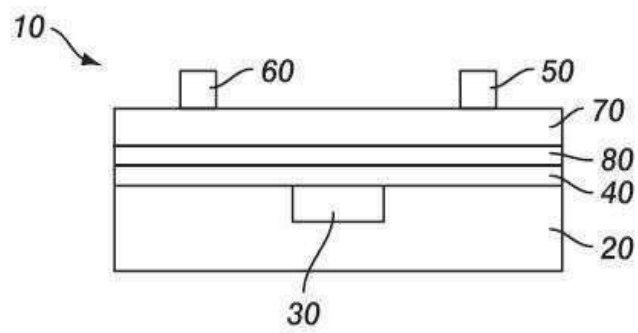
- [0099] 도 1은 본 발명의 TFT의 제1 대표 구현예이다.
- [0100] 도 2는 본 발명의 TFT의 제2 대표 구현예이다.
- [0101] 도 3은 본 발명의 TFT의 제3 대표 구현예이다.
- [0102] 도 4는 본 발명의 TFT의 제4 대표 구현예이다.

도면

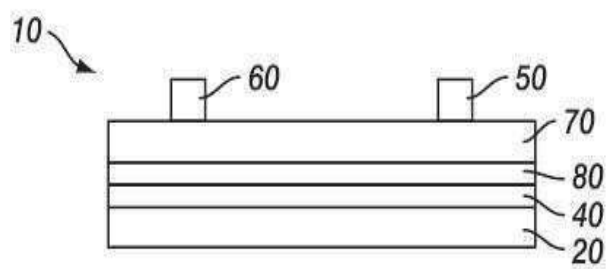
도면1



도면2



도면3





도면4

