

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成30年12月6日(2018.12.6)

【公開番号】特開2016-92829(P2016-92829A)

【公開日】平成28年5月23日(2016.5.23)

【年通号数】公開・登録公報2016-031

【出願番号】特願2015-211423(P2015-211423)

【国際特許分類】

H 0 3 K 3/354 (2006.01)

【F I】

H 0 3 K 3/354 B

H 0 3 K 3/354 C

【手続補正書】

【提出日】平成30年10月25日(2018.10.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

発振回路を有し、

前記発振回路は、第 1 乃至第 n (n は 3 以上の奇数) のインバータと、第 1 の回路と、第 2 の回路と、を有し、

前記第 1 の回路の第 1 の端子は、前記第 i (i は 1 乃至 $n - 1$ のいずれか) のインバータの出力端子と電氣的に接続され、

前記第 1 の回路の第 2 の端子は、前記第 $i + 1$ のインバータの入力端子と電氣的に接続され、

前記第 2 の回路の第 1 の端子は、前記第 i のインバータの出力端子と電氣的に接続され、

前記第 2 の回路の第 2 の端子は、前記第 $i + 1$ のインバータの入力端子と電氣的に接続され、

前記第 i のインバータの出力端子と前記第 1 の回路の第 1 の端子との間の配線経路と、前記第 1 の回路の第 2 の端子と前記第 $i + 1$ のインバータの入力端子との間の配線経路との長さの和と、前記第 i のインバータの出力端子と前記第 2 の回路の第 1 の端子との間の配線経路と、前記第 2 の回路の第 2 の端子と前記第 $i + 1$ のインバータの入力端子との間の配線経路との長さの和が、概略等しいことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 の回路上および前記第 2 の回路上に絶縁膜を有し、

前記絶縁膜上に、前記第 i のインバータの出力端子と電氣的に接続された第 1 の配線と、前記第 $i + 1$ のインバータの入力端子と電氣的に接続された第 2 の配線を有し、

前記第 1 の配線は、前記絶縁膜に設けられた第 1 の開口部を介して前記第 1 の回路の第 1 の端子と電氣的に接続され、且つ前記絶縁膜に設けられた第 2 の開口部を介して前記第 2 の回路の第 1 の端子と電氣的に接続され、

前記第 2 の配線は、前記絶縁膜に設けられた第 3 の開口部を介して前記第 1 の回路の第 2 の端子と電氣的に接続され、且つ前記絶縁膜に設けられた第 4 の開口部を介して前記第 2 の回路の第 2 の端子と電氣的に接続され、

前記第 1 の開口部と前記第 2 の開口部の間の距離は、前記第 3 の開口部と前記第 4 の開口部の間の距離と概略等しいことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 j (j は 1 以上 n 以下の奇数) のインバータが設けられた第 1 の領域と、

前記第 1 の回路および前記第 2 の回路が設けられた第 2 の領域と、

前記第 k (k は 2 以上 $n - 1$ 以下の偶数) のインバータが設けられた第 3 の領域と、を有し、

前記第 1 の領域と前記第 3 の領域の間に、前記第 2 の領域が位置することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の回路は、第 1 のデータを格納する機能を有し、

前記第 1 の回路は、第 1 の端子と第 2 の端子とを非導通にするか、第 1 の端子と第 2 の端子との間の抵抗値を前記第 1 のデータに基づいた値にするかを切り替える機能を有し、

前記第 2 の回路は、第 2 のデータを格納する機能を有し、

前記第 2 の回路は、第 1 の端子と第 2 の端子とを非導通にするか、第 1 の端子と第 2 の端子との間の抵抗値を前記第 2 のデータに基づいた値にするかを切り替える機能を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のデータ及び前記第 2 のデータは、アナログ電位であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 の回路は、第 1 のトランジスタと、第 1 の容量素子と、を有し、

前記第 2 の回路は、第 2 のトランジスタと、第 2 の容量素子と、を有し、

前記第 1 のデータは、前記第 1 のトランジスタを介して前記第 1 の容量素子に入力され、

前記第 2 のデータは、前記第 2 のトランジスタを介して前記第 2 の容量素子に入力され、

前記第 1 のトランジスタは、チャネル形成領域に酸化物半導体を有し、

前記第 2 のトランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 1 の回路は、第 3 のトランジスタと、第 4 のトランジスタと、を有し、

前記第 2 の回路は、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 3 のトランジスタ及び前記第 4 のトランジスタは、前記第 1 の回路の第 1 の端子と前記第 1 の回路の第 2 の端子との間に直列に電氣的に接続され、

前記第 5 のトランジスタ及び前記第 6 のトランジスタは、前記第 2 の回路の第 1 の端子と前記第 2 の回路の第 2 の端子との間に直列に電氣的に接続され、

前記第 3 のトランジスタのソースとドレインとの間の抵抗値は、前記第 1 のデータに基づいた値を有し、

前記第 4 のトランジスタは、前記第 1 の回路の第 1 の端子と前記第 1 の回路の第 2 の端子との導通又は非導通を制御する機能を有し、

前記第 5 のトランジスタのソースとドレインとの間の抵抗値は、前記第 2 のデータに基づいた値を有し、

前記第 6 のトランジスタは、前記第 2 の回路の第 1 の端子と前記第 2 の回路の第 2 の端子との導通又は非導通を制御する機能を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

PLL を有し、

前記 PLL は、前記発振回路と、分周器と、位相比較器と、ループフィルタと、を有することを特徴とする半導体装置。