

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年12月6日(2018.12.6)

【公開番号】特開2016-92829(P2016-92829A)

【公開日】平成28年5月23日(2016.5.23)

【年通号数】公開・登録公報2016-031

【出願番号】特願2015-211423(P2015-211423)

【国際特許分類】

H 03K 3/354 (2006.01)

【F I】

H 03K	3/354	B
H 03K	3/354	C

【手続補正書】

【提出日】平成30年10月25日(2018.10.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

発振回路を有し、

前記発振回路は、第1乃至第n(nは3以上の奇数)のインバータと、第1の回路と、第2の回路と、を有し、

前記第1の回路の第1の端子は、前記第i(iは1乃至n-1のいずれか一)のインバータの出力端子と電気的に接続され、

前記第1の回路の第2の端子は、前記第i+1のインバータの入力端子と電気的に接続され、

前記第2の回路の第1の端子は、前記第iのインバータの出力端子と電気的に接続され、

前記第2の回路の第2の端子は、前記第i+1のインバータの入力端子と電気的に接続され、

前記第iのインバータの出力端子と前記第1の回路の第1の端子との間の配線経路と、前記第1の回路の第2の端子と前記第i+1のインバータの入力端子との間の配線経路との長さの和と、前記第iのインバータの出力端子と前記第2の回路の第1の端子との間の配線経路と、前記第2の回路の第2の端子と前記第i+1のインバータの入力端子との間の配線経路との長さの和が、概略等しいことを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1の回路上および前記第2の回路上に絶縁膜を有し、

前記絶縁膜上に、前記第iのインバータの出力端子と電気的に接続された第1の配線と、前記第i+1のインバータの入力端子と電気的に接続された第2の配線を有し、

前記第1の配線は、前記絶縁膜に設けられた第1の開口部を介して前記第1の回路の第1の端子と電気的に接続され、且つ前記絶縁膜に設けられた第2の開口部を介して前記第2の回路の第1の端子と電気的に接続され、

前記第2の配線は、前記絶縁膜に設けられた第3の開口部を介して前記第1の回路の第2の端子と電気的に接続され、且つ前記絶縁膜に設けられた第4の開口部を介して前記第2の回路の第2の端子と電気的に接続され、

前記第1の開口部と前記第2の開口部の間の距離は、前記第3の開口部と前記第4の開口部の間の距離と概略等しいことを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、

前記第j(jは1以上n以下の奇数)のインバータが設けられた第1の領域と、

前記第1の回路および前記第2の回路が設けられた第2の領域と、

前記第k(kは2以上n-1以下の偶数)のインバータが設けられた第3の領域と、を有し、

前記第1の領域と前記第3の領域の間に、前記第2の領域が位置することを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1の回路は、第1のデータを格納する機能を有し、

前記第1の回路は、第1の端子と第2の端子とを非導通にするか、第1の端子と第2の端子との間の抵抗値を前記第1のデータに基づいた値にするかを切り替える機能を有し、

前記第2の回路は、第2のデータを格納する機能を有し、

前記第2の回路は、第1の端子と第2の端子とを非導通にするか、第1の端子と第2の端子との間の抵抗値を前記第2のデータに基づいた値にするかを切り替える機能を有することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のデータ及び前記第2のデータは、アナログ電位であることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第1の回路は、第1のトランジスタと、第1の容量素子と、を有し、

前記第2の回路は、第2のトランジスタと、第2の容量素子と、を有し、

前記第1のデータは、前記第1のトランジスタを介して前記第1の容量素子に入力され、

前記第2のデータは、前記第2のトランジスタを介して前記第2の容量素子に入力され、

前記第1のトランジスタは、チャネル形成領域に酸化物半導体を有し、

前記第2のトランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記第1の回路は、第3のトランジスタと、第4のトランジスタと、を有し、

前記第2の回路は、第5のトランジスタと、第6のトランジスタと、を有し、

前記第3のトランジスタ及び前記第4のトランジスタは、前記第1の回路の第1の端子と前記第1の回路の第2の端子との間に直列に電気的に接続され、

前記第5のトランジスタ及び前記第6のトランジスタは、前記第2の回路の第1の端子と前記第2の回路の第2の端子との間に直列に電気的に接続され、

前記第3のトランジスタのソースとドレインとの間の抵抗値は、前記第1のデータに基づいた値を有し、

前記第4のトランジスタは、前記第1の回路の第1の端子と前記第1の回路の第2の端子との導通又は非導通を制御する機能を有し、

前記第5のトランジスタのソースとドレインとの間の抵抗値は、前記第2のデータに基づいた値を有し、

前記第6のトランジスタは、前記第2の回路の第1の端子と前記第2の回路の第2の端子との導通又は非導通を制御する機能を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 請求項 7 のいずれか一項において、

P L L を有し、

前記 P L L は、前記発振回路と、分周器と、位相比較器と、ループフィルタと、を有することを特徴とする半導体装置。