



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0033791
(43) 공개일자 2010년03월31일

(51) Int. Cl.

H01L 29/72 (2006.01) H01L 21/8222 (2006.01)

(21) 출원번호 10-2008-0092825

(22) 출원일자 2008년09월22일

심사청구일자 2008년09월22일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

성만영

서울 중랑구 묵동 20 신내5단지 두산아파트 521동 604호

유승우

서울특별시 성북구 안암동5가 고려대학교자연계캠퍼스 공학관 532호

(74) 대리인

현중철

전체 청구항 수 : 총 11 항

(54) 절연 게이트 바이폴라 트랜지스터 및 이의 제작 방법

(57) 요약

본 발명은 절연 게이트 바이폴라 트랜지스터 및 이의 제작 방법에 관한 것으로, 보다 상세하게는 고전압에 견딜 수 있도록 게이트의 하단에 P형 쉴딩 영역(P-type shielding layer)이 형성된(리세스된(recessed)) 절연 게이트 바이폴라 트랜지스터의 제작 방법에 관한 것이다.

본 명세서에서 개시하는 절연 게이트 바이폴라 트랜지스터의 제작 방법은 상기 트랜지스터의 게이트의 하단에 P형 쉴딩 영역(P-type shielding layer)을 형성하는 단계를 포함하여 본 발명의 과제를 해결하며, 보다 상세하게는 (a)기판의 상면 일부에 상기 게이트가 형성될 부분을 트랜치 식각(trench etching)하는 단계; (b)상기 식각된 곳에 P형 불순물(P-type dopant)을 주입하는 단계; 및 (c)상기 주입된 불순물을 확산시켜(drive-in) 상기 P형 쉴딩 영역을 형성시키는 단계를 포함하여 구현된다.

본 발명에 의한 IGBT에 의하면, P형 쉴딩 영역을 게이트의 하단에 삽입함으로써 기존 IGBT에서의 온-상태에서의 전압 강하를 높지게 되는 문제를 해결할 수 있고, 오프-상태에서 P형 베이스 영역과 N형 드리프트 영역의 곡면에 초래되는 전계의 집중을 분산시켜 항복전압의 향상을 꾀할 수 있으므로 IGBT 동작 특성의 신뢰성을 확보할 수 있다.

대표도 - 도2j



이 발명을 지원한 국가연구개발사업

과제고유번호	R0600533
부처명	전력기반조성사업센터(전력산업기반기금)
연구사업명	전력산업연구개발
연구과제명	초고압 Silicon IGBT 기반연구
주관기관	페어차일드코리아반도체(주)
연구기간	2007년 12월 01일 ~ 2008년 11월 30일

특허청구의 범위

청구항 1

절연 게이트 바이폴라 트랜지스터에 있어서:

상기 트랜지스터의 게이트의 하단에 P형 쉴딩 영역(P-type shielding layer)을 포함하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 2

제 1 항에 있어서,

기판의 상면 일부에 상기 게이트가 형성될 부분이 트렌치 식각(trench etching)되고, 상기 식각된 곳에 P형 불순물(P-type dopant)이 주입되며, 상기 주입된 불순물이 확산되어(drive-in) 상기 P형 쉴딩 영역이 형성된 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 3

제 1 항에 있어서,

상기 P형 쉴딩 영역의 두께는 $0.1[\mu\text{m}]$ 내지 $10[\mu\text{m}]$, 상기 P형 쉴딩 영역의 농도는 $10^{11}[\text{cm}^{-3}]$ 내지 $10^{19}[\text{cm}^{-3}]$ 으로 하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 4

제 2 항에 있어서,

상기 P형 쉴딩 영역은 열 공정을 통해 상기 트랜지스터의 베이스 영역과 동시에 형성되는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 5

제 2 항에 있어서, 상기 불순물의 주입은

열 확산법, 이온 주입법 중 어느 하나에 의해 이루어지는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 6

절연 게이트 바이폴라 트랜지스터의 제조 방법에 있어서:

상기 트랜지스터의 게이트의 하단에 P형 쉴딩 영역(P-type shielding layer)을 형성하는 단계를 포함하는 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 7

제 6 항에 있어서,

(a)기판의 상면 일부에 상기 게이트가 형성될 부분을 트렌치 식각(trench etching)하는 단계;

(b)상기 식각된 곳에 P형 불순물(P-type dopant)을 주입하는 단계; 및

(c)상기 주입된 불순물을 확산시켜(drive-in) 상기 P형 쉴딩 영역을 형성시키는 단계를 포함하는 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 P형 쉴딩 영역의 두께는 $0.1[\mu\text{m}]$ 내지 $10[\mu\text{m}]$, 상기 P형 쉴딩 영역의 농도는 $10^{11}[\text{cm}^{-3}]$ 내지 $10^{19}[\text{cm}^{-3}]$

³]으로 하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 (c)단계는 열 공정을 통해 상기 트랜지스터의 베이스 영역의 형성과 동시에 진행되는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 10

제 7 항에 있어서, 상기 (b)단계는

열 확산법, 이온 주입법 중 어느 하나에 의해 이루어지는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 11

제 6 항 내지 제 10 항의 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 절연 게이트 바이폴라 트랜지스터 및 이의 제작 방법에 관한 것으로, 보다 상세하게는 고전압에 견딜 수 있도록 게이트의 하단에 P형 쉴딩 영역(P-type shielding layer)이 형성된(리세스된(recessed)) 절연 게이트 바이폴라 트랜지스터 및 이의 제작 방법에 관한 것이다.

배경 기술

[0002] 절연 게이트 바이폴라 트랜지스터(Insulated-Gate Bipolar Transistor: IGBT)는 인버터와 모터 구동 등과 같이 고전압, 고전류가 필요한 분야에 널리 사용되고 있는 소자로서, 스위칭 오프시의 저지 전압을 나타내는 항복전압(breakdown voltage)을 향상시키는 특성을 가져야 하고, 스위칭 온 상태에서의 온-상태 전압 강하를 감소시키는 특성을 가져야 한다.

[0003] 도 1은 통상적으로 사용되고 있는 IGBT의 단면을 제시한 도면이다. 도면의 간결화를 위해 도 1에 제시된 IGBT의 구성도는 IGBT의 단면 중 좌측면만을 도시하였다. 우측면은 좌측면과 대칭이다.

[0004] 도 1에 제시된 통상적인 IGBT는 항복전압 향상의 특성을 갖기 위해, N형 드리프트 영역(n-drift region)의 물리적인 길이를 늘이거나 저 농도의 웨이퍼(기판)를 채용한다. 그러나 이러한 경우에 N형 드리프트 영역의 저항 증가로 인하여 온-상태에서의 전압 강하를 높리게 되고 따라서 소모 전력을 늘이는 문제점이 있다.

[0005] 온-상태 전압 강하를 높이는 문제점을 개선하기 위해 통상적인 IGBT에서의 P형 베이스 영역(p-base) 사이의 JFET(Junction Field Effect Transistor) 영역에서 발생하는 저항을 감소시킨 IGBT가 제안되었으나, 이는 오프-상태에서 리세스된 게이트(recessed gate)에 전계집중 현상(field enhancement effect)을 초래(P형 베이스 영역과 N형 드리프트 영역의 곡면에 전계집중 현상을 초래)하여 항복전압이 떨어지는 부작용을 보이는 문제점을 노출한다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명은 상기와 같은 IGBT의 특성을 저해하는 기존의 구현 방식의 문제점을 해결하기 위해 창안된 것으로, 본 발명이 해결하고자 하는 과제는 IGBT가 가져야 하는 상기의 특성들을 모두 만족시킬 수 있는 새로운 구조의 IGBT 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

- [0007] 상기와 같은 과제를 해결하기 위해 본 명세서에서 개시하는 IGBT는 상기 트랜지스터의 게이트의 하단에 P형 섀딩 영역(P-type shielding layer)을 포함하여 본 발명의 과제를 해결하며, 구체적으로는 IGBT는 기판의 상면 일부에 상기 게이트가 형성될 부분이 트렌치 식각(trench etching)되고, 상기 식각된 곳에 P형 불순물(P-type dopant)이 주입되며, 상기 주입된 불순물이 확산되어(drive-in) P형 섀딩 영역이 형성되는 것이 본 발명의 과제를 해결하기 위해 바람직하다.
- [0008] 상기와 같은 과제를 해결하기 위해 본 명세서에서 개시하는 IGBT의 제조 방법은 IGBT의 게이트의 하단에 P형 섀딩 영역(P-type shielding layer)을 형성하는 단계를 포함하여 본 발명의 과제를 해결하며, 구체적으로는 (a)기판의 상면 일부에 상기 게이트가 형성될 부분을 트렌치 식각(trench etching)하는 단계; (b)상기 식각된 곳에 P형 불순물(P-type dopant)을 주입하는 단계; 및 (c)상기 주입된 불순물을 확산시켜(drive-in) 상기 P형 섀딩 영역을 형성시키는 단계를 포함하여 구현되는 것이 본 발명의 과제를 해결하기 위해 바람직하다.

효 과

- [0009] 본 발명에 의한 IGBT에 의하면, P형 섀딩 영역을 게이트의 하단에 삽입함으로써 기존 IGBT에서의 온-상태에서의 전압 강하가 높아지는 문제를 완화시킬 수 있고, 오프-상태에서 P형 베이스 영역과 N형 드리프트 영역의 곡면에 초래되는 전계의 집중을 분산시켜 항복전압의 향상을 꾀할 수 있으므로 IGBT 동작 특성의 신뢰성을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0010] 이하, 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다.
- [0011] 도 2a는 본 발명에 의한 IGBT의 구성도를, 도 2b 내지 2j는 본 발명에 의한 IGBT의 제조 과정의 바람직한 일 흐름을 제시한 도면이다. 도 1과 마찬가지로, 도면의 간결화를 위해 도 2a 내지 도 2i에 제시된 IGBT의 구성도는 IGBT의 단면 중 좌측면만을 도시하였다. 우측면은 좌측면과 대칭이다.
- [0012] 우선 게이트가 형성될 부분을 트렌치 식각(trench etching)하고(s21), 본 발명의 목적을 실현시키기 위한 P형 섀딩 영역(P-type shielding layer)을 형성시키기 위해 식각된 부분에 P형 불순물(P-type dopant)을 주입한다(s22). 이때 주입되는 P형 불순물은 +3가 이온 상태인 붕소(boron) 이온이 될 수 있으며, 불순물의 주입은 이온 주입법(ion implementation), 열 확산법에 의할 수 있다.
- [0013] 다음으로 상기 식각된 곳에 절연막(1)을 형성시킨다(s23). 이때 절연막(1)은 게이트 산화막으로서 실리콘 옥사이드(SiO_2), 옥시 나이트라이드(SiON), 실리콘 나이트라이드(SiN), 하프늄 옥사이드(HfO) 중 어느 하나로 구현할 수 있다.
- [0014] 다음으로 절연막(1)의 표면에 게이트로 사용할 도전체(2, conductor)를 형성시킨다(s24). 이때 도전체(2)는 폴리 실리콘(poly Si), 텅스텐(W), 알루미늄(Al) 또는 이들 물질의 화합물들 중 어느 하나로 구현할 수 있다.
- [0015] 다음으로 베이스(base)를 형성하기 위해, 베이스가 형성될 부분에 형성된 도전체를 식각하고(s25) 이렇게 식각된 부분에 P형 불순물을 주입한다(s26).
- [0016] 다음으로 s22 단계와 s26 단계에 의해 주입된 불순물들을 열 공정(thermal treatment)을 통해 각각 확산시켜(drive-in) 상기 게이트의 하단에 P형 섀딩 영역(P-type shielding layer)을 형성하고, 베이스(base)를 형성한다(s27). 여기서 열 공정은 베이스와 P형 섀딩 영역의 어닐링(annealing)을 위해 진행되는 것이다.
- [0017] 이때 상기 확산에 의해 형성되는 P형 섀딩 영역의 세로방향의 두께는 $0.1[\mu\text{m}]$ 내지 $10[\mu\text{m}]$, P형 섀딩 영역의 농도는 $10^{11}[\text{cm}^{-3}]$ 내지 $10^{19}[\text{cm}^{-3}]$ 으로 하는 것이 바람직하다. $0.1[\mu\text{m}]$ 과 $10[\mu\text{m}]$ 는 각각 실제 IGBT의 사이즈와 게이트 크기를 고려하여 선정한 최소 두께와 최대의 두께를 의미한다. 실제로 $0.1[\mu\text{m}]$ 보다 작은 범위의 P형 섀딩 영역은 구현할 수 없으며, $10[\mu\text{m}]$ 보다 더 큰 영역의 섀딩 영역은 실리콘의 확산 현상에 의해서는 구현할 수 없다.

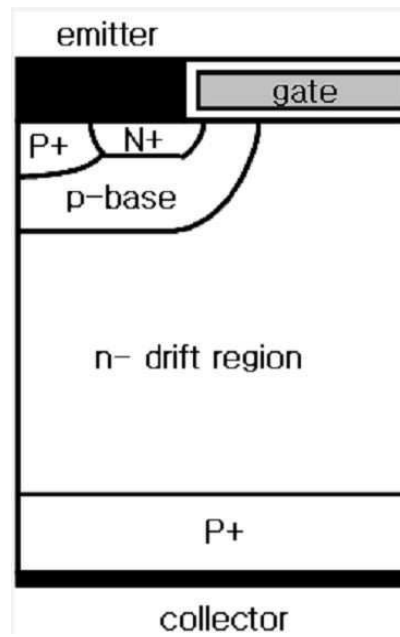
- [0018] 아울러 $10^{11}[\text{cm}^{-3}]$ 내지 $10^{19}[\text{cm}^{-3}]$ 은 P형 불순물이 도핑될 수 있는 영역의 도핑 한계를 의미한다. 도핑되지 않은 실리콘의 캐리어 농도는 $10^{10}[\text{cm}^{-3}]$ 이고 가장 저농도 도핑됐을 때가 $10^{11}[\text{cm}^{-3}]$, 가장 고농도 도핑 됐을 때의 최대치가 $10^{20}[\text{cm}^{-3}]$ 정도이다. 그러나 이는 이론치이고 실제로는 $10^{11}[\text{cm}^{-3}]$ 내지 $10^{19}[\text{cm}^{-3}]$ 의 범위에서 도핑이 가능하다.
- [0019] 다음으로 이미터(emitter)를 형성하기 위해, PR 패터닝 후 N형 불순물을 이온 주입하여 이미터를 형성한다(s28).
- [0020] 이처럼 본 바와 같이, 본 발명은 기존의 IGBT와는 달리 게이트의 하단에 P형 섀딩 영역을 가지고 있다. 아울러 게이트를 구현함에 있어 트렌치 식각 공정이 선행되고 트렌치 식각 공정 후 바로 P형 불순물을 이온 주입하기 때문에 별도의 마스크(mask)가 필요가 없다. 그리고 섀딩 영역의 형성(s27)은 열 공정을 통해 베이스 영역의 형성과 동시에 진행시킴으로써, 열 소모비용(thermal budget)의 감소에도 이점을 보일 수 있다.
- [0021] 도 3은 기존의 IGBT에서의 항복전압과 본 발명에 의한 IGBT에서의 항복전압을 제시한 그래프이다. 도 3을 참조하면, 본 발명에 의한 IGBT에서의 항복전압(빨간선)이 가장 높은 것을 확인할 수 있다.
- [0022] 도 4는 기존의 IGBT에서의 온-상태에서의 전압 강하와 본 발명에 의한 IGBT에서의 온-상태에서의 전압 강하를 제시한 그래프이다. 도 4를 참조하면, 본 발명에 의한 IGBT에서의 온-상태에서의 전압 강하(파란선)가 가장 낮은 것을 확인할 수 있다.
- [0023] 본 방법발명은 또한 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다. 컴퓨터가 읽을 수 있는 기록매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등이 있으며, 또한 캐리어 웨이브(예를 들어 유무선 네트워크를 통한 전송)의 형태로 구현되는 것도 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.
- [0024] 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

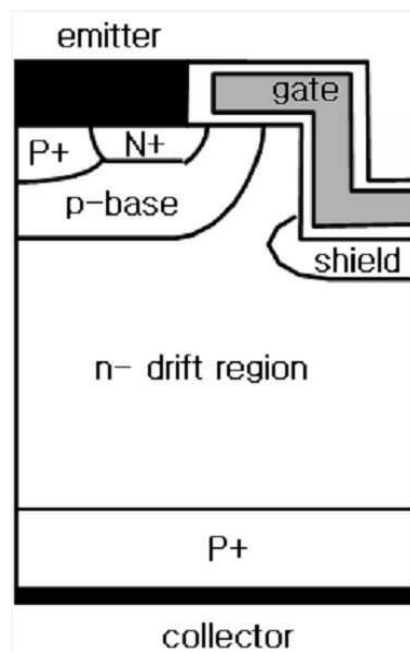
- [0025] 도 1은 통상적으로 사용되고 있는 IGBT의 단면을 제시한 도면이다.
- [0026] 도 2a는 본 발명에 의한 IGBT의 단면을 제시한 도면이다.
- [0027] 도 2b 내지 2i는 본 발명에 의한 IGBT의 제조 과정의 바람직한 일 흐름을 제시한 도면이다.
- [0028] 도 3은 기존의 IGBT에서의 항복전압과 본 발명에 의한 IGBT에서의 항복전압을 제시한 그래프이다.
- [0029] 도 4는 기존의 IGBT에서의 온-상태에서의 전압 강하와 본 발명에 의한 IGBT에서의 온-상태에서의 전압 강하를 제시한 그래프이다.

도면

도면1



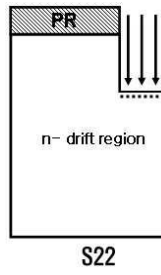
도면2a



도면2b



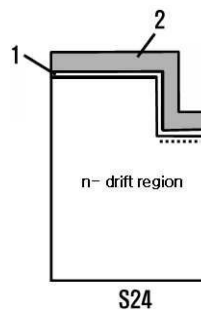
도면2c



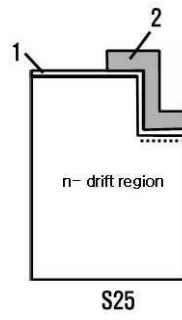
도면2d



도면2e



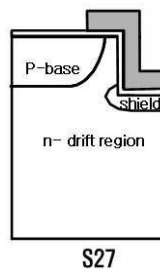
도면2f



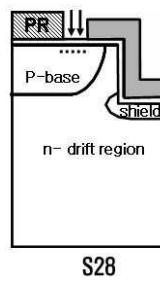
도면2g



도면2h



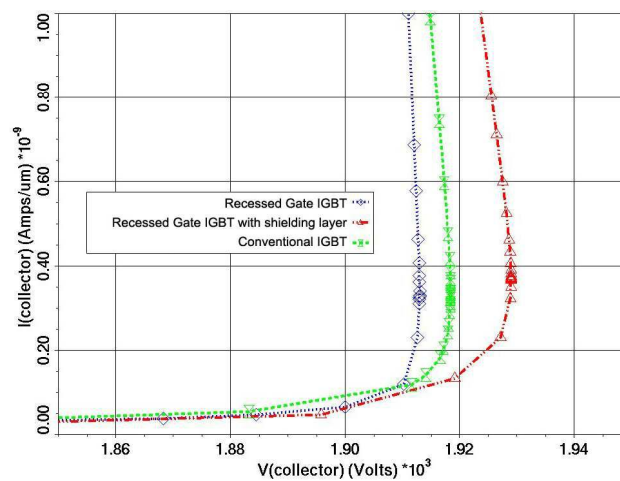
도면2i



도면2j



도면3



도면4

