

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4546087号  
(P4546087)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int. Cl. F I  
 HO 1 L 23/02 (2006.01) HO 1 L 23/02 J  
 GO 2 B 6/122 (2006.01) GO 2 B 6/12 A

請求項の数 18 (全 21 頁)

(21) 出願番号	特願2003-537117 (P2003-537117)	(73) 特許権者	507081522
(86) (22) 出願日	平成14年10月15日(2002.10.15)		ハイマイト アクティーゼルスカブ
(65) 公表番号	特表2005-506701 (P2005-506701A)		デンマーク国, デーコー-3450 アレ
(43) 公表日	平成17年3月3日(2005.3.3)		レズ ギュデバン 39-41, ビルディ
(86) 国際出願番号	PCT/EP2002/011605		ング ユーO
(87) 国際公開番号	W02003/034490	(74) 代理人	100099759
(87) 国際公開日	平成15年4月24日(2003.4.24)		弁理士 青木 篤
審査請求日	平成17年10月12日(2005.10.12)	(74) 代理人	100077517
(31) 優先権主張番号	60/329, 699		弁理士 石田 敬
(32) 優先日	平成13年10月17日(2001.10.17)	(74) 代理人	100087413
(33) 優先権主張国	米国 (US)		弁理士 古賀 哲次
(31) 優先権主張番号	10/264, 440	(74) 代理人	100111903
(32) 優先日	平成14年10月4日(2002.10.4)		弁理士 永坂 友康
(33) 優先権主張国	米国 (US)	(74) 代理人	100082898
			弁理士 西山 雅也

最終頁に続く

(54) 【発明の名称】 1つ又は複数のスルーホールを備えた半導体構造、当該半導体構造を提供するための方法、及び当該半導体構造を含む光電子アッセンブリ構造

(57) 【特許請求の範囲】

【請求項1】

表面及び裏面を本質的に反対側に有し、1つ又は複数のスルーホールを備え、光電子部品を収容するためのアッセンブリ又はサブアッセンブリの一部を形成する半導体構造を提供するための方法であって、

該1つ又は複数のスルーホールの位置に対応する1つ又は複数の裏面領域において、該裏面から該半導体構造をエッチングすること；

該1つ又は複数のスルーホールの位置に対応する1つ又は複数の表面領域において、該表面から該半導体構造をエッチングすること；及び

続いて該1つ又は複数のスルーホールを密封すること  
 を含んで成る、1つ又は複数のスルーホールを備えた半導体構造を提供するための方法。

【請求項2】

フィードスルー金属被覆(feed-through metallization)プロセスを用いて前記1つ又は複数のスルーホールを封止することを含む、請求項1に記載の方法。

【請求項3】

前記半導体構造が、前記裏面に面する第1半導体層と、前記表面に面する第2半導体層と、該第1及び該第2半導体層の間に配置された本質的にエッチ抵抗性の層とを含んで成り、前記方法が、

該裏面から該第1半導体層を通してエッチングすること；

前記裏面領域のうちの1つ又は複数に対応する該エッチ抵抗性層の裏面部分が露出

すると、該裏面からのエッチングを停止すること；

該表面から該第2半導体層を通してエッチングすること；

前記表面領域のうちの1つ又は複数に対応する該エッチ抵抗性層の表面部分が露出すると、該表面からのエッチングを停止すること；

前記1つ又は複数のスルーホールそれぞれの部分に対応する該エッチ抵抗性層の少なくとも一部を除去して、エッチング後に該1つ又は複数のスルーホールを形成すること；及び

該1つ又は複数のスルーホールを密封すること

をさらに含んで成る、請求項1に記載の方法。

【請求項4】

フィードスルー金属被覆（feed-through metallization）プロセスを用いて前記1つ又は複数のスルーホールを封止することを含む、請求項3に記載の方法。

【請求項5】

前記スルーホールの少なくとも1つを密封することが、

付着層を提供すること；

メッキベースを提供すること；

フィードスルー金属被覆を提供すること；

拡散バリアーを提供すること；

湿潤層を提供すること；及び

酸化防止バリアーを提供すること

を含む、請求項4に記載の方法。

【請求項6】

前記裏面領域のエッチングが、前記エッチ抵抗性層の任意の露出した表面部分よりも大きな領域を有する該エッチ抵抗性層の大きな裏面部分を露出させることを含んで成る、請求項3に記載の方法。

【請求項7】

前記エッチ抵抗性層が、窒化ケイ素、酸窒化ケイ素、及び二酸化ケイ素の群より選択された材料を含んで成る、請求項3に記載の方法。

【請求項8】

前記エッチ抵抗性層が、少なくとも二酸化ケイ素、窒化ケイ素、及び酸窒化ケイ素の交互層を含んで成るサンドイッチ層を含む、請求項3に記載の方法。

【請求項9】

光電子部品を封入するためのリッドとして前記半導体構造を使用することを含む、請求項3に記載の方法。

【請求項10】

表面と、

該表面と本質的に反対側に配置された裏面と、

そのそれぞれが複数のスルーホール接続を含んで成る少なくとも1つのフィードスルー相互接続と

を含んで成り、光電子部品を收容するためのアッセンブリ又はサブアッセンブリの一部を形成する半導体構造であって、

該スルーホールのそれぞれが、当該構造の下部と当該構造の上部との間に導電性経路を提供するフィードスルー金属被覆を含む、半導体構造。

【請求項11】

各フィードスルー相互接続について、前記スルーホールの該フィードスルー金属被覆が、下部構造と上部構造の内部で互いに電気接続された、請求項10に記載の半導体構造。

【請求項12】

前記スルーホールの少なくとも1つが密封された、請求項10に記載の半導体構造。

【請求項13】

前記スルーホールが密封された、請求項10に記載の半導体構造。

10

20

30

40

50

## 【請求項 14】

前記密封がフィードスルー金属被覆によって提供された、請求項 12 に記載の半導体構造。

## 【請求項 15】

主表面を有する半導体ベースと；

主表面に沿って集積して形成された光導波路と；

該導波路に光結合された光電子チップと；

ベースに対して封止され、かつ該チップを覆うエンクロージャーを形成する半導体リッドと

を含んで成る光電子アッセンブリ構造であって、該リッドが、

表面と；

該表面と本質的に反対側に配置された裏面と；及び

そのそれぞれが複数のスルーホール接続を含んで成る少なくとも 1 つのフィードスルー相互接続と

を含んで成り、該スルーホールのそれぞれが、当該構造の下部と当該構造の上部との間に導電性経路を提供するフィードスルー金属被覆を含む、光電子アッセンブリ構造。

10

## 【請求項 16】

少なくとも 1 つのスルーホールがフィードスルー金属被覆を与えられ、前記リッドを貫く電流経路を前記光電子チップに提供する、請求項 15 に記載の光電子アッセンブリ構造。

20

## 【請求項 17】

前記光電子チップがレーザーを含んで成る、請求項 16 に記載の光電子アッセンブリ構造。

## 【請求項 18】

前記スルーホール接続が前記光電子チップに密封を提供する、請求項 15 に記載の光電子アッセンブリ構造。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、1 つ又は複数のスルーホールを備えた半導体構造に関する。

30

## 【背景技術】

## 【0002】

光電子デバイス又は光電子ハイブリッド集積回路用のサブアッセンブリは、リッド（蓋）として形成された半導体構造を含むことができる。リッドは、例えば、光導波路を含む又はそれに接続されたベースに対して封止できる。リッドは、導波路に光結合された 1 つ若しくは複数の光電子チップ又は部品にカバーを提供できる。典型的には、アッセンブリ内に取り付けられたチップ又は部品に電気又は光接続を提供することが必要な場合がある。

## 【発明の開示】

## 【0003】

40

1 つの態様によれば、1 つ又は複数のスルーホールを備えた表面及び裏面を本質的に有する半導体構造を提供するための方法が開示される。該方法は、1 つ又は複数のスルーホールの位置に対応する 1 つ又は複数の裏面領域において、裏面から半導体構造をエッチングすること、及び 1 つ又は複数のスルーホールの位置に対応する 1 つ又は複数の表面領域において、表面から半導体構造をエッチングすることを含む。表面及び裏面は何れの順序でエッチングしてもよい。

## 【0004】

いくつかの実装においては、以下の特徴のうち 1 つ又は複数が存在できる。半導体構造は、裏面に面する第 1 半導体層と、表面に面する第 2 半導体層と、該第 1 及び該第 2 半導体層の間に配置された本質的にエッチ抵抗性の層とを含むことができる。その時には、前

50

記方法は、裏面から第1半導体層を通してエッチングすること、及び前記裏面領域のうちの1つ又は複数に対応するエッチ抵抗性層の裏面部分が露出すると、該裏面からのエッチングを停止することを含むことができる。さらに該方法は、表面から第2半導体層を通してエッチングすること、及び前記表面領域のうちの1つ又は複数に対応するエッチ抵抗性層の表面部分が露出すると、該表面からのエッチングを停止することを含むことができる。1つ又は複数のスルーホールそれぞれの部分に対応するエッチ抵抗性層の少なくとも一部を除去して、エッチング後に1つ又は複数のスルーホールを形成することができる。

【0005】

裏面エッチング工程と表面エッチング工程のうち少なくとも1つは、液体化学エッチングプロセス、異方性エッチングプロセス、又は水酸化カリウム水溶液の使用を含むことができる。

10

【0006】

好ましくは、スルーホールは密封される。スルーホールは、例えば、フィードスルー金属被覆(feed-through metallization)プロセスを用いて封止することができる。特定の実装においては、スルーホールを密封することは、付着層、メッキベース、フィードスルー金属被覆、拡散バリアー、湿潤層、及び酸化防止バリアーを提供することを含む。

【0007】

裏面領域のエッチングは、エッチ抵抗性層の任意の露出した表面部分よりも大きな領域を有するエッチ抵抗性層の大きな裏面部分を露出させることを含むことができる。エッチ抵抗性層は、例えば、窒化ケイ素、酸窒化ケイ素、及び二酸化ケイ素の群より選択された材料を含むことができる。エッチ抵抗性層は、少なくとも二酸化ケイ素、窒化ケイ素、及び酸窒化ケイ素の交互層を含んで成るサンドイッチ層を含むことができる。

20

【0008】

半導体構造は、光電子部品を封入するためのリッドとして使用できる。その場合には、スルーホールは、封入によって部品への接続を確立するのに使用できる。接続は、例えば、電気接続、光接続、又は部品と通信するために若しくは部品の作動を可能にするために必要な場合のある任意の他の好適な種類の接続を含むことができる。

【0009】

別の態様においては、半導体構造は、表面と、表面と本質的に反対側に配置された裏面と、そのそれぞれがスルーホール接続を含む少なくとも1つのフィードスルー相互接続とを含む。スルーホールのそれぞれは、当該構造の下部と当該構造の上部との間に導電性経路を提供するフィードスルー金属被覆を含む。

30

【0010】

いくつかの実装は、以下の特徴のうち1つ又は複数を含むことができる。各フィードスルー相互接続について、スルーホールのフィードスルー金属被覆は、下部構造と上部構造の内部で互いに電気接続できる。スルーホールは、例えば、フィードスルー金属被覆によって密封できる。

【0011】

関連した態様においては、光電子アッセンブリ構造は、主表面を有する半導体ベースと、主表面に沿って集積して形成された光導波路とを含むことができる。光電子チップは導波路に光結合でき、半導体リッドはベースに対して封止されて、チップを覆うエンクロージャーを形成することができる。リッドは、表面と、表面と本質的に反対側に配置された裏面と、そのそれぞれがスルーホール接続を含む少なくとも1つのフィードスルー相互接続とを含む。少なくとも1つのスルーホールは、フィードスルー金属被覆を与えられ、リッドを貫く電流経路を光電子チップに提供する。光電子チップは、例えば、レーザー又は他のデバイスを含むことができる。スルーホール接続は、光電子チップに密封を提供できる。

40

【0012】

さまざまな実装は、以下の利点のうち1つ又は複数を含むことができる。スルーホールを備えた半導体構造の形成は単純化できる。エッチ抵抗性層を使用することで、方法の制

50

御を簡単にできる。それゆえ、各スルーホールは非常に十分に画定できる。その技術は、密封構造を維持しながら、半導体構造を貫く電気又は光通信経路の形成に好都合であることができる。さらには、該技術は大量生産に好適であることができる。

【0013】

本明細書において、“本質的にエッチ抵抗性の層”という語句は、第1半導体層上で実施されるエッチングプロセスと、第2半導体層上で実施されるエッチングプロセスに対して少なくとも本質的に抵抗性のある材料層と解釈されるべきである。したがって、本質的にエッチ抵抗性の層は、第1及び第2半導体層のエッチングプロセスが実施された後、本質的にエッチ抵抗性の層材料の少なくとも一部が少なくとも残る程度に、前記エッチングプロセスに抵抗できるべきである。

10

【0014】

構造の比較的高い合計導電能力は、多数のスルーホールを使用することで提供できる。

【0015】

他の特徴及び利点は、以下の詳細な説明、添付図面、及び特許請求の範囲から容易に明らかになるであろう。

【発明を実施するための最良の形態】

【0016】

本発明の実施態様によれば、半導体リッドの形態を有し、かつ光電子集積回路用サブアセンブリのためのリッドとして使用できる半導体構造が製作され、該リッドは、導波路に光結合された光電子のチップ又部品にカバーを提供できる。

20

【0017】

本発明に従った半導体構造又はリッドを製作するための代表的な基材は、 $\langle 100 \rangle$ 又は $\langle 110 \rangle$ の表面配向を有する単結晶シリコンウェハを含んで成る。本発明と整合した半導体基材製作の1つの方法は、図1a~1sを参照して以下に説明される。

【0018】

図1a~1sに示される構造は、半導体リッドの形態を有する。ここで、複数のリッドが、絶縁体上のシリコン(SOI)構造を有するウェハ上に製作される。図1a参照。ウェハは、 $\langle 100 \rangle$ の単結晶シリコン表面層11と、二酸化ケイ素絶縁層12と、 $\langle 100 \rangle$ の単結晶シリコン裏面層13とを有する。ウェハは $100\text{ mm} \pm 0.5\text{ mm}$ の直径を有し、該表面層11の厚さは $20\text{ }\mu\text{ m} \pm 2\text{ }\mu\text{ m}$ 、該二酸化ケイ素層12の厚さは約 $1\text{ }\mu\text{ m}$ 、支持用裏面シリコン層13の厚さは $350\text{ }\mu\text{ m} \pm 25\text{ }\mu\text{ m}$ である。二酸化ケイ素絶縁層12は、両面のスルーホールエッチングに抵抗するのに十分な厚さであることが重要である。表面層11と裏面層13両方の抵抗率は約 $1 \sim 20\text{ }\cdot\text{ cm}$ である。

30

【0019】

上記SOI構造のウェハは、例えば、ドイツのSICO Wafer GmbHなどのウェハ供給業者から入手できる。

【0020】

SOI構造のウェハは、サーマルシリコンフュージョンボンディングプロセスを用いて第1及び第2シリコン基材を互いに結合することによって製作できる。その時、表面シリコン基材の厚さは、研削プロセス、続いて化学機械研磨CMPプロセスによって所望の厚さに低減できる。

40

【0021】

本発明に従ったエッチングプロセスのさまざまな段階は図1a~1jで示され、図1a~1cが第1段階を示しており、1つ又は複数のスルーホール開口のための1つ又は複数の領域が、シリコンの表面層11の表側に画定される。第1段階は、シリコンの局部酸化(LOCOS)プロセスである。このプロセスは、シリコンの熱酸化(表面及び裏面の第1二酸化ケイ素層14a、14bが得られる)と、低圧化学気相成長(LPCVD)プロセス(第1窒化ケイ素層15a、15bが得られる)と、該窒化ケイ素表面の熱酸化(該窒化ケイ素の転化酸化物16a、16bが得られる)とを含んで成る。

【0022】

50

表側の転化酸化物 16 a は、表面層のスルーホール開口の領域に従ってパターンニングされ、パターンニングされない転化酸化物は、緩衝化されたフッ化水素酸 ( B H F ) を用いて表側及び裏側から除去される。図 1 b 参照。

【 0 0 2 3 】

残っている転化酸化物 17 は、リン酸を用いて窒化ケイ素層 15 a をパターンニングするためのマスクとして機能する。次いで、露出した第 1 酸化ケイ素 14 a、14 b と、残っている転化酸化物 17 を B H F 中で取り除き、窒化ケイ素層 15 a の 1 つ又は複数の領域が残り、それによって、スルーホール開口の領域が画定される。図 1 c 参照。

【 0 0 2 4 】

次に、図 1 d に示されるように、熱第 2 酸化ケイ素層 18 a、18 b を L O C O S プロセスによって成長させ、さらに該プロセスによって窒化ケイ素表面を転化酸化物 19 に転化する。窒化ケイ素の縁 20 が持ち上げられ、周知のバースピーク 21 が得られる。

【 0 0 2 5 】

今度は、第 2 窒化ケイ素層 22 a、22 b を L P C V D プロセスによって堆積させ、以降のスルーホールエッチングにおけるエッチマスクとして利用する。図 1 e 参照。

【 0 0 2 6 】

次に、裏側のスルーホール開口についての領域 23 が、フォトリソグラフィプロセスによって画定され、フォトレジスト 24 a、24 b の層が、表側と裏側の残りの部分とを覆っている。そうして露出した第 2 窒化ケイ素 22 b と第 2 酸化ケイ素 18 b を、続いて反応性イオンエッチング ( R I E ) によってエッチングする。図 1 f 参照。

【 0 0 2 7 】

フォトレジスト 24 a、24 b の残りの部分を取り除いた後、構造の裏側に関するシリコンの露出した領域 23 を水酸化カリウム ( K O H ) で異方性エッチングして、それにより構造の裏側から二酸化ケイ素絶縁層 12 まで、しかし貫通しないで達するテーパのピラミッド形状 25 を形成する。エッチプロセスが埋められた絶縁体層 12 で停止すると ( 図 1 g 参照 )、それにより絶縁領域 12 の露出した裏面部分 26 が残る。K O H のエッチは、高温の 28 w t % K O H 水溶液を温度 80 で使用できる。裏側エッチのエッチ時間は約 5 時間であることができる。

【 0 0 2 8 】

次に、第 2 窒化ケイ素 22 a、22 b を、高温のリン酸において 160 で取り除く。1 つ又は複数のスルーホール開口として画定される 1 つ又は複数の領域において、残留する転化二酸化ケイ素層 19 を短い時間 B H F に浸すことによって除去する。次に露出した第 1 窒化ケイ素層 15 a の残部を、高温のリン酸において 160 で取り除く。第 1 熱二酸化ケイ素層 14 a の残部を短い時間 B H F に浸すことによって除去し、したがって、表側の 1 つ又は複数のスルーホール開口 27 のシリコンを露出したままにする。図 1 h 参照。ここで、短い時間 B H F に浸すこととは約 20 秒であることができる。

【 0 0 2 9 】

そうして表側で露出したシリコン 27 を K O H 中でエッチングし、それによって、構造の表側から二酸化ケイ素絶縁層まで、しかし貫通しないで達するテーパのピラミッド形状 28 を形成し、エッチプロセスが二酸化ケイ素絶縁層 12 で停止すると、それにより絶縁層 12 の露出した表面部分 29 が残り、この段階では、該層 12 を一種のメンブレンとして残す。図 1 i 参照。さらにここで、K O H のエッチは、高温の 28 w t % K O H 水溶液を温度 80 で使用できる。表側エッチのエッチ時間は約 20 分であることができる。

【 0 0 3 0 】

次に、残りの露出した二酸化ケイ素層 18 a、18 b 及び 12 を B H F 中で取り除く。図 1 j 参照。それにより、シリコンが表側からエッチングされたスルーホール 30 が、ピラミッド形状 28 の下に形成される。

【 0 0 3 1 】

ここで、その実施態様が図 1 a ~ 1 j に関連して上で説明される本発明の両面エッチングプロセスを用いることで、絶縁二酸化ケイ素層 12 の露出した裏面部分 26 の領域は、

10

20

30

40

50

ここでは $\pm 25 \mu\text{m}$ 以内で変わることのある裏面シリコン層13の厚さ変動によって相当に変動する場合があるということに注意すべきである。しかしながら、表面シリコン層11は非常に薄く、ここでは約 $\pm 2 \mu\text{m}$ のはるかに小さい厚さ変動である。したがって、露出した表面部分29の領域は、異なる試料の中で非常に小さい変動しか有さず、それにより非常に十分に画定された断面寸法を有するスルーホール30が得られる。密封が以降の処理工程で得られることになっている場合には、このことは非常に重要である場合がある。

#### 【0032】

図1jではスルーホール30が1つだけ示されているが、いくつかのスルーホールが上記プロセスの間に形成できると解されるべきである。各スルーホールの断面寸法は、表側エッチングのために露出されたシリコン27の対応する領域、及び表面シリコン層11の厚さによって画定される。

10

#### 【0033】

本発明に従った金属被覆プロセスのさまざまな段階が、図1k~1sで図示される。これらの段階は、先に形成されたスルーホール30を貫いて達するフィードスルー金属被覆の形成を示し、結果としてスルーホール30の密封が得られる

#### 【0034】

フィードスルー金属被覆形成の第1段階が図1kに図示される。ここで、熱二酸化ケイ素31がすべての露出シリコン領域で成長する。この二酸化ケイ素層は誘電層として利用される。次に、第1の薄い金属被覆層32a、32bをウェハの両側に蒸着する。この第1金属被覆層32a、32bは、付着層(例えば、10nmのチタン)と、電気メッキのメッキベースとして利用するのに好適な金属層(例えば、100nmの金、しかしパラジウム又は銅も使用できる)とを含んで成る。次に、電着可能なフォトレジスト層33a、33b(例えば、シプリーからのEagle 2100 ED/PR)をウェハの両側に電着する。

20

#### 【0035】

次に、両側のフォトレジスト33a、33bを、フィードスルー金属被覆用のマスクで以ってパターンニングし、その後、フィードスルー金属被覆(例えば、3~4 $\mu\text{m}$ の銅)34a、34bをフォトレジストを型として用いて電気メッキする。図1l参照。フィードスルー金属被覆の上部に、拡散バリア層(例えば、200nmのニッケル)及び湿潤層(例えば、800nmのニッケル)35a、35bを1つの工程で電気メッキする。

30

#### 【0036】

次に、図1mで図示されるように、フォトレジスト33a、33bを取り除き、メッキベース32a、32bの露出部分を、フィードスルー金属被覆34a、34b、及び複合バリア層/湿潤層35a、35bに対して選択的にエッチングする。

#### 【0037】

次いで、応力を低減した酸窒化ケイ素層36a、36bを、プラズマ化学気相成長(PECVD)を用いて両側に堆積する。これらの層36a、36bは、半田のせき及び不動態化として利用し、約1 $\mu\text{m}$ の厚さである。図1n参照。

#### 【0038】

次に、クロム層37a、37bを、以降の蒸着又はスパッタリングプロセスで両側に堆積する。クロムは、新規の電着可能なフォトレジスト層38a、38b(例えば、シプリーからのEagle 2100 ED/PR)を両側に続いて堆積させるためのメッキベースとして利用する。図1o参照。

40

#### 【0039】

次いで、電着可能なフォトレジスト38a、38bを、ボンディング及びコンタクトパッド39a、39bのための各マスクを用いて両側に関してパターンニングし、露出したクロム37a、37bを硫酸セリウム(IV)/硝酸で取り除く。次に露出した酸窒化ケイ素36a、36bのPECVD層を、フォトレジスト層38a、38bと、クロム層37a、37bの残りとをマスクとして用いてBHF中でエッチングする。図1p参照。

50

## 【0040】

この後、フォトレジスト38a、38b及びクロム層37a、37bの残部を取り除く。図1q参照。

## 【0041】

露出した湿潤層の表面(ボンディング及びコンタクトパッド)を、酸化防止バリアー40a、40b(例えば、エンゲルハードのORMEXを用いた100nmの金)のイオン交換メッキによって非酸化性金属に転化する。図1r参照。

## 【0042】

最後に、半田材料41(例えば、鉛/スズ又はスズ/銀)を、電着可能なフォトレジストの型の中で電気メッキすること、又は予備成形物を用いることの何れかによって、ボンディングパッド39b上に堆積させる。堆積した半田材料を図1sに示す。

10

## 【0043】

本発明に従った半導体リッドのために、さまざまな寸法を選択できると解されるべきである。しかしながら、フィードスルー金属被覆による密封を確実にするために、比較的小さくかつ十分に画定されたスルーホール30がエッチ抵抗性層12で得られるということが重要である。本発明のリッドの実施態様における寸法の例として、リッドの半導体構造は、外側の辺長さが約3mmの正方形を有することができる。裏面層13は、外面の辺長さが約2mmである正方形の裏面領域23においてエッチングすることができ、それにより裏面層のエッチングは、リッドによって覆われる電子又は光電子部品のために空間を与えるほど十分大きい。各スルーホールについて、対応する別の表面領域27がエッチングされる。ここで、約20 $\mu$ mの表面層厚さについて、それぞれのこのような表面領域は、辺の長さが約33 $\mu$ mの正方形を有することができる。これによって、辺の長さが約5 $\mu$ mの正方形を有するエッチ抵抗性層12の露出した表面部分29を得ることができる。いくつかのスルーホール又はずらりと並んだスルーホールが必要とされる場合、リッドの表面で2つの隣接するスルーホール間の距離が少なくとも5 $\mu$ m、例えば少なくとも10 $\mu$ mであるように、スルーホールを配置することができる。

20

## 【0044】

SOI材料を用いた上記の両面スルーホールプロセスによって、再現可能な十分に画定されたスルーホール開口30が可能になる。界面のエッチ抵抗性層なしで標準的な純粋シリコン材料を用いる場合、スルーホールを画定するためのマスク寸法をシリコン厚さに適合させなければならないか、又はシリコン厚さをマスク寸法に適合させなければならない。結果として得られるスルーホール開口30の偏差は、低い一桁の数の $\mu$ m(例えば、3 $\mu$ m)を決して超えないことが好ましい。これは厚さ約20 $\mu$ mの表面層11を有するSOI材料のウェハでいて容易に達成される。ここで、厚さ変動は $\pm 10\%$ 又はそれよりも良いのが通常であり、最大2.8 $\mu$ mである横方向のスルーホール開口の変動をもたらす。

30

## 【0045】

図1a~1sに関連して上記のプロセスに従って製作できる本発明の実施態様に従った半導体リッドが、図2及び3で図示される。ここで、図2はリッド201の平面図(表側)を示し、該リッドは3つのスルーホール接続202a、202b、202cを備えている。リッド201の表側に関して、各スルーホール接続202a、202b、202cは、スルーホール203a、203b、203cの表側部分から金被覆される場合のあるボンディング又はコンタクトパッド204a、204b、204cまで達している。スルーホール203a、203b、203cは、電気メッキされたフィードスルー金属被覆によって閉じられるか又は密封され、スルーホール接続202a、202b、202cのためのベースとして利用される。リッド201の表側と、スルーホール接続202a、202b、202cは、ボンディング又はコンタクトパッド204a、204b、204cに対する開口を除いてパッシベーション層205aで覆われる。

40

## 【0046】

半導体リッド201の横断面図は、図1sの構造に対応している。

50

## 【 0 0 4 7 】

図3は、図2の半導体構造の底面又は背面図を示す。ここで、スルーホール接続202a、202b、202cは、スルーホール203a、203b、203cの裏側部分から半田用の相互接続バンプ206a、206b、206cを有するボンディングパッドまで及ぶ。さらに半田封止リング207が、半田バンプ206a、206b、206cについて半田材料を堆積させる場合、リッドの裏側に形成される。さらにリッド201の裏側と、スルーホール接続202a、202b、202cは、半田バンプ206a、206b、206c及び半田封止リング207に対する開口を除いてパッシベーション層205bで覆われる。

## 【 0 0 4 8 】

図1a～1sに関連して説明された半導体構造について、約1～20 $\cdot$ cmの低い抵抗率を表面層11及び裏面層13の両方で選択した。

## 【 0 0 4 9 】

しかしながら、高い抵抗率を有するSOI構造などの半導体又は半導体構造を使用することもまた、本発明の実施態様の範囲内である。このような高い抵抗率の半導体又は半導体構造は、高周波数の用途に好適な場合があり、その場合には、1つ又は複数の高周波信号が、本発明に従ったフィードスルー金属被覆を含むことのできるスルーホール接続によって伝導されることになる。

## 【 0 0 5 0 】

高周波信号の周波数は、1/RCによる相互接続のオーム抵抗及びキャパシタンスによって制限される。したがって、問題は、スルーホール接続とシリコンの下地層の間で低いオーム抵抗と低いキャパシタンスを有するスルーホール接続を得ることである。高周波用リッドは、電気通信用途のための信号レーザー及び/又は検出器を含んで成る光電子アッセムブリで使用できる。その周波数は100GHz程度であることができる。

## 【 0 0 5 1 】

低いオーム抵抗は高い接続断面積を必要とし、一方で、低いキャパシタンスは、シリコンとの界面が低面積である接続、及び下地のシリコンが比較的高い抵抗率であることを必要とする。したがって、問題に対する解決策は、相互接続を可能な限り厚く保ちながら、シリコン層又は高い抵抗率を有する基材を用いること、並びにシリコン表面の相互接続の長さ及び幅を最小に低減することである。抵抗率は、3k $\cdot$ cm～4k $\cdot$ cmのあたりか若しくはその範囲にあり、又はそれ以上でさえあることができる。この要件は、裏面層だけでなく表面層についても考慮される場合がある。したがって、高周波用途については、非ドープシリコンを用いることが好都合な場合もある。

## 【 0 0 5 2 】

さらに、可能な限り厚い1つ又は複数のスルーホール接続を有することも望ましい。しかしながら、フィードスルー金属被覆は、依然として密封されるべきである。各スルーホールが同じ断面積であることは重要ではない。したがって、高周波用のリッドは、純粋な単結晶シリコンウェハから形成できる。しかしながら、図1及び図2に関連して説明された技術並びにSOI構造を用いることが好ましい。

## 【 0 0 5 3 】

さらに本発明は、高電流が半導体の構造又はリッドを通過できる解決策を提供する。ここで問題は、同時にリッドの高い機械的安定性を維持しながら、高電流がリッドを通過できるように、リッドを貫く金属被覆の大きな断面積を得ることである。さらには、リッドの密封を得ることもまた容易であるべきである。高電流用のリッドは、例えば、ポンプレーザーの適用範囲で使用できる。

## 【 0 0 5 4 】

本発明の実施態様によれば、いくつかの若しくはずらりと並んだスルーホール接続又は金属被覆が高電流接続で使用され、各スルーホール接続又は金属被覆が、半導体の構造又はリッドのスルーホールを貫いている解決策が提供される。各スルーホールは、比較的小さな断面積を有し、それによってリッドの機械的強度が維持される。使用されるスルーホ

10

20

30

40

50

ールの数によって与えられる合計断面積は、必要とされる高電流を可能とするほど十分大きいべきであり、この配置での電流密度は、フィードスルー金属被覆の臨界電流密度（最大密度）よりも低いか又は十分低い。

【0055】

高電流接続が1つの厚いフィードスルーとして作製される場合、半導体の構造又はリッドは、加熱されると、半導体と金属の異なる熱膨張のために粉々に壊れる場合があることに注意すべきである。

【0056】

半導体の構造又はリッドは、いくつかの高電流接続を有することができ、各接続は、いくつかの若しくはずらりと並んだスルーホール接続又は金属被覆を有する。

10

【0057】

各スルーホールが同じ断面積であることは重要ではない。したがって、高電流用のリッドは、純粋な単結晶シリコンウェハから形成できる。しかしながら、図1及び図2に関連して説明された技術並びにSOI構造を用いることが好ましい。SOI構造からのスルーホールのテーパ形状によって、フィードスルー金属被覆の金属は、加熱されると、上方に膨張してより強いリッドを得ることができる。

【0058】

図4は、高電流を流すのに好適な2つの電流接続402a、402bを備えた半導体リッド401についての実施態様の平面又は前面図を示している。各接続402a、402bは、ずらりと並んだいくつかのスルーホール接続403a、403bを含んで成り、各スルーホール接続は、リッドの表側からスルーホールを通過してリッドの裏側まで通過する金属被覆を有する。各フィードスルー金属被覆は、表側から下方へ先細になっており、それによって、上部での断面積に比べて下部で相当に小さい断面積を有する。したがって、各スルーホールは、フィードスルー金属被覆によって全体として覆われかつ封止される。1つの電流接続402a又は402bのフィードスルー金属被覆は、スルーホールの両側及びリッド401の表側で互いに電気接続され、表側の金属被覆405a又は405bは、スルーホール接続403a又は403b、並びに金被覆される場合のある対応するボンディング又はコンタクトパッド406a又は406bに接続する。リッド401の表側とスルーホール接続403a、403bは、ボンディング又はコンタクトパッド406a、406bに対する開口を除いてパッシベーション層407aで覆われる。

20

30

【0059】

図5では、図4の半導体リッドの横断面図が示される。ここで、リッド401はシリコン表面層411と、二酸化ケイ素層412と、シリコン裏面層413を有する。さらに図5は、スルーホール接続403a、403b、並びに対応する表側金属被覆405a、405b及びボンディング又はコンタクトパッド406a、406bを示す。1つの電流接続402a又は402bのスルーホール接続403a又は403bは、リッド401の裏側で裏側金属被覆414a又は414bに接続され、該裏側金属被覆414a又は414bはさらに半田バンプ415a又は415bに接続される。さらにリッド401の底は、該リッドを基材に封止して接続するための半田封止リング416を含んで成る。

【0060】

40

図6では、図4及び図5の半導体リッドの底面又は背面図が示される。ここで、各裏側金属被覆414a、414bは、対応するスルーホールの裏側部分から対応する半田バンプ415a、415bまで及ぶ。さらにリッド401の裏側及び裏側金属被覆414a、414bは、半田バンプ415a、415b及び半田封止リング416に対する開口を除いて、パッシベーション層407bによって覆われる。

【0061】

本発明はまた、半導体の構造又はリッドが該構造又はリッドの表面層に集積された集積電子回路を有することができる解決策を提供する。それによって、簡単でかつ安価な解決策が、光電子アセンブリに集積電子回路を配置することに提供できる。

【0062】

50

好ましい解決策によれば、いくつかの集積電子回路を上部外面に関して又は表面層において加工したシリコンウェハが用いられる。該ウェハは、いくつかの構造又はリッドにさらに加工されることになる。1つの電子回路がそれぞれのリッド又は構造で必要とされる場合、その時には、1つの回路はそれぞれのリッド又は構造の配置に対応する配置で加工される。2つの回路がそれぞれのリッド又は構造で必要とされる場合、その時には、2つの回路はそれぞれのリッド又は構造の配置に対応する配置で加工される。

**【0063】**

リッドの表側からリッドの内部へのスルーホール接続を得て、それにより電気接続が、リッドを適用範囲として使用して集積回路と光電子アッセンプリ内の部材との間に提供できるように、図1及び図2に関連して説明された両面エッチングプロセス並びにSOI構造を使用することが好ましい。

10

**【0064】**

したがって、本発明の態様によれば、1つ又は複数の集積して形成された電子回路を、リッドの外側半導体の上部表面層において処理した半導体リッドが提供され、リッドを貫く1つ又は複数の電気接続を確立するために、いくつかの導電性バイアス又はスルーホール接続が、リッドの外部表面又は外部表面層からリッドの内側へリッドを貫いて提供される。スルーホール接続の少なくとも一部は、外側半導体表面層において電子回路の1つと結合又は電氣的に接触していることが好ましい。各スルーホール接続は、リッドにおいて形成された対応するスルーホールを有することができ、該スルーホールは、スルーホール接続を形成することによって密封することができる。このようなスルーホールは、表面層エッチングと裏面層エッチングの両方を含むことのできる1つ又は複数のエッチングプロセスによって形成できる。

20

**【0065】**

各スルーホールが同じ断面積であることは重要ではない。したがって、リッドは純粋な単結晶シリコンウェハから形成できる。しかしながら、上記のSOI構造を用いることが好ましい。

**【0066】**

多くの適用について、冷却素子又は能動冷却素子を含む半導体リッドを有することが望ましい。このような適用は、高電流用に設計された半導体リッドを含むことができる。Peltier素子の形態の能動冷却素子は、半導体リッドの上部に配置されるのが好ましい。

30

**【0067】**

Peltier素子は、リッドの上部で異なる金属層を処理することによって形成できる。したがって、シリコンウェハ全体がいくつかの半導体リッドを得るよう処理される場合には、いくつかの余分な処理工程を追加して、ウェハ全体の上部に異なる金属層を形成することができる。このような金属被覆工程の後、ウェハを独立したリッドに分けることができ、各リッドは、外側の上部表面に形成されたPeltier素子を有する。いくつかの実施態様においては、Peltier素子の上部にヒートシンクをさらに配置することが好ましい。

**【0068】**

したがって、本発明の態様によれば、いくつかの半導体リッドの各上部に能動冷却素子を形成する方法が提供され、該いくつかのリッドは半導体ウェハ全体で処理され、該冷却素子の形成は、ウェハ全体の上及び互いの上部にいくつかの異なる金属層を形成することを含んで成る。形成される金属層は、処理されたウェハがいくつかの独立したリッドに分けられる場合、Peltier素子を各リッドの上に形成するよう選択されることが好ましい。半導体ウェハは、単結晶シリコンウェハであることができるか、又はSOI（絶縁体上のシリコン）構造を有するウェハであることができる。半導体リッドは、いくつかのスルーホール接続を用いて高電流接続を与える高電流タイプのリッドであることができる。高電流用のリッドは、SOI構造を含めて上記の構造を有することができる。

40

**【0069】**

50

さらに本発明は、半導体リッドが光電子アッセンブリ又はサブアッセンブリのカバーとして用いられる実施態様を包含している。ここで、リッドは、1つ又は複数のスルーホール、並びにリッドの外部表面からリッドの内部表面への電気接続を提供するための対応するスルーホール接続を有することができる。スルーホール接続は、リッドに形成された対応するスルーホールを有することができる。該スルーホールは、スルーホール接続を形成することによって密封することができる。このようなスルーホールは、表面層エッチングと裏面層エッチングの両方を含むことのできる1つ又は複数のエッチングプロセスによって形成できる。

【0070】

リッドは純粋な単結晶シリコンウェハから形成できる。しかしながら、上記のSOI構造を用いることが好ましい。

10

【0071】

図7では、本発明に従った光電子アッセンブリの実施態様が図示される。ここで、光電子アッセンブリ701は半導体ベース702を有し、光導波路703が該ベース702の上部表面上に形成又は配置されている。さらに光電子部品704が、ベース702の上部表面に配置され、導波路703に光結合している。半導体リッド705は、半田封止リング706によってベース702の上部表面に封止して配置され、リッド705は部品704を覆っている。リッド705は、リッド705の上部表面からスルーホールを介してリッドの裏側まで電流経路を与えるフィードスルー金属被覆707を有する。該フィードスルー金属被覆は、ベース702の表面上の接続用金属被覆708と、半田の相互接続709とを介して部品704に電気接続される。ここで、導波路703は、底部クラッド層710と、コア層711と、上部クラッド層712とによって形成される。導波路703領域の外側には、コア層711は与えられず、クラッド層713がベース702の表面を覆っている。半田封止リング706は、クラッド層712及び713に半田付けされる。示されるリッド705はSOI構造を有し、該リッド705は図1に関連して説明された処理によって製作できる。

20

【0072】

これまで、本発明の実施態様を説明するのにシリコンウェハを用いたが、III-V化合物の半導体など、他の半導体材料を使用できる。

【0073】

他の実施は特許請求の範囲にある。

30

【図面の簡単な説明】

【0074】

【図1a】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1b】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1c】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1d】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

40

【図1e】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1f】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1g】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1h】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図1i】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての

50

横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図 1 j】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、エッチングプロセスのさまざまな段階を図示している。

【図 1 k】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 l】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 m】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 n】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

10

【図 1 o】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 p】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 q】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 r】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

【図 1 s】本発明の方法の実施態様に従ったさまざまな段階の間の半導体構造についての横断面図であり、金属被覆プロセスのさまざまな段階を図示している。

20

【図 2】本発明に従った半導体構造の第 1 実施態様の平面又は前面図を示す。

【図 3】図 2 の半導体構造の底面又は背面図を示す。

【図 4】本発明に従った半導体構造の第 2 実施態様の平面又は前面図を示す。

【図 5】図 4 の半導体構造の横断面図を示す。

【図 6】図 5 の半導体構造の底面又は背面図を示す。

【図 7】本発明に従った光電子アッセンブリ構造の実施態様を示す。

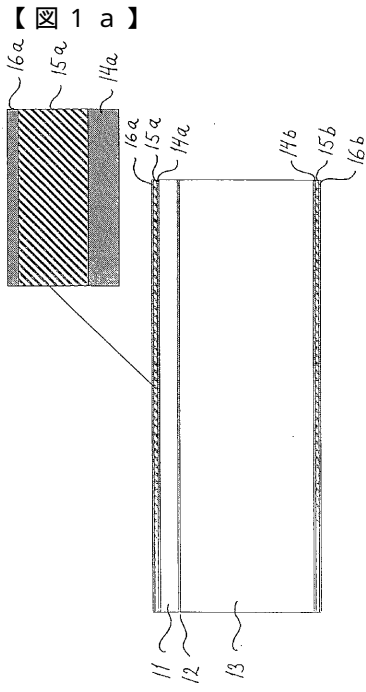


Fig. 1a

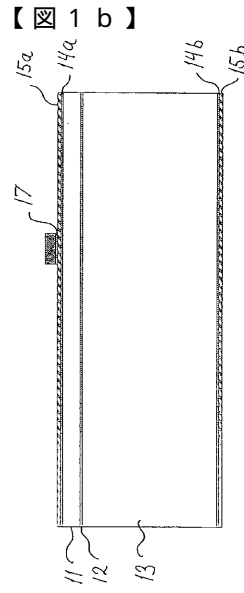


Fig. 1b

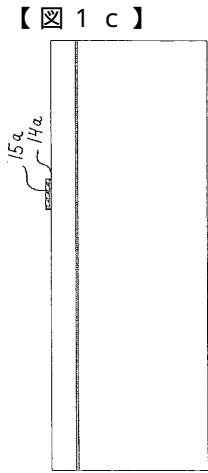


Fig. 1c

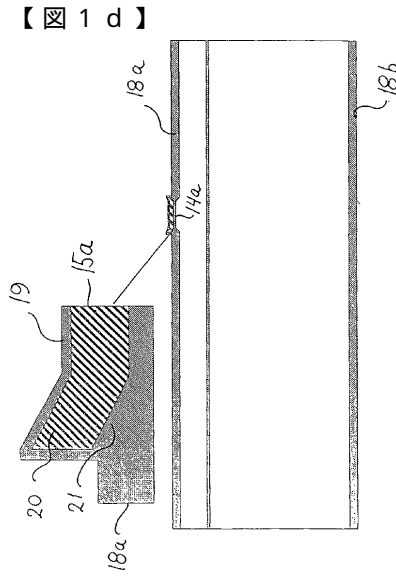


Fig. 1d

【 1 e 】

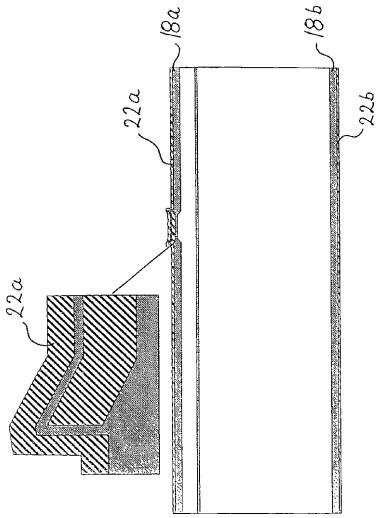


Fig. 1e

【 1 f 】

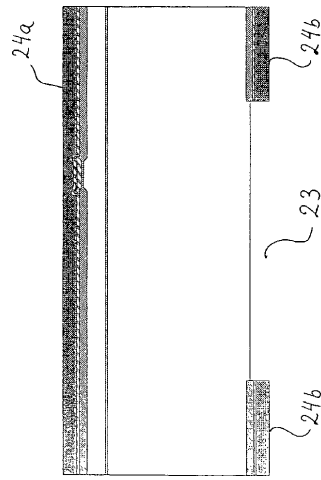


Fig. 1f

【 1 g 】

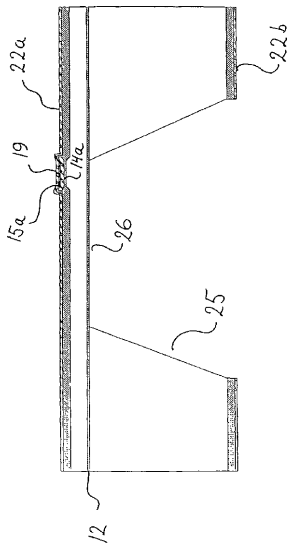


Fig. 1g

【 1 h 】

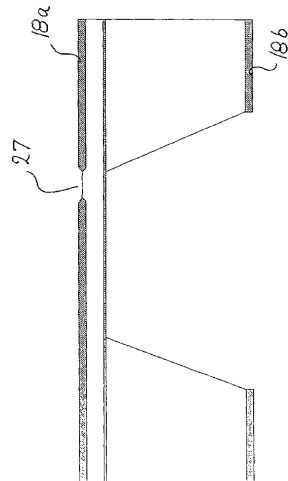


Fig. 1h

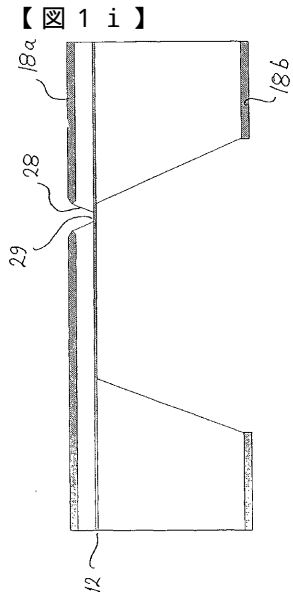


Fig. 1i

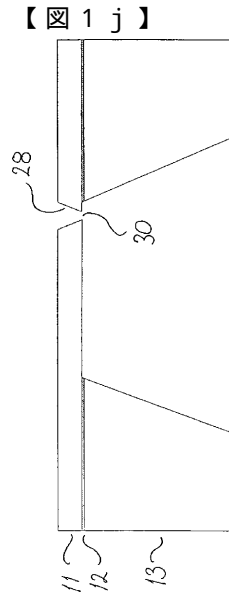


Fig. 1j

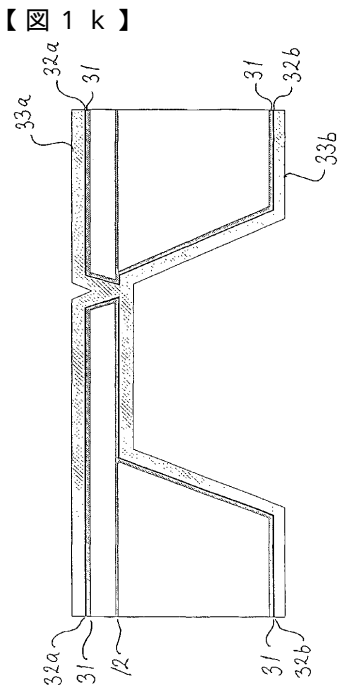


Fig. 1k

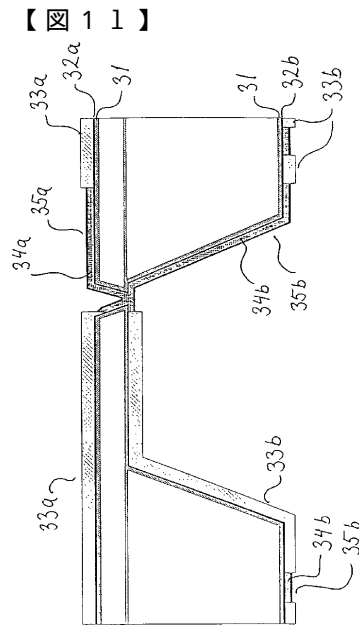


Fig. 1l

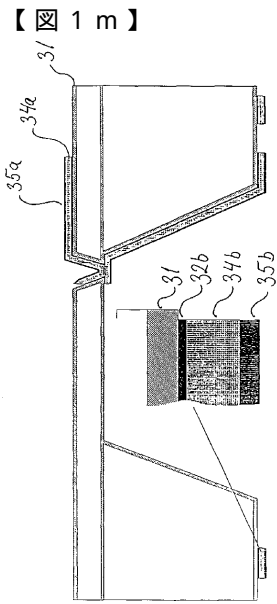


Fig. 1m

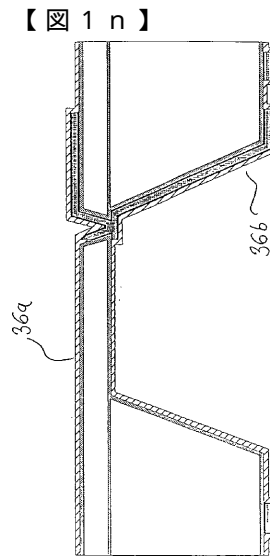


Fig. 1n

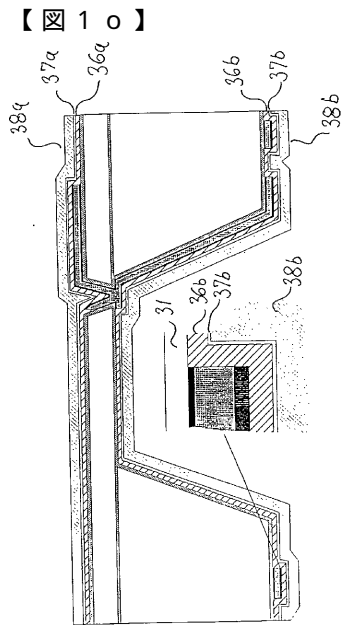


Fig. 1o

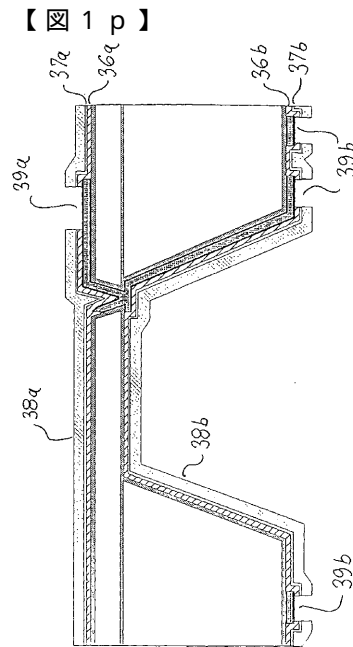


Fig. 1p

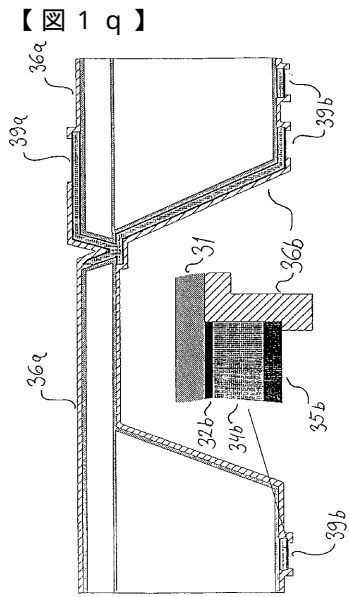


Fig. 1q

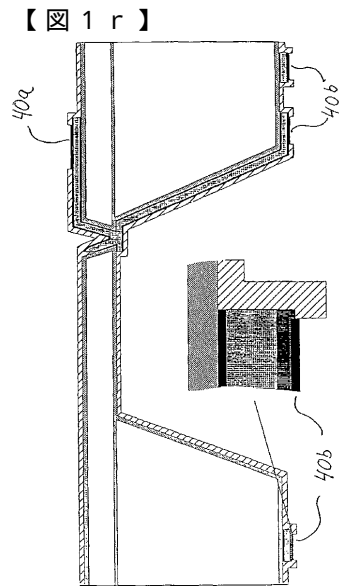


Fig. 1r

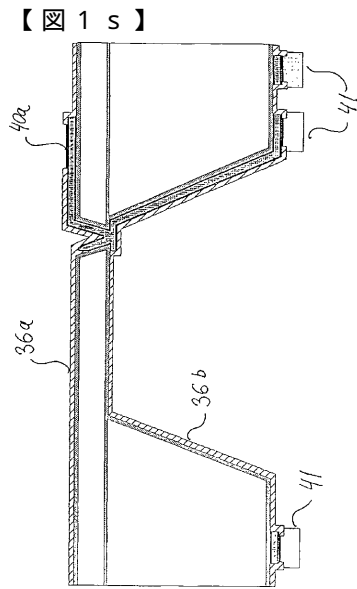


Fig. 1s

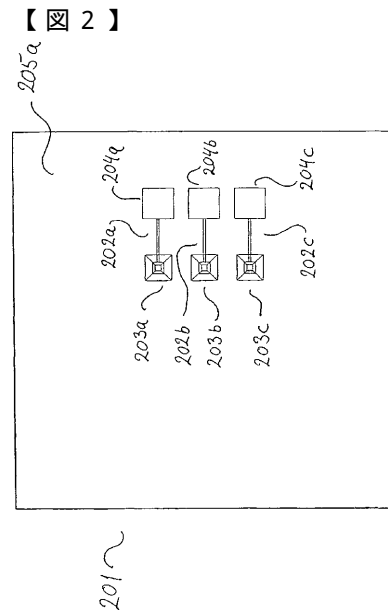


Fig. 2

【 図 3 】

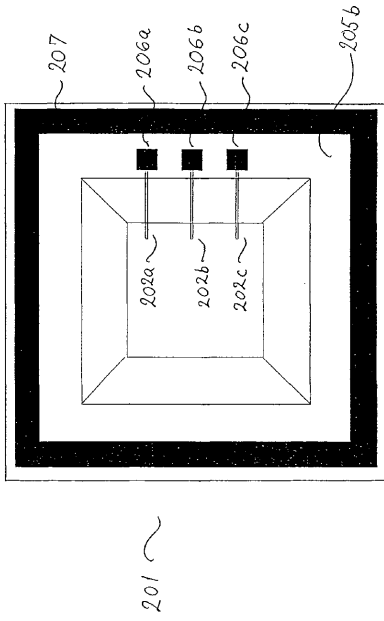


Fig. 3

【 図 4 】

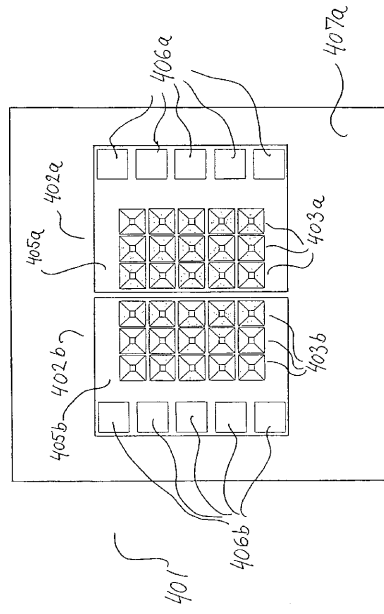


Fig. 4

【 図 5 】

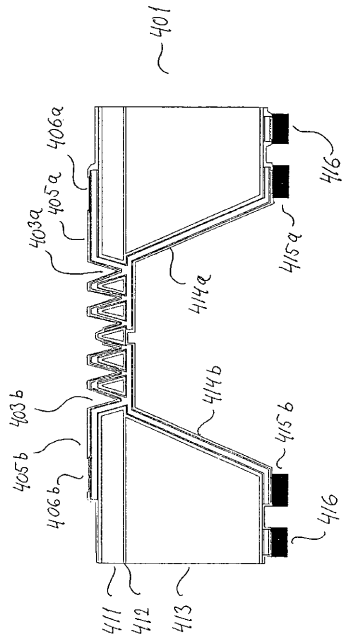


Fig. 5

【 図 6 】

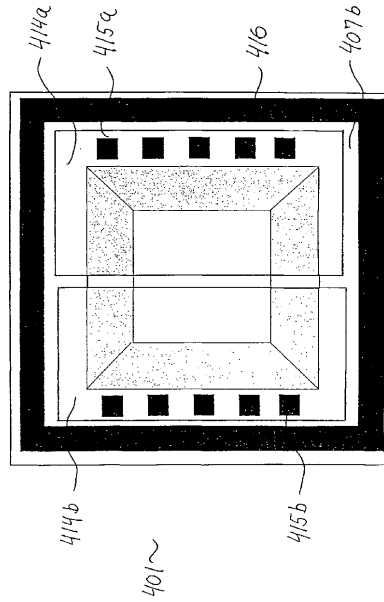


Fig. 6

【 7 】

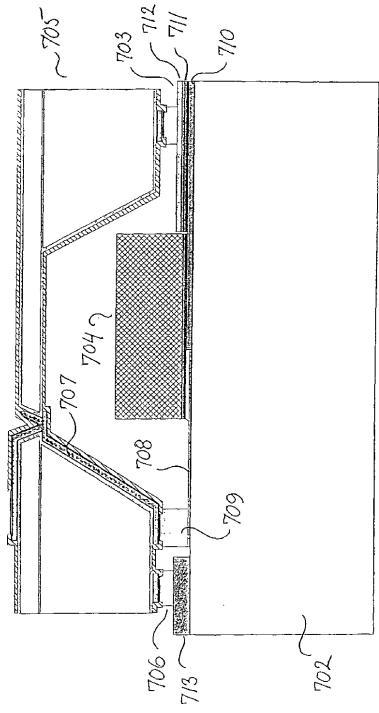


Fig. 7

---

フロントページの続き

(72)発明者 ヘシュエル, マティアス  
デンマーク国, デーコー - 2 6 1 0 ロゾウレ, アウロラバイ 2 1 ペー

審査官 酒井 英夫

(56)参考文献 特開平08 - 1 6 2 4 5 9 ( J P , A )  
特開平11 - 2 5 1 3 2 0 ( J P , A )  
特開平11 - 0 5 4 6 4 3 ( J P , A )  
特開昭55 - 1 6 6 9 4 1 ( J P , A )  
特開平09 - 2 1 3 6 2 0 ( J P , A )  
特開平06 - 0 8 7 2 1 7 ( J P , A )  
特開平09 - 2 6 6 2 6 6 ( J P , A )  
特開2001 - 1 2 7 2 0 8 ( J P , A )

(58)調査した分野(Int.Cl., D B名)  
H01L 23/02-23/12,  
21/306,21/308,21/3205