

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年12月17日 (2009.12.17)

【公開番号】特開2007-134705(P2007-134705A)

【公開日】平成19年5月31日 (2007.5.31)

【年通号数】公開・登録公報2007-020

【出願番号】特願2006-299177(P2006-299177)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/768 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 D

H 0 1 L 21/28 3 0 1 S

H 0 1 L 29/50 M

H 0 1 L 21/88 Q

H 0 1 L 21/90 C

【手続補正書】

【提出日】平成21年11月2日 (2009.11.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 素子領域及び第 2 素子領域を有する半導体基板上に絶縁膜を形成する段階と、
前記半導体基板の前記第 1 素子領域に形成されている前記絶縁膜に第 1 コンタクトホールを形成する段階と、

前記第 1 コンタクトホール内に第 1 シリサイド化を進行させる段階と、

前記第 1 シリサイド化を進行させた後に、前記半導体基板の前記第 2 素子領域に形成されている前記絶縁膜に第 2 コンタクトホールを形成する段階と、

前記第 1 コンタクトホール及び前記第 2 コンタクトホール内で第 2 シリサイド化を進行させる段階と、

を含むことを特徴とする半導体素子の製造方法。

【請求項 2】

前記第 1 コンタクトホールは、ノーマルコンタクトホールであることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記第 2 コンタクトホールは、自己整列コンタクトホールであることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 4】

前記第 1 コンタクトホールは第 1 活性領域上に形成され、

前記第 2 コンタクトホールは第 2 活性領域上に形成され、

前記第 1 活性領域及び前記第 2 活性領域は、同一のイオン注入工程により不純物が注入されることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 5】

前記第 2 シリサイド化は、前記第 1 コンタクトホール及び第 2 コンタクトホールで同時に進行されることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 6】

前記第 1 コンタクトホールは第 1 パターン密度を有する素子の間に形成され、
前記第 2 コンタクトホールは前記第 1 パターン密度より大きい第 2 パターン密度を有する素子の間に形成されることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 7】

半導体基板の第 1 領域の第 1 コンタクトホールに、 m (m は、自然数) 回のシリサイド化工程を実施してコンタクトを形成する段階と、

前記半導体基板の第 2 領域の第 2 コンタクトホールに、前記 m 回より少ない n (n は、自然数) 回のシリサイド化工程を実施してコンタクトを形成する段階と、
を含むことを特徴とする半導体素子の製造方法。

【請求項 8】

前記第 1 領域及び第 2 領域上に絶縁膜を形成する段階をさらに含むことを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 9】

前記第 1 領域に形成された前記絶縁膜内に第 1 コンタクトホールを形成する段階と、
前記第 2 領域が前記絶縁膜によってマスクされている間に、前記第 1 コンタクトホールに前記シリサイド化工程のうちの一つを実施する段階と、
をさらに含むことを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 10】

前記第 2 領域に形成された前記絶縁膜内に前記第 2 コンタクトホールを形成する段階と、
前記第 1 コンタクトホール及び前記第 2 コンタクトホール内で前記シリサイド化工程のうちの一つを同時に実施する段階と、をさらに含むことを特徴とする請求項 9 に記載の半導体素子の製造方法。

【請求項 11】

前記第 1 コンタクトホールを前記半導体基板の第 1 活性領域上に形成する段階と、
前記第 2 コンタクトホールを前記半導体基板の第 2 活性領域上に形成する段階と、を含み、

前記第 1 活性領域及び前記第 2 活性領域は、同一のイオン注入工程により不純物を注入することを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 12】

前記第 1 コンタクトホールは、第 1 素子間隔を有する素子の間に形成されたノーマルコンタクトホールであり、

前記第 2 コンタクトホールは、前記第 1 素子間隔よりさらに小さな第 1 素子スペーシングを有する素子の間に形成された自己整列コンタクトホールであることを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 13】

前記半導体基板の第 3 領域に、前記 n 回より少ない k (k は、自然数) 回のシリサイド化工程を実施してコンタクトを形成する段階をさらに含むことを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 14】

前記第 1 コンタクトホール内のコンタクトは二重の金属層によってシリサイド化され、
前記第 2 コンタクトホール内のコンタクトは単一の金属層によってシリサイド化されていることを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 15】

半導体基板の第 1 素子領域の第 1 コンタクトホール内に、第 1 シリサイド膜を形成する段階と、

半導体基板の第 2 素子領域の第 2 コンタクトホール内に、第 2 シリサイド膜を形成する段階と、

前記第 1 コンタクトホール内に、前記第 1 シリサイド膜をさらに形成する段階と、を含み、

前記第 2 コンタクトホールは、前記第 1 コンタクトホールより小さいことを特徴とする半導体素子の製造方法。

【請求項 16】

前記第 1 コンタクトホール内に前記第 1 シリサイド膜をさらに形成する段階は、前記第 2 シリサイド膜を形成する段階と同時に実施されることを特徴とする請求項 15 に記載の半導体素子の製造方法。

【請求項 17】

前記第 1 シリサイド膜を形成する間、前記第 2 素子領域でのシリサイド化を防止する段階をさらに含むことを特徴とする請求項 15 に記載の半導体素子の製造方法。