

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年12月17日(2009.12.17)

【公開番号】特開2007-134705(P2007-134705A)

【公開日】平成19年5月31日(2007.5.31)

【年通号数】公開・登録公報2007-020

【出願番号】特願2006-299177(P2006-299177)

【国際特許分類】

H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	23/52	(2006.01)
H 01 L	21/768	(2006.01)

【F I】

H 01 L	27/08	1 0 2 D
H 01 L	21/28	3 0 1 S
H 01 L	29/50	M
H 01 L	21/88	Q
H 01 L	21/90	C

【手続補正書】

【提出日】平成21年11月2日(2009.11.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1素子領域及び第2素子領域を有する半導体基板上に絶縁膜を形成する段階と、前記半導体基板の前記第1素子領域に形成されている前記絶縁膜に第1コンタクトホールを形成する段階と、

前記第1コンタクトホール内に第1シリサイド化を進行させる段階と、

前記第1シリサイド化を進行させた後に、前記半導体基板の前記第2素子領域に形成されている前記絶縁膜に第2コンタクトホールを形成する段階と、

前記第1コンタクトホール及び前記第2コンタクトホール内で第2シリサイド化を進行させる段階と、

を含むことを特徴とする半導体素子の製造方法。

【請求項2】

前記第1コンタクトホールは、ノーマルコンタクトホールであることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】

前記第2コンタクトホールは、自己整列コンタクトホールであることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項4】

前記第1コンタクトホールは第1活性領域上に形成され、

前記第2コンタクトホールは第2活性領域上に形成され、

前記第1活性領域及び前記第2活性領域は、同一のイオン注入工程により不純物が注入されることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項5】

前記第2シリサイド化は、前記第1コンタクトホール及び第2コンタクトホールで同時に進行されることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項6】

前記第1コンタクトホールは第1パターン密度を有する素子の間に形成され、前記第2コンタクトホールは前記第1パターン密度より大きい第2パターン密度を有する素子の間に形成されることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項7】

半導体基板の第1領域の第1コンタクトホールに、m(mは、自然数)回のシリサイド化工程を実施してコンタクトを形成する段階と、

前記半導体基板の第2領域の第2コンタクトホールに、前記m回より少ないn(nは、自然数)回のシリサイド化工程を実施してコンタクトを形成する段階と、
を含むことを特徴とする半導体素子の製造方法。

【請求項8】

前記第1領域及び第2領域上に絶縁膜を形成する段階をさらに含むことを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項9】

前記第1領域に形成された前記絶縁膜内に第1コンタクトホールを形成する段階と、前記第2領域が前記絶縁膜によってマスクされている間に、前記第1コンタクトホールに前記シリサイド化工程のうちの一つを実施する段階と、
をさらに含むことを特徴とする請求項8に記載の半導体素子の製造方法。

【請求項10】

前記第2領域に形成された前記絶縁膜内に前記第2コンタクトホールを形成する段階と、
前記第1コンタクトホール及び前記第2コンタクトホール内で前記シリサイド化工程のうちの一つを同時に実施する段階と、をさらに含むことを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項11】

前記第1コンタクトホールを前記半導体基板の第1活性領域上に形成する段階と、前記第2コンタクトホールを前記半導体基板の第2活性領域上に形成する段階と、を含み、

前記第1活性領域及び前記第2活性領域は、同一のイオン注入工程により不純物を注入することを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項12】

前記第1コンタクトホールは、第1素子間隔を有する素子の間に形成されたノーマルコンタクトホールであり、

前記第2コンタクトホールは、前記第1素子間隔よりさらに小さな第1素子スペーシングを有する素子の間に形成された自己整列コンタクトホールであることを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項13】

前記半導体基板の第3領域に、前記n回より少ないk(kは、自然数)回のシリサイド化工程を実施してコンタクトを形成する段階をさらに含むことを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項14】

前記第1コンタクトホール内のコンタクトは二重の金属層によってシリサイド化され、前記第2コンタクトホール内のコンタクトは単一の金属層によってシリサイド化されていることを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項15】

半導体基板の第1素子領域の第1コンタクトホール内に、第1シリサイド膜を形成する段階と、

半導体基板の第2素子領域の第2コンタクトホール内に、第2シリサイド膜を形成する段階と、

前記第1コンタクトホール内に、前記第1シリサイド膜をさらに形成する段階と、を含み、

前記第2コンタクトホールは、前記第1コンタクトホールより小さいことを特徴とする半導体素子の製造方法。

【請求項16】

前記第1コンタクトホール内に前記第1シリサイド膜をさらに形成する段階は、前記第2シリサイド膜を形成する段階と同時に実施されることを特徴とする請求項15に記載の半導体素子の製造方法。

【請求項17】

前記第1シリサイド膜を形成する間、前記第2素子領域でのシリサイド化を防止する段階をさらに含むことを特徴とする請求項15に記載の半導体素子の製造方法。