

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9411776f

※申請日期：94-5-31

※IPC 分類：H01L 23/02

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, Keihan-Hondori 2-chome, Moriguchi-shi, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 1 人)

姓名：(中文/英文)

野間崇 / NOMA, TAKASHI

國籍：(中文/英文)

日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國；2004年06月10日；特願2004-172603（主張優先權）

2. 日本國；2005年04月15日；特願2005-117857（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是關於一種半導體裝置及其製造方法，特別是關於封裝型半導體裝置及其製造方法。

【先前技術】

近年來，在封裝型半導體裝置中，CSP(Chip Size Package:晶片尺寸封裝)備受矚目。CSP係指具有與半導體晶片的外形尺寸大致相同大小的外形尺寸之小型封裝。

以往，已知有BGA(Ball Grid Array:球柵陣列)型的半導體裝置為CSP的一種。此BGA型半導體裝置係在封裝體的一主面上以格子狀排列複數個由鉍錫等金屬構件構成的球狀導電端子，且與搭載於封裝體的其他面上的半導體晶片電性連接。

而且，在將此BGA型半導體裝置組裝於電子機器時，藉由將各導電端子壓接於電路基板(例如印刷基板)上的配線圖案，以電性連接半導體晶片與搭載於電路基板上的外部電路。

接著，習知的封裝型半導體裝置的一例係針對習知例之BGA型半導體裝置，參照圖面來說明。第26圖係構成習知例之BGA型半導體裝置的概略構成圖，第26圖(A)係由該BGA型半導體裝置的表面側觀察的斜視圖。而且，第26圖(B)係由該BGA型的半導體裝置的背面側觀察的斜視圖。

此BGA型半導體裝置101係在第一及第二玻璃基板102、103之間，使半導體晶片104藉由環氧樹脂105a、105b

密封而成。在此，在半導體晶片 104 的一主面之表面上形成有未圖示的電子裝置(electric device)。而且，在第二玻璃基板 103 的一主面上，亦即 BGA 型半導體裝置 101 的背面上，以格子狀配置有複數個導電端子 106。此導電端子 106 係經由第二配線 110 與半導體晶片 104 相連接。對於複數條第二配線 110 分別連接有由半導體晶片 104 的內部拉出的第一配線，以進行各導電端子 106 與半導體晶片 104 的電性連接。

針對此 BGA 型半導體裝置 101 的剖面構造，參照第 27 圖更詳細地說明。第 27 圖係顯示沿著切割線(dicing line)被分割成各個晶片的 BGA 型半導體裝置 101 的剖面圖。

在配置於半導體晶片 104 的表面的絕緣膜 108 上配設有第一配線 107。此半導體晶片 104 係藉由樹脂層 105a 與第一玻璃基板 102 接著。而且，此半導體晶片 104 的背面係藉由樹脂層 105b 與第二玻璃基板 103 接著。

而且，第一配線 107 的一端係與第二配線 110 相連接。此第二配線 110 係由第一配線 107 的一端延伸於第二玻璃基板 103 的表面。而且，在延伸於第二玻璃基板 103 上的第二配線 110 上形成有球狀的導電端子 106。

上述技術係揭示於例如以下的專利文獻 1。

[專利文獻 1] 日本特表 2002-512436 號公報

【發明內容】

(發明所欲解決之課題)

但是，製造與上述習知例之封裝型半導體裝置 101

時，有包含於該製造方法的製程變得較為複雜的問題。據此，發生製造成本增大之問題。

而且，上述半導體裝置 101 係因其構造複雜，故無法得到充分的可靠性。例如由於半導體裝置 101 的第一配線 107 與第二配線 110 的接觸面積非常小，故第二配線 110 有在此接觸部分斷線之虞。而且，第二配線 110 的階梯覆蓋(step coverage)也有問題。

而且，半導體裝置 101 因係藉由其背面的導電端子 106 與電路基板面相對向連接而安裝，故會發生該半導體裝置的傾斜或偏移之問題。因此，未圖示的電子裝置為 CCD(Charge Coupled Device:電荷耦合元件)等受光元件時，由於上述傾斜或偏移，使攝影時的像產生模糊。

可避免如上述的製造成本的增大之封裝型半導體裝置，以往已知有藉由接合線(bonding wire)連接半導體晶片與電路基板之半導體裝置。但是，在這種半導體裝置中，在該表面上未配設有保護層，而使該表面露出。此保護層係用以保護半導體裝置的表面，以免受到物理性損傷或濕氣的影響。而且，在該保護層的表面即使附著塵埃，也能予以洗淨。也就是說，因未配設有此種保護層，故在該半導體裝置中，會發生該表面的未圖示的電子裝置等的可靠度降低之問題。

因此，本發明係在封裝型半導體裝置及其製造方法中，儘可能不使製造成本增大，而謀求可靠度提高，而且，儘可能抑制半導體裝置安裝時的傾斜。

(解決課題之手段)

本發明的半導體裝置乃鑒於上述課題所研創者，本發明係載置於形成有外部電極的電路基板上的半導體裝置，其特徵係包含：電子裝置，形成於半導體晶片的表面；第一鉚墊電極，由該電子裝置延伸，且形成於半導體晶片的表面；支持體(或樹脂層)，形成於半導體晶片的表面；以及第一開口部，貫穿支持體(或樹脂層)，而露出第一鉚墊電極的表面，而且，第一鉚墊電極與外部電極係電性連接。在此，支持體係由玻璃基板、丙烯酸類塑膠基板或使紅外線穿透的矽基板中的任一個所構成。

而且，本發明的半導體裝置之特徵為：在上述構成中，半導體晶片的背面側與電路基板面相對向，並且在上述第一開口部中露出的第一鉚墊電極與外部電極係經由外部連接配線相連接。

或者，本發明的半導體裝置之特徵為：在上述構成中，具有形成於在上述第一開口部露出的第一鉚墊電極上的導電端子，半導體晶片的背面側與電路基板面相對向，並且導電端子與外部電極係經由外部連接配線相連接。

或者，本發明的半導體裝置之特徵為：在上述構成中，具有形成於在上述第一開口部露出的第一鉚墊電極上的導電端子，半導體晶片的表面側與電路基板面相對向，並且導電端子與外部電極係直接連接。

而且，本發明的半導體裝置之特徵為除了上述構成外，還包含：第二鉚墊電極，在半導體晶片的表面之中，沿

著該半導體晶片的第一邊及第二邊的端部，以預定的間隔分離形成；配線層，形成於半導體晶片的表面，連接第一鍍墊電極與第二鍍墊電極；第二開口部，貫穿支持體（或樹脂層），而露出第二鍍墊電極的表面；以及導電端子，形成於在第二開口部露出的第二鍍墊電極上。在此，本發明的半導體裝置之特徵為：在上述構成中，半導體晶片的表面側與電路基板面相對向，並且導電端子與外部電極係直接連接。

而且，本發明的半導體裝置的製造方法之特徵係包含：準備藉由切割線劃分，且形成有第一鍍墊電極的半導體基板；在半導體基板的表面接著支持體（或形成樹脂層）之製程；藉由選擇性去除支持體，形成貫穿支持體且露出該第一鍍墊電極的第一開口部之製程；以及藉由沿著切割線的切割，將半導體基板分割成各個半導體晶片之製程。在此，支持體係由玻璃基板、丙烯酸類塑膠基板或使紅外線穿透的矽基板中的任一個所構成。

而且，本發明的半導體裝置的製造方法之特徵為：在上述製造方法中，在將半導體基板分割成各個半導體晶片的製程前，包含：於在第一開口部露出的第一鍍墊電極上形成導電端子之製程。

而且，本發明的半導體裝置的製造方法係在上述製造方法中，在準備形成有第一鍍墊電極之半導體基板後，包含：沿著半導體基板表面的切割線附近，形成以預定的間隔分離的第二鍍墊電極之製程；在半導體基板的表面，形成

經圖案化的配線層，俾連接第一鍍墊電極與第二鍍墊電極之製程；藉由選擇性去除支持體（或形成樹脂層），而形成貫穿支持體且露出第二鍍墊電極的第二開口部之製程；以及於在第二開口部露出的第二鍍墊電極上形成導電端子之製程。

（發明的功效）

依照本發明，藉由支持體或樹脂層，使半導體裝置的表面受到保護，免於受到物理性損傷或濕氣的影響。與此同時，經由配設於上述支持體或樹脂層的第一開口部，可電性連接半導體晶片表面的第一鍍墊電極與電路基板。藉此，半導體裝置的製程會比習知例單純。而且，如果依照本發明，因半導體裝置的構造單純，故可儘可能抑制該半導體裝置的構造複雜時所發生的可靠度降低。因此，在封裝型半導體裝置及其製造方法中，不會使製程複雜，而可謀求該半導體裝置的可靠度的提高。

而且，依照本發明，因半導體晶片的表面係被由玻璃等構成的支持體所保護，故在該支持體的表面即使附著塵埃等髒污，也能將其洗淨。在此，形成於半導體晶片的電子裝置為 CCD 等受光元件時，即使微小的塵埃殘留於該支持體的表面，也不會有因該表面到受光元件的光程差造成像連結焦點。據此，可提高半導體裝置的良率。

而且，依照本發明，以使半導體晶片的背面側與電路基板相對向的方式，將半導體裝置載置於電路基板上時，可儘量消除在習知例之半導體裝置中所發生的安裝（形成

於半導體裝置的背面之導電端子與電路基板的連接)時的半導體裝置的傾斜或偏移。

而且，以使半導體晶片的表面側與電路基板相對向的方式，將半導體裝置載置於電路基板上時，上述安裝時的傾斜或偏移係與習知例之半導體裝置大致同樣地發生，惟形成於半導體晶片的電子裝置為 CCD 等受光元件時，藉由配設對應於受光元件的位置的電路基板的受光窗，以配設於受光元件的上方的透鏡為基準，可得到較深的焦點深度。據此，將半導體裝置安裝於電路基板上以作為由上述透鏡等構成的相機模組時，可儘量減少該相機模組的厚度。

而且，依照本發明，在半導體晶片的表面之中，在沿著該第一邊及第二邊的端部形成有與第一鉚墊電極電性連接的第二鉚墊電極(安裝用鉚墊電極)。經由透過此第二鉚墊電極上的第二開口部形成的導電端子，可電性連接半導體晶片的第一鉚墊電極與電路基板。藉此，因半導體晶片 10c 的端部在電路基板上同樣地保持，故可儘量抑制在將半導體裝置安裝於電路基板時所產生的傾斜或偏移。而且，可將上述兩種類的鉚墊電極分別當作測試用、安裝用而分別使用。

【實施方式】

接著，針對本發明第一實施形態之半導體裝置，參照圖面來說明。本實施形態之半導體裝置的製造方法係例如下述方式而進行。此外，第 1 圖至第 6 圖係說明本實施形態之半導體裝置的製造方法之剖面圖。而且，第 7 圖係說

明本實施形態之半導體裝置及其製造方法之剖面圖。

而且，第 1 圖至第 7 圖係顯示在後述的切割製程被分割的預定的接鄰晶片的邊界(亦即未圖示的切割線附近)中的半導體基板 10 的剖面。而且，在第 1 圖至第 7 圖中，在半導體基板 10 的表面形成有未圖示的電子裝置。其中，未圖示的電子裝置例如為 CCD(Charge Coupled Device，電荷耦合元件)等受光元件。

最初，如第 1 圖所示，在半導體基板 10 的表面隔著未圖示的層間絕緣膜(例如由 BPSG(Borophospho-silicate Glass，硼磷矽玻璃)等構成)形成鉚墊電極 11。此鉚墊電極 11 例如由鋁、鋁合金、銅等金屬層構成。此外，在包含鉚墊電極 11 的半導體基板 10 上，在使該鉚墊電極 11 的一部分露出的狀態下形成有由氧化矽膜或氮化矽膜等構成的未圖示的鈍化膜(passivation film)。

而且，在包含鉚墊電極 11 的半導體基板 10 的表面上，塗佈由例如環氧樹脂構成的樹脂層 12。接著，經由此樹脂層 12，在半導體基板 10 的表面接著基板狀或膠帶狀的支持體 13。此支持體 13 具有預定的厚度。而且，支持體 13 係支持半導體基板 10，並且具有保護半導體基板 10 的功能。

其中，當上述未圖示的電子裝置為 CCD 等受光元件時，必須以半導體基板 10(半導體裝置完成後為晶片 10c)的表面的該未圖示的裝置(device)受光。因此，支持體 13

具有例如玻璃基板般透明或半透明的特性較佳。亦即，支持體 13 最好是由光學上透明或半透明的玻璃基板、丙烯等塑膠基板或使紅外線穿透的矽基板等形成。或者支持體 13 若具有透明的特性，則為其他的基板狀或膠帶狀者均可。而且，關於樹脂層 12 也一樣，具有透明或半透明的特性較佳。

當未圖示的電子裝置不為受光元件時，無須使用具有透明或半透明特性之樹脂層 12 及支持體 13，使用具有不透明特性之樹脂層 12 及支持體 13 也可以。例如以具有不透明特性之金屬或有機物構成的基板狀物或膠帶狀物當作支持體 13 使用也可以。

此外，當進行利用受光元件之未圖示的電子裝置的攝影時，在支持體 13 的表面即使附著塵埃等髒污，因上述髒污造成的攝影缺陷由於可藉由支持體 13 的上述預定厚度，而減少到可忽視的程度，故不成為問題。

接著，在此支持體 13 被接著的狀態下，依照需要進行半導體基板 10 的背面的蝕刻，亦即所謂的背面研磨 (backgrinding)。然後，以酸(例如 HF 與硝酸等的混合液)當作蝕刻劑(etchant)使用，來蝕刻半導體基板 10 的背面。據此，可去除因背面研磨所發生的半導體基板 10 的機械性之損傷層，可改善形成於半導體基板 10 的表面之未圖示的電子裝置的特性。在本實施形態中，半導體基板 10 的最後精加工的厚度為 $130\ \mu\text{m}$ 左右，惟此厚度可依照未圖示的電子裝置的種類適宜地選擇。

接著，如第 2 圖所示，在支持體 13 的表面上選擇性地形成光阻層 14。亦即光阻層 14 係在對應鐳墊電極 11 的位置具有開口部而形成。

接著，如第 3 圖所示，以光阻層 14 作為遮罩(mask)，進行支持體 13 的選擇性去除。此支持體 13 的選擇性去除例如可藉由以氫氟酸(HF, hydrogen fluoride)為蝕刻溶液的浸漬蝕刻(dip etching)來進行較佳。或者支持體 13 的選擇性去除亦可藉由其他的濕式蝕刻(wet etching)或乾式蝕刻(dry etching)進行。藉由此支持體 13 的選擇性去除，以形成有貫穿支持體 13 的開口部。其中，樹脂層 12 在該開口部的底部露出，鐳墊電極 11 會與樹脂層 12 相接。

接著，如第 4 圖所示，選擇性去除在支持體 13 的開口部露出的樹脂層 12。藉由此樹脂層 12 的選擇性去除，以形成有貫穿支持體 13 及樹脂層 12 的開口部 15。其中，在該開口部 15 的底部露出鐳墊電極 11。

樹脂層 12 的選擇性去除例如藉由以有機溶劑為蝕刻溶液的浸漬蝕刻來進行較佳。其中，上述蝕刻時，光阻層 14 也可以被去除，惟當作蝕刻的遮罩使用也可以。光阻層 14 當作遮罩使用時，光阻層 14 係在蝕刻後被去除。或者樹脂層 12 的選擇性去除藉由其他濕式蝕刻或乾式蝕刻進行也可以。或者樹脂層 12 的選擇性去除藉由所謂的灰化(ashing)處理進行也可以。藉由此樹脂層 12 的選擇性去除，以形成有透過支持體 13 及樹脂層 12 露出鐳墊電極 11 的開口部 15。

此外，對應銲墊電極 11 的位置中的支持體 13 及樹脂層 12 的選擇性去除藉由一次的蝕刻進行也可以。此時，對支持體 13 及樹脂層 12，以光阻層 14 作為遮罩，進行利用預定的蝕刻溶液或蝕刻氣體的濕式蝕刻或乾式蝕刻。

接著，如第 5 圖所示，於在開口部 15 的底部露出的銲墊電極 11 上形成有金屬層 16。此金屬層 16 例如藉由鎳 (Ni)、金 (Au) 或此等元素的化合物形成者較佳。或者，金屬層 16 也能藉由上述以外的其他金屬形成。

接著，如第 6 圖所示，在金屬層 16 上形成有導電端子 17。在此，導電端子係由支持體 13 的表面突出而形成。或者導電端子 17 不由支持體 13 的表面突出，而與該表面成同一平面而形成也可以。此外，亦可省略形成導電端子 17。此時，在開口部 15 中露出有金屬層 16。

最後，如第 7 圖所示，沿著未圖示的切割線將半導體基板 10 分割成半導體晶片 10c。如此，完成本實施形態的半導體裝置。所完成的半導體裝置係被安裝於形成有未圖示的外部電極的圖案之未圖示的電路基板上。此時，未圖示的電路基板之外部電極係與導電端子 17 電性連接。未形成有導電端子 17 時，該未圖示的外部電極係與金屬層 16 電性連接。

如上所述，在本實施形態之半導體裝置中，藉由支持體 13，使半導體晶片 10c 的表面受到保護，免於受到物理性損傷或濕氣的影響，並且經由貫穿該表面的支持體 13 的開口部 15，可電性連接銲墊電極 11 與電路基板。據此，

半導體裝置的構造及製程變為單純，與該半導體裝置的構造複雜的情形比較，可提高可靠性。亦即，不會增大製造成本，而可謀求該半導體裝置的可靠性的提高。

接著，針對將本實施形態之半導體裝置安裝於電路基板上的情形，參照圖面來說明。第 8 圖係說明本實施形態的半導體裝置的頂視圖。而且，第 9 圖係沿著第 8 圖的 X-X 線的剖面圖。此外，在第 8 圖中係省略電路基板 1A 及半導體晶片 10c 以及用以連接此等電路基板 1A 及半導體晶片 10c 的各構成要素以外的圖示。

如第 8 圖所示，在例如印刷基板的電路基板 1A 上載置有半導體晶片 10c。在電路基板 1A 形成有外部電極 20 的圖案。此外部電極的圖案在第 8 圖及第 9 圖中係被簡略地圖示。

而且，半導體晶片 10c 係使未形成有支持體 13 側的主面，亦即背面與電路基板 1A 相對向而被載置。而且，在半導體晶片 10c 的表面之中，在受光區域 10i 形成有例如 CCD 等受光元件之未圖示的電子裝置。另一方面，在半導體晶片 10c 的表面之中，在受光區域 10i 以外的區域露出形成於開口部 15 的導電端子 17。或者，未形成有導電端子 17 時係露出其下層的金屬層 16。

而且，半導體晶片 10c 的導電端子 17 與電路基板的外部電極 20 例如藉由接合線 21 連接。或者取代接合線 21，使用形成有導電圖案而成的未圖示的可撓性薄片 (flexible sheet) 或膠帶 (tape)，連接導電端子 17 與電路

基板的外部電極 20 也可以。而且，未形成有導電端子 17 時，金屬層 16 與電路基板的外部電極 20 例如藉由接合線 21 相連接也可以。

而且，如第 9 圖所示，在電路基板 1A 之中載置有半導體晶片 10c 側的主面，亦即表面，覆蓋半導體晶片 10c 而配設有鏡筒部 30。在鏡筒部 30 之中，對應半導體晶片 10c 的受光區域 10i 上的位置，設有會使外光射入的開口部。在此開口部係隔著使特定波長透射的濾光鏡 (filter) 31，配設有彙集外光於受光區域 10i 的透鏡 32。藉由此等半導體晶片 10c、鏡筒部 30、濾光鏡 31 以及透鏡 32 等構成所謂的相機模組。在此，在與電路基板 1A 相對向的半導體晶片 10c 的背面側，因未形成有看起來像習知例的半導體裝置之突起狀的導電端子，故可儘量消除半導體晶片 10c 的傾斜或偏移。據此，藉由上述傾斜或偏移，可儘量避免在利用未圖示的電子裝置進行攝影時的像發生模糊。

而且，在電路基板 1A 之中，未載置有半導體晶片 10c 側的主面，亦即背面，安裝有用以處理來自例如未圖示的電子裝置之 CCD 的影像信號之 DSP (Digital Signal Processor: 數位信號處理器) 晶片 40 也可以。此時，可儘量將安裝半導體晶片 10c 及 DSP 晶片 40 時所需的電路基板 1A 的面積抑制為較小。

而且，安裝於本實施形態之半導體裝置的電路基板上係如第 10 圖及第 11 圖所示的構成而進行也可以。第 10

圖係說明本實施形態之半導體裝置的頂視圖。在此，第 10 圖係由電路基板中，由外光所及之側的主面，亦即由表面觀察時的頂視圖。而且，第 11 圖係沿著第 10 圖的 Y-Y 線的剖面圖。此外，在第 10 圖及第 11 圖中，針對與第 8 圖及第 9 圖所示者相同的構成要素係附加同一符號，並省略其說明。而且，在第 10 圖中，省略電路基板 1B 及半導體晶片 10c 及用以連接此等電路基板 1B 及半導體晶片 10c 的各構成要素以外的圖示。

如第 10 圖所示，在例如印刷基板的電路基板 1B 設有作為開口部之受光窗 1w。在電路基板 1B 之中，外光所不及之側的主面，亦即背面，形成有外部電極 20 的圖案。此外部電極 20 的圖案係在第 10 圖及第 11 圖中被簡略地圖示。

而且，在電路基板 1B 的背面載置有半導體晶片 10c。半導體晶片 10c 係將形成有支持體 13 之側的主面，亦即表面載置成與電路基板 1B 的背面相對向。在此，半導體晶片 10c 的導電端子 17 係與電路基板 1B 的外部電極 20 直接連接。

而且，半導體晶片 10c 係載置成使其受光區域 10i 由電路基板 1B 的受光窗 1w 露出。據此，即使半導體晶片 10c 被載置於電路基板 1B 的背面，也能透過受光窗 1w 使外光射入到受光區域 10i。

而且，如第 11 圖所示，在電路基板 1B 之中，未載置有半導體晶片 10c 之側的主面亦即表面，配設有鏡筒部

30，俾覆蓋半導體晶片 10c。在鏡筒部 30 之中，在對應半導體晶片 10c 的受光區域 10i 上的位置設有會使外光射入的開口部。在此開口部，隔著使特定波長穿透的濾光鏡 31，配設有彙集外光於受光區域 10i 的透鏡 32。

在此，透鏡 32 與半導體晶片 10c 的受光區域 10i 之焦點距離必須具有依照透鏡 32 的性能之預定的長度的焦點距離。因此，必須大大地取出預定的焦點距離時，該焦點距離變成增加由透鏡 32 及半導體晶片 10c 等構成的相機模組的厚度（亦即鏡筒部 30 的高度）之原因。相對於此，在第 11 圖所示的實施形態中，因光穿透電路基板 1B 的受光窗 10w，而被導入半導體晶片 10c 的受光區域 10i，故電路基板 1B 的厚度變成上述預定的焦點距離的一部分。據此，可使相機模組的厚度僅減少上述電路基板 1B 的厚度的部分。

而且，安裝於本實施形態之半導體裝置的電路基板係被埋入形成於電路基板的凹部內而進行也可以。接著，針對此時的半導體裝置的安裝，參照圖面來說明。第 12 圖、第 14 圖及第 18 圖係用以說明本實施形態之半導體裝置的頂視圖。而且，第 13 圖、第 15 圖及第 19 圖分別係沿著第 12 圖、第 14 圖及第 18 圖的 Z-Z 線的剖面圖。而且，第 16 圖及第 17 圖係說明第 14 圖及第 15 圖的半導體裝置的製造方法的剖面圖。

如第 12 圖及第 13 圖所示，在電路基板 1C 的內部，作為具有預定圖案的外部電極用的金屬層，例如 Cu 層 20m

係與預定的樹脂層一起被疊層。而且，在電路基板 1C 的表面（與透鏡 32 相對向之側）形成有內包半導體晶片 10c 及疊層於此半導體晶片 10c 的各層的全體之大小的凹部 H1。雖然凹部 H1 的形成未被特別限定，惟可藉由例如利用預定的輸出的雷射照射進行的電路基板 1C 的蝕刻，或利用鑽孔進行的電路基板 1C 的切削等而進行。

此外，在凹部 H1 的底部中，如圖所示，露出 Cu 層 20m 的一部分也可以，而且，露出樹脂層者也可以。但是，此時的 Cu 層 20m 並不是使用於與安裝於電路基板 1C 的電子裝置之電性連接的外部電極。此 Cu 層 20m 未被特別限定，惟例如圖案化成島狀，俾覆蓋半導體晶片 10c 的平面的全體，且其一部分延伸到電路基板 1C 的邊緣，在其側面露出者也可以。

在此凹部 H1 內，使其底部與半導體晶片 10c 的背面相對向而載置有半導體晶片 10c。而且，在凹部 H1 的側壁與半導體晶片 10c 之間存在空間時，在該空間填充有在半導體裝置的製程中所使用的環氧樹脂等有機材料，亦即填膠 (underfill) 22。

而且，半導體晶片 10c 的導電端子 17 與電路基板 1C 的外部電極 20 係經由例如接合線 21 相連接。而且，未形成有導電端子 17 時，開口部 15 內的金屬層 16 或錫墊電極 11 與外部電極 20 例如經由接合線 21 連接也可以。

而且，在本實施形態中，如第 14 圖及第 15 圖所示，載置於凹部 H1 內的半導體晶片 10c 的錫墊電極 11 與電路

基板 1C 的外部電極 20 係藉由例如包含銀 (Ag) 粒子的導電性塗漿 (paste) 21p 依照預定的圖案印刷而成的配線連接也可以。此時如第 16 圖所示，半導體基板 10 及疊層於此半導體基板 10 的各層係在形成有開口部 15 後，藉由切割分離成複數個半導體晶片 10c。而且，如第 17 圖所示，使凹部 H1 的底部與半導體晶片 10c 的背面相對向，在電路基板 1C 的凹部 H1 載置有半導體晶片 10c。

而且，在凹部 H1 的側壁與半導體晶片 10c 之間存在空間時，在該空間填充有填膠 22。然後，與錫墊電極 11 電性連接，由開口部 15 內延伸至電路基板 1C 的外部電極 20 上，上述導電性塗漿 21p 依照預定的圖案而印刷。導電性塗漿 21p 在開口部 15 以外的位置具有例如約 $100\ \mu\text{m}$ 的膜厚而形成。

如此，半導體晶片 10c 被安裝於電路基板 1C 的凹部 H1 的情形與半導體晶片 10c 被安裝於電路基板的表面上的情形相較之下，透鏡 32 與半導體晶片 10c 的受光區域 10i 的距離被延長。據此，可使由透鏡 32 及半導體晶片 10c 等構成的相機模組的厚度 (亦即鏡筒部 30 的高度) 減少該被延長的距離部分，亦即僅至少半導體晶片 10c 的厚度部分。

例如半導體晶片 10c 及疊層於此半導體晶片 10c 的各層的全體的厚度約 0.85 至 1mm，透鏡 32 與半導體晶片 10c 的受光區域 10i 的焦點距離為 6 至 7mm 時，可減少相機模組的厚度 (亦即鏡筒部 30 的高度) 為上述焦點距離的約 6

分之 1 的距離部分。

而且，在凹部 H1 的底部露出 Cu 層 20m 時，藉由在凹部 H1 的底部露出的 Cu 層 20m 與半導體晶片 10c 的背面相接，使得在半導體晶片 10c 動作時所產生的熱易傳導於 Cu 層 20m 而排放到外部。結果，可儘量抑制因熱容易使電性特性劣化的 CCD 等受光元件的性能劣化。

此外，此時，Cu 層 20m 與半導體晶片 10c 的背面未必需要直接接觸。例如在半導體晶片 10c 的背面形成有由氧化矽膜或氮化矽膜等構成的未圖示的絕緣膜，經由該絕緣膜，半導體晶片 10c 的背面與 Cu 層 20m 相接也可以。而且，在凹部 H1 的底部未露出 Cu 層 20m 時，半導體晶片 10c 係安裝成使其背面與凹部 H1 的底部的樹脂相接也可以。

再者，本實施形態之半導體裝置的另一種安裝的方式為埋入形成於電路基板的背面（亦即不與透鏡 32 相對向的主面側）的凹部而安裝也可以。

也就是說，如第 18 圖及第 19 圖所示，在電路基板 1D 的內部疊層有例如 Cu 層 20m，來作為具有預定圖案的外部電極用的金屬層。而且，在電路基板 1D 的一部份區域形成有與半導體晶片 10c 的受光區域 10i 相同或大致相同的寬度的開口部之受光窗 1w。而且，在電路基板 1D 的背面形成有內包半導體晶片 10c 及疊層於此半導體晶片 10c 的各層的全體之大小的凹部 H2，俾包圍受光窗 1w。而且，在此凹部 H2 的底部露出 Cu 層 20m。雖然凹部 H2 的形成未被特別限定，惟可藉由例如利用預定的輸出的雷射照射進行的

電路基板 1D 的蝕刻，或利用鑽孔進行的電路基板 1D 的切削等而進行。

而且，凹部 H2 的底部與半導體晶片 10c 的表面相對向，且導電端子 17 與 Cu 層 20m 係藉由未圖示的導電性塗漿連接，在凹部 H2 內載置有半導體晶片 10c。在凹部 H2 的側壁與半導體晶片 10c 之間存在空間時，在該空間填充有在半導體裝置的製程中所使用的環氧樹脂等有機材料，亦即填膠 22。

在此情形下，也與半導體晶片 10c 安裝於電路基板的表面上的情形比較，透鏡 32 與半導體晶片 10c 的受光區域 10i 的距離被延長。進一步說，相較於在形成於電路基板 1C 的表面的凹部 H1 載置半導體晶片 10c 的情形，更延長僅凹部的底部的電路基板 1D 的厚度的部分之距離。據此，可使由透鏡 32 及半導體晶片 10c 等構成的相機模組的厚度（亦即鏡筒部 30 的高度）僅減少該被延長的距離的部分。

接著，針對本發明第二實施形態之半導體裝置，參照圖面來說明，本實施形態之半導體裝置的製造方法係例如以下述方式而進行。第 20 圖至第 22 圖係說明本實施形態之半導體裝置的製造方法的剖面圖。此外，第 20 圖至第 22 圖係顯示在後述的切割製程被分割的預定的接鄰晶片的邊界（亦即未圖示的切割線附近）中的半導體基板 10 的剖面。而且，在第 20 圖至第 22 圖中，在半導體基板 10 的表面形成有未圖示的電子裝置。其中未圖示的電子裝置假設為 CCD 等受光元件或受光元件以外的電子裝置。

最初，如第 20 圖所示，在半導體基板 10 的表面隔著未圖示的層間絕緣膜（例如由 BPSG（硼磷矽玻璃）等構成）形成鍍墊電極 11。此等半導體基板 10 及鍍墊電極 11 係具有和第一實施形態之半導體基板 10 及鍍墊電極 11 同樣的構成。此外，在包含鍍墊電極 11 的半導體基板 10 上，在使該鍍墊電極 11 的一部分露出的狀態下形成有由氧化矽膜或氮化矽膜等構成的未圖示的鈍化膜。

而且，在包含鍍墊電極 11 的半導體基板 10 的表面上，形成由例如環氧樹脂構成的樹脂層 52。而且，此樹脂層 52 係支持半導體基板 10，並且具有保護半導體基板 10 的功能。

其中，對於上述未圖示的電子裝置為如 CCD 等受光元件時，樹脂層 52 由透明或半透明材質構成者較佳，其厚度例如以 $20\ \mu\text{m}$ 至 $30\ \mu\text{m}$ 左右形成較佳。

然後，依照需要進行半導體基板 10 的背面研磨，然後，以酸（例如 HF 與硝酸等的混合液）當作蝕刻劑使用，來蝕刻半導體基板 10 的背面。據此，去除因背面研磨所產生的半導體基板 10 的機械性損傷層，並改善形成於半導體基板 10 表面的未圖示的電子裝置的特性。

接著，如第 21 圖所示，在樹脂層 52 的表面上選擇性地形成光阻層 54。亦即光阻層 54 係在對應鍍墊電極 11 的位置具有開口部而形成。

接著，如第 22 圖所示，進行樹脂層 52 的選擇性去除。樹脂層 52 的選擇性去除例如藉由乾式蝕刻或濕式蝕刻進

行較佳。其中，實施上述蝕刻時，光阻層 54 係當作蝕刻的遮罩使用或予以去除亦可。光阻層 54 當作遮罩使用時，光阻層 54 在被蝕刻後被去除。藉由此樹脂層 52 的選擇性去除，以形成有貫穿樹脂層 52 的開口部 55。其中在開口部 55 的底部露出鍍墊電極 11。

然後，雖未圖示，但在開口部 55 露出的鍍墊電極 11 上形成與第一實施形態同樣的金屬層 16。而且，在金屬層 16 上形成與第一實施形態同樣的導電端子 17 亦可。

最後，沿著未圖示的切割線，將半導體基板 10 分割成半導體晶片 10c。如此，完成本實施形態的半導體裝置。所完成的半導體裝置係被安裝於形成有未圖示的外部電極的圖案之未圖示的電路基板上。此安裝的方式與第一實施形態一樣。但是，對於形成於在半導體晶片 10c 表面的未圖示的電子裝置並非為受光元件時，則與第一實施形態的電路基板 1B 不同，無須在電路基板設置受光窗 1w。

如上所述，在本實施形態的半導體裝置中，經由貫穿該表面的樹脂層 52 的開口部 55，可電性連接鍍墊電極 11 與電路基板。據此，半導體裝置的構造及製程變為單純，與該半導體裝置的構造複雜的情形比較，可提高可靠性。亦即，不會增大製造成本，而可謀求該半導體裝置的可靠性的提高。

接著，針對本發明第三實施形態之半導體裝置，參照圖面來說明。本實施形態之半導體裝置的製造方法係例如下述方式而進行。第 23 圖及第 24 圖係用以說明本實施

形態之半導體裝置的製造方法的剖面圖。此外，第 23 圖及第 24 圖係顯示在後述的切割製程被分割的預定的接鄰晶片的邊界(亦即未圖示的切割線附近)中的半導體基板 10 的剖面。而且，在第 23 圖及第 24 圖中，在半導體基板 10 的表面係形成有未圖示的電子裝置。在此，未圖示的電子裝置係為 CCD 等受光元件以外的電子裝置。

最初，如第 23 圖所示，在半導體基板 10 的表面隔著未圖示的層間絕緣膜(例如由 BPSG 等構成)形成鉚墊電極 11。此等半導體基板 10 及鉚墊電極 11 係具有與第一實施形態之半導體基板 10 及鉚墊電極 11 同樣的構成。此外，在包含鉚墊電極 11 的半導體基板 10 上，在使該鉚墊電極 11 的一部分露出的狀態下形成有由氧化矽膜或氮化矽膜等構成的未圖示的鈍化膜。

而且，在包含鉚墊電極 11 的半導體基板 10 的表面上，形成由感光性材料構成的感光性光阻層 62。而且，此感光性光阻層 62 係用以支持半導體基板 10，並且具有保護半導體基板 10 的功能。

然後，依照需要進行半導體基板 10 的背面研磨，然後，以酸(例如 HF 與硝酸等的混合液)當作蝕刻劑使用，蝕刻半導體基板 10 的背面。

接著，如第 24 圖所示，藉由使用遮罩的曝光及顯影，在感光性光阻層 62 的一部分形成開口部 65。此開口部 65 係形成於感光性光阻層 62 之中對應鉚墊電極 11 的位置。在開口部 65 的底部係露出鉚墊電極 11。

然後，雖未圖示，但在開口部 65 露出的鍍墊電極 11 上形成與第一實施形態同樣的金屬層 16。而且，在金屬層 16 上形成與第一實施形態同樣的導電端子 17 亦可。最後，沿著未圖示的切割線，將半導體基板 10 分割成半導體晶片 10c。如此，完成本實施形態的半導體裝置。所完成的半導體裝置係被安裝於形成有未圖示的外部電極的圖案之未圖示的電路基板上。此安裝的方式與第一實施形態相同。但是，與第一實施形態的電路基板 1B 不同，無須在電路基板設置受光窗 1w。

如上所述，在本實施形態的半導體裝置中，經由貫穿該表面的感光性光阻層 62 的開口部 55，可電性連接鍍墊電極 11 與電路基板。據此，半導體裝置的構造及製程變為單純，與該半導體裝置的構造複雜的情形比較，可提高可靠性。亦即，不會增大製造成本，可謀求該半導體裝置的可靠性的提高。

此外，在上述第一、第二及第三實施形態之半導體裝置的製造方法中，在形成鍍墊電極的製程中，如第 25 圖的頂視圖所示，形成兩種類的鍍墊電極於半導體基板 10 的表面上也可以。此外，在第 25 圖中僅顯示完成的半導體裝置之中半導體晶片 10c 的表面。此時的半導體裝置的製造方法係例如以下述方式進行。也就是說，雖未圖示，但在例如半導體基板 10 的表面上，如上述實施形態所示形成鍍墊電極 11 當作第一鍍墊電極，而且，沿著未圖示的切割線的附近，形成安裝用鍍墊電極 18 當作第二鍍墊電極。安裝用

銲墊電極 18 沿著半導體基板 10 的表面的切割線附近，具有預定的間隔而形成較佳。

接著，在半導體基板 10 的表面形成電性連接銲墊電極 11 與安裝用銲墊電極 18 的配線層 19。此配線層 19 係被經圖案化而形成，俾連接銲墊電極 11 與安裝用銲墊電極 18。

接著，藉由選擇性去除支持體 13、樹脂層 52 或感光性光阻層 62，形成露出銲墊電極 11 的第一開口部（亦即開口部 15、55、65）。同時（或者在各個製程中）藉由選擇性去除支持體 13、樹脂層 52 或感光性光阻層 62，形成露出安裝用銲墊電極 18 的未圖示的第二開口部。而且，在該第二開口部露出的安裝用銲墊電極 18 上，形成未圖示的導電端子。同時依照需要在銲墊電極 11 上也形成未圖示的導電端子。最後，將半導體基板 10 分割成半導體晶片 10c，完成半導體裝置。此時，安裝用銲墊電極 18 係形成於半導體晶片 10c 的表面之中沿著該第一邊及第二邊的端部。

此外，將半導體裝置安裝於未圖示的電路基板上時係將形成於安裝用銲墊電極 18（亦即第二銲墊電極）上的未圖示的導電端子連接於電路基板的外部電極。另一方面，銲墊電極 11（亦即第一銲墊電極）或形成於其電極上的導電端子 17 不與電路基板的外部電極連接，而在半導體裝置的各種測試時可當作測試用電極使用。

此時，可經由安裝用銲墊電極 18 上的支持體 13、樹脂層 52、設於感光性光阻層 62 的開口部（亦即第二開口

部)，電性連接錫墊電極 11 與電路基板。據此，沿著半導體晶片 10c 的第一邊及第二邊的端部因在電路基板上被同樣地保持，因此可儘量抑制在將半導體裝置安裝於電路基板時所生的傾斜或偏移。而且，可將上述兩種類的錫墊電極分別當作測試用、安裝用分別使用。

據此，半導體裝置的構造及製程變為單純，不會使該半導體裝置的構造成本增大，可謀求該半導體裝置的可靠性的提高。

【圖式簡單說明】

第 1 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 2 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 3 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 4 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 5 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 6 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 7 圖是說明本發明第一實施形態之半導體裝置及其製造方法之剖面圖。

第 8 圖是說明本發明第一實施形態之半導體裝置的頂

視圖。

第 9 圖是沿著第 8 圖的 X-X 線的剖面圖。

第 10 圖是說明本發明第一實施形態之半導體裝置的頂視圖。

第 11 圖是沿著第 10 圖的 Y-Y 線的剖面圖。

第 12 圖是說明本發明第一實施形態之半導體裝置的頂視圖。

第 13 圖是沿著第 18 圖的 Z-Z 線的剖面圖。

第 14 圖是說明本發明第一實施形態之半導體裝置的頂視圖。

第 15 圖是沿著第 20 圖的 Z-Z 線的剖面圖。

第 16 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 17 圖是說明本發明第一實施形態之半導體裝置的製造方法之剖面圖。

第 18 圖是說明本發明第一實施形態之半導體裝置的頂視圖。

第 19 圖是沿著第 24 圖的 Z-Z 線的剖面圖。

第 20 圖是說明本發明第二實施形態之半導體裝置的製造方法之剖面圖。

第 21 圖是說明本發明第二實施形態之半導體裝置的製造方法之剖面圖。

第 22 圖是說明本發明第二實施形態之半導體裝置的製造方法之剖面圖。

第 23 圖是說明本發明第三實施形態之半導體裝置的製造方法之剖面圖。

第 24 圖是說明本發明第三實施形態之半導體裝置的製造方法之剖面圖。

第 25 圖是說明本發明第一、第二及第三實施形態之半導體裝置的頂視圖。

第 26 圖(A)及(B)是說明習知半導體裝置的示意圖。

第 27 圖是說明習知半導體裝置的示意圖。

【主要元件符號說明】

1A、1B、1C、1D 電路基板

1w 受光窗

10 半導體基板

10c 半導體晶片

10i 受光區域

11 鉚墊電極

12 樹脂層

13 支持體

14、54 光阻層

15、55、65 開口部

16 金屬層

17 導電端子

18 安裝用鉚墊電極

19 配線層

20 外部電極

I294165

20m	Cu 層
21	鍍接線
21p	導電性塗漿
22	填膠
30	鏡筒部
31	濾光鏡
32	透鏡
52	樹脂層
62	感光性光阻層
101	半導體裝置
102	第一玻璃基板
103	第二玻璃基板
104	半導體晶片
105a、105b	環氧樹脂
106	導電端子
107	第一配線
108	絕緣膜
110	第二配線
H1、H2	凹部

五、中文發明摘要：

本發明的課題為提供一種可謀求可靠度的提高，而儘量不使製造成本增大的封裝型半導體裝置及其製造方法。

本發明係在形成有鉚墊電極 11 的半導體基板 10 的表面形成樹脂層 12 及支持體 13。接著，形成貫穿樹脂層 12 及支持體 13 的開口部 15，俾露出鉚墊電極 11。然後，於在開口部 15 露出的鉚墊電極 11 上形成金屬層 16，並且形成導電端子 17。最後藉由切割將半導體基板 10 分割成半導體晶片 10c。將此半導體裝置安裝於未圖示的電路基板時，係電性連接半導體晶片 10c 的導電端子 17 與未圖示的電路基板的外部電極。

六、英文發明摘要：

To provide a package type semiconductor device and the manufacturing method thereof thereby the reliability may be promoted without making the production cost thereof increased as could as possible.

In the present invention, a resin layer 12 and a supporter 13 are formed on the surface of a semiconductor substrate 10 to which a pad electrode 11 is formed, and then an opening 15 passing through the resin layer 12 and the supporter 13 is such formed that the pad electrode 11 is exposed. Afterwards, a metal layer 16 is formed on the pad electrode 11 exposing from the opening 15, and then a conductor terminal 17 is formed. Finally the semiconductor 10 is divided into semiconductor chips 10c by dicing. When the semiconductor device is mounted onto a circuit substrate not shown in the drawing, the conductor terminals 17 of the semiconductor chips 10c and the external electrodes of the circuit substrate not shown in the drawing are electrically connected to each other.

十、申請專利範圍：

1. 一種半導體裝置，係載置於形成有外部電極的電路基板上者，其特徵係包含：

電子裝置，形成於半導體晶片的表面；

第一鐳墊電極，由前述電子裝置延伸，且形成於半導體晶片的表面；

支持體，形成於前述半導體晶片的表面；以及

第一開口部，貫穿前述支持體且露出前述第一鐳墊電極的表面，

而前述第一鐳墊電極與前述外部電極係電性連接。

2. 如申請專利範圍第 1 項之半導體裝置，其中，前述支持體係由玻璃基板、丙烯酸類塑膠基板或紅外線可穿透的矽基板中任一個所構成。

3. 一種半導體裝置，係載置於形成有外部電極的電路基板上者，其特徵係包含：

電子裝置，形成於半導體晶片的表面；

第一鐳墊電極，由前述電子裝置延伸，且形成於半導體晶片的表面；

樹脂層，形成於前述電子裝置上及包含前述第一鐳墊電極上的前述半導體晶片的表面；以及

第一開口部，貫穿前述樹脂層且露出前述第一鐳墊電極的表面，

而前述第一鐳墊電極與前述外部電極係電性連接。

4. 如申請專利範圍第 3 項之半導體裝置，其中，前述樹脂

層係由感光性樹脂所構成。

5. 如申請專利範圍第 1 項至第 4 項中任一項之半導體裝置，其中，前述半導體晶片的背面側係與前述電路基板面相對向，

且在前述第一開口部露出的前述第一鉚墊電極與前述外部電極係經由外部連接配線相連接。

6. 如申請專利範圍第 1 項至第 4 項中任一項之半導體裝置，其中，具有形成於由前述第一開口部露出的第一鉚墊電極上的導電端子，

前述半導體晶片的背面側係與前述電路基板面相對向，

且前述導電端子與前述外部電極係經由外部連接配線相連接。

7. 如申請專利範圍第 1 項至第 4 項中任一項之半導體裝置，其中，具有形成於由前述第一開口部露出的第一鉚墊電極上的導電端子，

前述半導體晶片的表面側係與前述電路基板相對向，

並且前述導電端子與前述外部電極係直接連接。

8. 如申請專利範圍第 1 項或第 2 項之半導體裝置，其中，包含：

第二鉚墊電極，在前述半導體晶片的表面中，沿著前述半導體晶片的第一邊及第二邊的端部，以預定的間隔分離形成；

配線層，形成於前述半導體晶片的表面，連接前述第一鐳墊電極與前述第二鐳墊電極；

第二開口部，貫穿前述支持體且露出前述第二鐳墊電極的表面；以及

導電端子，形成於由前述第二開口部露出的前述第二鐳墊電極上。

9. 如申請專利範圍第 3 項或第 4 項之半導體裝置，其中，包含：

第二鐳墊電極，在前述半導體晶片的表面中，沿著前述半導體晶片的第一邊及第二邊的端部，以預定的間隔分離形成；

配線層，形成於前述半導體晶片的表面，連接前述第一鐳墊電極與前述第二鐳墊電極；

第二開口部，貫穿前述樹脂層且露出前述第二鐳墊電極的表面；以及

導電端子，形成於由前述第二開口部露出的前述第二鐳墊電極上。

10. 如申請專利範圍第 8 項之半導體裝置，其中，前述半導體晶片的表面側與前述電路基板面對向，並且

前述導電端子與前述外部電極係直接連接。

11. 如申請專利範圍第 9 項之半導體裝置，其中，前述半導體晶片的表面側係與前述電路基板面對向，並且

前述導電端子與前述外部電極係直接連接。

12. 一種半導體裝置，係在形成有外部電極及凹部的電路基

板，載置成埋入該凹部者，其特徵係包含：

電子裝置，形成於半導體晶片的表面；

第一鐳墊電極，由前述電子裝置延伸，且形成於半導體晶片的表面；

支持體，形成於前述半導體晶片的表面；以及

第一開口部，貫穿前述支持體且露出前述第一鐳墊電極的表面，

而且前述第一鐳墊電極與前述外部電極係電性連接。

13. 如申請專利範圍第 12 項之半導體裝置，其中，前述支持體係由玻璃基板、丙烯酸類塑膠基板或紅外線可穿透的矽基板中任一個所構成。

14. 一種半導體裝置，係在形成有外部電極及凹部的電路基板，載置成埋入該凹部者，其特徵係包含：

電子裝置，形成於半導體晶片的表面；

第一鐳墊電極，由前述電子裝置延伸，且形成於半導體晶片的表面；

樹脂層，形成於前述電子裝置上及包含前述第一鐳墊電極上的前述半導體晶片的表面；以及

第一開口部，貫穿前述樹脂層且露出前述第一鐳墊電極的表面，

而且前述第一鐳墊電極與前述外部電極係電性連接。

15. 如申請專利範圍第 14 項之半導體裝置，其中，前述樹

脂層係由感光性樹脂所構成。

16. 如申請專利範圍第 12 項至第 15 項中任一項之半導體裝置，其中，前述半導體晶片的背面側係與前述電路基板的前述凹部的底部相對向，並且

由前述第一開口部露出的前述第一錫墊電極與前述外部電極係經由外部連接配線連接。

17. 如申請專利範圍第 12 項至第 15 項中任一項之半導體裝置，其中，具有形成於由前述第一開口部露出的第一錫墊電極上的導電端子，

前述半導體晶片的背面側係與前述電路基板的前述凹部的底部相對向，

並且前述導電端子與前述外部電極係經由外部連接配線相連接。

18. 如申請專利範圍第 16 項之半導體裝置，其中，

在前述凹部的側壁與前述半導體晶片之間填充有預定的有機材料，

前述外部連接配線係藉由導電性塗漿的印刷而與前述錫墊電極電性連接，且由前述第一開口部內延伸於前述電路基板的前述外部電極上而形成。

19. 如申請專利範圍第 12 項至第 15 項中任一項之半導體裝置，其中，在前述電路基板的內部形成有預定圖案的金屬層，且在前述凹部的底部露出前述金屬層的一部分，

在前述第一開口部露出的第一錫墊電極上形成導電端子，

前述半導體晶片的表面側係與前述電路基板的前述凹部的底部相對向，並且

前述導電端子與前述金屬層係直接連接。

20. 如申請專利範圍第 12 項或第 13 項之半導體裝置，其中，包含：

第二銲墊電極，在前述半導體晶片的表面中，沿著前述半導體晶片的第一邊及第二邊的端部，以預定的間隔分離形成；

配線層，形成於前述半導體晶片的表面，且連接前述第一銲墊電極與前述第二銲墊電極；

第二開口部，貫穿前述支持體，而露出前述第二銲墊電極的表面；以及

導電端子，形成於由前述第二開口部露出的前述第二銲墊電極上。

21. 如申請專利範圍第 14 項或第 15 項之半導體裝置，其中，包含：

第二銲墊電極，在前述半導體晶片的表面中，沿著前述半導體晶片的第一邊及第二邊的端部，以預定的間隔分離形成；

配線層，形成於前述半導體晶片的表面，且連接前述第一銲墊電極與前述第二銲墊電極；

第二開口部，貫穿前述樹脂層，而露出前述第二銲墊電極的表面；以及

導電端子，形成於由前述第二開口部露出的前述第

二銲墊電極上。

22. 如申請專利範圍第 20 項之半導體裝置，其中，在前述電路基板的內部形成有預定圖案的金屬層，且在前述凹部的底部露出前述金屬層的一部分，

前述半導體晶片的表面側與前述電路基板的凹部底部相對向，並且

前述導電端子與前述金屬層係直接連接。

23. 如申請專利範圍第 21 項之半導體裝置，其中，在前述電路基板的內部形成有預定圖案的金屬層，且在前述凹部的底部露出前述金屬層的一部分，

前述半導體晶片的表面側與前述電路基板的凹部底部相對向，並且

前述導電端子與前述金屬層係直接連接。

24. 一種半導體裝置的製造方法，其特徵係包含：

準備藉由切割線劃分，且形成有第一銲墊電極的半導體基板；

在前述半導體基板的表面接著支持體之製程；

藉由選擇性去除前述支持體，形成貫穿前述支持體且露出前述第一銲墊電極的第一開口部之製程；以及

藉由沿著前述切割線進行切割，將前述半導體基板分割成各個半導體晶片之製程。

25. 如申請專利範圍第 24 項之半導體裝置的製造方法，其中，前述支持體係由玻璃基板、丙烯酸類塑膠基板或紅外線可穿透的矽基板中的任一個所形成。

26. 一種半導體裝置的製造方法，其特徵係包含：

準備藉由切割線劃分，且形成有第一鐳墊電極的半導體基板；

在包含前述第一鐳墊電極上的前述半導體基板的表面上形成樹脂層之製程；

藉由選擇性去除前述樹脂層，形成貫穿前述樹脂層且露出前述第一鐳墊電極的第一開口部之製程；以及

藉由沿著前述切割線進行切割，將前述半導體基板分割成各個半導體晶片之製程。

27. 如申請專利範圍第 26 項之半導體裝置的製造方法，其中，前述樹脂層係由感光性樹脂所構成。

28. 如申請專利範圍第 24 項至第 27 項中任一項之半導體裝置的製造方法，其中，在將前述半導體基板分割成各個半導體晶片的製程前，包含：

於由前述第一開口部露出的前述第一鐳墊電極上形成導電端子之製程。

29. 如申請專利範圍第 24 項或第 25 項之半導體裝置的製造方法，其中，

在準備形成有第一鐳墊電極之半導體基板後，包含：

沿著前述半導體基板表面的切割線附近，形成以預定的間隔分離的第二鐳墊電極之製程；

在前述半導體晶片的表面，形成經圖案化的配線層，俾連接前述第二鐳墊電極與前述第一鐳墊電極之製

程；

藉由選擇性去除前述支持體，形成貫穿前述支持體且露出前述第二鐳墊電極的第二開口部之製程；以及

於由前述第二開口部露出的前述第二鐳墊電極上形成導電端子之製程。

30. 如申請專利範圍第 26 項或第 27 項之半導體裝置的製造方法，其中，在準備形成有第一鐳墊電極之半導體基板後，包含：

沿著前述半導體基板表面的切割線附近，形成以預定的間隔分離的第二鐳墊電極之製程；

在前述半導體基板的表面，形成經圖案化的配線層，俾連接前述第二鐳墊電極與前述第一鐳墊電極之製程；

藉由選擇性去除前述樹脂層，形成貫穿前述樹脂層且露出前述第二鐳墊電極的第二開口部之製程；以及

於由前述第二開口部露出的前述第二鐳墊電極上形成導電端子之製程。

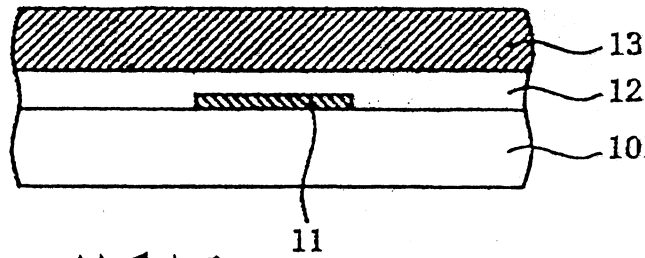
31. 如申請專利範圍第 24 項至第 27 項中任一項之半導體裝置的製造方法，其中，準備形成有凹部的電路基板，且載置成在前述凹部埋入有前述半導體晶片。

32. 如申請專利範圍第 28 項之半導體裝置的製造方法，其中，準備形成有凹部的電路基板，且載置成在前述凹部埋入有前述半導體晶片。

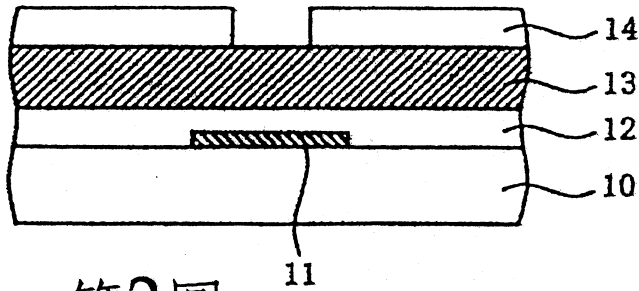
33. 如申請專利範圍第 29 項之半導體裝置的製造方法，其

中，準備形成有凹部的電路基板，且載置成在前述凹部埋入有前述半導體晶片。

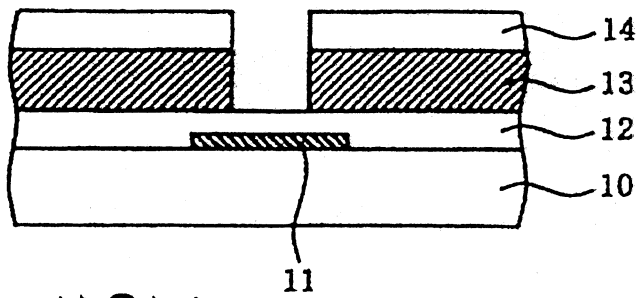
34. 如申請專利範圍第 30 項之半導體裝置的製造方法，其中，準備形成有凹部的電路基板，且載置成在前述凹部埋入有前述半導體晶片。



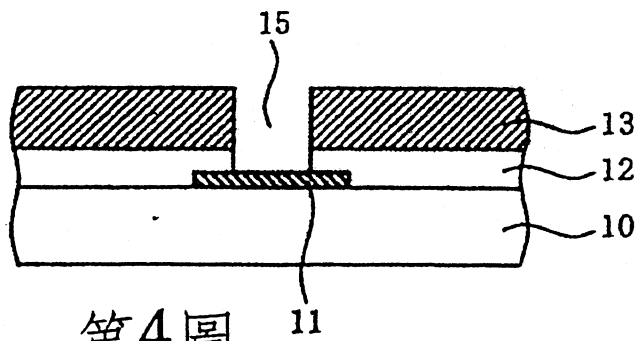
第1圖



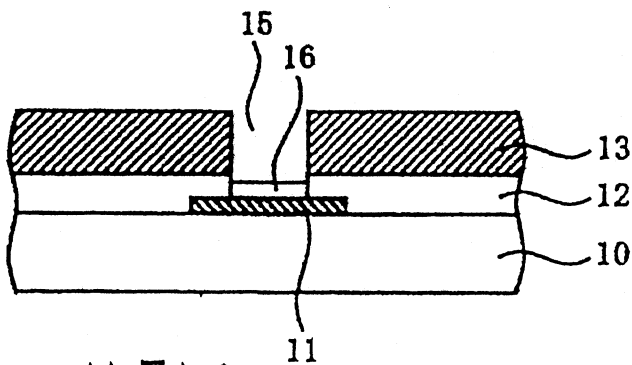
第2圖



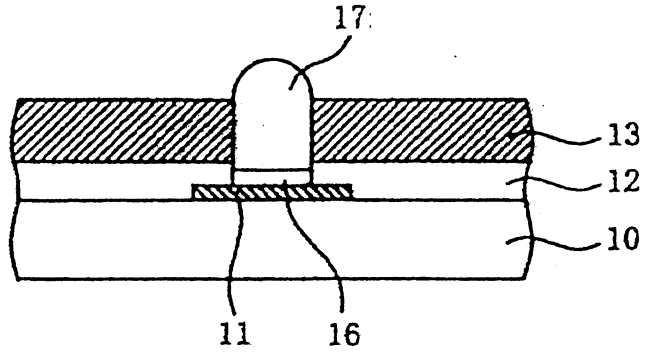
第3圖



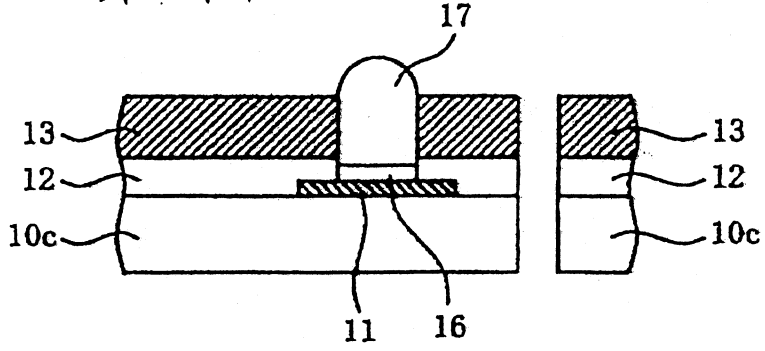
第4圖



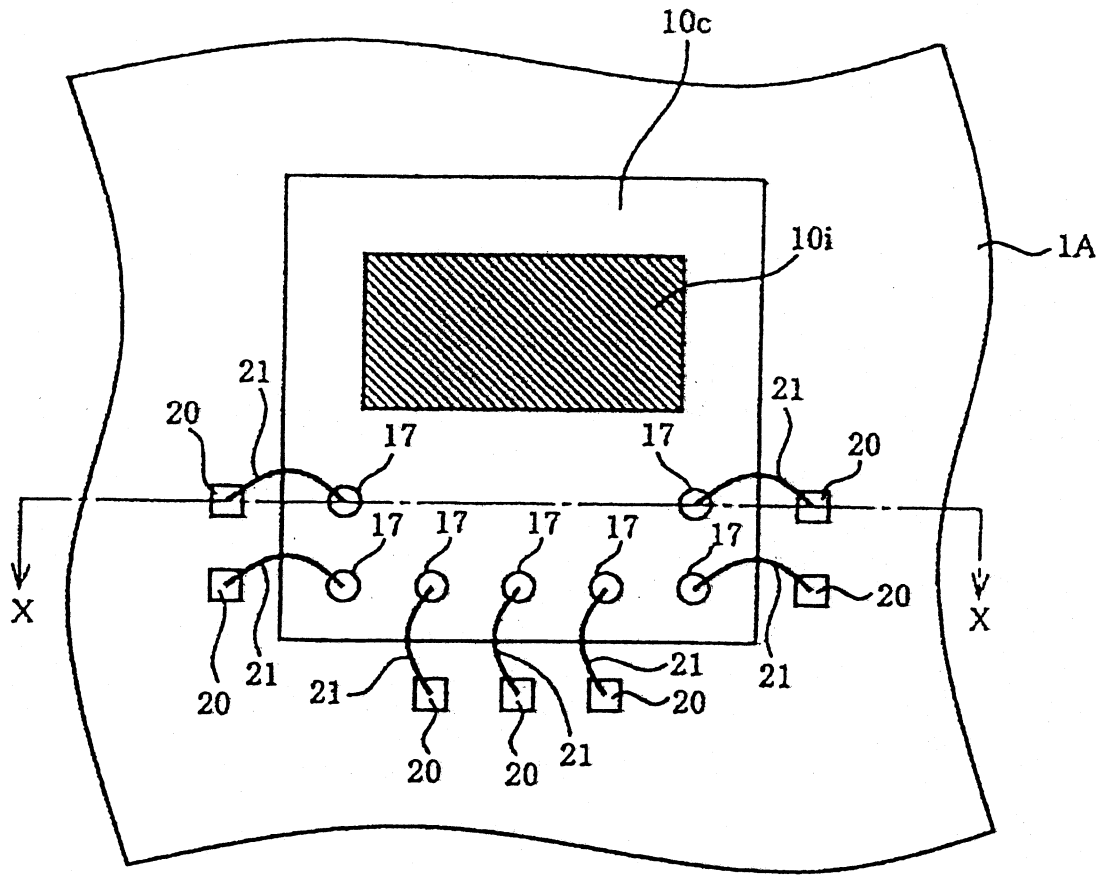
第5圖



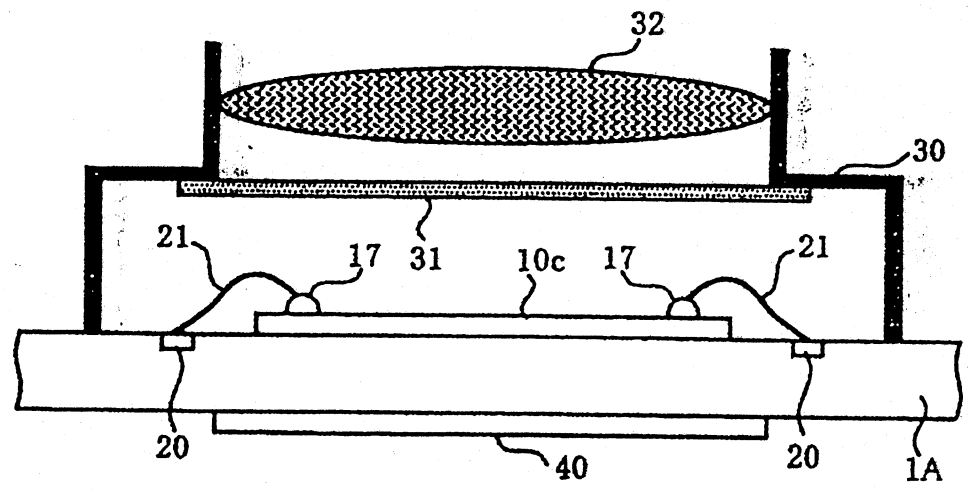
第6圖



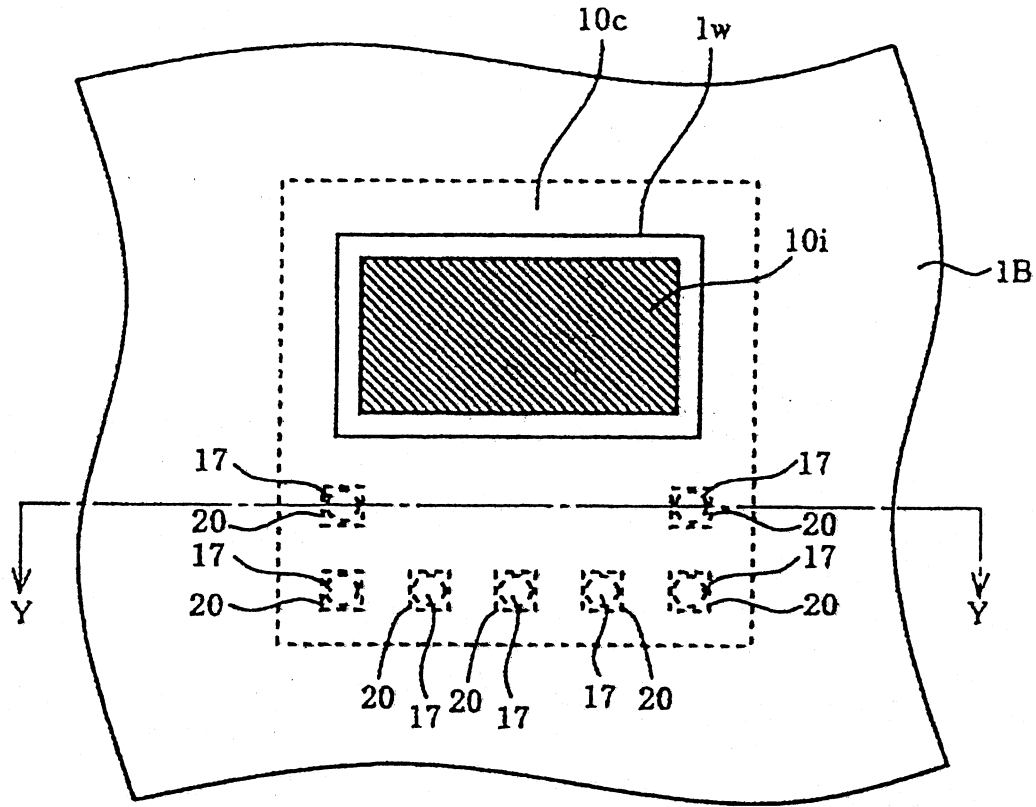
第7圖



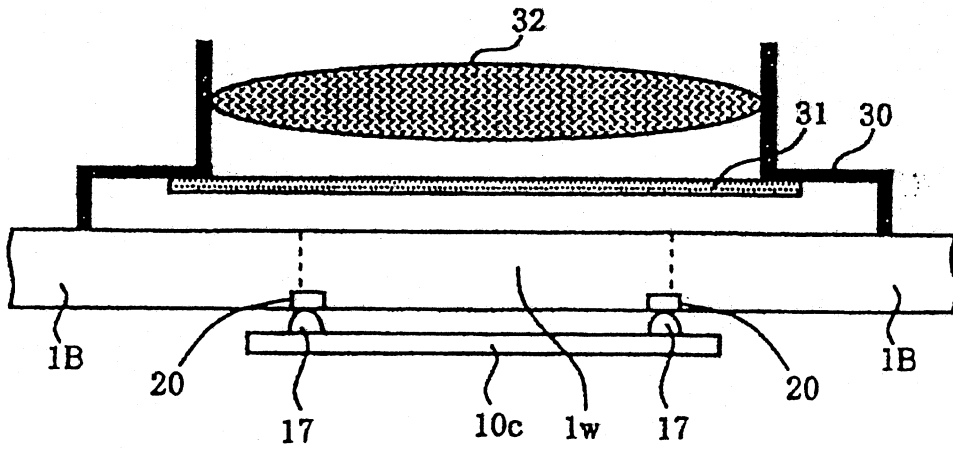
第8圖



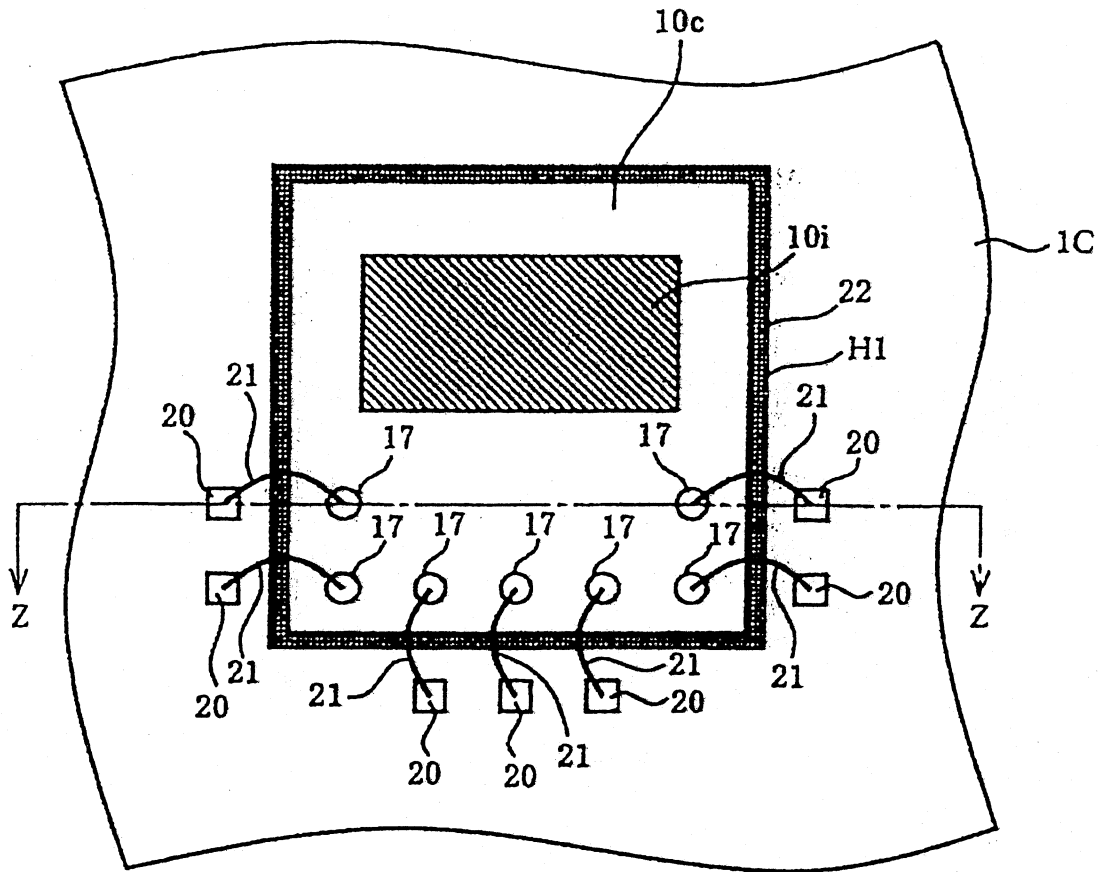
第9圖



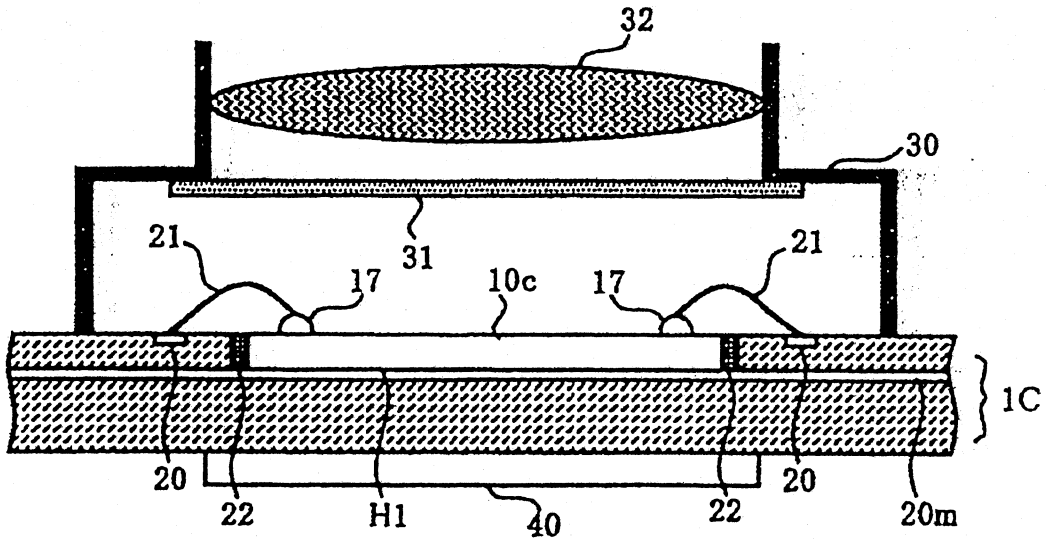
第10圖



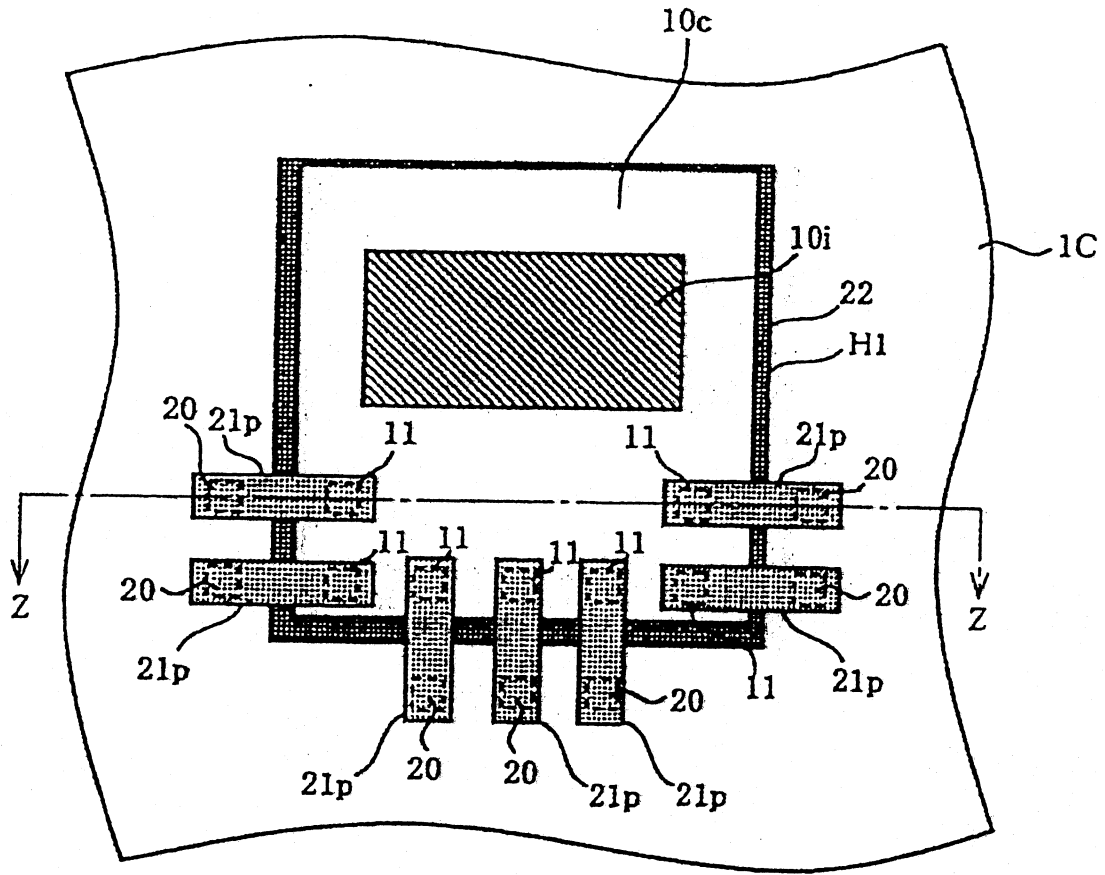
第11圖



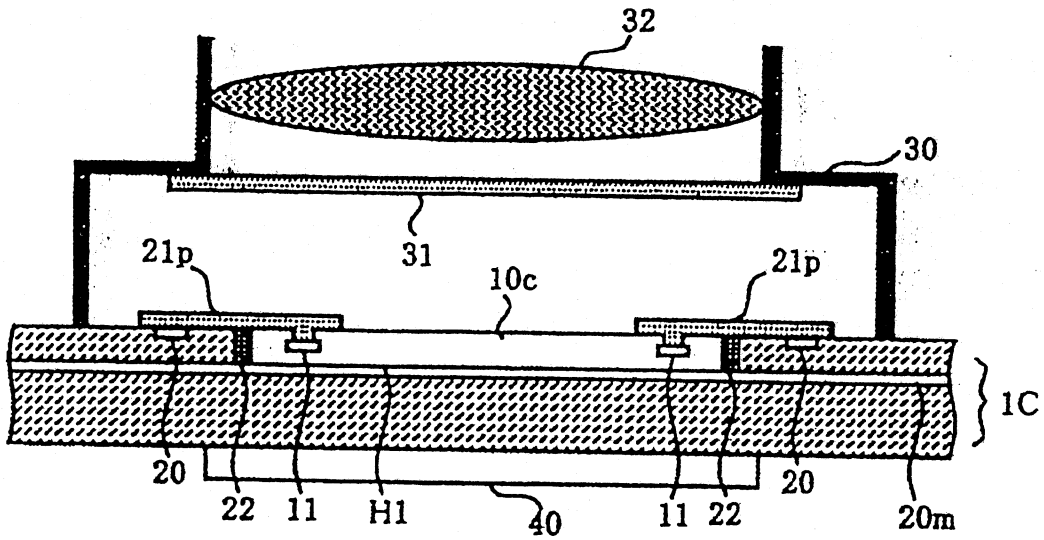
第12圖



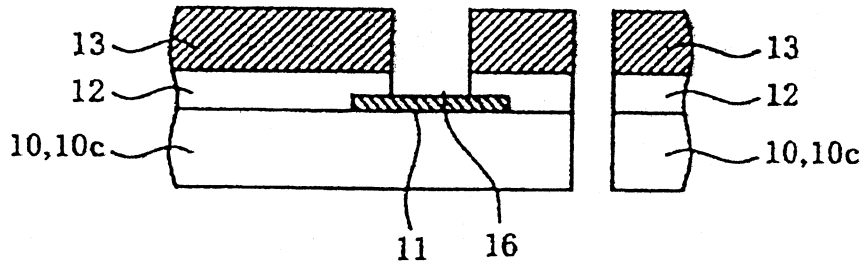
第13圖



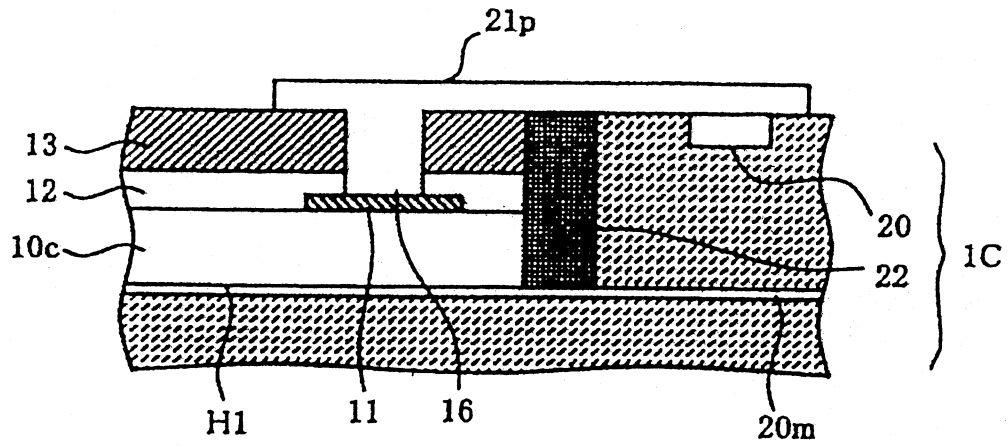
第14圖



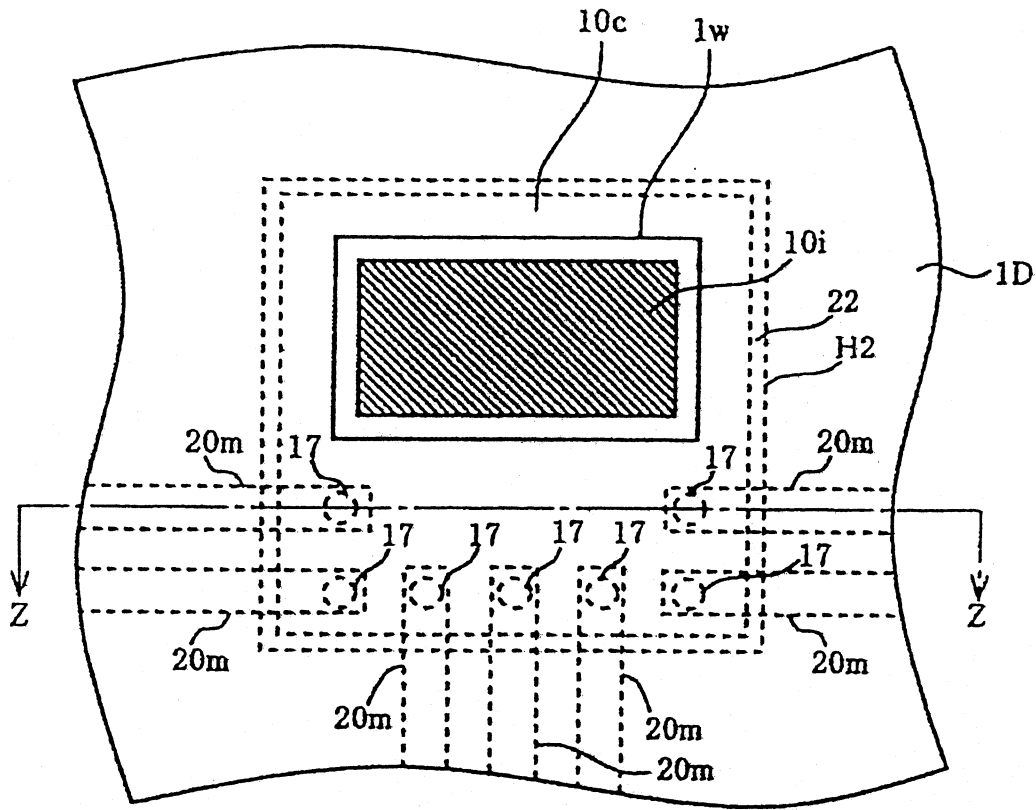
第15圖



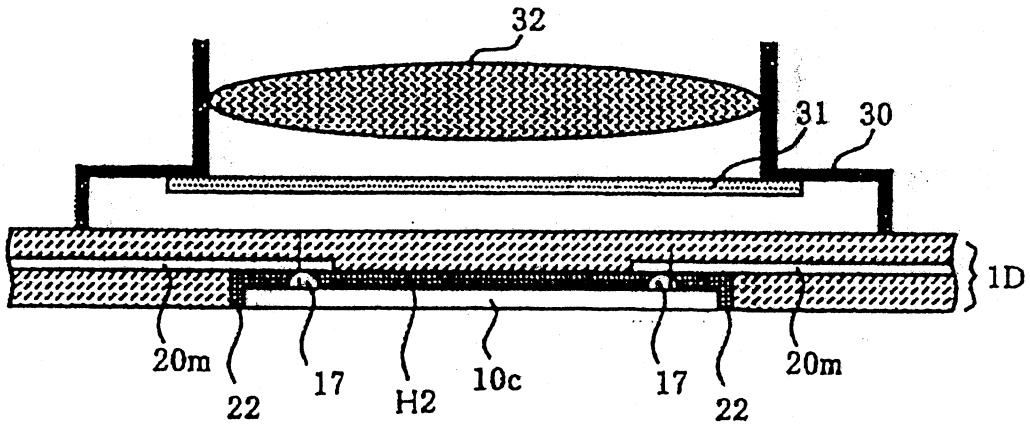
第16圖



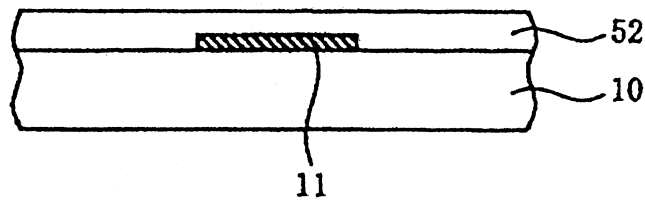
第17圖



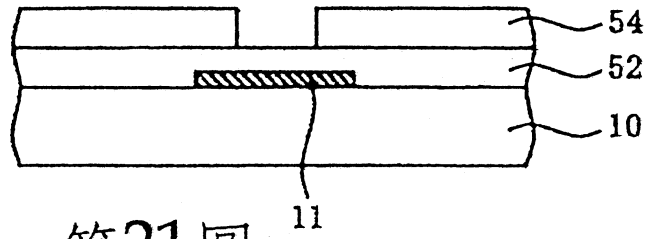
第18圖



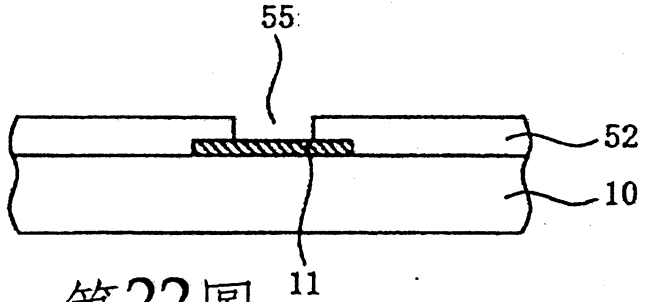
第19圖



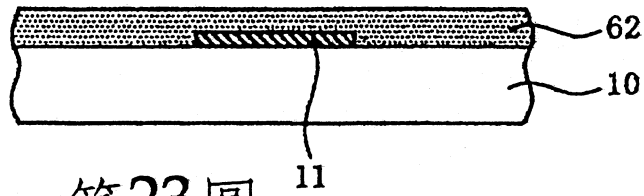
第20圖



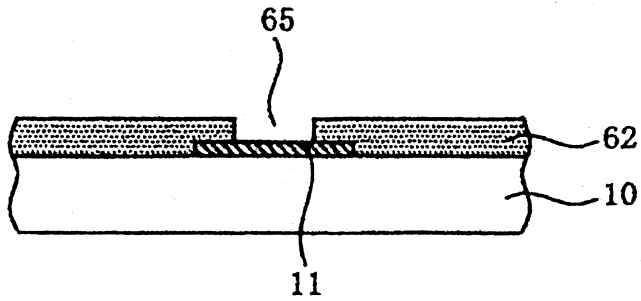
第21圖



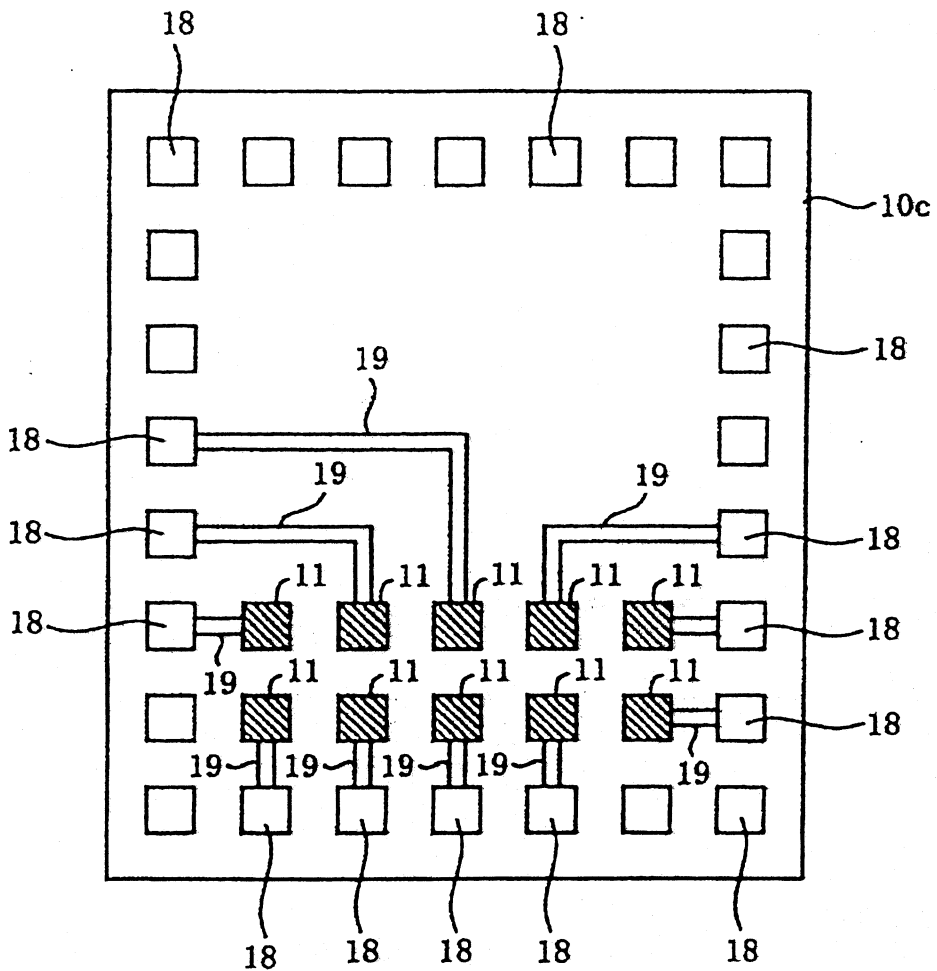
第22圖



第23圖

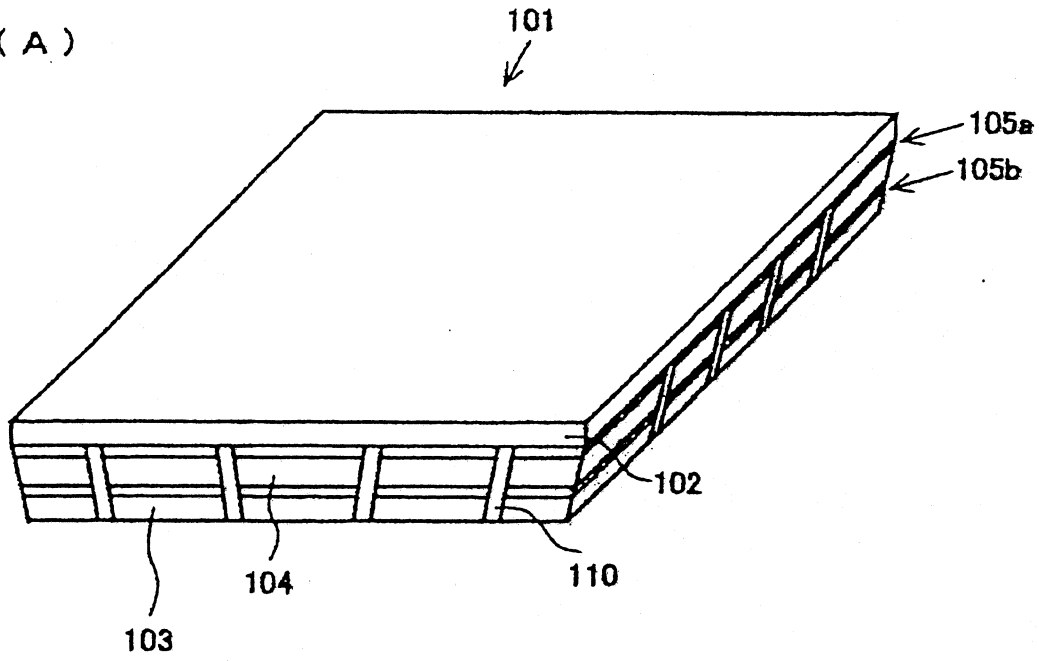


第24圖

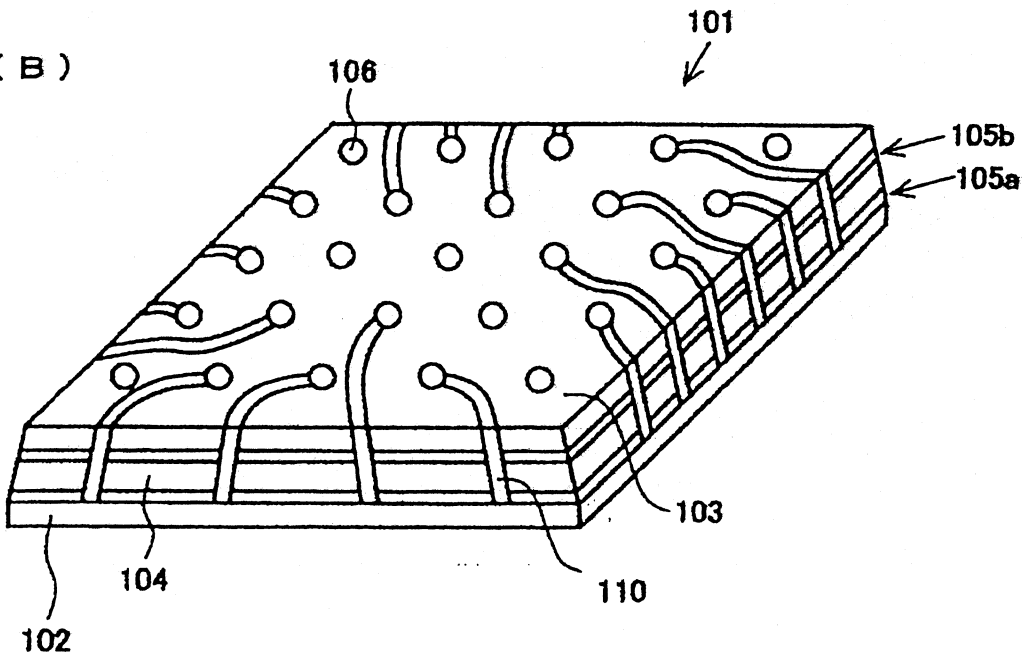


第25圖

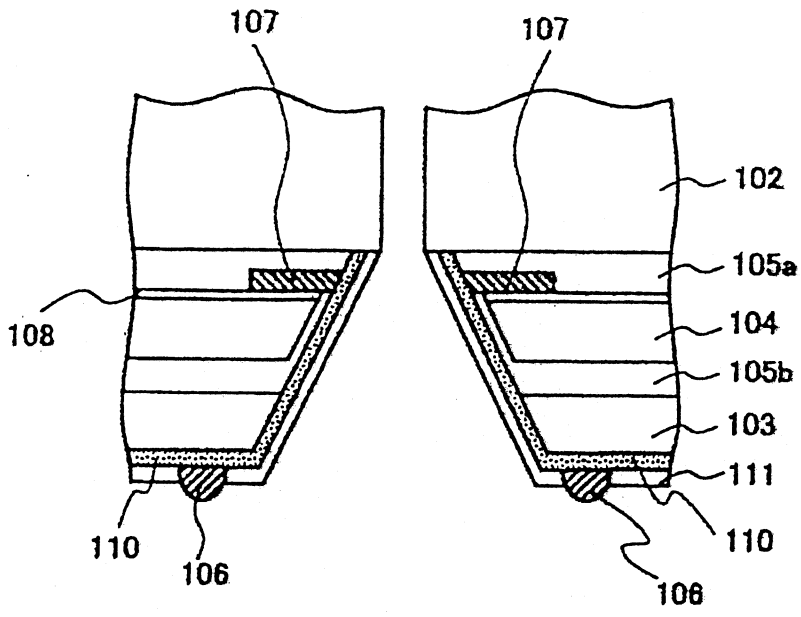
(A)



(B)



第26圖



第27圖

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件代表符號簡單說明：

10c 半導體晶片

11 鍍墊電極

12 樹脂層

13 支持體

16 金屬層

17 導電端子

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。