

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年8月6日 (06.08.2009)

PCT

(10) 国際公開番号
WO 2009/096376 A1

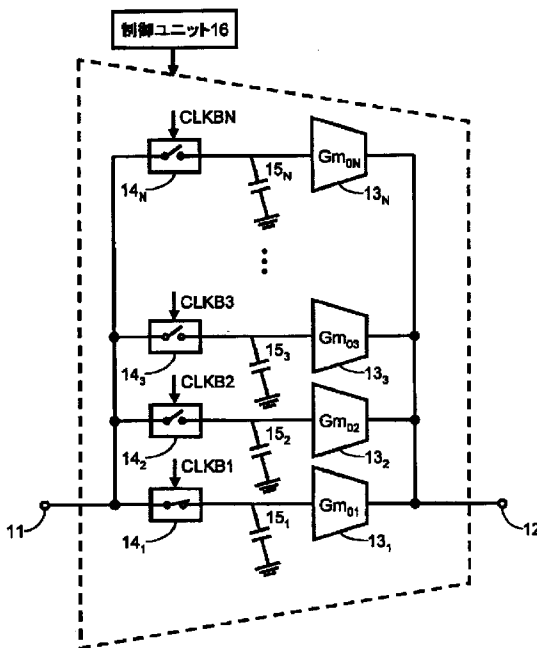
- (51) 国際特許分類:
H03H 11/04 (2006.01)
- (21) 国際出願番号: PCT/JP2009/051243
- (22) 国際出願日: 2009年1月27日 (27.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2008-016264 2008年1月28日 (28.01.2008) JP
特願2008-177997 2008年7月8日 (08.07.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 狐塚 正樹 (KIT-SUNEZUKA, Masaki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 丸山 隆夫 (MARUYAMA, Takao); 〒1700013 東京都豊島区東池袋2-38-23 SAMビル3階 丸山特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

/ 続葉有 /

(54) Title: VOLTAGE CURRENT CONVERTER, DIFFERENTIATION CIRCUIT, INTEGRATION CIRCUIT, AND FILTER CIRCUIT USING THE CONVERTER, AND VOLTAGE CURRENT CONVERSION METHOD

(54) 発明の名称: 電圧電流変換器、それを用いた、微分回路、積分回路およびフィルタ回路並びに電圧電流変換方法

[図4]



16 CONTROL UNIT

(57) Abstract: It is possible to provide a voltage-current converter which can realize a variable filter having a steep cut-off characteristic with a small area. The voltage-current converter includes: one or more sampling/holding units for sampling an inputted voltage and holding the sampled voltage; one or more separate voltage-current conversion units for outputting a current corresponding to the voltage held by the sampling/holding units; and a control unit for controlling the timing of the sampling and holding of the input voltage by the sampling/holding units.

(57) 要約: 急峻な遮断特性を有する可変フィルタを小面積で実現することができる電圧電流変換器等を提供しなければならない。電圧電流変換器は、入力された電圧を標本化して保持する機能を持つ1つ以上の標本化保持部と、標本化保持部が保持した電圧に対応する電流を出力する1つ以上の個別電圧電流変換部と、標本化保持部が入力電圧を標本化して保持するタイミングを制御する制御部とを有する。

WO 2009/096376 A1



SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,
GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
— 国際調査報告書

明 細 書

電圧電流変換器、それを用いた、微分回路、積分回路およびフィルタ回路並びに電圧電流変換方法

技術分野

[0001] 本発明は、変換利得に有限インパルス応答フィルタ特性を有する電圧電流変換技術に関するものである。

背景技術

[0002] 近年、あらゆるものに無線機能が搭載されつつあり、複数の無線通信規格に1台で対応可能なマルチモード対応送受信機への要求が増している。

[0003] マルチモード対応受信機の構成例を図1に示す。低雑音増幅器(Low Noise Amplifier:LNA)はアンテナで受信した高周波受信信号を増幅する。ミキサ回路は、高周波受信信号と同一の周波数の局部発振器出力と、LNAによって増幅された高周波受信信号の積算を行うことにより、高周波信号をダウンコンバートする。可変利得増幅器(Variable Gain Amplifier:VGA)は、信号レベルの調整を行う。フィルタは、所望信号帯域外の妨害波を十分減衰させる。アナログ・デジタル変換器(Analog To Digital Converter:ADC)は、フィルタを通過したアナログ信号をデジタル信号に変換し、デジタル処理回路では復調などの様々な信号処理を行う。

[0004] マルチモード対応送受信機に内蔵されるフィルタには、通信規格に応じて通過帯域幅や次数などのフィルタ特性が広範囲で可変であることが要求される。

[0005] そこで、スイッチトキャパシタフィルタに代表される離散時間処理フィルタが、マルチモード対応の可変フィルタとして注目されている。離散時間処理フィルタの帯域幅は、標本化周波数に比例するため、標本化周波数を制御することで、容易に帯域幅が広範囲で可変となる。

[0006] 図2に示す関連技術1では、電圧電流変換器の出力電流を標本化して容量に積分することで、離散時間処理フィルタの一形態である有限インパルス応答(Finite Impulse Response:FIR)フィルタ特性や、無限インパルス応答(Infinite Impulse Response:IIR)フィルタ特性を得ている(非特許文献1)。

[0007] また、図3に示す関連技術2では、所望信号に近接する妨害波を除去するために、急峻な遮断特性を得るべく、高次のフィルタを構成している(非特許文献2)。

[0008] なお、複数の各チャンネルから入力されるアナログ電圧源の電圧を、チャンネルを切り換えて連続して且つ繰り返しサンプリングコンデンサを有する逐次比較型のサンプルホールド回路によりサンプリングしてデジタル値に変換する場合、注目するチャンネルに接続されているアナログ電圧源の電圧をサンプリングする際、当初、注目するチャンネルに接続されているアナログ電圧源の電圧をデジタル値に変換した前回の変換結果に対応するアナログ電圧によりサンプリングコンデンサを充電し、その後、当該注目するチャンネルに接続されているアナログ電圧源の電圧により同サンプリングコンデンサを充電して、アナログ電圧源からA/Dコンバータ側に流れ込む電流を低減することで、アナログ電圧源の出力インピーダンスによる電圧降下を最小限とする技術が開示されている(例えば、特許文献1参照)。

特許文献1:特開2002-176358号公報

非特許文献1:IEEE JSSC Vol.39. No.12, pp.2278-2291, Dec, 2004.

非特許文献2:IEEE JSSC Vol.35. No.2, pp.212-220, Feb, 2000.

発明の開示

発明が解決しようとする課題

[0009] しかしながら、上述の関連技術では、フィルタに、急峻な遮断特性を得るために高次フィルタを構成すると、使用する容量素子の数が増え、面積が大きくなるという課題がある。

[0010] 本発明は、上記の課題を解決するためになされたものであり、急峻な遮断特性を有する可変フィルタを小面積で実現することができる電圧電流変換器、それを用いた、微分回路、積分回路およびフィルタ回路並びに電圧電流変換方法を提供することを目的とする。

課題を解決するための手段

[0011] かかる目的を達成するために、本発明は、以下の特徴を有することとする。

[0012] 本発明の電圧電流変換器は、入力された電圧を電流に変換して出力する電圧電流変換器であって、入力された電圧を標本化して保持する機能を持つ1つ以上の標

本化保持部と、前記標本化保持部が保持した電圧に対応する電流を出力する1つ以上の個別電圧電流変換部と、前記標本化保持部が入力電圧を標本化して保持するタイミングを制御する制御ユニットと、を有し、各々の個別電圧電流変換部の出力電流の一部または全てを加算した電流を出力することを特徴とする。

[0013] また、本発明の微分回路は、前記電圧電流変換器を1つ以上有することを特徴とする。また、本発明の積分回路は、前記電圧電流変換器を1つ以上有することを特徴とする。また、本発明のフィルタ回路は、前記電圧電流変換器を1つ以上有することを特徴とする。

[0014] また、本発明の電圧電流変換方法は、入力された電圧を標本化して保持するステップと、標本化して保持された電圧に対応する電流を出力する際に出力電流の一部または全てを加算して出力して、変換利得の周波数特性を有限インパルス応答または無限インパルス応答フィルタ特性とするステップとを有することを特徴とする。

発明の効果

[0015] 本発明によれば、小面積で急峻な遮断特性をもつ可変フィルタを実現できる。

発明を実施するための最良の形態

[0016] 次に、本発明の実施の形態について図面を参照して詳細に説明する。

図4は本発明の第1の実施の形態の電圧電流変換器の構成を示す図である。

[0017] 本電圧電流変換器は、入力端子11と、出力端子12と、2以上の整数「N」個の個別電圧電流変換部131～13N(変換利得はそれぞれ G_{m01} ～ G_{m0N})と、電圧電流変換器入力端子11と前記個別電圧電流変換部の各々の入力端子との間に直列に接続されるN個の開閉素子141～14Nと、個別電圧電流変換部131～13N入力端子と固定電位間に接続されるN個の容量151～15Nと、開閉素子141～14Nの開閉を制御する制御ユニット16と、で構成される。本個別電圧電流変換部131～13Nの出力端子は、全て電圧電流変換器出力端子12に接続される。開閉素子141～14N、容量151～15Nは、標本化保持部の一例である。

[0018] 開閉素子141～14Nは、いずれも、制御クロック信号が1のときに閉(オン)状態、0のときに開(オフ)状態となる。

[0019] 制御ユニット16は、図5に示すN相の制御クロック信号CLKB1～CLKBNを生成

し、それぞれ開閉素子141～14Nの開閉を制御する。CLKB1～CLKBNは、それぞれ同時には1とならず、また、立ち上がり、立ち下りのタイミングがずれたクロック信号である。CLKB1～CLKBNを得る方法として、内部で生成する方法や、外部から供給される複数のクロック信号から選択する方法がある。

[0020] 以下に、本電圧電流変換器の動作を説明する。まず、CLKB1が1となると、開閉素子141が閉状態となり、容量151には入力電圧 V_{in} に比例する電荷が蓄積される。CLKB1がオフとなっても、容量151には開閉素子141が開状態となった瞬間の電荷を保持されているため、個別電圧電流変換部131の入力端子の電圧は V_{in} のまま一定である。したがって、次にCLKB1が1となるまでの間、個別電圧電流変換部131が出力する電流は $G_{m01} \cdot V_{in} / N$ のまま一定である。個別電圧電流変換部132～13N、開閉素子142～14N、容量152～15Nも、各々異なるタイミングで同様の動作をする。

[0021] したがって、本電圧電流変換器は、標本化周期 $T_{sample} = 1 / (N \cdot f_{CLK})$ に1回の標本化を行っている。例えば、CLKB1が1のときには、個別電圧電流変換部132は時間間隔 T_{sample} だけ前の入力電圧に対応する電流を保持しており、個別電圧電流変換部13Nは時間間隔 $(N-1)T_{sample}$ だけ前の入力電圧に対応する電流を保持している。個別電圧電流変換部131～13Nの出力電流は、各々の出力端子を、全て接続することによって加算され、電圧電流変換器出力端子12から出力される。このとき、本電圧電流変換器の変換利得 G_{mFIR} は、以下の式(1)で表される。

[0022] [数1]

$$G_{mFIR} = (1 + z^{-1} + z^{-2} + \dots + z^{-(N-1)}) \frac{G_{m0}}{N}$$

[0023] ここで、 $z^{-1} = \exp(-j2\pi f T_{sample})$ であり、1標本分の遅延を表す。また、 $G_{m01} = G_{m02} = \dots = G_{m0N} = G_{m0} / 4$ とした。式(1)は、本電圧電流変換器の変換利得の周波数特性が、FIRフィルタの一形態である移動平均フィルタとなることを意味している。

[0024] $N=4$ 、 $f_{CLK}=250\text{MHz}$ の場合の移動平均フィルタ周波数特性を図6に示す。 N 次移動平均フィルタは、 $N \cdot f_{CLK}$ 以下の帯域に $(N-1)$ 個の零点を有しており、零

点周波数は $k \cdot f_{CLK}$ (k は任意の整数)で表される。また、 $N \cdot f_{CLK}$ 近傍は通過域となる。したがって、 $N \cdot f_{CLK}$ 近傍の雑音を減衰させるための簡易なフィルタ(RCフィルタなど)と合わせて、多数の零点を利用した効率的なフィルタリングを行う。なお、ここでは個別電圧電流変換部131~13Nの変換利得を G_{m0}/N としたが、必ずしも全て同一である必要はない。また、正負が混在していてもよい。

- [0025] 図4の $N=4$ の場合の回路例を図7に示す。個別電圧電流変換部131~134はCMOSインバータ、開閉素子141~144はCMOS伝送ゲートで実現できる。また、容量151~154は、個別電圧電流変換部および開閉素子に寄生する容量で代替できるため、明示的に容量素子を追加する必要はない。その結果、本電圧電流変換器は能動素子のみで構成され、スイッチトキャパシタを利用したFIRフィルタに比べて小面積となる。
- [0026] $CLKB1 \sim CLKBN$ のオン時間は、開閉素子141~14Nのオン抵抗と、容量151~15Nの容量値で決まる時定数の7倍程度がよい。これよりも短いと容量151~15Nへの充電が不十分となり、波形が劣化する。一方、これよりも長いと出力電流波形に含まれる連続時間信号の割合が増し、零点において十分な減衰特性が得られなくなる。なお、あらかじめ入力信号が標本化された離散時間信号である場合は、時定数の7倍以上でもよい。
- [0027] CMOSプロセスとして、90nm CMOSプロセスを用いれば、オン時間が数100ps程度、周波数が数100MHz程度の $CLKB1 \sim CLKBN$ を、フィルタ回路にと比較して小さな消費電力で生成することができる。このときのオン抵抗、容量値はそれぞれ数100 Ω 程度、数100fF程度で十分であり、単純なCMOSインバータや伝送ゲートで容易に構成できる。
- [0028] 一方、 $N \cdot f_{CLK}$ 近傍の雑音を比較的緩慢なRCフィルタで十分減衰させるためには、 $N \cdot f_{CLK}$ は、信号帯域幅に対して100倍程度高い周波数である必要がある。
- [0029] 以上のことから、90nm CMOSプロセスの場合、信号帯域幅は数10MHz以下、 f_{CLK} は数100MHz以下、 N は3以上がよい。 $N=2$ では、FIRフィルタの周期的な零点を利用できるというメリットが小さいためである。通常、 f_{CLK} は後段のADCなどの標本化周波数の整数倍とするのがよい。それは、FIRフィルタが有する零点によって

、ADCでの標本化の際に信号帯域内に折り返される雑音を十分減衰させることができるからである。なお、CMOS微細化が進めば、より周波数の高いCLKB1～CLKBNを同じ精度・消費電流で生成できるようになるため、より広い帯域幅の信号に対しても本実施の形態が利用できるようになる。

[0030] ここで、制御ユニット16の構成の一例を図8に示す。32位相クロック発振器と、ナローパルス発生器と、パルスデシメーターと、マトリックススイッチとを備える。

[0031] 本実施の形態の電圧電流変換器においては、標本化保持部が、各々異なるタイミングで入力電圧を標本化して保持し、各々の個別電圧電流変換部が、それに対応する電流を出力している。本電圧電流変換器の変換利得の周波数特性は、個別電圧電流変換部の出力電流の一部また全てを加算して出力することにより、FIRフィルタ特性を持つ。標本化保持部は、配線や開閉素子の対地容量や個別電圧電流変換部の入力容量を利用することで、能動素子のみで構成できる。また、個別電圧電流変換部も能動素子のみで構成可能である。制御ユニットは、論理回路のみで構成できるため、面積は十分小さい。したがって、本電圧電流変換器を用いたフィルタ回路は、必ずしも容量を必要しないため、急峻な遮断特性を得るために高次にしても小面積である。また、本フィルタの帯域幅は、標本化周波数に比例するため、標本化周波数を制御することで容易に可変となる。以上により、小面積で急峻な遮断特性をもつ可変フィルタを実現できるという効果が得られる。

[0032] [発明の他の実施の形態]

図9は本発明の第2の実施の形態の電圧電流変換器の構成を示す図である。本実施の形態の電圧電流変換器は、第1の実施形態と比較して、個別電圧電流変換部1311、1312、1321、1322と、各々の個別電圧電流変換部の出力端子と端子17の間に直列に接続された開閉素子1811、1812、1821、1822を有する点を特徴とする。さらに、1311、1321の電圧電流変換利得は G_{m0} であり、1312、1322の電圧電流変換利得は $-G_{m0}$ である。

[0033] 制御ユニット16は、図5のCLKB1、CLKB2に加えて、図10に示した2相のクロック信号CLKC1、CLKC2を生成し、開閉素子1811、1812、1821、1822の開閉を制御する。CLKC1、CLKC2は、それぞれ同時には1とならず、それぞれCLKB1～

CLKB2と同じタイミングで立ち上がるクロック信号である。CLKC1～CLKC2を得る方法として、内部で生成する方法や、外部から供給される複数のクロック信号から選択する方法がある。

[0034] 本実施の形態の電圧電流変換器では、入力信号 V_{in} に対しては、変換利得 G_{m0} の個別電圧電流変換部(1311または1321)の出力端子が、1標本分前の入力信号 $z^{-1}V_{in}$ に対しては、変換利得 $-G_{m0}$ の個別電圧電流変換部(1312または1322)の出力端子が、本電圧電流変換器出力端子12に接続されるよう制御されている。例えば、図9では、CLKC1が1のとき、個別電流変換部1311、1312の入力電圧は、 V_{in} であり、1321、1322の入力電圧は $z^{-1}V_{in}$ である。このとき、変換利得が G_{m0} である1311、変換利得が $-G_{m0}$ である1322の出力端子が、本電圧電流変換器出力端子12に接続される。したがって、1311の出力電流 $G_{m0}V_{in}$ 、1322の出力電流 $-z^{-1}G_{m0}V_{in}$ の和が本実施形態の電圧電流変換器の出力電流となる。一方、CLKC2が1のときは、個別電流変換部1321、1312の出力端子が本電圧電流変換器出力端子12に接続される。これにより、本実施の形態の電圧電流変換器の変換利得 G_{mFIR10} は、式(2)に示すとおり、離散時間信号処理における微分を表す $(1-z^{-1})$ を含む式となる。

[0035] [数2]

$$G_{mFIR10} = G_{m0}(1-z^{-1})$$

[0036] 図11は本発明の第3の実施の形態の電圧電流変換器の構成を示す図である。本実施の形態の電圧電流変換器は、第1の実施の形態と比較して、個別電圧電流変換部1311～131N、1321～132N、…13N1～13NNと、各々の個別電圧電流変換部の出力端子と端子17の間に直列に接続された開閉素子1811～181N、1821～182N、…18N1～18NNを有する点を特徴とする。ただし、1311、1321…、13N1の変換利得は G_{m1} であり、1312、1322…、13N2の変換利得は G_{m2} であり、131N、132N…、13NNの変換利得は G_{mN} である。なお、図11では、図が煩雑になるのを防ぐため、 $N=4$ としている。

[0037] 制御ユニット16は、図5のCLKB1～CLKBNに加えて、図12に示すN相の制御ク

ロック信号CLKC1～CLKCNを生成し、開閉素子1811～181N、1821～182N、…18N1～18NNの開閉を制御する。CLKC1～CLKCNは、それぞれ同時には1とならず、それぞれCLKB1～CLKBNと同じタイミングで立ち上がるクロック信号である。CLKC1～CLKCNを得る方法として、内部で生成する方法や、外部から供給される複数のクロック信号から選択する方法がある。

[0038] 本実施の形態の電圧電流変換器では、 m 標本分 (m は0から N までの任意の整数) 前の入力信号 $z^{-m}V_{in}$ に対して、変換利得 G_{m+1} の個別電圧電流変換部の出力端子が本電圧電流変換器出力端子12に接続されるよう制御されている。例えば、図11では、CLKC1が1のとき、個別電流変換部1311～1314、1321～1324、1331～1334、1341～1344の入力電圧は、それぞれ V_{in} 、 $z^{-1}V_{in}$ 、 $z^{-2}V_{in}$ 、 $z^{-3}V_{in}$ となっている。このとき、変換利得が G_{m1} である1311、変換利得が G_{m2} である1322、変換利得が G_{m3} である1333、変換利得が G_{m4} である1344の出力端子が、本電圧電流変換器出力端子12に接続される。したがって、1311の出力電流 $G_{m1}V_{in}$ 、1322の出力電流 $z^{-1}G_{m2}V_{in}$ 、1333の出力電流 $z^{-2}G_{m3}V_{in}$ 、1344の出力電流 $z^{-3}G_{m4}V_{in}$ の総和が本電圧電流変換器の出力電流となる。一方、CLKC2が1のときは、個別電流変換部1321、1332、1343、1314の出力端子が本電圧電流変換器出力端子12に接続されるため、各々の個別電圧電流変換部出力電流における z^{-m} の係数は変わらない。これにより、本実施の形態の電圧電流変換器の変換利得 G_{mFIR2} は、式(3)に示す一般的なFIRフィルタの伝達関数となる。

[0039] [数3]

$$G_{mFIR2} = G_{m1} + z^{-1}G_{m2} + z^{-2}G_{m3} + \dots + z^{-(N-1)}G_{mN}$$

[0040] 本実施の形態の電圧電流変換器は、係数の選択によって f_{CLK} の整数倍の位置以外にも、零点を配置することができる。なお、各個別電圧電流変換部の変換利得 $G_{m1} \sim G_{mN}$ の符号は、正負が混在していてもよい。個別電圧電流変換部1311～131N、1321～132N、…13N1～13NNは、必ずしも全てが常時動作している必要はない。例えば、個別電圧電流変換部1311は、CLK1がオンの間のみ動作していればよい。また、必ずしも $N \times N$ 個の個別電圧電流変換部を並置する必要はない。例

例えば、個別電圧電流変換部1311と1312に着目した場合、 $G_{m1} = G_{m2}$ であれば、一つの個別電圧電流変換部にマージすることができる。あるいは、 $G_{m1} \neq G_{m2}$ の場合でも、小さいほうの変換利得を持つ個別電圧電流変換部と、その差分の変換利得を持つ個別電圧電流変換部を組み合わせることもできる。

[0041] 図13は本発明の第4の実施の形態の電圧電流変換器の構成を示す図である。本実施の形態の電圧電流変換器は、第1の実施の形態の電圧電流変換器(変換利得 G_{mFIR3})出力端子17と、本実施の形態の電圧電流変換器出力端子12の間に接続される開閉素子191と、端子17と固定電位間に接続される開閉素子192と、開閉素子191と開閉素子192の開閉を制御する利得制御ユニット20を追加した点を特徴とする。なお、開閉素子191、開閉素子192、利得制御ユニット20は、電流取出部の一例である。また、第1の実施の形態の代わりに、第3の実施の形態を用いてもよい。

[0042] 利得制御ユニット20は、図14に示す利得制御クロック信号CLKAとその反転信号CLKA_INVを生成し、それぞれ開閉素子191と開閉素子192の開閉を制御する。CLKAを、一定周期で0と1を繰り返す矩形波であり、開閉素子191の開閉率はCLKAのオン時間比率となる。利得制御ユニット20においては、所望のオン時間比率を持つCLKAを得る方法として、内部で生成する方法や、外部から供給される複数のクロック信号から選択する方法がある。

[0043] 本実施の形態の電圧電流変換器の動作原理を図13および図14を用いて説明する。入力端子11に入力された電圧 V_{in} は、第1の実施の形態と同様の動作によって、端子17を流れる電流 $G_{mFIR3} \cdot V_{in}$ に変換される。開閉素子191が閉状態にあるとき、端子17を流れる電流は、そのまま出力端子12から出力され、本実施の形態の電圧電流変換器出力電流となる。一方、開閉素子191が開状態になると、端子17と出力端子12は切り離され、端子17を流れる電流は開閉素子192を通して固定電位に流される。このときの本実施の形態の電圧電流変換器出力電流は0となる。

[0044] 以上の動作において、本実施の形態の変換器出力電流を時間平均したときの実効的な電圧電流変換利得 G_{meff} は、以下の式(4)で表される。

[0045] [数4]

$$G_{m_{\text{eff}}} = \frac{\int_0^{T_{\text{CLKA}}} G_{m_{\text{FIR3}}} dt}{T_{\text{CLKA}}} = \frac{T_{\text{TONA}}}{T_{\text{CLKA}}} G_{m_{\text{FIR3}}}$$

[0046] ここで、式(3)において、TCLKAはCLKAの周期、TONAはCLKAのオン時間である。式(3)は、本実施の形態の電圧電流変換器の実効的な変換利得G_{m_{eff}}が、CLKAのオン時間比率(TONAとTCLKAの比)、すなわち開閉素子191の開閉率で決まることを意味している。ここで、開閉率は、微細CMOSプロセスを用いることによって高い精度で制御可能であり、また、低電圧下でも性能劣化を招くことなく広範囲で可変である。また、開閉素子191、開閉素子192、利得制御ユニット20は微細CMOSで構成可能であるため、面積の増大はほとんどない。したがって、低電圧下でも面積増大を伴わずに変換利得が広範囲で可変となる。

[0047] 本実施の形態の電流取出部は、周波数fCLKA=1/TCLKAで標本化処理を行っている。そのため、電流取出部における標本化を行う前に、fCLKA以上の周波数の妨害波をあらかじめ減衰させておく必要がある。このとき、fCLKAを、電圧電流変換器が有しているFIRフィルタの零点と一致させることで、効率的に妨害波を除去できる。例えば、図14では、fCLKA=fCLKとしている。

[0048] 図15は本発明の第5の実施の形態のフィルタ回路の構成を示す図である。本実施の形態は、図4または図9または図11または図13の電圧電流変換器211と212で構成される。このフィルタ回路の伝達関数を式(5)に示す。

[0049] [数5]

$$F(z) = \frac{G_{m_{\text{FIR4}}}}{G_{m_{\text{FIR5}}}} = \frac{G_{m_{41}} + z^{-1}G_{m_{42}} + \dots + z^{-(N-1)}G_{m_{4N}}}{G_{m_{51}} + z^{-1}G_{m_{52}} + \dots + z^{-(N-1)}G_{m_{5N}}}$$

[0050] ただし、式(5)中のG_{m_{FIR4}}、G_{m_{FIR5}}は、それぞれ電圧電流変換器211、212の変換利得であり、G_{m₄₁}~G_{m_{4N}}、G_{m₅₁}~G_{m_{5N}}は、電圧電流変換器211、212を構成する個別電圧電流変換部の変換利得である。式(5)は一般的なIIRフィルタの伝達関数であり、本フィルタの帯域幅は標本化周波数に比例するため、非常に広い

範囲で帯域幅が可変である。また、容量素子を使用していないため小面積であるため、並置する個別電圧電流変換部の個数を増やすことでフィルタ次数を上げ、急峻な遮断特性を持つフィルタ回路を小面積で構成できる。

特に、GmFIR5を、図9に示した電圧電流変換器で構成した場合の伝達関数を式(6)に示す。

[0051] [数6]

$$H(z) = \frac{Gm_{41} + z^{-1}Gm_{42} + \dots + z^{-(N-1)}Gm_{4N}}{Gm_{51}(1-z^{-1})}$$

[0052] ただし、 $Gm_{52} = -Gm_{51}$ とした。式(6)は、本フィルタ回路の伝達関数が、離散時間信号処理における積分を表す $1/(1-z^{-1})$ を含むことを示している。信号周波数 f に対して、標本化周波数 $1/T_{\text{sample}}$ が十分に大きいとき、 $(1-z^{-1})$ が $j2\pi fT_{\text{sample}}$ と近似できることを考慮すると、電圧電流変換器212は実効的に $Gm_{51}T_{\text{sample}}$ の容量として機能する。したがって、関連するフィルタ構成法で設計されたフィルタにおいて、容量を用いた積分器を、本積分器に置き換えることによって、本発明を容易に適用することが可能である。

[0053] なお、異符号の電圧電流変換利得は、変換器出力端子に、さらに電流ミラー回路を挿入することで容易に実現できる。あるいは、全差動型の場合には、正相と負相の入出力の接続を入れ替えることによって実現できる。また、図4、図9、図11、図13の電圧電流変換器、および、周波数特性が平坦な通常の電圧電流変換器を複数種類組み合わせてもよい。例えば、入力側に図4または図11の電圧電流変換器、出力側に図13の電圧電流変換器を用い、入力側のFIRフィルタの零点周波数と、図13の電流取出部での標本化周波数を一致させることで、電流取出部の標本化動作における折り返し雑音を低減することができる。

[0054] 図16は本発明の第6の実施の形態のフィルタ回路の構成を示す図である。本実施の形態は、図4または図9または図11または図13の電圧電流変換器213と214と、容量221で構成される。このフィルタ回路の伝達関数を式(7)に示す。

[0055] [数7]

$$F(s,z) = \frac{Gm_{FIR6}}{sC_1 + Gm_{FIR7}}$$

$$= \frac{Gm_{61} + z^{-1}Gm_{62} + z^{-2}Gm_{63} + \dots + z^{-(N-1)}Gm_{6N}}{sC_1 + Gm_{71} + z^{-1}Gm_{72} + z^{-2}Gm_{73} + \dots + z^{-(N-1)}Gm_{7N}}$$

[0056] ただし、式(7)中のGmFIR6、GmFIR7は、それぞれ電圧電流変換器213、214の変換利得であり、Gm61～Gm6N、Gm71～Gm7Nは、電圧電流変換器213、214を構成する個別電圧電流変換部の変換利得である。C1は容量221の容量値を示している。

[0057] 一般に、z関数のみで表現されるFIR・IIRフィルタの周波数特性は、図6に示したように、標本化周波数の2分の1であるナイキスト周波数を中心として対称となり、標本化周波数以上の帯域では、標本化周波数以下の周波数特性が繰り返される。したがって、標本化周波数以上の周波数帯域にも通過域が多数存在することになる。

[0058] 本実施の形態のフィルタ回路では、容量素子を追加し、電圧電流変換器と容量からなる一般のGm-Cフィルタと同様のフィルタ構成をとることにより、伝達関数に連続時間フィルタの周波数特性を重畳する。その結果、不要な通過帯域をなくすことができる。このことは、電圧電流変換器214における標本化に際して、通過域に折り返される雑音を低減できることを意味している。

特に、GmFIR7を、図9に示した電圧電流変換器で構成した場合の伝達関数を式(8)に示す。

[0059] [数8]

$$H(s,z) = \frac{Gm_{61} + z^{-1}Gm_{62} + \dots + z^{-(N-1)}Gm_{6N}}{sC_1 + Gm_{71}(1-z^{-1})} \sim$$

$$\frac{Gm_{61} + z^{-1}Gm_{62} + \dots + z^{-(N-1)}Gm_{6N}}{s(C_1 + Gm_{71} T_{\text{sample}})}$$

[0060] ただし、Gm72 = -Gm71とした。式(8)の近似は、信号周波数fに対して、標本化

周波数 $1/T_{\text{sample}}$ が十分に大きいときに成り立つ。したがって、容量221と電圧電流変換器214は、実効的に $(C1 + Gm51T_{\text{sample}})$ の容量として機能する。このように、連続時間的な容量221と、離散時間的な容量214を組み合わせることで、回路面積を抑えつつ、折り返し雑音を低減することができる。

[0061] ただし、本実施の形態のフィルタ回路においては、フィルタの帯域幅は標本化周波数だけではなく、変換利得と容量の比 Gm/C にも比例する。したがって、帯域幅を可変とする際には、標本化周波数とあわせて変換利得または容量値を制御する必要がある。例えば、帯域幅を半分にするために、標本化周波数を半分にした場合、変換利得も半分にする。このとき、図13の変換器を用いると、標本化周波数にあわせてCLKAのオン時間比を変えることで、容易に変換利得を可変とでき、さらに、面積も増加しないという利点がある。

[0062] 本フィルタ回路は、一般的な2次以上の $Gm-C$ フィルタの構成にも適用可能である。したがって、より急峻なフィルタを構成する場合、電圧電流変換器が有するFIRフィルタの次数を上げる方法と、 $Gm-C$ フィルタの次数を上げる方法の二つの方法をとることができる。一般に、 $Gm-C$ フィルタの次数を上げるには、容量の数が増えるため、面積が大幅に増加してしまうが、上記二つの方法を組み合わせることにより、高次フィルタを小面積で構成できる。

[0063] なお、本実施の形態のフィルタ回路においては、必ずしも全ての電圧電流変換器がFIRフィルタ特性を有している必要はない。例えば、本実施の形態のフィルタ回路の入力側の変換器213には、FIRフィルタ特性を持たない連続時間処理の変換器を用い、出力側の変換器214には図4の電圧電流変換器を用いると、電圧電流変換器213と容量221が形成する連続時間処理フィルタによって $N \cdot f_{\text{CLK}}$ 近傍の雑音を減衰させることができるため、前段に挿入するフィルタが不要となる。

[0064] 図17は本発明の第7の実施の形態のフィルタ回路の構成を示す図である。本実施の形態は、図4または図11または図13の電圧電流変換器215～216と容量222と演算増幅器30で構成される。このフィルタ回路の伝達関数を式(9)に示す。

[0065] [数9]

$$F(s,z) = - \frac{Gm_{FIR8}}{sC_2 + Gm_{FIR9}}$$

$$= \frac{Gm_{g1} + z^{-1}Gm_{g2} + z^{-2}Gm_{g3} + \dots + z^{-(N-1)}Gm_{gN}}{sC_1 + Gm_{g1} + z^{-1}Gm_{g2} + z^{-2}Gm_{g3} + \dots + z^{-(N-1)}Gm_{gN}}$$

[0066] ただし、式(9)中のGmFIR5、GmFIR6は、それぞれ電圧電流変換器215～216の変換利得、C2は、容量222の容量値を示している。本実施の形態では、電圧電流変換器の出力端子が演算増幅器30の仮想接地点に接続されるため、以下に示す二つの理由により、線形性に優れたフィルタを構成できる。一つ目の理由は、各個別電圧電流変換部の出力段が大信号を扱わなくて済むことである。二つ目の理由は、特に第4の実施の形態の電圧電流変換器を用いた場合において、開閉素子として用いるCMOS伝送ゲートのオン抵抗のゲート・ソース間電圧依存性に起因する歪が発生しないことである。なお、必ずしも容量222を用いる必要はない。

[0067] 図18は本発明の第8の実施の形態の構成を示す図である。一般に、Gm-Cフィルタ回路を構成する場合、図18(a)のように、電圧電流変換器23(変換利得Gm10)の入力端子25と出力端子26の間に、容量24を接続した回路を用いることがある。この回路をフィルタに組み込むことで、バンドパスフィルタなどの任意の伝達関数を持つフィルタを構成できるようになる。図18(a)の伝達関数を式(10)に示す。

[0068] [数10]

$$F(s) = 1 + \frac{Gm_{10}}{sC_3}$$

[0069] 電圧電流変換器23として、第1から第4の実施の形態の電圧電流変換器を用いる場合、入力端子25に直接容量24を接続すると、連続時間信号が容量24を介して後段のFIRフィルタに混入し、十分な減衰量が得られなくなる。容量24を介した信号に対してもFIRフィルタリングするには、図18(b)に示すように、個別電圧電流変換部231～23N(変換利得は各々Gm101～Gm10Nであり、Gm101+Gm102+…+Gm1

0N=Gm5N)の各入力端子と、容量241~24N(容量値は各々C31~C3Nであり、C31+C32+...+C3N=C3)とをそれぞれ接続し、個別電圧電流変換部231~23Nの出力端子と、容量241~24Nのもう一方の端子を出力端子26に接続すればよい。このとき、図18(b)の伝達関数を式(11)に示す。

[0070] [数11]

$$F(s,z) = \frac{\sum_{k=1}^{k=N} z^{-k+1} (Gm_{10k} + sC_{10k})}{sC_3}$$

[0071] 式(11)は、容量24を介した信号にもFIRフィルタリングできることを意味している。なお、図12では、第1の実施の形態の電圧電流変換器の場合を示している。また、個別電圧電流変換部231~23Nの変換利得、容量241~24Nの容量値は必ずしも全て同一である必要はない。

[0072] なお、上述する各実施の形態は、本発明の好適な実施の形態であり、本発明の要旨を逸脱しない範囲内において種々変更実施が可能である。

[0073] なお、この出願は、2008年1月28日に出願した、日本特許出願番号2008-016264号および2008年7月8日に出願した、日本特許出願番号2008-177997号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0074] 本発明は、例えば、入力された電圧を電流に変換して出力する電圧電流変換器に適用可能である。

図面の簡単な説明

[0075] [図1]一般的なマルチモード対応受信機の構成を示す図である。

[図2]関連技術1を示す回路図である。

[図3]関連技術2を示す回路図である。

[図4]本発明の第1の実施の形態を示す回路図である。

[図5]本発明の第1の実施の形態のクロック信号のタイミングを示す図である。

[図6]本発明の第1の実施の形態の周波数特性を示す図である。

[図7]本発明の第1の実施の形態を示す回路図である。

[図8]本発明の第1の実施の形態の制御ユニットを示す図である。

[図9]本発明の第2の実施の形態を示す回路図である。

[図10]本発明の第2の実施の形態のクロック信号のタイミングを示す図である。

[図11]本発明の第3の実施の形態を示す回路図である。

[図12]本発明の第3の実施の形態のクロック信号のタイミングを示す図である。

[図13]本発明の第4の実施の形態を示す回路図である。

[図14]本発明の第4の実施の形態のクロック信号のタイミングを示す図である。

[図15]本発明の第5の実施の形態を示す回路図である。

[図16]本発明の第6の実施の形態を示す回路図である。

[図17]本発明の第7の実施の形態を示す回路図である。

[図18]本発明の第8の実施の形態を示す回路図である。

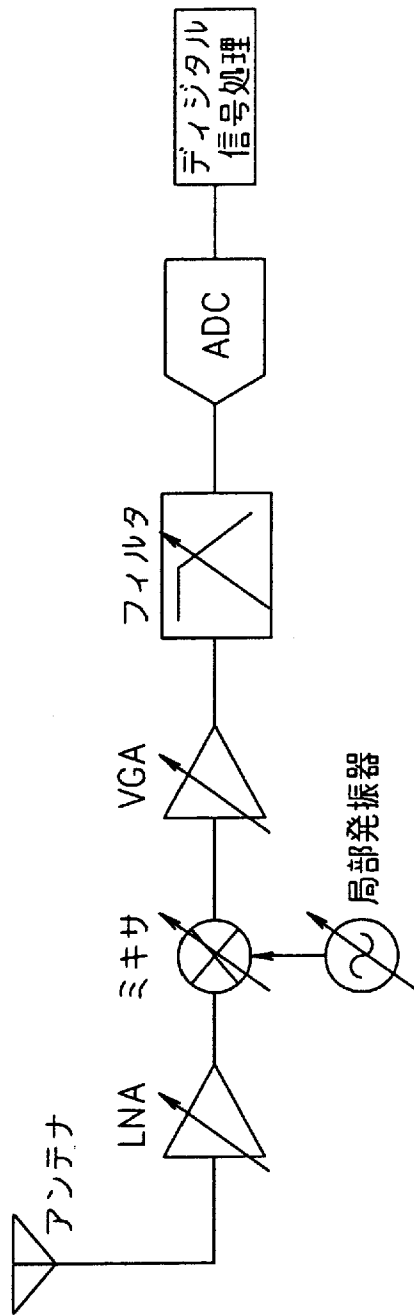
請求の範囲

- [1] 入力された電圧を電流に変換して出力する電圧電流変換器であって、
入力された電圧を標本化して保持する機能を持つ1つ以上の標本化保持部と、
前記標本化保持部によって標本化して保持されている電圧に対応する電流を出力する1つ以上の個別電圧電流変換部と、
前記標本化保持部が入力電圧を標本化して保持するタイミングを制御する制御部と
を有し、
前記個別電圧電流変換部の出力電流の一部または全てを加算して出力することによって、本電圧電流変換器の変換利得の周波数特性が有限インパルス応答または無限インパルス応答フィルタ特性となることを特徴とする電圧電流変換器。
- [2] 前記標本化保持部は、開閉素子と容量を含み、前記容量は、配線または前記開閉素子の対地容量、または後段の個別電圧電流変換部の入力容量であることを特徴とする請求項1記載の電圧電流変換器。
- [3] 前記標本化保持部は、各々が等しい時間間隔で入力電圧を標本化して保持し、
前記個別電圧電流変換部の変換利得は、全て等しい変換利得を有し、前記個別電圧電流変換部の出力電流の一部または全てを加算して出力することによって、本電圧電流変換器の変換利得の周波数特性が、移動平均フィルタ特性を有することを特徴とする請求項1記載の電圧電流変換器。
- [4] 前記電圧電流変換器は、前記個別電圧電流変換部出力端子から流れる電流を間欠的に取り出して出力するための電流取出部をさらに有し、実効的な電圧電流変換利得が、電流取出部の間欠動作比率によって制御されることを特徴とする請求項1記載の電圧電流変換器。
- [5] 請求項1から4のいずれか1項に記載の電圧電流変換器を1つ以上用いて構成したことを特徴とする微分回路。
- [6] 前記電圧電流変換器出力端子には、容量素子が接続されることを特徴とする請求項5記載の微分回路。
- [7] 請求項1から4のいずれか1項に記載の電圧電流変換器を1つ以上用いて構成し

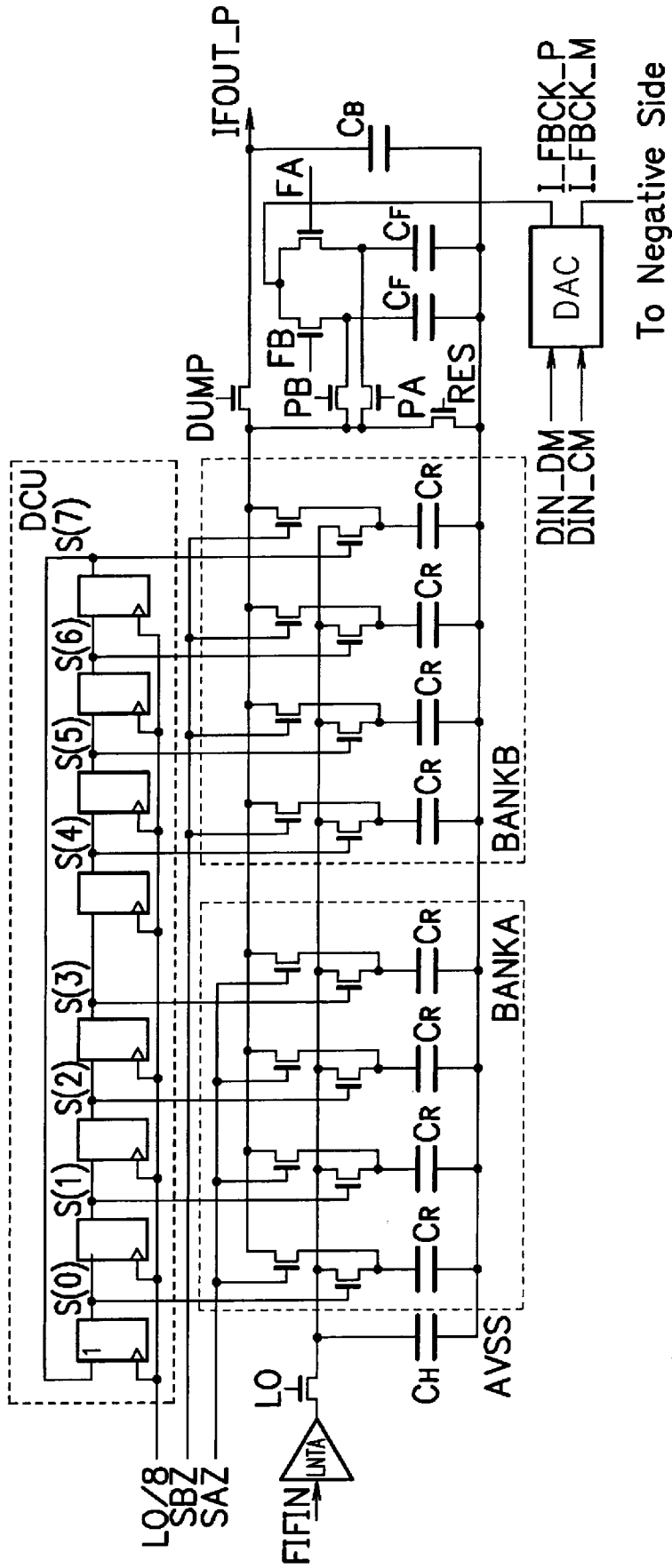
たことを特徴とする積分回路。

- [8] 前記電圧電流変換器出力端子には、容量素子が接続されることを特徴とする請求項7記載の積分回路。
- [9] 請求項1から4のいずれか1項に記載の電圧電流変換器を1つ以上用いて構成したことを特徴とするフィルタ回路。
- [10] 請求項9記載のフィルタ回路において、前記電圧電流変換器出力端子には、容量素子が接続されることを特徴とするフィルタ回路。
- [11] 入力された電圧を標本化して保持し、
標本化して保持された電圧に対応する電流を出力する際に出力電流の一部または全てを加算して出力して、変換利得の周波数特性を有限インパルス応答または無限インパルス応答フィルタ特性とすることを特徴とする電圧電流変換方法。

[図1]

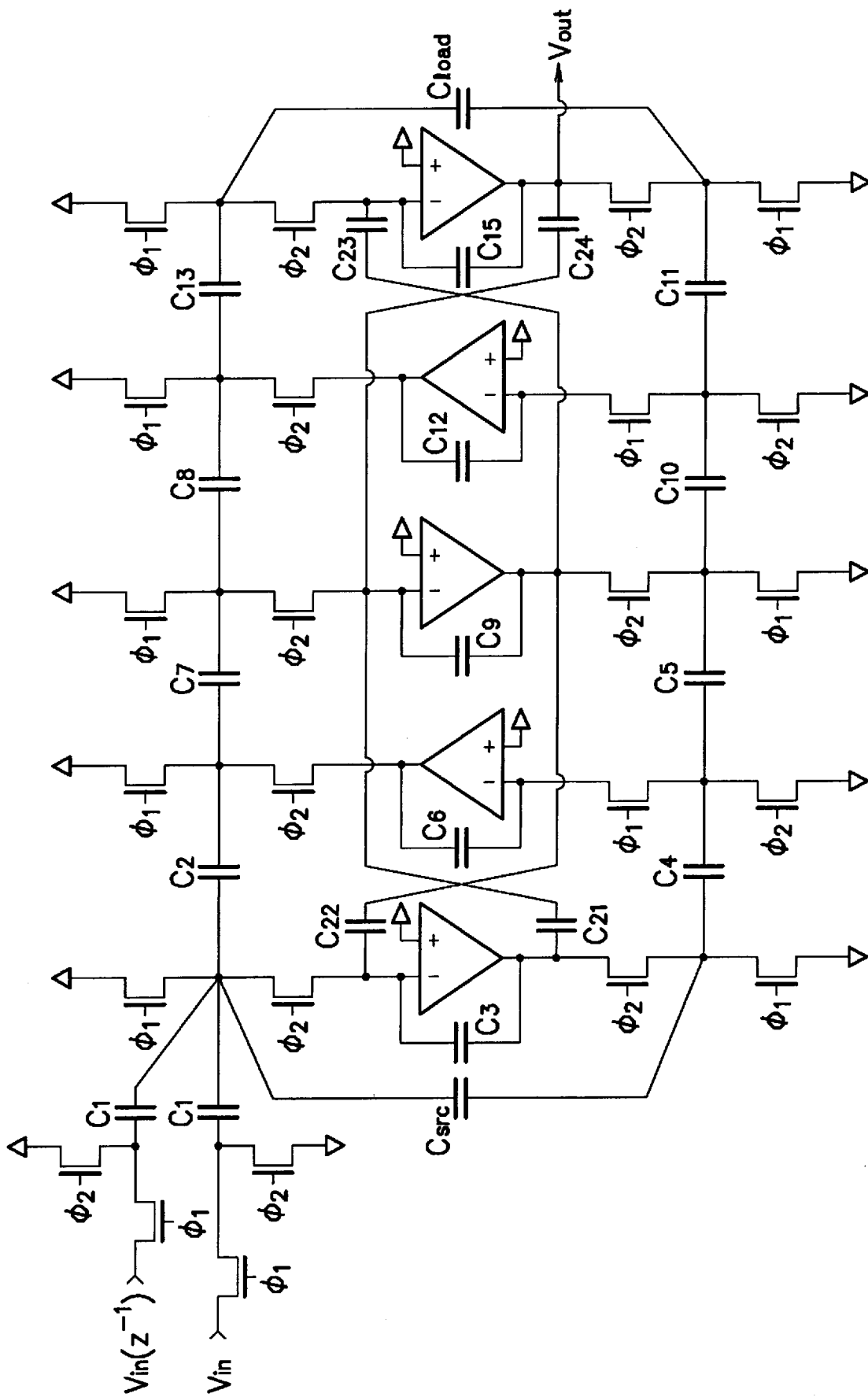


[図2]

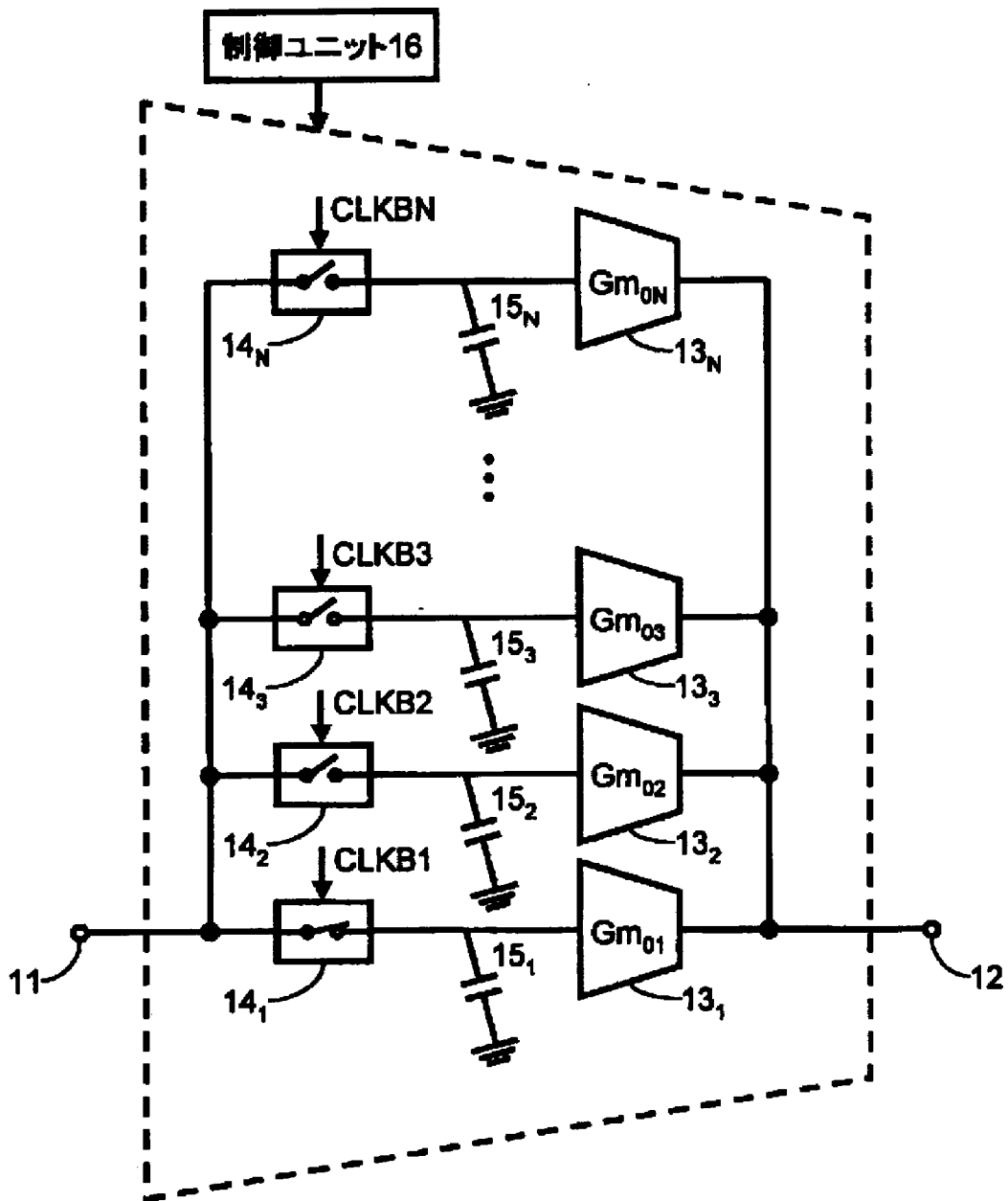


To Negative Side

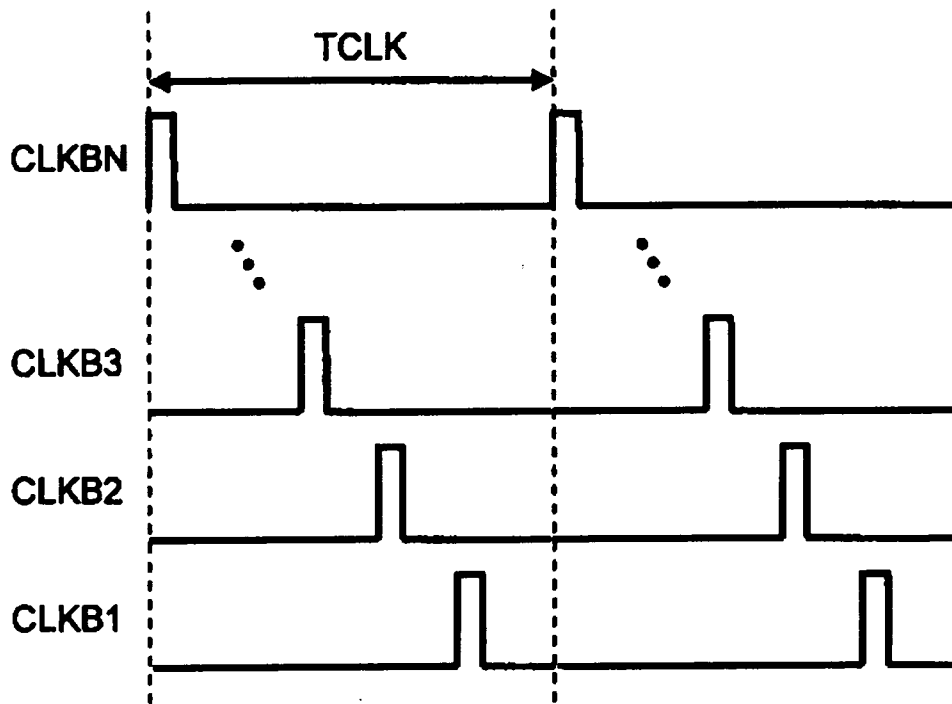
[図3]



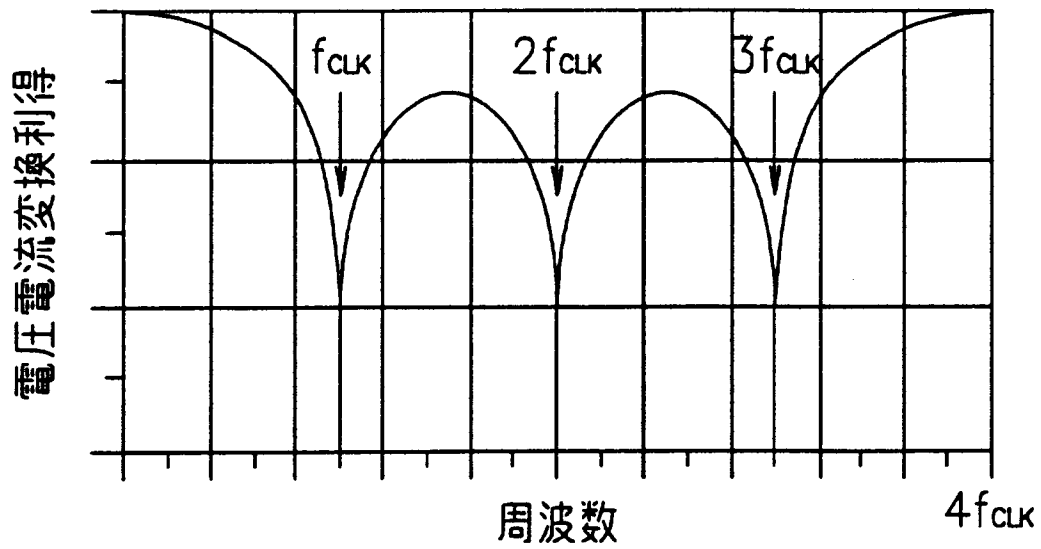
[図4]



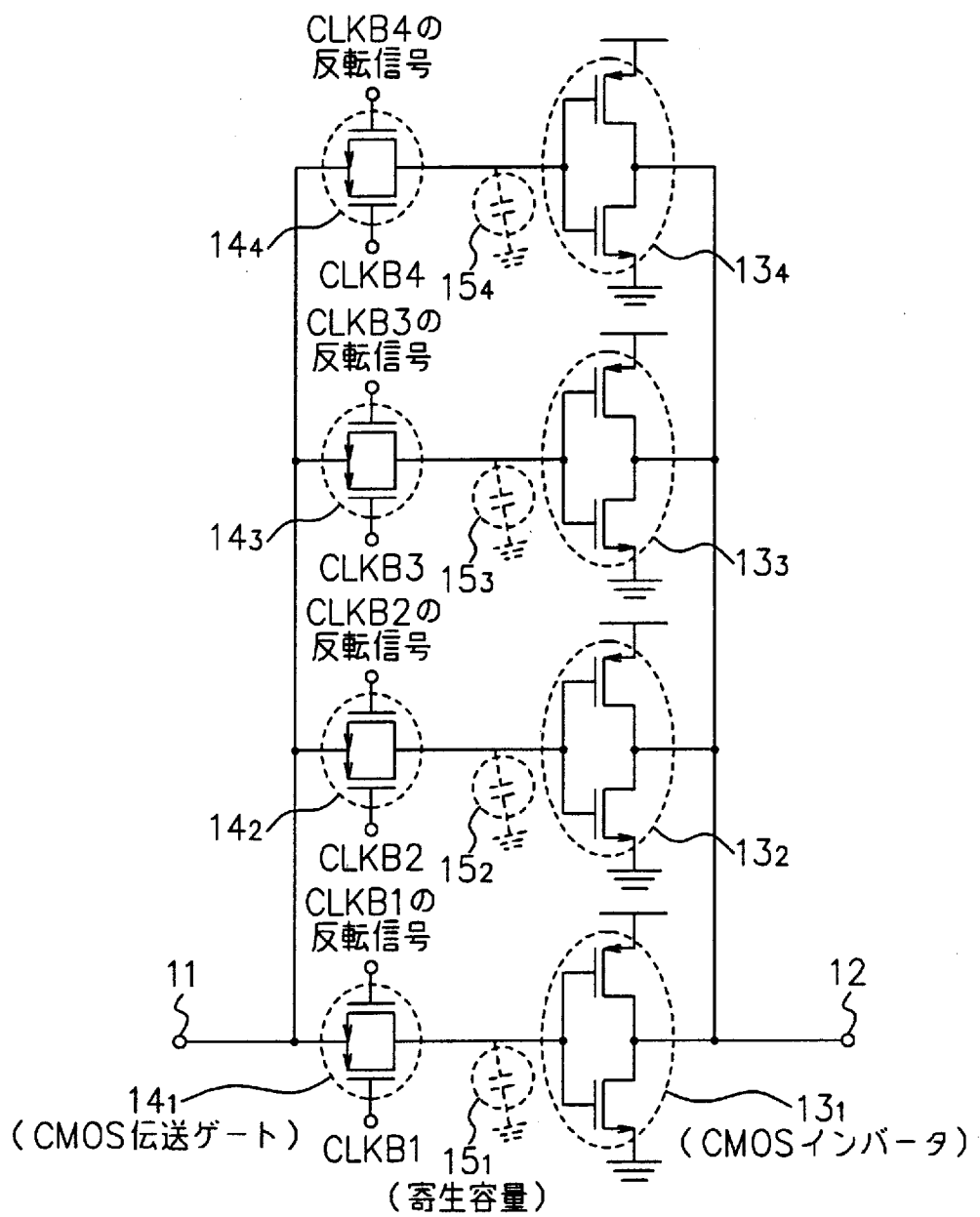
[図5]



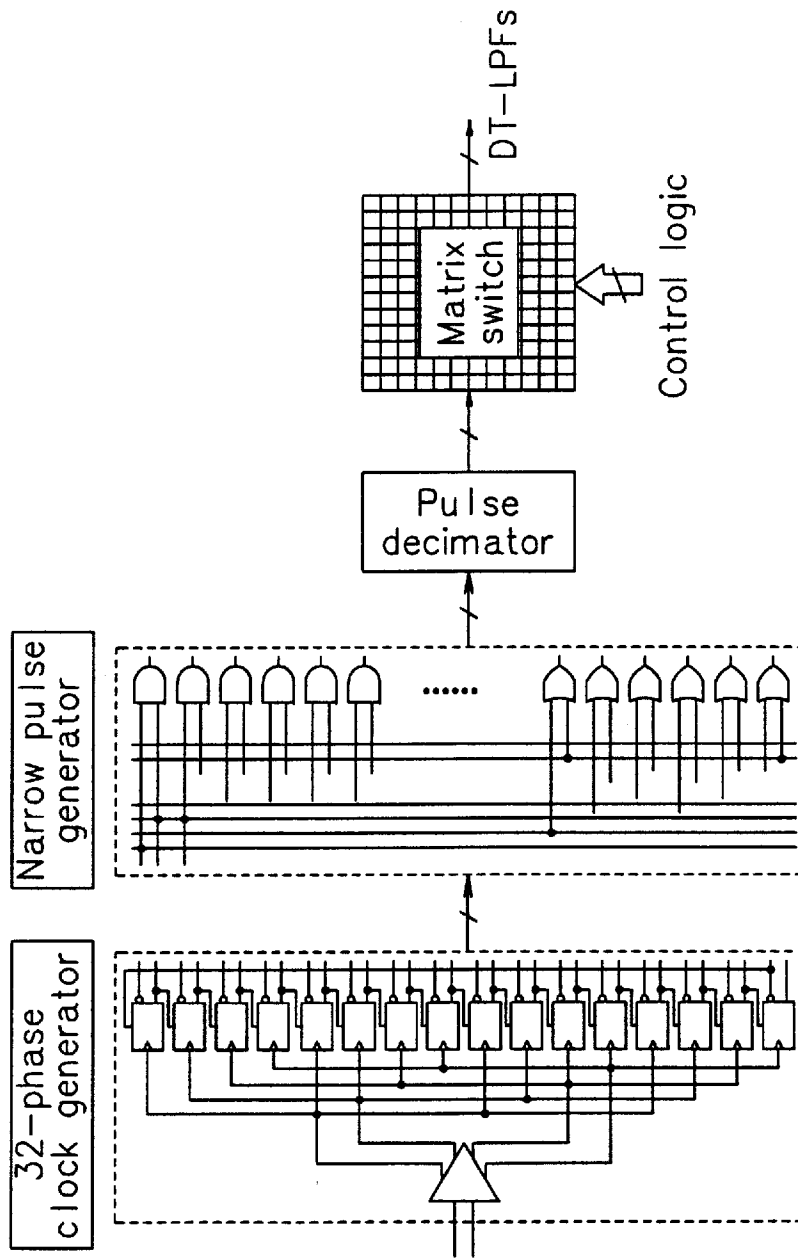
[図6]



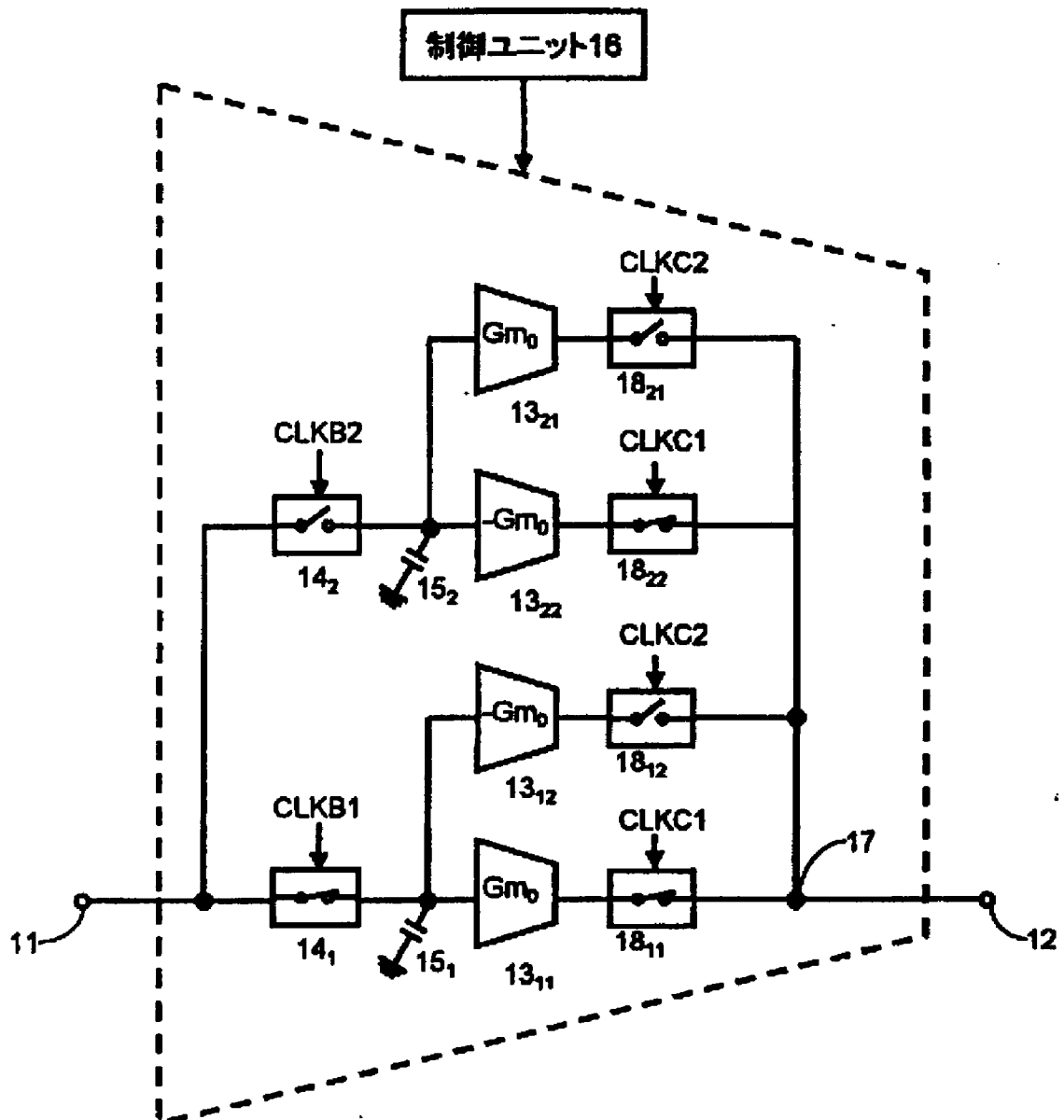
[図7]



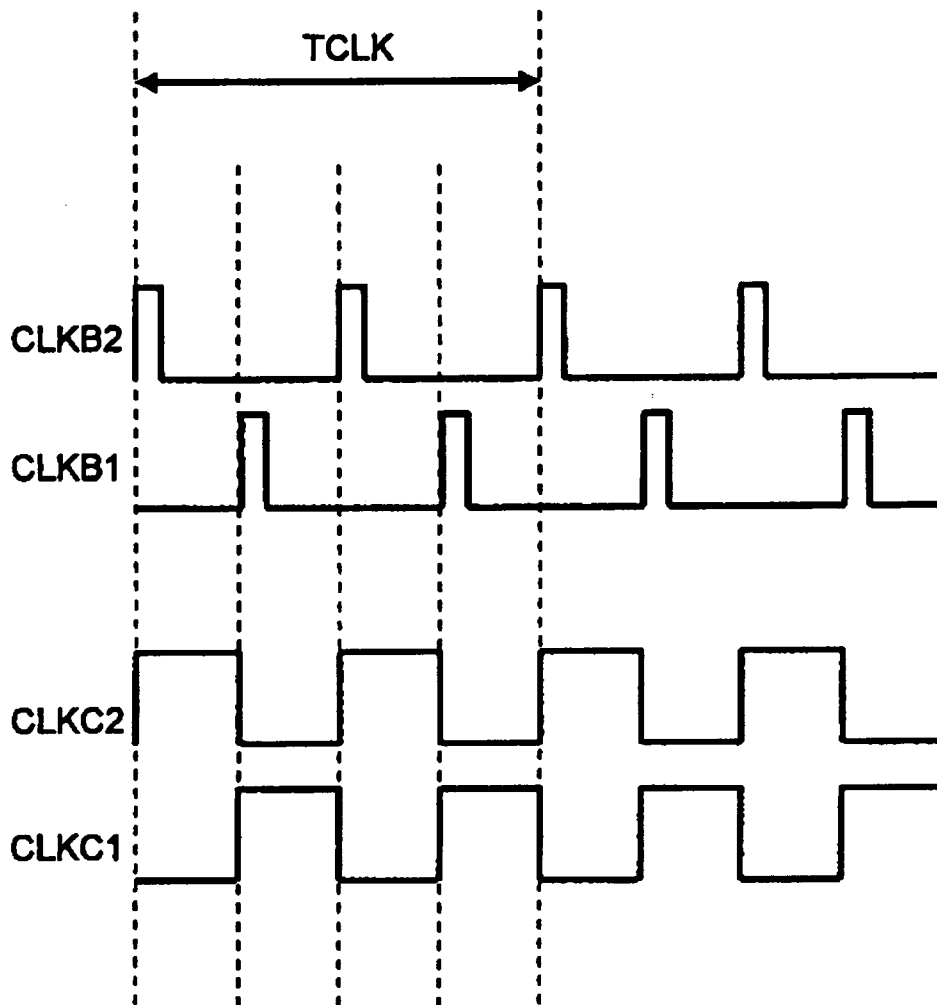
[図8]



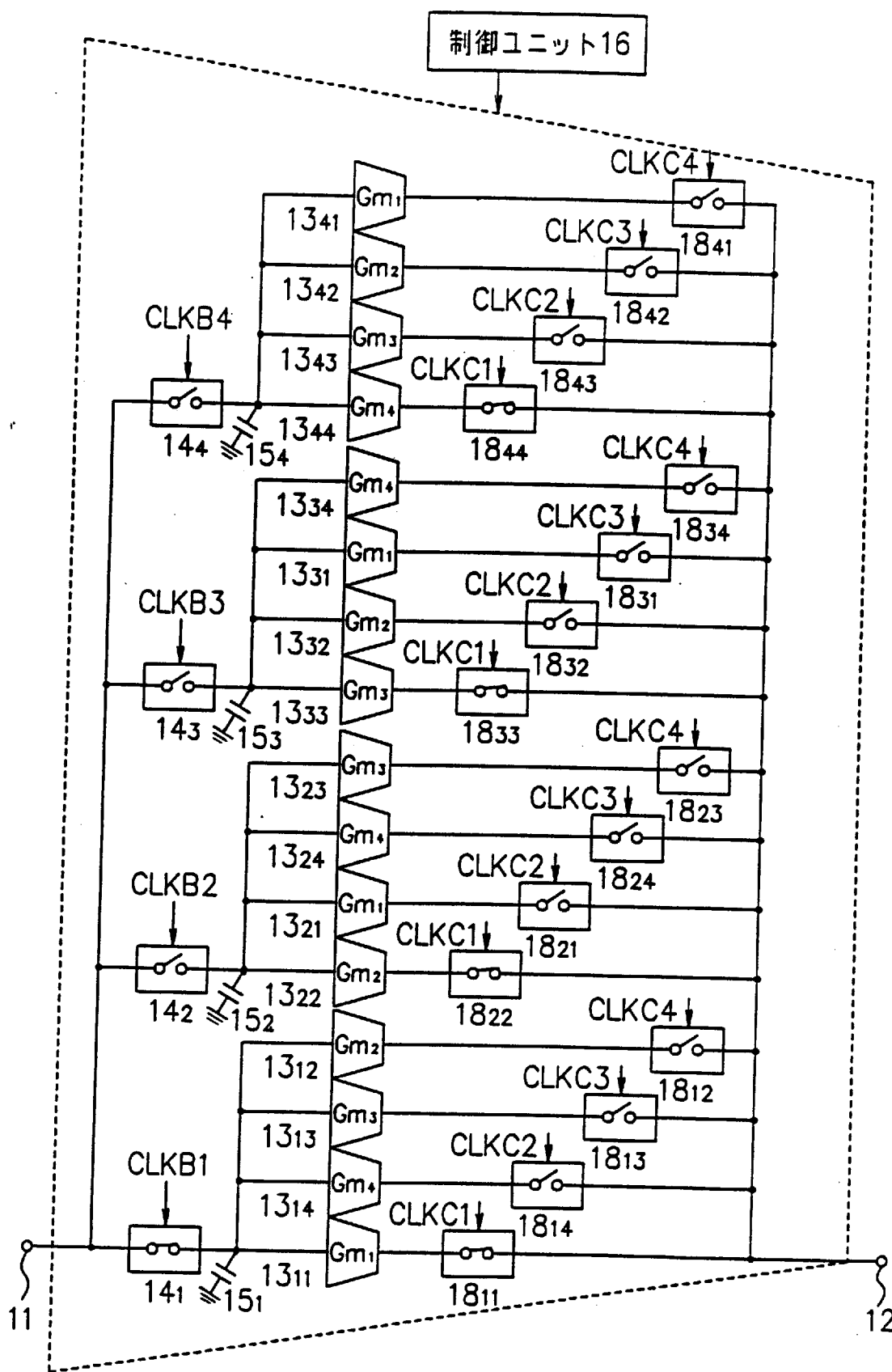
[図9]



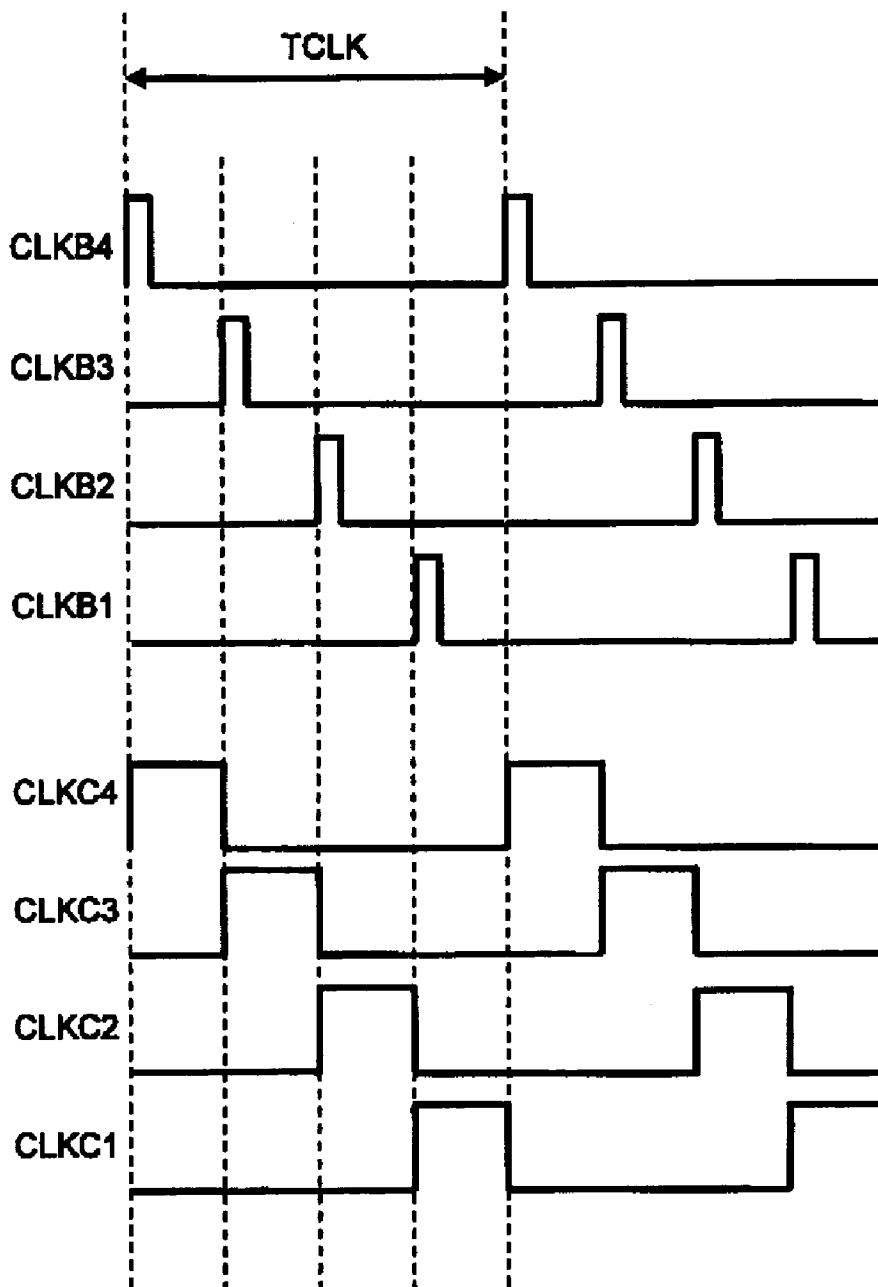
[図10]



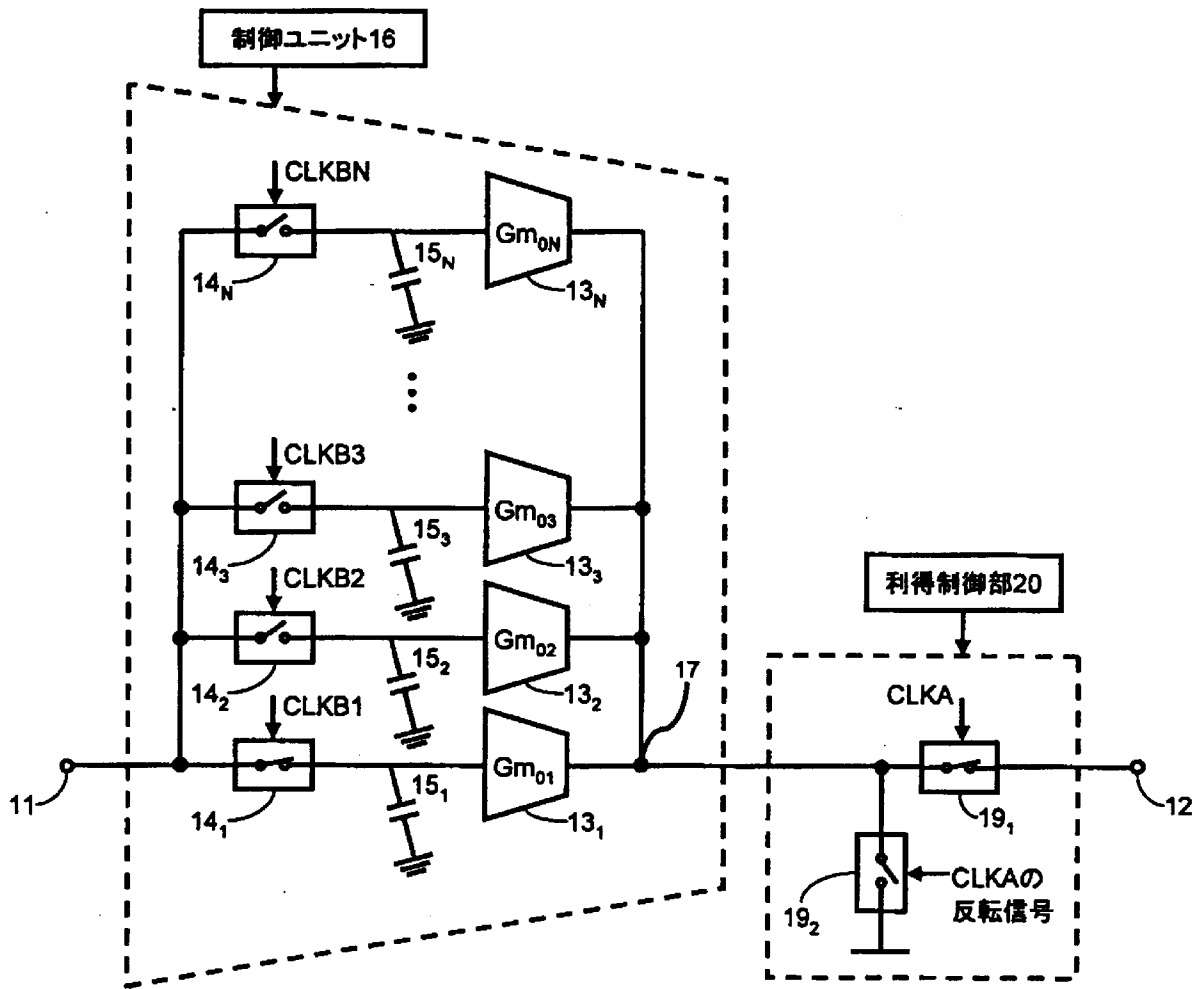
[図11]



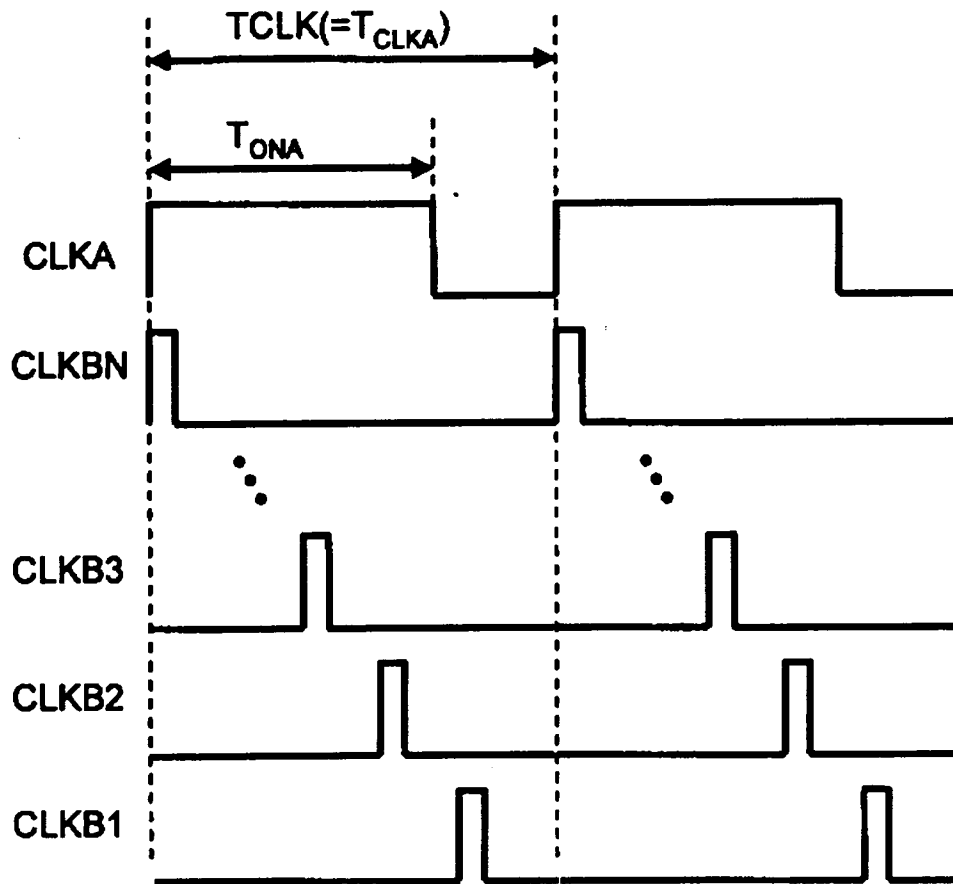
[図12]



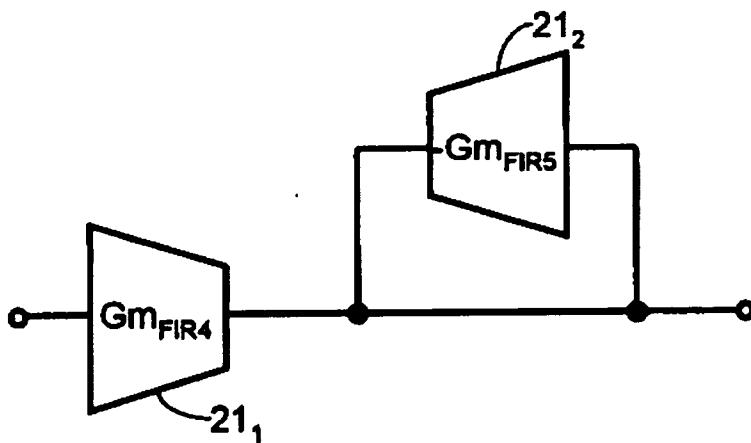
[図13]



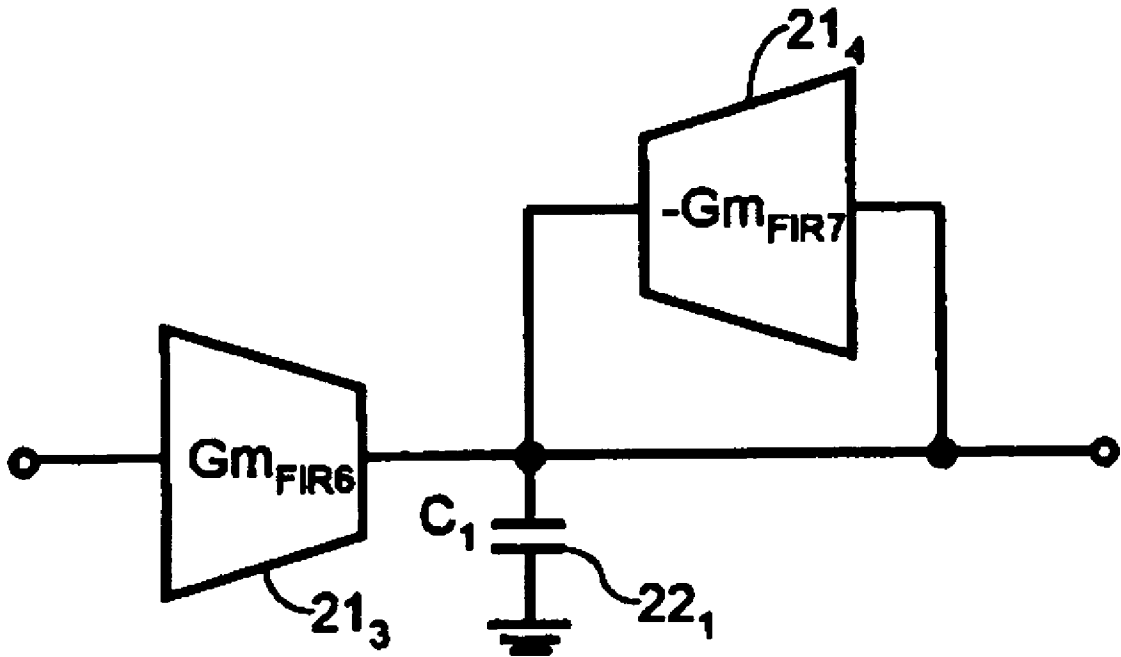
[図14]



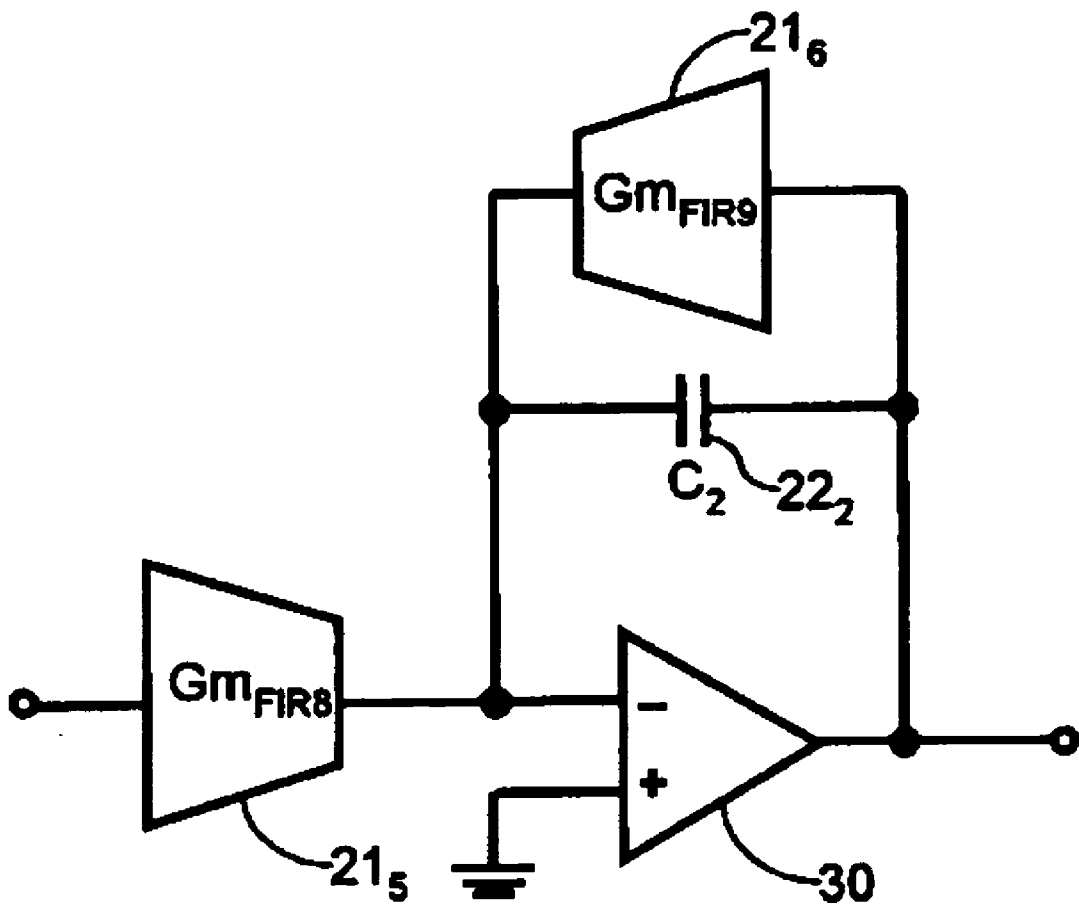
[図15]



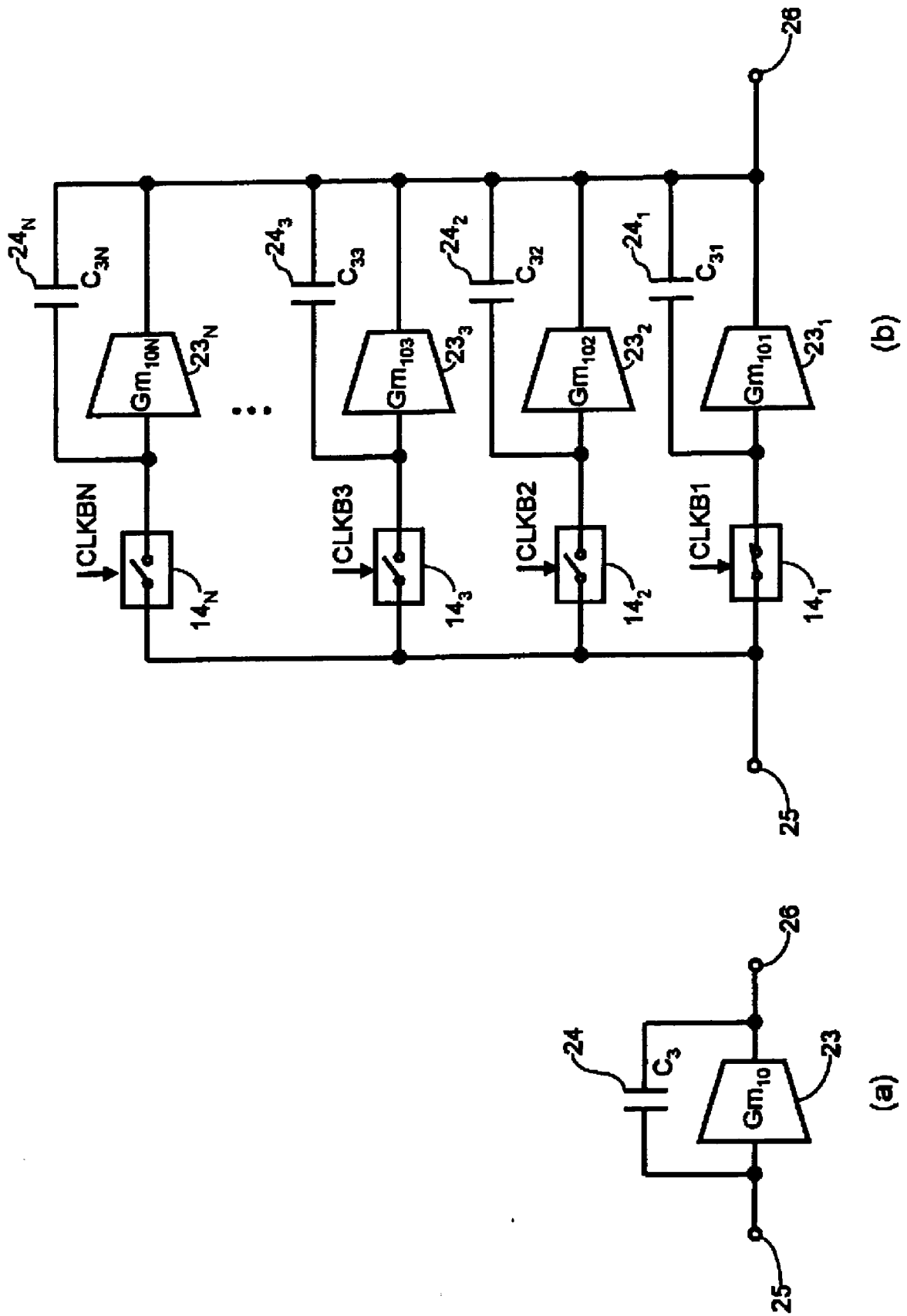
[図16]



[図17]



[図]18



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/051243

A. CLASSIFICATION OF SUBJECT MATTER
H03H11/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03H11/00-H03H11/54

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-541709 A (Sonic Innovations Inc.), 03 December, 2002 (03.12.02), Par. Nos. [0024] to [0035]; Figs. 4 to 5 & WO 2000/060745 A1 & US 6163287 A & EP 1171956 A	1-2, 7-11 3-6
A	JP 2003-317026 A (Waseda University), 07 November, 2003 (07.11.03), Par. Nos. [0013] to [0028]; Figs. 1 to 4 (Family: none)	1-11
A	JP 2007-324659 A (Sony Corp.), 13 December, 2007 (13.12.07), Figs. 3, 7 & US 2008/0088389 A1	1-11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 April, 2009 (06.04.09)	Date of mailing of the international search report 14 April, 2009 (14.04.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/051243

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-158444 A (Yamaha Corp.), 30 May, 2003 (30.05.03), Par. Nos. [0014] to [0026]; Figs. 1 to 2 (Family: none)	1-11
P,X	Masaki Kitsunozuka, et al., A Widely-Tunable Reconfigurable CMOS Analog Baseband IC for Software-Defined Radio, Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers., 2008.02.03, p.66-p.67, p.595	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03H11/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03H11/00-H03H11/54

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2002-541709 A (ソニック イノベーションズ インコーポレイ テッド) 2002.12.03, [0024]-[0035], 図 4-図 5 & WO 2000/060745 A1 & US 6163287 A & EP 1171956 A	1-2, 7-11 3-6
A	JP 2003-317026 A (学校法人早稲田大学) 2003.11.07, [0013]-[0028], 図 1-図 4 (ファミリーなし)	1-11

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

06.04.2009

国際調査報告の発送日

14.04.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

崎間 伸洋

電話番号 03-3581-1101 内線 3576

5W

3570

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-324659 A (ソニー株式会社) 2007. 12. 13, 図 3, 図 7 & US 2008/0088389 A1	1-11
A	JP 2003-158444 A (ヤマハ株式会社) 2003. 05. 30, [0014]-[0026], 図 1-図 2 (ファミリーなし)	1-11
P, X	Masaki Kitsunezuka, 他 2 名, A Widely-Tunable Reconfigurable CMOS Analog Baseband IC for Software-Defined Radio, Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers., 2008. 02. 03, p. 66-p. 67, p. 595	1-11