

(12) 发明专利

(10) 授权公告号 CN 101335526 B

(45) 授权公告日 2011. 07. 06

(21) 申请号 200810126253. 8

19-27 行、第 17 栏第 45 行至第 18 栏第 4 行，附图 5-6.

(22) 申请日 2003. 11. 04

审查员 沈乐平

(30) 优先权数据

10/306, 598 2002. 11. 27 US

(62) 分案原申请数据

200380104430. 8 2003. 11. 04

(73) 专利权人 塞瑞斯逻辑公司

地址 美国德克萨斯州

(72) 发明人 约翰·劳伦斯·梅兰松

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 尚志峰

(51) Int. Cl.

H03M 3/00 (2006. 01)

(56) 对比文件

CN 1257351 A, 2000. 06. 21, 说明书第 3 页第 25-29 行, 第 4 页第 25-26 行, 第 5 页第 11-12 行, 附图 3-5.

US 4686490 A, 1987. 08. 11, 说明书第 2 栏第

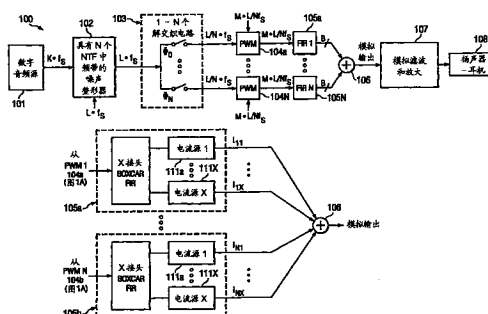
权利要求书 1 页 说明书 7 页 附图 6 页

(54) 发明名称

数模转换器

(57) 摘要

本发明提供了一种数模转换器,包括:噪声整形调制器,用于调制输入数字数据流;多个输出元件,用于从来自所述调制器的调制输出流生成多个中间数据流;输出加法器,用于对所述中间数据流求和以产生输出模拟流;其中,所述噪声整形调制器使所述输出元件的边沿跳变率平衡,使得两个被选元件的边沿跳变率近似相等。



1. 一种数模转换器,包括:

$\Delta-\delta$ 调制器,用于调制输入数字数据流,所述 $\Delta-\delta$ 调制器具有多个噪声传递函数中的衰减频带;

多个输出元件,用于从来自所述调制器的调制输出流生成多个中间数据流;

输出加法器,用于对所述中间数据流求和以产生输出模拟流;以及

其中,所述 $\Delta-\delta$ 调制器使所述输出元件的边沿跳变率平衡,使得两个被选元件的边沿跳变率近似相等。

2. 根据权利要求 1 所述的数模转换器,其中,所述多个输出元件包括至少 8 个输出元件。

3. 根据权利要求 1 所述的数模转换器,其中,所述调制器使所述输出元件的占空比平衡,使得两个被选元件的使用近似相等。

数模转换器

[0001] 本申请是申请日为 2003 年 11 月 4 日、申请号为 200380104430.8、发明名称为“具有数字滤波脉宽调制输出级的数据转换器及其方法和系统”的专利申请的分案申请,其全部内容结合于此作为参考。

技术领域

[0002] 本发明总的来说涉及 $\Delta-\delta$ 数据转换器,具体来说,本发明涉及具有数字滤波脉宽调制输出级的数据转换器及其方法和系统。

背景技术

[0003] $\Delta-\delta$ 调制器在数模转换器和模数转换器 (DAC 和 ADC) 中特别有用。利用过采样技术, $\Delta-\delta$ 调制器可将量化噪声功率分散到过采样频带上,该频带通常比输入信号带宽大很多。此外, $\Delta-\delta$ 调制器通过表现为输入信号的低通滤波器和噪声的高通滤波器来进行噪声整形;从而将大部分量化噪声功率移出信号带。

[0004] 典型的 $\Delta-\delta$ 调制器包括对输入信号与负反馈求和的加法器、环路滤波器、量化器、及连接量化器的输出和加法器的反相输入的反馈环。在一阶调制器中,环路滤波器包括一个积分器或其他滤波器级,而高阶调制器中的环路滤波器具有相应数量的滤波器级的级联。高阶调制器相对低阶调制器改善了量化噪声传输特性,但随着级的增加,稳定性成为更关键的设计要素。量化器可以是一位或多位量化器。

[0005] 在 DAC 应用(例如低频带外噪声 DAC)中,连续时间输出级(例如电流加法器)将量化的调制器输出转换为相对平滑的模拟信号,它相对离散时间输出级(例如,开关电容输出级)具有许多优点。例如,在调制器输出被量化为多个等级(例如,由 8 位或更多位表示的 64 级或更多级)的 DAC 系统中,连续时间输出级相对容易设计和构造。此外,以多个量化等级操作的连续时间输出级相对不受波动及远频带外能量的采样问题的影响。这些优点使得连续时间输出级成为集成到大型数字芯片中的最好选择。对于更小的数据转换器和编码解码器 (Codec) 来说,避免高频能量的采样可简化时钟管理方案。

[0006] 尽管有这些优点,连续时间输出级也有显著的缺点,例如对符号间干扰的易感性。(在这种情况下符号间干扰或 ISI 通常由来自连续时间元件或来自模拟存储器的输出信号的前沿或后沿中的不对称引起,其中每个符号取决于前一个符号。)即使大量的连续时间转换元件均可利用大量量化等级对数据采样进行操作,但 ISI 仍然可能支配连续时间数据转换器的输出模拟流中的噪声和失真成分。虽然可用归零 (RTZ) 技术使 ISI 最小化,但 RTZ 技术通常导致电路对于控制时钟的特性的灵敏度增加。

[0007] 因此,需要一种经过改良的电路和方法,使得连续时间输出级能够应用在例如 DAC 的应用中,同时使 ISI 最小化,并减小时钟特性对电路性能的影响。

发明内容

[0008] 根据一个具体实施方式,公开了一种数模转换器,包括:噪声整形调制器,用于调

制输入数字数据流；多个输出元件，用于由来自调制器的调制输出流生成多个中间数据流；以及输出加法器，用于对中间数据流求和以生成输出模拟流。噪声整形调制器使输出元件的边沿跳变率平衡，以使两个选定元件的边沿跳变率近似相等。通过使元件的边沿跳变率平衡，ISI 的影响被大大消除。

[0009] 本发明原理的应用提供了数字数据转换器的设计和构造，尤其是 DAC，其采用了对 ISI 和时钟变化具有最小易感性的连续时间输出元件。通常，占空比调制器接收数字输入流，并产生经过占空比调制、脉宽调制 (PWM) 的编码数据流。有限脉冲响应 (FIR) 滤波器从占空比调制流中除去 PWM 率的基频和谐波。通过将 FIR 滤波器的级与多个数模转换元件分接，可通过连续时间方式或离散时间方式生成模拟输出信号，并减少由于 ISI 抖动引起的失真。在一个具体的实施方式中，多个脉宽调制器级按时间交织，从而产生多个时间重叠的 PWM 编码数据流。这些重叠的 PWM 编码数据流驱动具有匹配的使用率和跳变率的多个转换元件。在交织的 PWM 级前面具有多个衰减频带的 $\Delta-\delta$ 调制器可使噪声衰减，否则噪声将由于模拟级间的不匹配而被解调。在各个交织 PWM 级后面连接的 FIR 滤波器可去除由 PWM 过程引起的频带外能量。

附图说明

[0010] 为了更完整地理解本发明及其优点，下面将参考以下结合附图进行的描述，在附图中：

[0011] 图 1A 是包括采用了根据本发明原理的、具有多个衰减频带和交织脉宽调制器的 $\Delta-\delta$ 调制器的数模转换器的典型数字音频系统的高级框图；

[0012] 图 1B 是适合在如图 1A 所示的典型模拟入数字出 FIR 块中使用的典型数字入模拟出有限脉冲响应 (FIR) 滤波器的更详细的框图；

[0013] 图 2A 是具有 4 个噪声衰减频带的典型 $\Delta-\delta$ 调制器的噪声传递函数 (NTF) 的增益 - 频率曲线图，其适合在采用 4 个交织脉宽调制器的图 1 所示的数据转换器的精选实施方式中使用；

[0014] 图 2B 是具有对应于图 2A 所示的噪声衰减频带的多个 NTF 噪声衰减频带的 $\Delta-\delta$ 调制器的极点和零点的 z 平面图；

[0015] 图 2C ~ 图 2E 是适合于产生图 2B 所示的极点 - 零点布局的典型前反馈 $\Delta-\delta$ 调制器的框图；

[0016] 图 3 是示出用于典型 4 个交织脉宽调制器的如图 1 所示的 $\Delta-\delta$ 调制器和脉宽调制器的典型操作的信号时序的时序图；

[0017] 图 4 是用于典型 4 次交织 PWM 和相关有限脉冲响应输出滤波器的响应的如图 1 所示的脉宽调制器中选出的一个的输出的增益 - 频率的曲线图；以及

[0018] 图 5 是采用根据本发明原理的交织噪声整形器和相应数字输出滤波器的典型数模转换器的高级操作框图。

具体实施方式

[0019] 本发明的原理及其优点可通过参考附图 1 ~ 5 中描述的实施方式更好地理解，附图中同样的标记指示同样的部件。

[0020] 图 1A 是适合于说明本发明的原理的典型数模转换器系统 100 的高级功能框图。为了进行论述,所描述的音频应用是对来自数字音频源 101(例如光盘(CD)播放器或数字通用光盘(DVD)播放器)的数字音频进行操作;然而下面描述的概念也可以用在需要进行数模转换的电路和系统的广泛领域中。在系统 100 中,从数字源 101 输出的数据是具有基本采样频率(采样率) f_s 的多位音频数据,并以过采样因数 K 进行过采样。例如,在图示实施方式中,音频流从数字音频源 101 输出,它具有 48kHz 的基本采样频率(f_s),以 64 倍(64x)过采样(即 $K = 64$)。

[0021] 系统 100 以具有多个噪声传递函数(NTF)中的衰减频带的多位噪声整形器 102(例如 $\Delta - \delta$ 调制器)为基础。噪声整形器 102 将在下文进一步详细描述;然而,通常 NTF 包括一个用于衰减信号通带中的噪声的衰减频带和用于衰减噪声的附加衰减频带,否则该噪声将在下文论述的多个脉宽调制(PWM)级实施方式中被之后的 PWM 级 104 之间的任何非零不匹配解调。

[0022] 在图示实施方式中的噪声整形器 102 以过采样频率 $L \cdot f_s$ 输出多位量化采样,其中 L 是噪声整形器 102 的过采样比。噪声整形器 102 的调制指数(MI)优选设置为确保满额输出量化电平不输出到后面的 PWM 级 104。然而,在可以容许输出流中有一定程度的 ISI 的替换实施方式中,满额量化电平也可采用。

[0023] 噪声整形器 102 的每个一位采样输出被 $1 \sim N$ 个交织电路 103 交织到一组 N 个并联 PWM 级中相对应的一个中,其中 N 是大于等于 1 的整数。在图 1A 中,为了论述目的示出了代表性的脉宽调制(PWM)级 104a ~ 104N。因此各个 PWM 级 104a ~ 104N 可有效地对采样率 $L/N \cdot f_s$ 的输入采样进行操作。适合用作系统 100 的 PWM 级 104a ~ 104N 的典型 PWM 级在转让给 Melanson 的美国专利第 6,150,969 号的标题为 Correction of Nonlinear Output Distortion In aDelta Sigma DAC 和转让给 Melanson 的第 5,815,102 号标题为 DeltaSigma PWM DAC to Reduce Switching 中进行了描述,两者都结合在本文中作为参考。交织电路 103 是示例性的电路。对于 PWM 级 104a、104b 的一个典型实施是可将它们连接至噪声整形器 102,并使它们只响应来自噪声整形器 102 的适当采样。例如,如果 N 是 2, PWM 级 104a 将只响应来自噪声整流器 102 的偶数采样,而 PWM 级 104b 将只响应奇数采样。

[0024] 在图示的系统 100 的实施方式中, PWM 级 104a ~ 104N 中的每一个都以过采样因数 M 及过采样频率为 $M \cdot (L/N) f_s$ 的过采样时钟信号进行操作。因此每个 PWM 级都输出 M 个时钟周期长度为 $N/(M \cdot L)$ 的 PWM 图形,代表从交织电路 103 接收的每个采样的 $(M+1)$ 个等级。除了信号基本频带(约为 $0 \sim f_s/2$)中的能量之外,各个 PWM 级 104a ~ 104N 还输出具有基频的大量能量和 PWM 重复率为 $L/N \cdot f_s$ 的谐波。因此,每一个 PWM 级 104a ~ 104N 后都跟着具有对应于这些谐波的衰减频带的数字入模拟出有限脉冲响应(FIR)滤波器。图 1A 中示出了代表性的 FIR 滤波器 105a ~ 105N。FIR 滤波器的模拟输出在输出加法器 106 中求和而产生模拟输出。

[0025] 通过这一系列操作,系统 100 确保了 FIR 滤波器 105a ~ 105N 的所有输出元件 111a ~ 111N(将在下面论述)的使用近似相同,这是由 $\Delta - \delta$ 噪声整形器 102 的多个 NTF 零点保证的(也将在下面论述)。在替换实施方式中,可以使用其他的技术,例如使用独立的 $\Delta - \delta$ 调制器。此外,通过这样构造系统 100,所有元件 111a ~ 111b 的边沿率也近似相等。这个结果通常是由于相结合的 $\Delta - \delta$ 调制器和脉宽调制器的固定边沿率引起的边缘效

应。总的来说,这两个约束消除了造成模拟输出级中失真的大部分来源。可以在替换实施方式中使用其他用于直接使边沿率平衡的技术。作为一个实例,边沿率可以被监控,及跳变概率相应被改变。

[0026] 图 1B 更详细地示出了数字入模拟出 FIR 滤波器 105a ~ 105N 的典型实施方式。每个滤波器 105a ~ 105N 都包括传统具有 X 个输出接头的 FIR 滤波器,例如具有简单系数的 Boxcar 滤波器。各个 FIR 滤波器 105a ~ 105N 的长度(级数)大于等于来自前面的 PWM 级 104a ~ 104N 的 PWM 图形的宽度,其对应于 PWM 重复频率的基频在滤波器输出传递函数中引入陷波(notch)。换言之,各个 FIR 滤波器 105a ~ 105N 的长度和 FIR 滤波器的输出频率与 FIR 滤波器的输入频率的比成比例。FIR 滤波器 105a ~ 105N 的长度越长(例如具有更多级的 FIR 滤波器),在以元件数量的增加为代价的情况下,能衰减的频带外能量将越多。使用具有相同权重的 FIR 滤波器 105a ~ 105N,即接头的数量等于 PWM 图形长度,是一种简单的显著减少频带外能量的技术。

[0027] x 个滤波器接头的每一个(其中 x 是大于 1 的整数)都与电流源或类似的一位数模转换元件相连,针对各个滤波器 105a ~ 105N,示出了其中的两个 111a 和 111x。电流源 111a ~ 111N 具有简单结构,例如电压源和在恒定电流范围内工作的一个或多个晶体管或串连晶体管。电流源的输出是单端源或差分源。在图示实施方式中,当通过电流源 111a ~ 111N 执行一位数模转换时,输出加法器 106 包括电流-电压转换器。电流可以相等(与在 Boxcar 滤波器中一样),或者被不均衡加权。有利地,具有相等接头的滤波器 105a ~ 105N 的 Boxcar 实施方式最容易实现,并适合大多数用途。

[0028] 在音频系统 100 中,由加法器 106 生成的模拟输出信号在模拟滤波和放大电路块 107 中进行额外的传统模拟滤波和放大。耳机或扬声器 108 提供声频输出。

[0029] 图 2A 和 2B 示出了用于 4 次(也就是 $N = 4$) 交织系统 100 的噪声整形器 102 的操作。如果 $N = 4$,噪声整形器 102 可输出被分成 4 个采样流的量化采样,每一个的频率为 $L \cdot fs/4$ 。在这个例子中,噪声整形器 102 以过采样频率 $128fs$ 输出数据采样,因而交织电路 103 将经过噪声整形的数据流分成 4 个流,每一个的频率为 $32fs$ 。因此,后面的 PWM 级 104a ~ 104N 之间的任何不匹配可在调制器频带 $128 \cdot fs/4$ 、 $128 \cdot fs/2$ 和 $128 \cdot 3fs/4$ (分别为 $32fs$ 、 $64fs$ 和 $96fs$) 中对噪声进行解调。有利地,因为输出不匹配的影响被 PWM 上采样中的多个槽减少,因而在各个输出中使用 PWM 级 105a ~ 105N 增加了后面 DAC 元件的有效匹配准确度。

[0030] 如图 2A 所示,暴露于 PWM 级 104a ~ 104N 之间的任何非零不匹配的噪声被包含在噪声整形器 102 的噪声传递函数(NTF)中频率约为 $32fs$ 、 $64fs$ 和 $96fs$ 的 3 个附加衰减频带连同信号基带的噪声衰减频带一起最小化。信号带中的衰减平均值和频率 $32fs$ 、 $64fs$ 和 $96fs$ 的衰减平均值之间的差别取决于后面 PWM 级 104a ~ 104N 之间的不匹配。不匹配存在越多,则在 $32fs$ 、 $64fs$ 和 $96fs$ 周围的频带中被解调的调制器噪声越多,以及在频率 $32fs$ 、 $64fs$ 和 $96fs$ 周围的调制器 NTF 中需要的衰减更多。然而,频率 $32fs$ 、 $64fs$ 和 $96fs$ 衰减的增加导致信号带中衰减的减少。(通常,图 2A 中 x 轴下方的面积必须等于在 x 轴上方的面积。)因此,必须在调制器输出频谱上的 NTF 全局噪声整形和 $32fs$ 、 $64fs$ 和 $96fs$ 周围的局部衰减电平之间实现平衡。

[0031] 需要产生在信号带中的平均衰减值和频率 $32fs$ 、 $64fs$ 和 $96fs$ 周围的平均衰减之

间具有给定差别的噪声整形器 102 中的 NTF。需要一种噪声整形器布局,其产生一组用于设置 NTF 信号带衰减的极点 - 零点对和多组在频率 32fs、64fs 和 96fs 周围的极点。图 2B 示出了表征一个这样的噪声整形器的极点与零点的 z 平面图。在这个例子中,表征了一个 11 阶噪声整形器,它包括 5 个极点 - 零点对的第一组 20,定义了 NTF 的低频(信号带)噪声衰减的形状。在图示实施方式中,极点 - 零点对组 20 包括在 Butterworth 位置的 4 个极点 - 零点对和一个实数极点 - 零点对。3 个附加的极点组 21、22、23 分别限定了频率 32fs、64fs 和 96fs 周围的噪声衰减频带的形状。各个组 20 ~ 23 中的极点和零点的数量可随实施方式变化,这取决于期望的噪声成形,以及 NTF 信号带中的衰减电平与 NTF 的 32fs、64fs 和 96fs 频带中的衰减电平之间的平衡。在图 2B 中,32fs、64fs 和 96fs 处的 NTF 零点沿着 z 平面中单位圆分离。在替换实施方式中,这些零点可以保持不分离(同位)状态,以减少实现噪声整形器 102 所需要的硬件数量。

[0032] 在审且被转让的专利申请“DELTA-SIGMA MODULATION CIRCUITS AND METHODS UTILIZING MULTIPLE NOISE ATTENUATION BANDS AND DATA CONVERTERS USING THE SAME”(美国序号 0/191,016,律师卷号 1354-CA{2836-P194US})中描述了可产生 NTF 中的多个衰减频带并且适合在噪声整形器 102 中使用的典型 Δ - δ 调制器(噪声整形器)布局图,其结合于本文中作为参考。例如,图 2B 所示的 z 平面极点 - 零点图可以通过使用图 2C 和 2D 中所示的交织调制器布局来实现,下面进行简要论述。可替换地,可以采用前馈设计,它包括 5 个具 $1/(1-Z^{-1})$ 的传递函数的滤波器级,及相关反馈回路,其在 $Z=0$ 点附近设置极点和零点,和一对具 $1/(1-Z^{-4})$ 的传递函数的滤波器级,及相关反馈回路,其在 z 平面点 $Z=1$ 、 -1 、 j 和 $-j$ 周围设置极点和零点。虽然反馈布局需要更精确的系数和附加的硬件,但反馈调制器可以用于其他实施方式中。包括前馈设计的 Δ - δ 调制器布局的一般讨论可以在例如 Norsworthy 等人的 Delta-Sigma Data Converters, Theory, Design and Simulation (IEEE Press, 1996) 中找到。

[0033] 在图 2C 所示的典型调制器布局 200 中,可分别使用 4 组独立回路滤波器级 201a ~ 201d 来实现频率 $f_s/4$ (z 平面点 $\text{Re}=0, \text{Im}=j$)、 $f_s/2$ (z 平面点 $\text{Re}=-1, \text{Im}=0$) 和 $3f_s/4$ (z 平面点 $\text{Re}=0, \text{Im}=-j$) 上的局部噪声整形,它们的输出通过开关 (SW) 202 及时地交织到下述主噪声整形回路 209 中。在图 2D 中更详细示出的每组独立环路滤波器级 201a ~ 201d,包括一对滤波器级 203a 和 203b、对应的具有系数 C_1 和 C_2 用于设置局部极点的前馈级 204a 和 204b、及用于设置局部零点的反馈回路 205(具有延迟 Z^{-1} 和增益 g_1) 和加法器 206。(根据需要的局部极点和零点的数量和位置,各个独立滤波器级 201a ~ 201d 的结构可以在单滤波器级 203 和 3 个或更多滤波器级 203 之间变化,并包括不止一个反馈回路)。独立滤波器级 201a ~ 201d 的增益级 204a ~ 204b 的输出通过对应的一组开关 (SW) 207a ~ 207b 被交错到调制器输出加法器 208 中。

[0034] 关于 DC 的(直流或 0 频率) (z 平面点 $\text{Re}=0, \text{Im}=0$) 全局(基带)噪声整形的特征在于 5 阶主(共享)噪声整形回路 209。图 2E 中更详细地示出了主噪声整形回路 209,它包括 5 个全局滤波器级 210a ~ 210e 和前馈到输出加法器 208(参见图 2C)的分别具有系数 $C_3 \sim C_7$ 的相关前馈级 211a ~ 211e。(根据所需要的 NTF 中全局极点 - 零点对的数量和位置的不同,全局滤波器级 210a ~ 210e 的数量也可在不同实施方式之间进行变化。)所示的反馈回路 212a ~ 212b(包括增益 g_2 和延迟 Z^{-1}) 和加法器 213a ~ 213b 用来从 DC 点

($\text{Re} = 1, \text{Im} = 0$) 移开 z 平面单位圆上的全局噪声整形零点。

[0035] 虽然各个 PWM 级 105a ~ 105N 中的能量通常随时间追随输入能量 (例如, 输出能量的一阶积分跟随输入能量的一阶积分) 时, 但在 PWM 输出中会出现明显失真, 这是因为 PWM 输出能量的时刻随着不同 PWM 图形而改变 (例如, PWM 输出能量的二阶或更高阶积分的值不跟随输入能量的更高阶积分的值)。特别地, 给定的 PWM 输出图样的二阶或更高时刻的位置取决于被转换的特殊数字字和相应的图样中逻辑高和逻辑低时隙的数目, 以及这些时隙在图样的时间周期上分布。每个图样中时隙的分布会受到用来产生图样的技术的影响 (例如, 偏右, 偏左, 等等)。

[0036] 在图 2C 所示的 $\Delta - \delta$ 调制器 102 中, 反馈补偿块 220 包括在量化器 214 的输出上, 以向二阶环路滤波器 201 的积分器级 203a ~ 203b (参见图 2D) 和 / 或 5 阶环路滤波器 209 的积分器级 210a ~ 210e (参见图 2E) 提供非线性反馈。反馈补偿块 220 提供的非线性反馈在所结合的美国专利 6, 150, 969 和 5, 815, 102 中被描述, 它们在前面已经被引用, 并结合在本文中作为参考。通常, 校正因数从反馈补偿块 220 被反馈到 $\Delta - \delta$ 调制器环路滤波器 201a ~ 201d 和 209 的积分器级 203a ~ 203b 和 210a ~ 210b。通过选择性地校正相应的积分器级的输入, 数据进入后面 PWM 级 105a ~ 105N 的输入的时刻被改变。进而, PWM 输出的时刻被校正以减少失真, 否则失真可能由随时间变化的输出能量时刻产生。例如, 为了校正在给定 PWM 输出图形中的第二时刻中的变化, 至少应将非线性校正校正因数反馈到 $\Delta - \delta$ 调制器环路滤波器 201a ~ 201d 和 209 的第二积分级。

[0037] 回到图 2C, 一位量化器 214 和延迟元件 (Z^{-1}) 215 优选地产生调制器 200 的输出。所得输出信号被反馈到调制器输入加法器 216 的反相输入以闭合 $\Delta - \delta$ 回路。通过在独立的多组滤波器级 201a ~ 201d 之间进行交织, 每组滤波器级 201a ~ 201d 对位于调制器输入的 $1/4$ 采样率 f_s 的加法器 208 的输入起作用。因此, 由滤波器组 201a ~ 201d 设置的极点和零点被转化为图 2B 所示的 z 平面点。

[0038] 继续图 1 所示的数据转换器 100 的 4 次交织 ($N = 4$) 的实施方式, 交织电路 103 的 4 个 $32f_s$ 量化采样流分别被传递到 4 个 PWM 级 104a ~ 104N。在这个例子中, 每个 PWM 级 104a ~ 104N 根据 $256f_s$ 过采样时钟信号来执行 8 倍 (8x) 过采样 (也就是, $M = 8$)。所得 PWM 编码输出脉冲流在时间上重叠, 如图 3 所示。

[0039] 图 3 是示出将任选数目的从噪声整形器 102 输出的具有 $128f_s$ 过采样频率一位量化采样转换为多个具有 $256f_s$ 过采样频率的 PWM 流的时序图。在图 3 中, 来自噪声整形器 102 的输出的 8 个代表位或采样 (1 ~ 8) 由标记为 NSOUT 的迹线示出。在 4 次交织之后, 每个 PWM 级 104a ~ 104N 对新的频率为 $32f_s$ 的操作数 (采样) 进行操作, 它们分别由标记为 PWM_1 、 PWM_2 、 PWM_3 、和 PWM_4 的互相重叠的流示出。

[0040] 用于 8 倍过采样, 每个 PWM 级 104a ~ 104N 将以 $32f_s$ 过采样频率接收的各个对应采样编码到 PWM 编码脉冲中, 这些脉冲是 8 周期的 $256f_s$ 过采样时钟信号, 在图 3 中由标记为 $\text{PWM}_{1\text{OUT}}$ 、 $\text{PWM}_{2\text{OUT}}$ 、 $\text{PWM}_{3\text{OUT}}$ 、和 $\text{PWM}_{4\text{OUT}}$ 的流表示。例如, $\text{PWM}_{1\text{OUT}}$ 流将噪声整形器 102 的输出采样 1 和 5 在由交织电路 103 四次交织和由对应的 PWM 级 104a ~ 104N 8 倍过采样后, 表示为 PWM 调制周期 (脉冲) 1-1 ~ 1-8 和 5-1 ~ 5-8。

[0041] PWM 编码位流 $\text{PWM}_{1\text{OUT}}$ 、 $\text{PWM}_{2\text{OUT}}$ 、 $\text{PWM}_{3\text{OUT}}$ 、和 $\text{PWM}_{4\text{OUT}}$ 在时间上偏移 $256f_s$ PWM 过采样时钟的 2 个周期 (或等于 1 个周期的 $128f_s$ 噪声整形器过采样时钟)。这些时间重叠流中的

每一个对约为 $0 \sim f_s/2$ 的信号基带中的能量连同重复频率 $32f_s$ 的谐频（例如 $32f_s$ 、 $64f_s$ 、 $96f_s$ ，等等）上的大量能量一起进行调制，如图 4 所示的输出增益与频率的曲线图的轨迹线 401 所示。因此，4 个 PWM 级 104a ~ 104N 中的每一个与输出 FIR 滤波器 105a ~ 105N 相联，具有图 4 中轨迹线 402 所示的响应。特别地，各个 FIR 滤波器 105a ~ 105N 的响应具有在 $32f_s$ 的谐频周围的陷波，对应于相同频率的相应 PWM 级 104a ~ 104N 的输出响应的峰值。例如，通过使用具有简单系数的 16 级 Boxcar FIR 滤波器，可获得 FIR 响应 402。

[0042] 在具有 4 个数字入模拟出 FIR 滤波器 105a ~ 105N 的实施方式中，每一个都具有 16 级 Boxcar 滤波器，64 个模拟输出被提供给输出加法器 106。这 64 个模拟输出在时间上重叠，并在使用率和跳变率（跳变密度）上匹配。结果是具有最小的 ISI 导致的噪声和失真的时间连续模拟输出。有利地，这样的结构使得所有 DAC 元件具有同样的边沿率和同样的使用占空比。这个优点使得所有失真和噪声产物的消除达到显著的程度。

[0043] 本发明的原理也可在图 5 所示的典型 $\Delta - \delta$ 转换器 500 中实施，其中 N 个 $\Delta - \delta$ 调制器（噪声整形器）501a ~ 501N 在时间上交织，并且所得的解交织输出流被直接通到输出数字输入模拟输出 FIR 滤波器 105a ~ 105N。在图 5 中，L 是各个噪声整形级 501a ~ 501N 的过采样因数。噪声整形级 501a ~ 501N 的量化数据流以大于等于噪声整形器 501a ~ 501N 的过采样频率 $L \cdot (K/N) f_s$ 的频率在 FIR 滤波器 105a ~ 105N 中被转换。有利地，与前述一样，FIR 滤波器 105a ~ 105N 的 DAC 元件因而在占空比（使用）率和跳变率上匹配。

[0044] 虽然根据特殊实施例描述了本发明，但是这些描述并不意味着限制理解。对于本领域的技术人员，所公开的实施方式的各种改变，以及本发明的替换实施方式，在参考本发明的说明基础上是显而易见的。本领域的技术人员可以意识到，所公开的概念和特殊实施方式可以容易地被用作改变或设计用于实现本发明同样目的的其他结构的基础。本领域的技术人员还应该意识到，这样等同的结构会脱离本发明权利要求的精神和范围。

[0045] 因此，权利要求将覆盖任何落入本发明准确范围内的改变或实施方式。

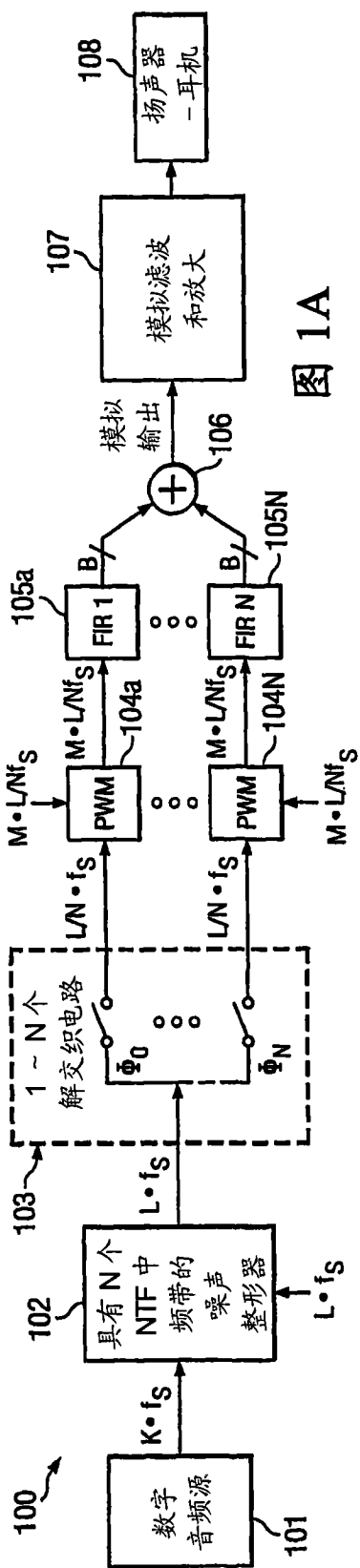


图 1A

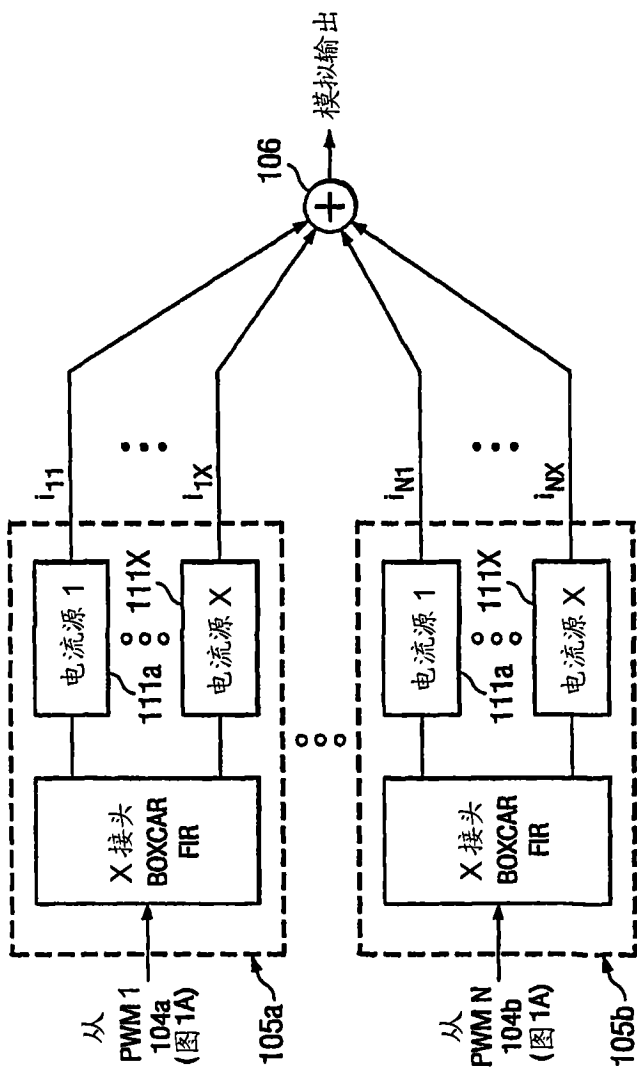


图 1B

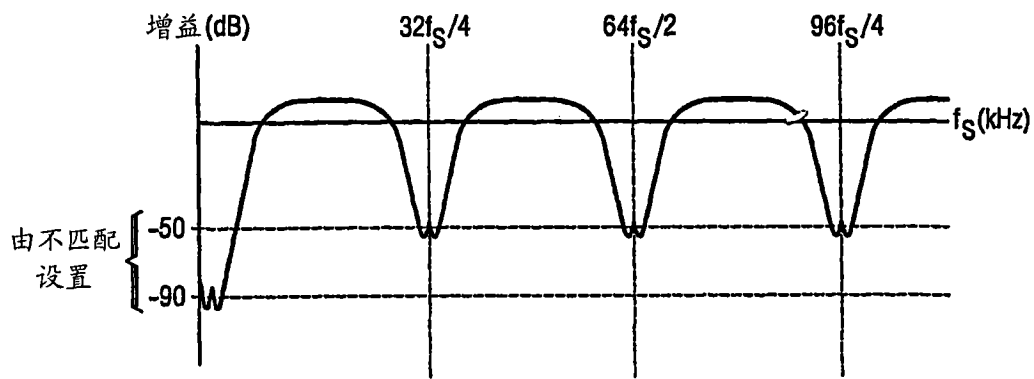


图 2A

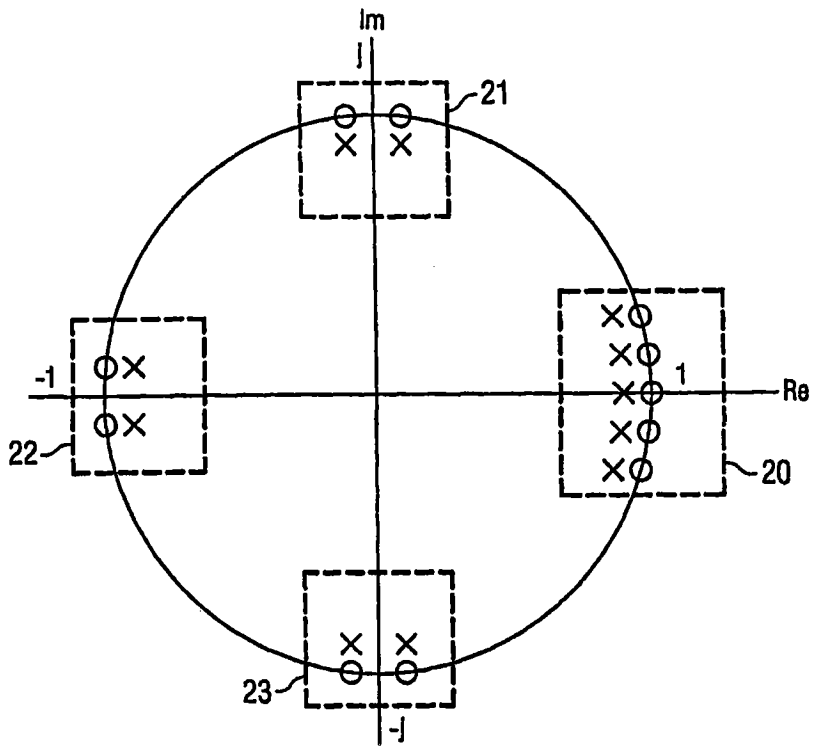


图 2B

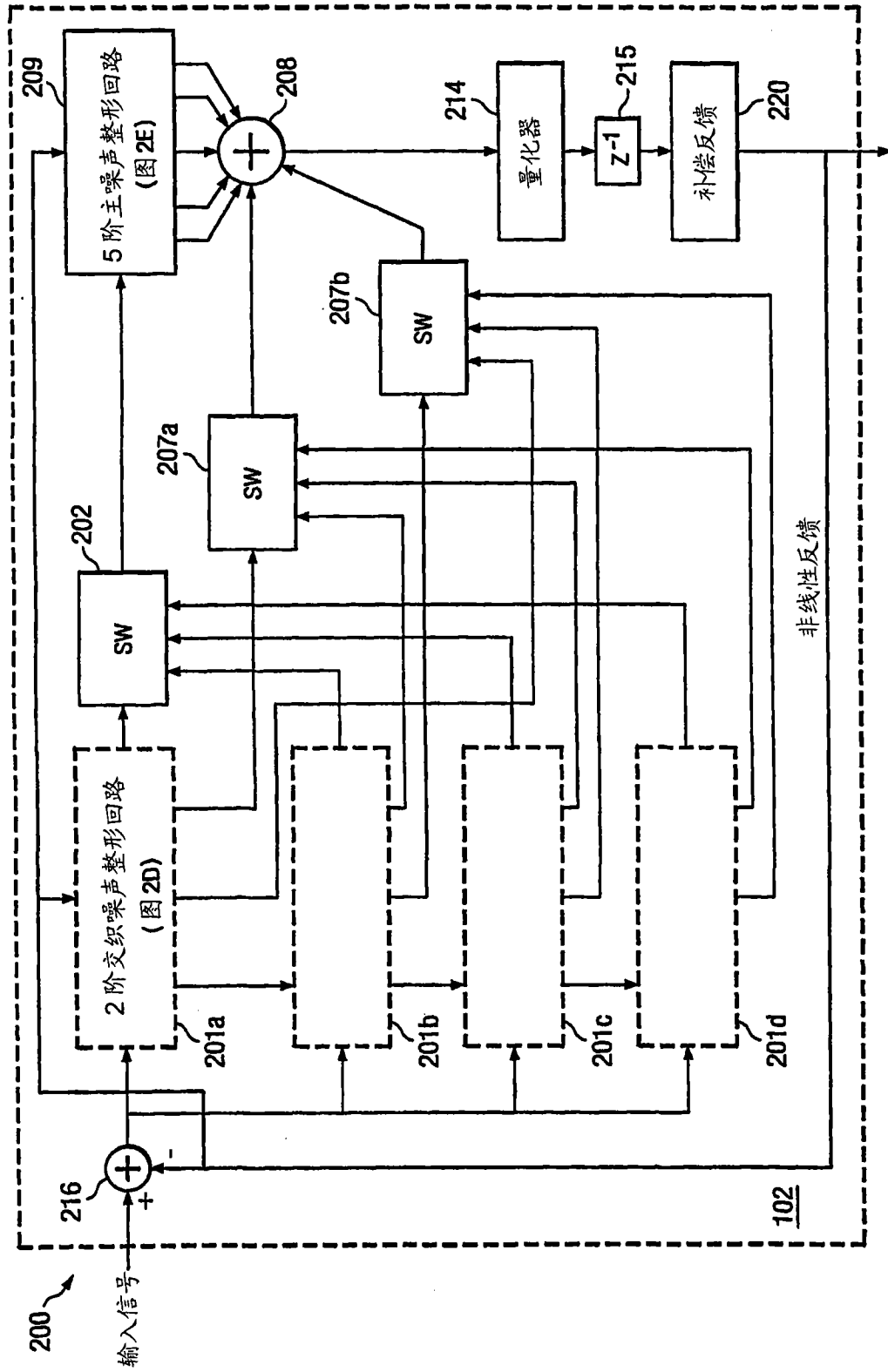


图 2C

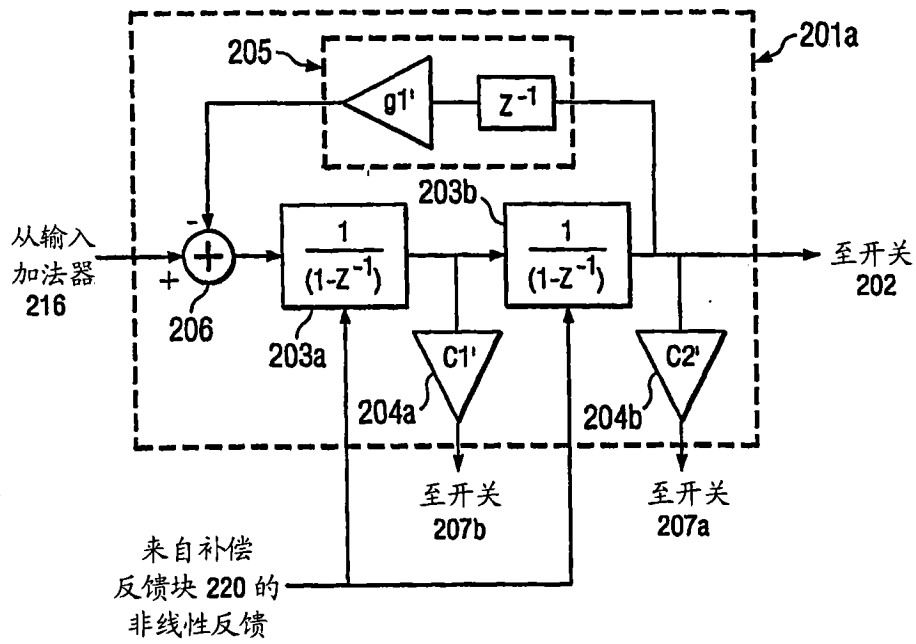


图 2D

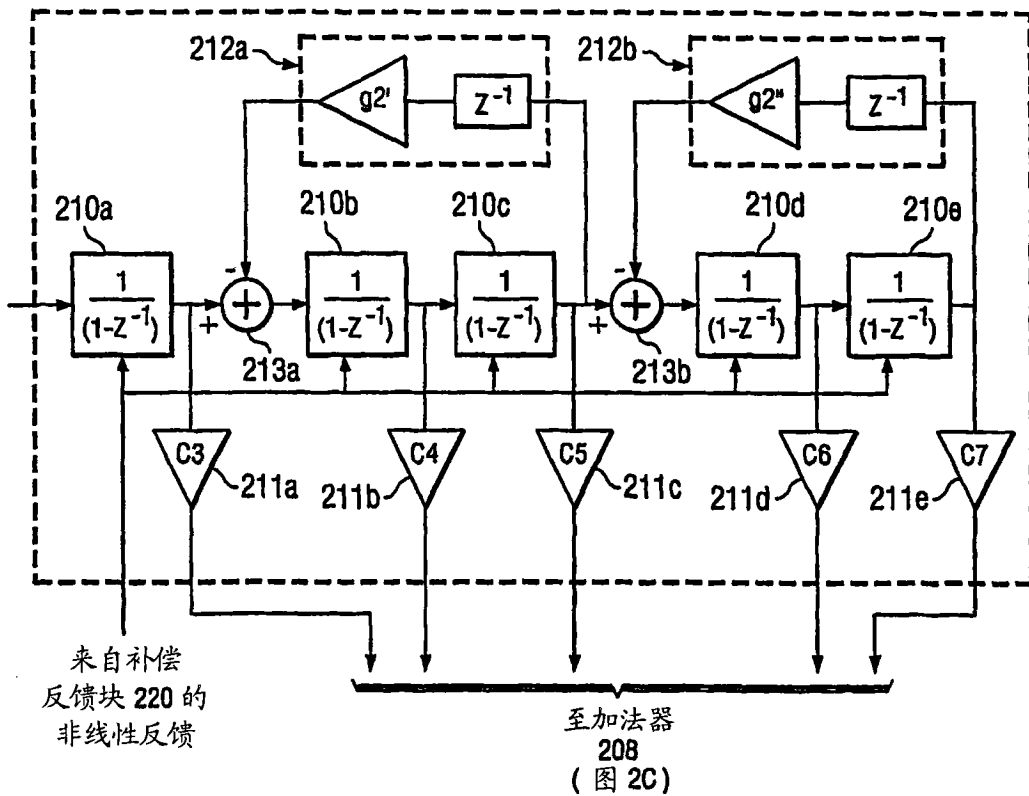


图 2E

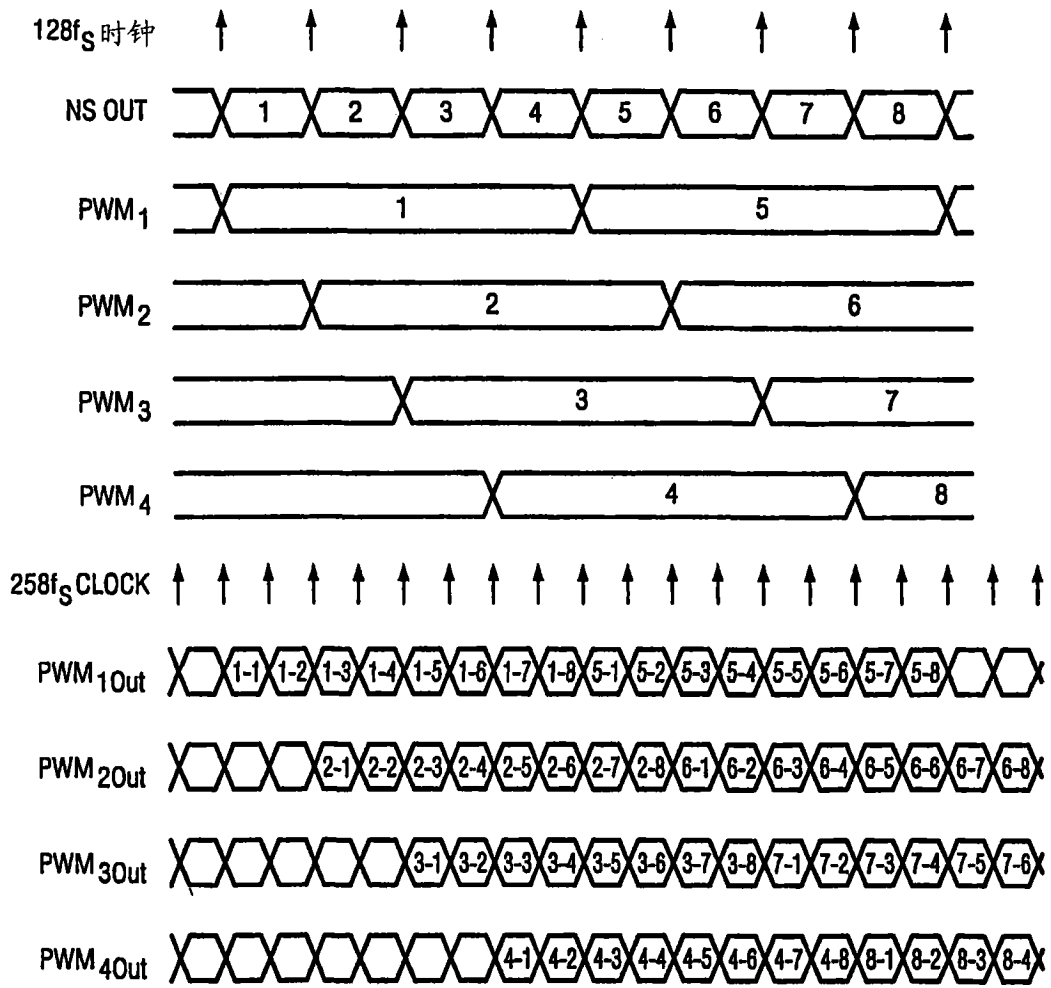


图 3

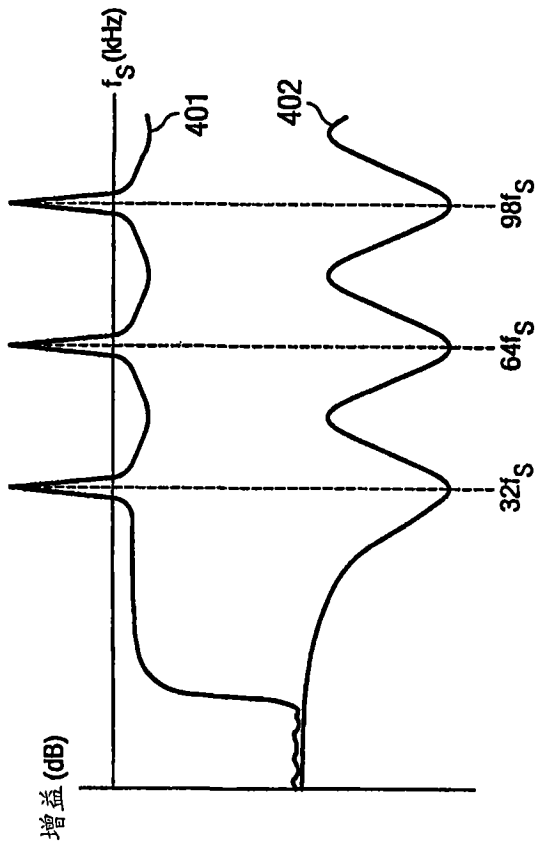


图 4

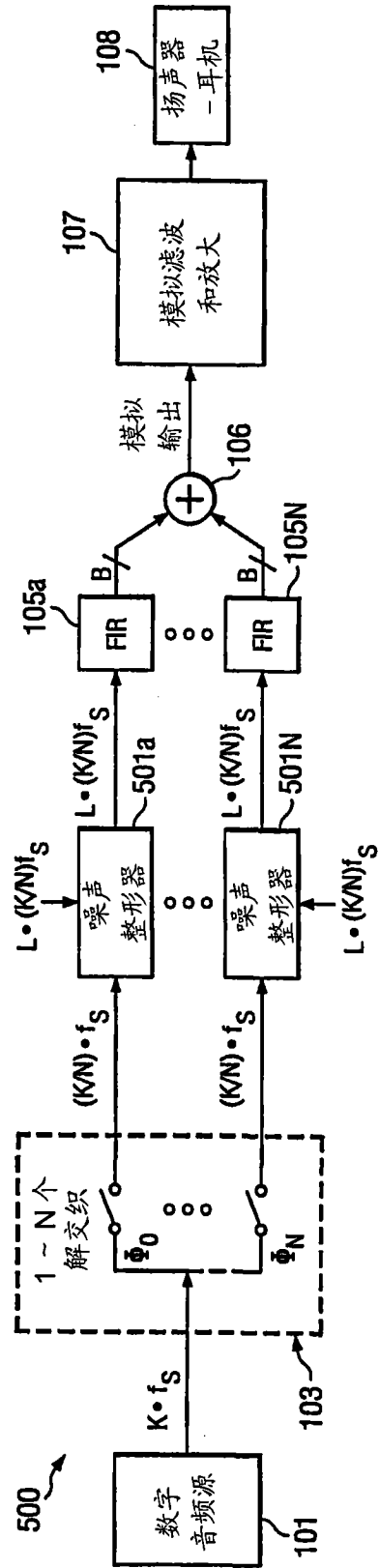


图 5