

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月17日(17.03.2022)



(10) 国際公開番号

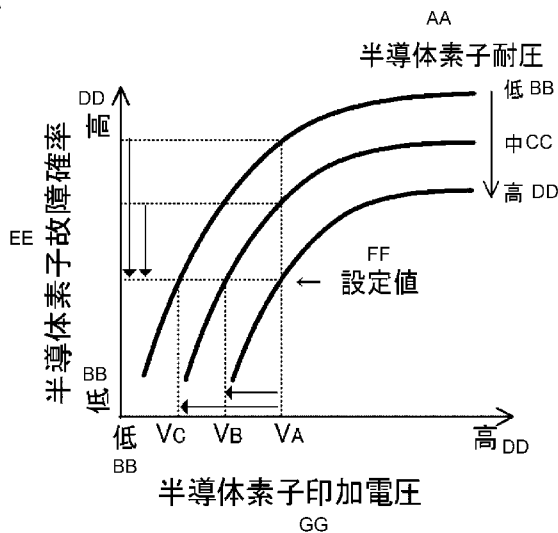
WO 2022/054155 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2020/034055
- (22) 国際出願日: 2020年9月9日(09.09.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 城内 悠輔 (SHIROUCHI Yusuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 藤原 賢司 (FUJIWARA Kenji); 〒1008310 東京都千代
- 田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 永井 孝佳(NAGAI Takayoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人ぱるも特許事務所 (PALMO PATENT FIRM, P.C.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目3番5号 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: POWER CONVERTER AND AIRCRAFT EQUIPPED WITH POWER CONVERTER

(54) 発明の名称: 電力変換装置及び電力変換装置を搭載した航空機

図6A



AA Semiconductor element breakdown voltage
BB Low
CC Medium
DD High
EE Semiconductor element failure probability
FF Set value
GG Voltage applied to semiconductor element

(57) Abstract: A power converter (3) that is arranged between a power supply (1) and a load (4) and converts power from the power supply (1) to supply the converted power to the load (4), the power converter comprising a plurality of switching elements (Q1-Q24) composed of semiconductor elements, and a control device (20) that generates drive signals for controlling the plurality of switching elements (Q1-Q24), wherein a voltage is applied to each of the plurality of semiconductor elements based on the respective drive signal generated by the control device (20), and the plurality of semiconductor elements have the same probability of failure caused by a neutron beam, thereby preventing the failure of the power converter (3) caused by the neutron beam and suppressing an increase in size.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(57) 要約 : 電源 (1) と負荷 (4) との間に配置され、電源 (1) からの電力を変換して負荷 (4) に供給する電力変換装置 (3) であって、半導体素子から構成される複数のスイッチング素子 (Q 1 ~ Q 2 4) と、複数のスイッチング素子 (Q 1 ~ Q 2 4) を制御する駆動信号を生成する制御装置 (2 0) と、を備え、複数の半導体素子は制御装置 (2 0) により生成された駆動信号に基づいてそれぞれ電圧が印加されるとともに、複数の半導体素子は中性子線による故障確率が同等となるようにして、電力変換装置 (3) の中性子線による故障を防ぎ、大型化を抑制する。

明 細 書

発明の名称：電力変換装置及び電力変換装置を搭載した航空機
技術分野

[0001] 本願は、電力変換装置及び電力変換装置を搭載した航空機に関する。

背景技術

[0002] 近年、電気自動車及び船舶等において、エンジンから電動モータ駆動といった電動化システムの普及が進み、航空機に関してもCO₂削減の動きから電動化への研究が世界各国で進められている。電動モータを駆動するために、電動モータに所定の電力を供給する電力変換装置が用いられる。電動航空機に搭載される電力変換装置はパワーモジュールあるいは半導体素子を具備しており、高高度環境下で使用されるため、宇宙線（中性子線）によるパワーモジュールあるいは半導体素子の偶発故障を招くことが知られており、この故障発生を防ぐための対策が求められる。また、航空機に搭載するために、実装及び燃費の観点から小型かつ軽量の電力変換装置が求められる。

[0003] このような状況において、電力変換装置を、マルチレベルインバータで構成し、高度に応じてインバータに供給する印加電圧を調整し、中性子線による偶発故障を防ぐことが開示されている（例えば、特許文献1参照）。

また、マルチレベルインバータとしては、三相インバータと単相インバータとを直列接続されたものが知られている（例えば、特許文献2参照）。

[0004] また、中性子線による半導体素子の故障確率は半導体素子の種類及び印加電圧に相関があることが知られている（例えば、非特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：米国特許出願公開第2019/152617号明細書

特許文献2：国際公開第2009/116273号

非特許文献

[0006] 非特許文献1：Akin Akturk, James McGarrity, Neil Goldsman, Daniel J. L

ichtenwalner, Brett Hull, Dave Grider, and Richard Wilkins, "The Effects of Radiation on the Terrestrial Operation of SiC MOSFETs", 2018 IEEE international Reliability Physics Symposium, pp.2B.1-1 -2B.1-5

発明の概要

発明が解決しようとする課題

[0007] 特許文献1に開示される技術では、航空機が閾値を超える高度に到達した場合、印加電圧を下げることで、故障を抑制することが可能である。しかし、特許文献2に示されるように、マルチレベルインバータのような電力変換装置は、多くの半導体素子を具備している。そして、非特許文献1に開示されているように、半導体素子の種類によっても宇宙からの中性子線による故障確率が異なるため、全ての半導体素子が故障しないように印加電圧を制御することは容易ではない。あるいは、過剰な耐圧を見込んで半導体素子を準備することにより電力変換装置の大型化、重量増加の虞がある。

[0008] 本願は、上記の課題を解決するための技術を開示するものであり、中性子線による故障を防ぎ、かつ装置の大型化を抑制し、軽量化の可能な電力変換装置を提供することを目的とする。

課題を解決するための手段

[0009] 本願に開示される電力変換装置は、電源と負荷との間に配置され、前記電源からの電力を変換して前記負荷に供給する電力変換装置であって、駆動信号によって制御される半導体素子をそれぞれ備えた複数のスイッチング素子と、前記駆動信号を生成する制御装置と、を備え、複数の前記半導体素子は前記制御装置により生成された前記駆動信号に基づいてそれぞれ電圧が印加されるとともに、複数の前記半導体素子は同じ前記電圧が印加された場合に中性子線による故障確率が異なるものを含み、複数の前記半導体素子は前記駆動信号に基づいて印加されるそれぞれの前記電圧に対して中性子線による故障確率が同等となるようにしたものである。

発明の効果

[0010] 本願に開示される電力変換装置によれば、中性子線による故障を防ぎ、かつ装置の大型化を抑制し、軽量化が可能となる。また、この電力変換装置を搭載した航空機は、信頼性ととも燃費を向上させることができる。

図面の簡単な説明

[0011] [図1]実施の形態1に係る電力変換システムの構成を示す概略構成図である。

[図2A]実施の形態1に係る電力変換装置の回路構成の一例を示す図である。

[図2B]実施の形態1に係る電力変換装置の回路構成の別の例を示す図である。

。

[図3A]実施の形態1に係る電力変換装置に用いられるスイッチング素子の一例を示す図である。

[図3B]実施の形態1に係る電力変換装置に用いられるスイッチング素子の別の例を示す図である。

[図3C]実施の形態1に係る電力変換装置に用いられるスイッチング素子のさらに別の例を示す図である。

[図4A]実施の形態1に係る電力変換装置の出力指令値を示す図である。

[図4B]実施の形態1に係る電力変換装置のうち3相3レベルインバータの出力指令値を示す図である。

[図4C]実施の形態1に係る電力変換装置のうち単相インバータの出力指令値を示す図である。

[図5A]実施の形態1に係る電力変換装置のうち3相3レベルインバータを構成するスイッチング素子を駆動するためのゲート駆動信号を示す図である。

[図5B]実施の形態1に係る電力変換装置のうち単相インバータを構成するスイッチング素子を駆動するためのゲート駆動信号を示す図である。

[図6A]異なる素子耐圧を有する半導体素子について、半導体素子への印加電圧と故障確率との関係を示す図である。

[図6B]種類の異なる半導体素子について、半導体素子への印加電圧と故障確率との関係を示す図である。

[図7]実施の形態2に係る電力変換システムの構成を示す概略構成図である。

[図8]実施の形態2に係る非絶縁降圧チョッパ回路の回路構成の一例を示す図である。

[図9A]実施の形態2に係る非絶縁降圧チョッパ回路を構成するスイッチング素子のゲート駆動信号及びリンクコンデンサの電圧を示す図である。

[図9B]実施の形態2に係る非絶縁降圧チョッパ回路を構成するスイッチング素子のゲート駆動信号及びリンクコンデンサの電圧を示す別の図である。

[図10]実施の形態4に係る電力変換装置において、種類の異なる半導体素子の故障確率の合わせ方を説明するための図である。

[図11]実施の形態5に係る航空機を示す概略構成図である。

[図12]実施の形態6に係る航空機を示す概略構成図である。

[図13]実施の形態1から6に係る制御装置のハードウェア構成図である。

発明を実施するための形態

[0012] 以下、本実施の形態について図を参照して説明する。なお、各図中、同一符号は、同一または相当部分を示すものとする。

[0013] 実施の形態1.

以下、実施の形態1に係る電力変換装置について図を用いて説明する。

図1は、実施の形態1に係る電力変換装置3を用いた電力変換システムの一例を示す概略構成図である。図において、電源1と負荷4との間に、DCリンクコンデンサ2及び電力変換装置3が並列に接続されている。電力変換装置3は直流電源である電源1からの電力を所定の電力に変換して負荷4に出力する電力変換部であるインバータ10とその制御部である制御装置20とを具備する。なお、本実施の形態1においてはインバータ10として、DC/ACインバータを例に説明する。

[0014] 図2A、図2Bは、インバータ10の回路構成の一例を示す図で、DC/ACインバータ10は、三相3レベルインバータ30及び単相インバータ40を備えている。

図2Aにおいて、三相3レベルインバータ30を構成するスイッチング素子Q1～Q12は半導体素子であるIGBT(Integrated Ga

te Bipolar Transistor) にダイオードが逆並列接続された構造を有し、単相インバータ40を構成するスイッチング素子Q13～Q24は半導体素子であるMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) にダイオードが逆並列接続された構造を有する例である。図2Bにおいて、三相3レベルインバータ30を構成するスイッチング素子Q1～Q12は図2Aと同様に半導体素子であるIGBTにダイオードが逆並列接続された構造を有し、単相インバータ40を構成するスイッチング素子Q13～Q24は半導体素子であるHEMT (High Electron Mobility Transistor) にダイオードが逆並列接続された構造を有する例である。

[0015] ここで、三相3レベルインバータ30を構成するスイッチング素子Q1～Q12及び単相インバータ40を構成するスイッチング素子Q13～Q24はいずれもワイドバンドギャップ半導体を用いて形成されたものが好ましい。詳細は後述するが、特に単相インバータ40を構成するスイッチング素子Q13～Q24は高速スイッチングを行うので、ワイドバンドギャップ半導体を用いて形成されたスイッチング素子がより好適である。

[0016] 図2A、図2Bの三相3レベルインバータ30及び単相インバータ40を構成するスイッチング素子Q1～Q24の構造を図3A、図3B、図3Cを用いて説明する。

図3Aは、三相3レベルインバータ30を構成するスイッチング素子Q1からQ12に適用される半導体素子の構成を示す一例で、コレクタ端子C、ゲート端子G、エミッタ端子Eを有するIGBT13とこれに逆並列接続されたダイオード14とで構成される。IGBT13は、Si-IGBTであっても、ワイドバンドギャップ半導体を用いた例えばSiC-IGBTであってもよい。また、ダイオード14はSi-ダイオードであっても、ワイドバンドギャップ半導体を用いた例えばSiC-ダイオードであってもよい。

[0017] 図3Bは、単相インバータ40を構成するスイッチング素子Q13～Q2

4に適用される半導体素子の構成を示す一例で、ドレイン端子D、ゲート端子G、ソース端子Sを有するMOSFET15とこれに逆並列接続されたダイオード16とで構成される。MOSFET15は、Si-MOSFETであっても、ワイドバンドギャップ半導体を用いた例えばSiC-MOSFETであってもよい。また、ダイオード16はSi-ダイオードであっても、ワイドバンドギャップ半導体を用いた例えばSiC-ダイオードであってもよい。しかし、望ましくはワイドバンドギャップ半導体を用いた半導体素子である方がよい。

[0018] 図3Cは、単相インバータ40を構成するスイッチング素子Q13~Q24に適用される半導体素子の別の構成を示す一例で、ドレイン端子D、ゲート端子G、ソース端子Sを有するHEMT17とこれに逆並列接続されたダイオード18とで構成される。HEMT17は、例えばワイドバンドギャップ半導体を用いたGaN-HEMTである。また、ダイオード18はショットキーバリアダイオード、Si-ダイオードであっても、ワイドバンドギャップ半導体を用いた例えばSiC-ダイオードであってもよい。しかし、望ましくはワイドバンドギャップ半導体を用いた半導体素子である方がよい。

[0019] 次に、図2Aを用いて、インバータ10の回路構成について説明する。

図2Aにおいて、三相3レベルインバータ30は、直列接続されたP側コンデンサ31とN側コンデンサ32、直列接続されたスイッチング素子Q1~スイッチング素子Q4、直列接続されたスイッチング素子Q5~スイッチング素子Q8、直列接続されたスイッチング素子Q9~スイッチング素子Q12がDCリンクコンデンサ2に並列接続されて構成されている。

[0020] P側コンデンサ31とN側コンデンサ32との接続点Eは、ダイオードD1のアノード端子とダイオードD2のカソード端子との接続点Eu、ダイオードD3のアノード端子とダイオードD4のカソード端子との接続点Ev、及びダイオードD5のアノード端子とダイオードD6のカソード端子との接続点Ewと接続されている。

[0021] ダイオードD1のカソード端子はスイッチング素子Q1とスイッチング素

子Q 2との接続点K uと接続され、ダイオードD 3のカソード端子はスイッチング素子Q 5とスイッチング素子Q 6との接続点K vと接続され、ダイオードD 5のカソード端子はスイッチング素子Q 9とスイッチング素子Q 10との接続点K wと接続されている。

[0022] ダイオードD 2のアノード端子はスイッチング素子Q 3とスイッチング素子Q 4との接続点A uと接続され、ダイオードD 4のアノード端子はスイッチング素子Q 7とスイッチング素子Q 8との接続点A vと接続され、ダイオードD 6のアノード端子はスイッチング素子Q 11とスイッチング素子Q 12との接続点A wと接続されている。

[0023] スwitchング素子Q 2とスイッチング素子Q 3との接続点u、スイッチング素子Q 6とスイッチング素子Q 7との接続点v、及びスイッチング素子Q 10とスイッチング素子Q 11との接続点wはそれぞれ単相インバータ40に接続されている。

直列に接続されたスイッチング素子Q 1～スイッチング素子Q 4はU相のレグを、直列に接続されたスイッチング素子Q 5～スイッチング素子Q 8はV相のレグを、直列に接続されたスイッチング素子Q 9～スイッチング素子Q 12はW相のレグをそれぞれ構成する。

[0024] 単相インバータ40は、各相に対応した4つのスイッチング素子のブリッジ回路で構成されている。すなわち、直列に接続されたスイッチング素子Q 13とスイッチング素子Q 14、直列に接続されたスイッチング素子Q 15とスイッチング素子Q 16、及びコンデンサ41が並列に接続されたU相インバータ、直列に接続されたスイッチング素子Q 17とスイッチング素子Q 18、直列に接続されたスイッチング素子Q 19とスイッチング素子Q 20、及びコンデンサ41が並列に接続されたV相インバータ、直列に接続されたスイッチング素子Q 21とスイッチング素子Q 22、直列に接続されたスイッチング素子Q 23とスイッチング素子Q 24、及びコンデンサ41が並列に接続されたW相インバータを備えている。

[0025] スwitchング素子Q 13とスイッチング素子Q 14との接続点Uは三相3

レベルインバータ30の接続点uと接続され、スイッチング素子Q17とスイッチング素子Q18との接続点Vは三相3レベルインバータ30の接続点vと接続され、スイッチング素子Q21とスイッチング素子Q22との接続点Wは三相3レベルインバータ30の接続点wとそれぞれ接続されている。

[0026] スwitching素子Q15とスイッチング素子Q16との接続点Uo、スイッチング素子Q19とスイッチング素子Q20との接続点Vo、スイッチング素子Q23とスイッチング素子Q24との接続点Woは、それぞれ負荷4に接続される。

[0027] 制御装置20は、三相3レベルインバータ30及び単相インバータ40に設けられた電流センサ（図示せず）あるいは電圧センサ（図示せず）からのセンサ信号を受信するとともに、三相3レベルインバータ30及び単相インバータ40の具備するスイッチング素子Q1～Q24にゲート駆動信号を出力し、所定の電力に変換するように制御を行う。

[0028] 次に、実施の形態1に係る電力変換装置3の動作について説明する。

図4Aは、目標とするインバータ10からの出力電圧指令値を示す図で、ここではU相の例を示している。出力波形は図のように正弦波である。図4Bは三相3レベルインバータ30の出力電圧指令値（U相）を示す図で、出力波形は1パルスの方波である。図4Cに、単相インバータ40の出力電圧指令値（U相）を示すが、図4Aの目標出力波形と図4Bの三相3レベルインバータ30の出力電圧指令値の差分の波形となる。

[0029] 三相3レベルインバータ30及び単相インバータ40は、制御装置20からのゲート駆動信号により、それぞれの所定の波形の出力電圧指令値により電圧を出力する。

三相3レベルインバータ30は、低周波のスイッチング動作により、ワンパルスの波形を生成し、単相インバータ40は出力電圧指令値がPWM（Pulse width Modulation：パルス幅変調）により生成された波形であるため、多数のパルス状の電圧波形を生成する。そのため、単相インバータ40の各コンデンサ41の電圧が、三相3レベルインバータ

30の入力コンデンサであるP側コンデンサ31及びN側コンデンサ32の電圧より小さくなるように設定する。例えば、 $1/2$ あるいは $1/3$ 程度に設定すれば、単相インバータ40のPWM動作において高調波成分の少ない安定した波形を出力することができる。

[0030] 制御装置20は、コンデンサの電圧比の関係を保つように、三相3レベルインバータ30及び単相インバータ40に設けられた電流センサあるいは電圧センサからのセンサ信号を用いてゲート駆動信号を演算し、各スイッチング素子Q1～Q24に出力する。その結果、三相3レベルインバータ30は、高い直流電圧で低周波のスイッチング動作によりワンパルスの波形を生成し、単相インバータ40は低い直流電圧で高速スイッチング動作を行うことになる。

[0031] 図5Aは、三相3レベルインバータ30の出力電圧指令値（U相）に対応する電圧波形を出力するためにスイッチング素子に出力されるゲート駆動信号を示す図である。図において、上から順に、三相3レベルインバータ30の出力電圧指令値（U相）、三相3レベルインバータ30のU相のレグを構成するスイッチング素子Q1～スイッチング素子Q4を駆動するためのゲート駆動信号の波形である。スイッチング素子Q1～スイッチング素子Q4は一周期当たりオン及びオフが1回ずつスイッチングする。そのため、三相3レベルインバータ30を構成するスイッチング素子はスイッチング回数が少ないので、スイッチング時間（ターンオン時間及びターンオフ時間）が長いSi-IGBT等の半導体素子を使用することができる。このとき半導体素子のコレクターエミッタ間の印加電圧はゲート駆動信号がオフ（すなわち0）の期間に入力コンデンサであるP側コンデンサ31またはN側コンデンサ32の電圧値となり、ゲート駆動信号がオン（すなわち1）の期間の電圧値は0となる（実際には内部による電圧降下分印加される）。

[0032] 図5Bは、単相インバータ40の出力電圧指令値（U相）に対応する電圧波形を出力するためのスイッチング素子に出力されるゲート駆動信号を示す図である。図において、上から順に、単相インバータ40の出力電圧指令値

及びキャリア波（U相）、単相インバータ40のU相のインバータを構成するスイッチング素子Q13～スイッチング素子Q16を駆動するためのゲート駆動信号の波形である。スイッチング素子Q13～スイッチング素子Q16は一周期当たり複数回ずつオン及びオフスイッチングする。PWM動作する単相インバータ40を構成するスイッチング素子はスイッチング回数が多いので、スイッチング損失の小さいSiC-MOSFET等の高周波駆動に適した半導体素子を使用すればよい。このとき半導体素子のコレクターエミッタ間の印加電圧はゲート駆動信号がオフ（すなわち0）の期間にコンデンサ41の電圧値となり、ゲート駆動信号がオン（すなわち1）の期間の電圧値は0となる（実際には内部による電圧降下分印加される）。

[0033] 単相インバータ40の各コンデンサ41の電圧が、三相3レベルインバータ30の入力コンデンサであるP側コンデンサ31及びN側コンデンサ32の電圧より小さくなるように、例えば、 $1/2$ あるいは $1/3$ に設定した場合、単相インバータ40を構成するスイッチング素子に印加される電圧は、三相3レベルインバータ30を構成するスイッチング素子に印加される電圧の $1/2$ あるいは $1/3$ となる。すなわち、いずれのインバータに用いられるかによって印加電圧が異なることになる。これらは3相の電力変換装置でなくても各インバータの出力相電圧のステップ幅を変えることにより複数半導体素子において印加電圧を異ならせることができる。

[0034] 次に、中性子線による半導体素子の偶発故障と半導体素子に印加される電圧との関係について説明する。

宇宙から飛来する中性子線により半導体素子が破壊されるSEB（Single Event Burnout）現象は、例えば、コレクタとエミッタ間に電圧が印加されたSi-IGBTにおいて、中性子線がSi-IGBTを構成するSi原子等に衝突し、Si-IGBTの絶縁耐量が低下することで生じる。Si-IGBTの絶縁耐量が低下すると、本来の耐圧を担保できない、あるいは過電流が通電され素子破壊に至るためである。このSEB現象による故障は確率的に発生するものであり、中性子線量に比例して故障

確率は上昇するため、高度が高いほど故障確率が上昇することが知られている。また、この現象により発生する偶発故障の耐性を表した指標としてLTDS (Long Term DC Stability) があり、これを用いて半導体素子の故障確率を記述することができる。

[0035] 一方、非特許文献1によれば、SEB現象による半導体素子の故障確率は半導体素子に印加される電圧を下げると、故障確率は下がる傾向にある。また、同種の半導体素子において、耐圧が高い半導体素子は耐圧が低い半導体素子より故障確率が低いことは自明である。発明者らはこれらの関係を図6A及び図6Bを用いて整理した。

[0036] 図6Aは、異なる素子耐圧を有する同種の半導体素子について、半導体素子への印加電圧とSEB現象による故障確率との関係を示す模式図である。同種素子の耐圧が低、中、高と異なる場合において、例えば半導体素子印加電圧が V_A の時、半導体耐圧が低いほど故障確率が大きくなる。また、これら半導体のLTDS特性により、印加電圧を下げると故障確率は指数関数的に減少する。すなわち半導体素子耐圧またはブレイクダウン電圧が異なる同種類の半導体素子において動作電圧（印加電圧）が等しい場合に半導体素子の故障確率は素子耐圧またはブレイクダウン電圧に反比例する。

[0037] 図において、半導体素子耐圧が高い素子の故障確率を設定値とし、半導体素子耐圧が高い素子の印加電圧が V_A の時、半導体素子耐圧が中の素子を同じ印加電圧 V_A で駆動すると故障確率が大きくなってしまいが、半導体素子耐圧が中の素子の印加電圧を V_B に降圧することで故障確率を設定値に調整できる。すなわち、両者の故障確率を同等にすることができる。同様に半導体素子耐圧が低い素子の印加電圧を V_A から V_C に降圧することで故障確率を設定値に調整できる。

[0038] 図6Bは、種類が異なり、同耐圧（素子耐圧が等しいが、ブレイクダウン電圧は等しくなくてもよい）である半導体素子について、半導体素子への印加電圧とSEBによる故障確率との関係を示す模式図である。種類が異なるとは、例えばIGBTとMOSFETとの関係である。図において、半導体

素子印加電圧が V_D では、SEB現象による半導体故障確率は素子Bの方が素子Aより大きい。素子Aの故障確率を設定値とするとき、素子Bの印加電圧を V_D から V_E に降圧することで故障確率を設定値に調整できる。また、素子Bの印加電圧が V_y においては、素子Aの印加電圧を V_x にすることで同等の故障確率に調整できる。

[0039] ここで、半導体素子の素子耐圧は、例えばIGBTではコレクターエミッタ間(MOSFETであればドレイン-ソース間)に許容される電圧上限値を表しており、この値は各製造メーカによって定められる。半導体素子の素子耐圧により制限される値を超えた電圧が印加された場合、ブレイクダウン電圧領域に達し、素子が異常発熱を起こし、破壊に至る。このときの電圧をブレイクダウン電圧と言う。ブレイクダウン電圧は素子ごとに決まっている(同一素子においても製品バラツキにより異なる場合がある)。

[0040] 以上の知見から、本実施の形態のインバータ10を構成する半導体素子の故障確率の調整方法について説明する。

上述のとおり、単相インバータ40を構成するスイッチング素子に印加される電圧は、設定された比率に基づいて、三相3レベルインバータ30を構成するスイッチング素子に印加される電圧の例えば、 $1/2$ あるいは $1/3$ となる。三相3レベルインバータ30を構成するスイッチング素子は、例示したように印加電圧が高いので素子耐圧の高い半導体素子を用い、単相インバータ40を構成するスイッチング素子には印加電圧の中または低い半導体素子を用いる。このとき、図6A及び図6Bに従って、両者の印加電圧に対して故障確率が同等あるいは近くなるように、素子耐圧及び印加電圧の設定を行う。

[0041] また、スイッチング周波数の観点で、例示したように三相3レベルインバータ30を構成するスイッチング素子と単相インバータ40を構成するスイッチング素子とを異なる種類の半導体素子で構成した場合は、図6Bに従って、両者の印加電圧に対して故障確率が同等あるいは近くなるように、素子の種類及び印加電圧の設定を行う。

[0042] 複数の半導体素子を備えた電力変換装置においては、例えば、一部に故障確率の著しく低い素子を用いていてもそのメリットを活かせず、全体として信頼性確保のために過剰な耐圧品の使用等の手当をして装置の大型化、重量化及びコストの増加を招いていた。本実施の形態においては、電力変換装置を構成する半導体素子の故障確率を同等あるいは近くなるように設定するので、信頼性を確保しつつ装置の大型化、重量化及びコストの増加を抑制することができる。

[0043] なお、インバータ10の動作及びインバータ10を構成する半導体素子の故障確率の調整方法等については、図2Aの構成を中心に説明したが、図2Bの単相インバータ40を構成するスイッチング素子Q13～Q24は半導体素子であるHEMTにダイオードが逆並列接続された構造の例であっても同様であるので、説明は省略する。

[0044] 以上のように、本実施の形態1によれば、航空機用途等の中性子線の影響を受けやすい環境において使用される電力変換装置であって、複数の半導体素子を用いて構成された電力変換装置3において、半導体素子に印加される電圧、半導体素子の耐圧（素子耐圧またはブレイクダウン電圧）、素子の種類を調整することにより複数の半導体素子の故障確率を同等となるようにしたので、信頼性を確保しつつ装置の大型化、重量化及びコストの増加を抑制することができる。

[0045] すなわち、実施の形態1に係る電力変換装置に用いられる複数の半導体素子は、制御装置により生成された駆動信号に基づいてそれぞれ電圧が印加されるが、複数の前記半導体素子は同じ電圧が印加された場合に中性子線による故障確率が異なるものを含むように構成し、それぞれの半導体素子に駆動信号に基づいて生成された電圧が印加されたときに故障確率が同様となるように調整するものである。

[0046] また、本実施の形態1の電力変換装置は、三相3レベルインバータ30と単相インバータ40とを備えたインバータ10、及びインバータ10の駆動制御を行う制御装置20を備え、三相3レベルインバータ30を構成するス

スイッチング素子には高耐圧の半導体素子を用い、単相インバータ40を構成するスイッチング素子には、ワイドバンドギャップ半導体により形成された半導体素子を用いて構成し、それらの半導体素子の故障確率を同等となるように調整したので、上記の効果に加え、スイッチング素子の駆動に伴う損失も低減し、高効率な電力変換装置を提供することができる。

[0047] なお、故障確率を同等となるように調整する場合は、故障確率の低い素子に合わせるように耐圧、印加電圧等を調整することが望ましいことは言うまでもない。

また、同等とは、完全に一致する場合に限らず、同様の効果が奏される範囲で、多少異なる場合も含む。

[0048] 実施の形態2.

以下、実施の形態2に係る電力変換装置について図を用いて説明する。

図7は、実施の形態2に係る電力変換システムの構成を示す概略構成図である。実施の形態1の図1との違いは、電源電圧を調整するためのDC/DCコンバータ50を電源1とDCリンクコンデンサ2との間に設けたことである。実施の形態1においては、接続しDC/ACインバータ10への入力電圧すなわちスイッチング素子に印加される電圧は電源1の電圧が基準となっていた。しかし、航空機の離陸前後では電力変換装置を動作させながら高度を上昇させるため、離陸前の海拔0m付近でのSEB現象による故障確率は高度に伴い増加する。DC/ACインバータ10へ入力電圧が一定では、高度上昇に伴う半導体素子の故障確率を低減することは困難である。そのため、スイッチング素子に印加する電圧を可変にし、印加電圧を制御可能として半導体素子の故障確率を調整できるようにした。

[0049] 図8は、実施の形態2に係るDC/DCコンバータ50の一例として、非絶縁降圧チョッパ回路の回路構成の一例を示す図である。図において、非絶縁降圧チョッパ回路は、直列に接続されたスイッチング素子Q201及びスイッチング素子Q202と、スイッチング素子Q201とスイッチング素子Q202との接続点aに一端が接続されたDCリアクトル51とを備える。

スイッチング素子Q201、Q202は図3Bで示したような、SiC-MOSFET15これに逆並列接続されたダイオードとで構成される。

[0050] 図9A、図9Bは、非絶縁降圧チョッパ回路であるDC/DCコンバータ50のスイッチング素子の印加電圧（駆動信号）及びDCリンクコンデンサ2の電圧を示す図である。図9Aのようにスイッチング素子Q201、Q202の導通率を50%とすると、DCリンクコンデンサ2の電圧は入力電圧の半分に降圧される。また、図9Bのようにスイッチング素子Q201の導通率が100%、スイッチング素子Q202の導通率が0%とすると、DCリンクコンデンサ2の電圧は入力電圧すなわち、電源1の電圧と等しくなる。

このように、スイッチング素子Q201、Q202を駆動するゲート電圧の通電率に応じてDCリンクコンデンサ2に印加される電圧を、
DCリンクコンデンサ電圧=入力電圧×スイッチング素子Q201の導通率
で調整することができる。

[0051] このDC/DCコンバータ50のスイッチング素子Q201、Q202には電源電圧と等しい電圧が印加されるため、これらスイッチング素子を構成する半導体素子の耐圧またはブレイクダウン電圧はインバータ10のスイッチング素子を構成する半導体素子よりも高いものを用いる必要がある。インバータ10のスイッチング素子を構成する多数の（24個）の半導体素子の耐圧を低くすることができ、装置全体の軽量化につながる。

[0052] また、このように非絶縁降圧チョッパであるDC/DCコンバータ50のスイッチング素子Q201、Q202の導通率を調整することでインバータ10を構成する半導体素子の印加電圧を変えることができ、高度上昇に伴い、印加電圧を下げることで故障確率を低減するように調整するとともに、複数の半導体素子の故障確率を同等にするように調整することが可能となる。例えば、故障確率は電力変換装置が搭載される航空機の運航時間の最も長い巡航時の平均高度に基づいて設定する。また、印加電圧は、その印加電圧における故障確率と機体毎に設定された飛行時間とで決まる飛行サイクル寿命

が、予め設定された寿命を満たすように、設定する。

[0053] 以上のように、実施の形態2によれば、DCリンクコンデンサ2の電圧を降下させるように調整するDC/DCコンバータ50をさらに設けたので、同じ印加電圧のままであると高度上昇に伴い故障確率が増加するところを、印加電圧を低減することで、故障確率を低減することができる。降下したDCリンクコンデンサ2の電圧に基づいて、実施の形態1のように印加電圧を調整すれば、電力変換装置を構成する複数の半導体素子の故障確率を同等にするように調整することが可能となり、電力装置の信頼性を確保することができる。

[0054] 実施の形態3.

以下、実施の形態3に係る電力変換装置について説明する。

スイッチング素子を構成する半導体素子は図3A~図3Cに示したように、IGBT、MOSFET、HEMTの各トランジスタにダイオードが逆並列接続されている。図3BでSiC-MOSFETにSiCダイオードが逆並列接続されている例をとると、この2つの半導体素子も同じ耐圧に対し、SEBによる故障確率が異なる。1つのスイッチング素子には同じ電圧が印加されることから、故障確率の高い半導体素子が故障に対して律速となる。そこで、故障確率の高い半導体素子の耐圧またはブレイクダウン電圧を故障確率の低い半導体素子の耐圧またはブレイクダウン電圧よりも大きいものとして構成する。これにより、図6A及び図6Bを考慮すると、同じ印加電圧に対して、故障確率を同等あるいは近づけることが可能となり、電力変換装置の信頼性を確保することができる。

[0055] 実施の形態4.

以下、実施の形態4に係る電力変換装置について説明する。

実施の形態1から3では、図2A、図2Bで示したように、三相3レベルインバータ30のスイッチング素子にはSi-IGBTが好ましく、単相インバータ40のスイッチング素子にはSiC-MOSFETまたはGaN-HEMTが好ましいと述べたが、これらの組み合わせとは異なる任意の選択

を行うことも可能である。種類の異なる半導体素子を用いる場合の考え方について以下に説明する。

[0056] 非特許文献1のFig. 6b)には共に1.7kV耐圧のSiC-MOSFETとSi-IGBTの故障確率が示されている。印加電圧（バイアス）1000VにおいてはSi-IGBTの故障確率はSiC-MOSFETの故障確率より大きい。しかし、印加電圧を下げていき、約870Vを境にその関係は逆転し、Si-IGBTの故障確率はSiC-MOSFETの故障確率より小さくなる。

[0057] 同耐圧で種類の異なる素子においては、故障確率の高い方の素子が律速となる。そのため、故障確率の高い半導体素子の耐圧またはブレイクダウン電圧を故障確率の低い半導体素子の耐圧またはブレイクダウン電圧よりも大きいものとして構成する。これにより、図6A及び図6Bを考慮すると、同じ印加電圧に対して、故障確率を同等あるいは近づけることが可能となり、電力変換装置の信頼性を確保することができる。このような考え方で同じ電圧印加されるスイッチング素子において半導体素子の種類を変更することができる。

[0058] 一方、実施の形態1から3において、図2Aの構成によれば、三相3レベルインバータ30のスイッチング素子にSi-IGBTを用い、単相インバータ40のスイッチング素子にSiC-MOSFETを用いた場合、単相インバータ40のスイッチング素子のSiC-MOSFETには三相3レベルインバータ30のスイッチング素子のSi-IGBTよりも1/2から1/3低い印加電圧を与えることが好ましいとされている。

図10に、上述の非特許文献1のFig. 6b)の1.7kV耐圧のSiC-MOSFETとSi-IGBTの故障確率を模式的に示す。実線は1.7kV耐圧のSiC-MOSFETとSi-IGBTの故障確率の曲線である。この耐圧の素子ではいずれの印加電圧においても、SiC-MOSFETにSi-IGBTよりも1/2から1/3低い印加電圧を与えることはできない。Si-IGBTの耐圧をさらに大きなものを設定し、その故障確率

曲線 ($S_{i-IGBT} > 1.7 \text{ kV}$) を点線に示すが、図のように S_{i-IGBT} の印加電圧 V_F に対し、 1.7 kV 耐圧の $S_{iC-MOSFET}$ には $V_F/2$ の電圧が印加され、かつ故障確率が同等となる。さらに、 $S_{iC-MOSFET}$ は S_{i-IGBT} より印加電圧が小さいことがわかっているので、耐圧を下げた $S_{iC-MOSFET}$ を用いることもできる。図中一点鎖線は $S_{iC-MOSFET}$ の耐圧を 1.7 kV より小さなものの故障確率曲線 ($S_{iC-MOSFET} < 1.7 \text{ kV}$) であるが、 $V_F/3$ の電圧が印加され、かつ故障確率が同等となるように設定可能となる。

[0059] 以上のように、実施の形態4によれば、種類の異なる半導体素子については故障確率の高い半導体素子の耐圧またはブレイクダウン電圧を故障確率の低い半導体素子の耐圧またはブレイクダウン電圧よりも大きいものとして構成して、故障確率を同等あるいは近づけるようにしたので、電力変換装置の信頼性を確保することができる。

[0060] 実施の形態5.

以下、実施の形態5に係る航空機について説明する。

図11は、実施の形態5に係る航空機100の一例を示す図で、実施の形態1から4で説明した電力変換装置が搭載された状態を示すブロック図である。航空機100は電動航空機であり、その推進系電力システム60として、電力源63、電力源63に接続された電源(DC電源)1、電源1に接続され所定の電圧に変換する降圧チョッパ回路を備えたDC/DCコンバータ50、DC/DCコンバータ50で降圧された直流電力を交流電力に変換するインバータ10、インバータ10から電力が供給される負荷61、及びDC/DCコンバータ50、インバータ10を制御する制御装置62を備える。ここで負荷61は推進力を得るための推進系負荷であり、例えば電動モータである。

[0061] 実施の形態1から4の電力変換装置は、航空機100に搭載される推進系電力システム60の電動航空機用のインバータ10、DC/DCコンバータ50として用いられる。中性子線は高度に比例して増加するため、航空機の

ように上空を飛行するものに従来の電力変換装置を搭載した場合、故障確率が地上で使用する場合に比べて増加する。中性子線による故障を考慮した実施の形態1から4で説明した電力変換装置を備えた推進系電力システム60に搭載することで、電動航空機用としてのインバータ10、電動航空機用としてのDC/DCコンバータ50それぞれに用いられる半導体素子の故障確率を下げることができるとともに、半導体素子の故障確率を同等となるようにしたので、信頼性を確保しつつ装置の大型化、重量化及びコストの増加を抑制することができる。そのため、電動航空機の燃費も向上する。

[0062] 実施の形態6.

以下、実施の形態6に係る航空機について説明する。

図12は、実施の形態6に係る航空機100の一例を示す図で、実施の形態1から4で説明した電力変換装置が搭載された状態を示すブロック図である。航空機100は電動航空機であり、その装備品系電力システム70として、電力源74、電力源74に接続され交流電力を直流電力に変換するAC/DCコンバータ72、AC/DCコンバータ72に接続された電源(DC電源)1、電源1に接続され所定の電圧に変換する降圧チョッパ回路を備えたDC/DCコンバータ50、DC/DCコンバータ50で降圧された直流電力を交流電力に変換するインバータ10、インバータ10から電力が供給される負荷71、及びDC/DCコンバータ50、インバータ10、AC/DCコンバータ72を制御する制御装置73を備える。ここで負荷71は装備品系負荷であり、例えば空調、エンジンスタータ、及び補助電力装置の駆動に用いる電動モータ等を指す。

[0063] 実施の形態5と同様に、実施の形態1から4の電力変換装置は、航空機100に搭載される装備品系電力システム70の電動航空機用のインバータ10、DC/DCコンバータ50として用いられる。中性子線は高度に比例して増加するため、航空機のように上空を飛行するものに従来の電力変換装置を搭載した場合、故障確率が地上で使用する場合に比べて増加する。中性子線による故障を考慮した実施の形態1から4で説明した電力変換装置を備え

た装備品系電力システム70に搭載することで、実施の形態5と同様の効果を奏する。

[0064] なお、AC/DCコンバータ72に用いられるスイッチング素子の半導体素子についても実施の形態1から4で説明した、故障確率を同等に合わせるように素子設計を行うことでAC/DCコンバータ72の故障確率を下げる事ができるとともに、信頼性を確保しつつ装置の大型化、重量化及びコストの増加を抑制することができる。

[0065] 実施の形態5、6に係る航空機のように複数の電力変換装置を具備する場合は、電力変換装置間での半導体素子の故障確率を同等に合わせるように設計するのが望ましい。

[0066] なお、制御装置20、62、73は、ハードウェアの一例を図13に示すように、プロセッサ1000と記憶装置2000から構成される。記憶装置は図示していないが、ランダムアクセスメモリ等の揮発性記憶装置と、フラッシュメモリ等の不揮発性の補助記憶装置とを具備する。また、フラッシュメモリの代わりにハードディスクの補助記憶装置を具備してもよい。プロセッサ1000は、記憶装置2000から入力されたプログラムを実行する。この場合、補助記憶装置から揮発性記憶装置を介してプロセッサ1000にプログラムが入力される。また、プロセッサ1000は、演算結果等のデータを記憶装置2000の揮発性記憶装置に出力してもよいし、揮発性記憶装置を介して補助記憶装置にデータを保存してもよい。

[0067] 本開示は、様々な例示的な実施の形態及び実施例が記載されているが、1つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれる

ものとする。

符号の説明

[0068] 1 : 電源、 2 : DCリンクコンデンサ、 3 : 電力変換装置、 4 : 負荷、 10 : インバータ、 13 : IGBT、 14 : ダイオード、 15 : MOSFET、 16 : ダイオード、 17 : HEMT、 18 : ダイオード、 20 : 制御装置、 30 : 三相3レベルインバータ、 31 : P側コンデンサ、 32 : N側コンデンサ、 40 : 単相インバータ、 41 : コンデンサ、 50 : DC/DCコンバータ（非絶縁降圧チョッパ回路）、 51 : DCリアクトル、 60 : 推進系電力システム、 61 : 負荷、 62 : 制御装置、 63 : 電力源、 70 : 装備品系電力システム、 71 : 負荷、 72 : AC/DCコンバータ、 73 : 制御装置、 74 : 電力源、 100 : 航空機、 1000 : プロセッサ、 2000 : 記憶装置

請求の範囲

- [請求項1] 電源と負荷との間に配置され、前記電源からの電力を変換して前記負荷に供給する電力変換装置であって、
- 駆動信号によって制御される半導体素子をそれぞれ備えた複数のスイッチング素子と、
- 前記駆動信号を生成する制御装置と、を備え、
- 複数の前記半導体素子は前記制御装置により生成された前記駆動信号に基づいてそれぞれ電圧が印加されるとともに、複数の前記半導体素子は同じ前記電圧が印加された場合に中性子線による故障確率が異なるものを含み、複数の前記半導体素子は前記駆動信号に基づいて印加されるそれぞれの前記電圧に対して中性子線による故障確率が同等である、電力変換装置。
- [請求項2] 前記半導体素子に印加される電圧、前記半導体素子の素子耐圧またはブレイクダウン電圧、及び前記半導体素子の種類に基づいて、複数の前記半導体素子の中性子線による故障確率が同等となるようにした、請求項1に記載の電力変換装置。
- [請求項3] 前記スイッチング素子が4つ直列に接続されたレグが3つ、前記電源に並列に接続された三相3レベルインバータと、前記スイッチング素子のブリッジ回路で構成された各相インバータを3つ有する単相インバータとを備え、前記三相3レベルインバータの前記レグの各中間点がそれぞれ前記単相インバータの前記各相インバータに接続されているDC/ACインバータである、請求項1または2に記載の電力変換装置。
- [請求項4] 前記電源の電圧を変換する電圧変換回路をさらに備え、前記電圧変換回路により前記半導体素子に印加する電圧を降下させる、請求項1から3のいずれか1項に記載の電力変換装置。
- [請求項5] 前記電圧変換回路は、直列に接続された前記スイッチング素子が前記電源に並列に接続され、直列に接続された前記スイッチング素子の

中間点に接続されたリアクトルを有する降圧チョッパ回路である請求項4に記載の電力変換装置。

[請求項6] 前記スイッチング素子は、MOSFET、IGBT及びHEMTの中の1つの前記半導体素子と、それに逆並列に接続されたダイオードとを含み、1つの前記スイッチング素子を構成するMOSFET、IGBT及びHEMTの中の1つの前記半導体素子と前記ダイオードとの中性子線による故障確率が同等である、請求項1から5のいずれか1項に記載の電力変換装置。

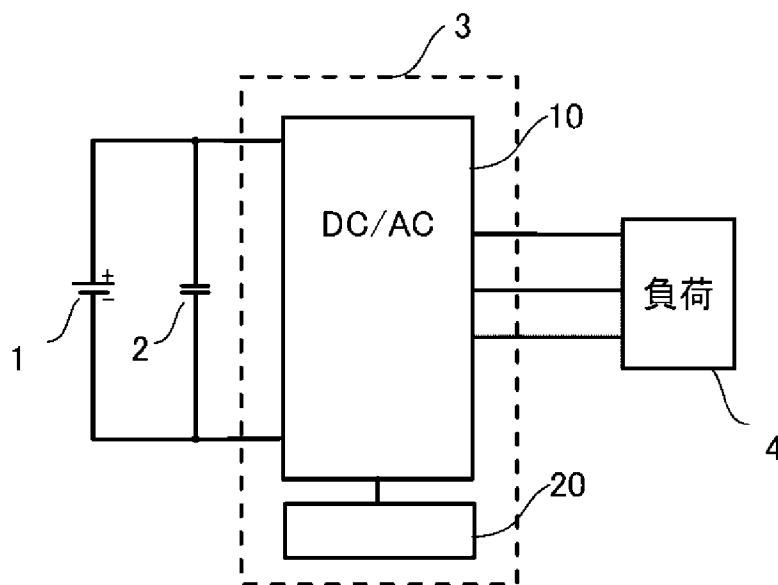
[請求項7] 前記三相3レベルインバータに設けられた前記スイッチング素子を構成する半導体素子がSi半導体で形成され、前記単相インバータに設けられた前記スイッチング素子を構成する半導体素子がワイドバンドギャップ半導体で形成されている、請求項3に記載の電力変換装置。

[請求項8] 前記三相3レベルインバータに設けられた前記スイッチング素子を構成する半導体素子がSi-IGBTであり、前記単相インバータに設けられた前記スイッチング素子を構成する半導体素子がSiC-MOSFETまたはGaN-HEMTである、請求項7に記載の電力変換装置。

[請求項9] 請求項1から8のいずれか1項に記載の電力変換装置を搭載した航空機。

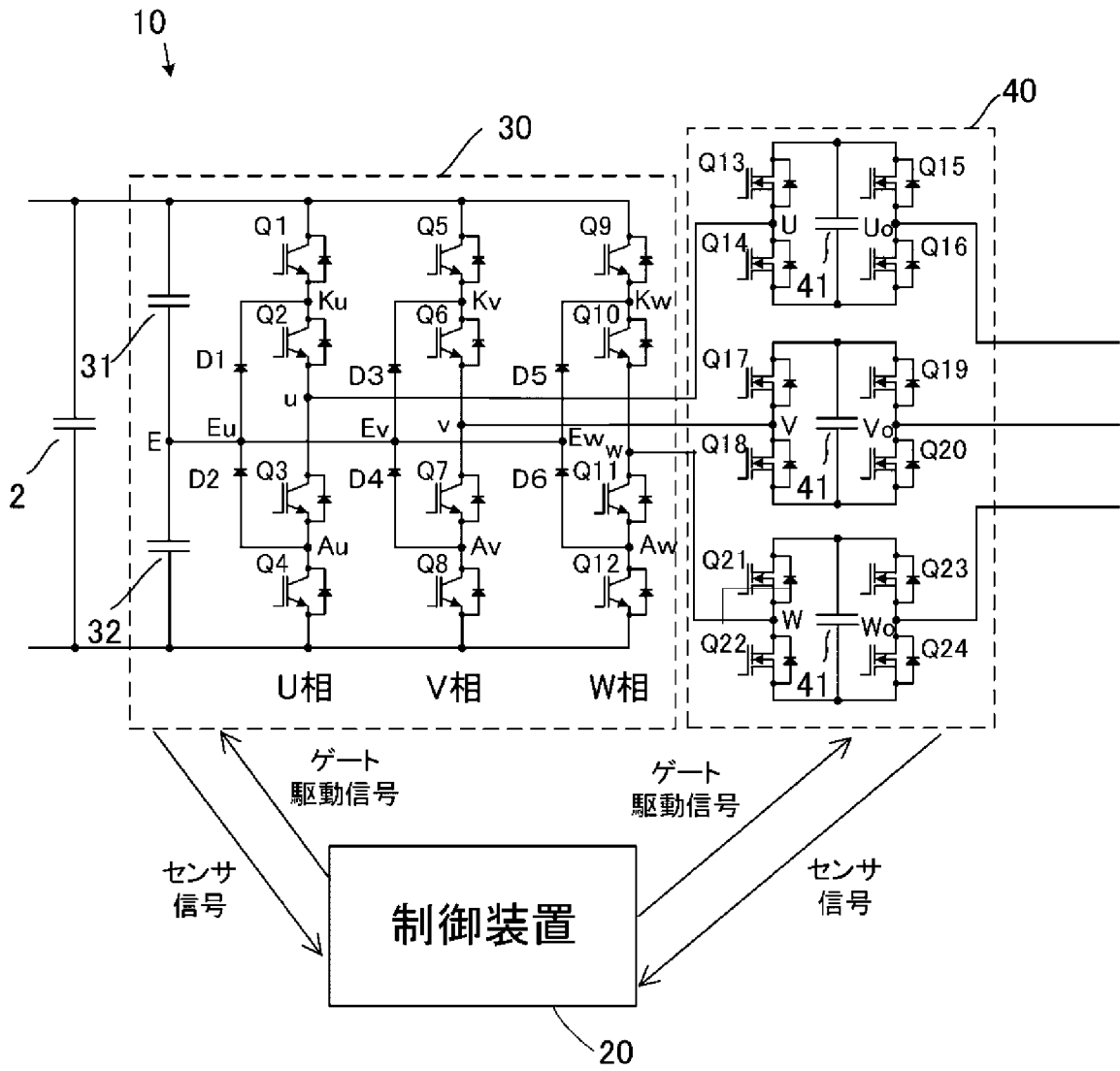
[図1]

図1



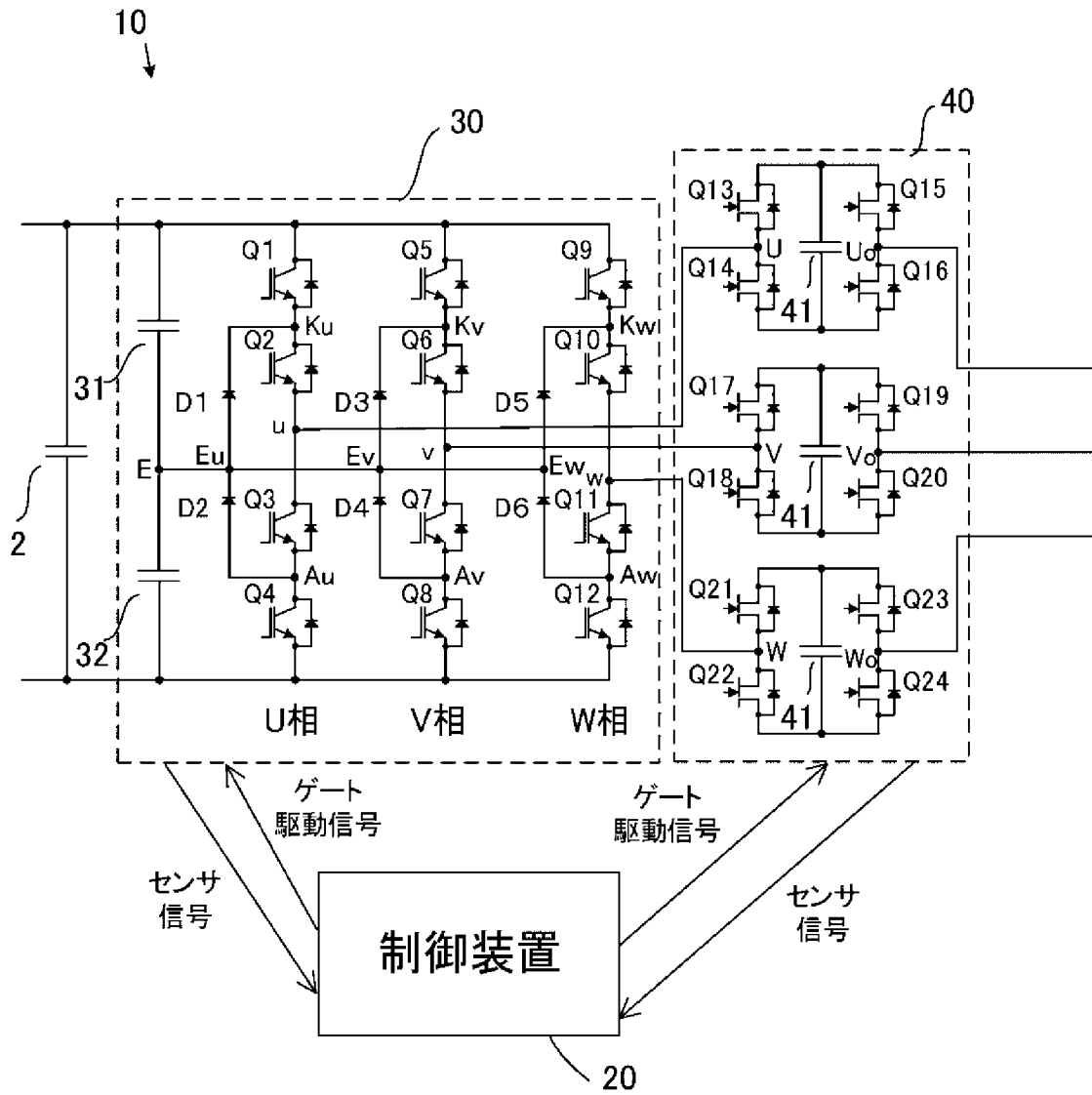
[図2A]

図2A



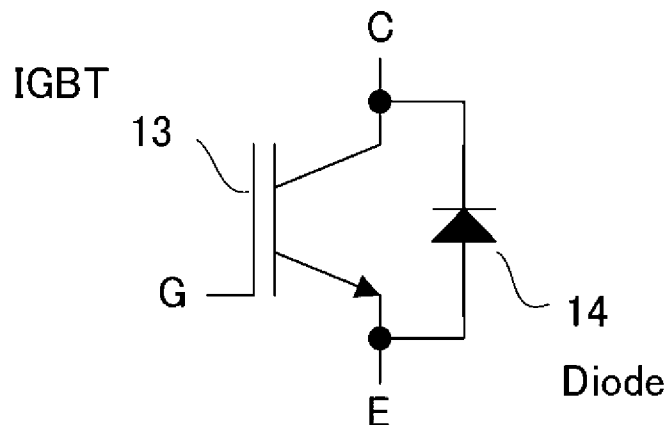
[図2B]

図2B



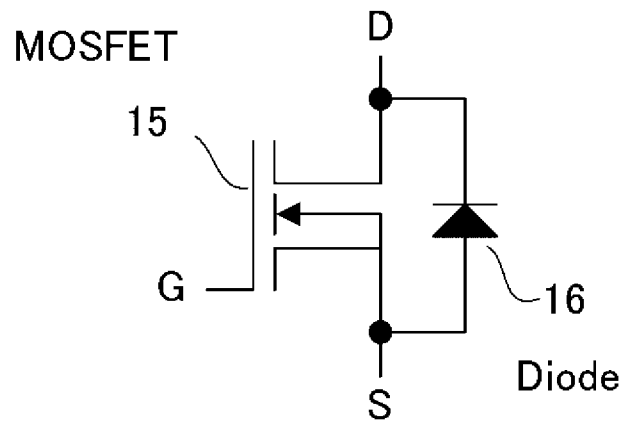
[図3A]

図3A



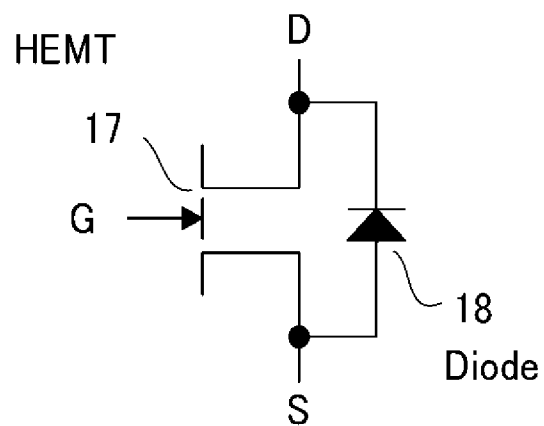
[図3B]

図3B



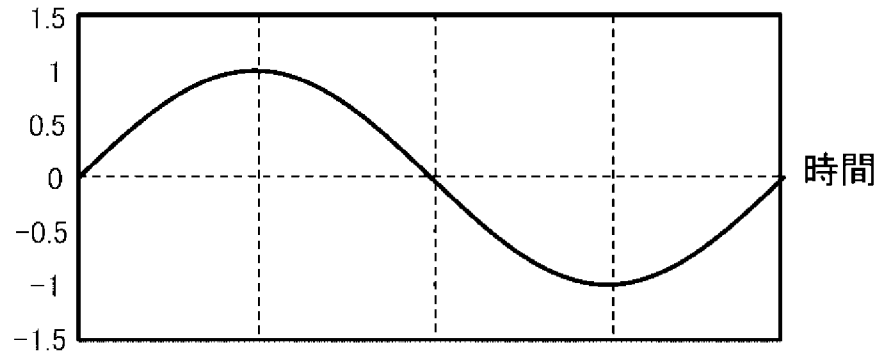
[図3C]

図3C



[図4A]

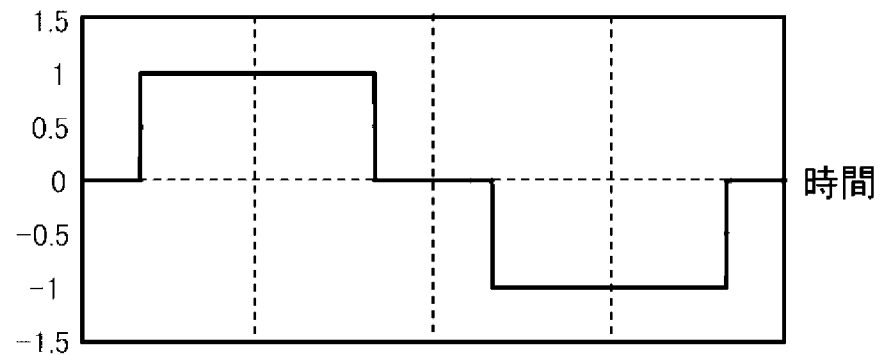
図4A



インバータ出力相電圧指令値(U相)

[図4B]

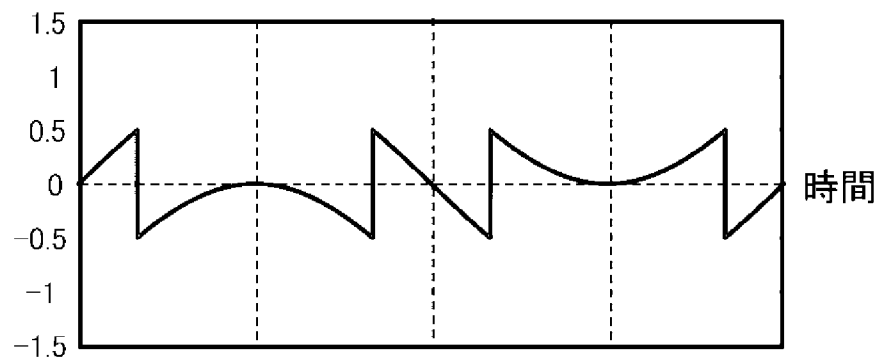
図4B



3レベルインバータ出力相電圧指令値(U相)

[図4C]

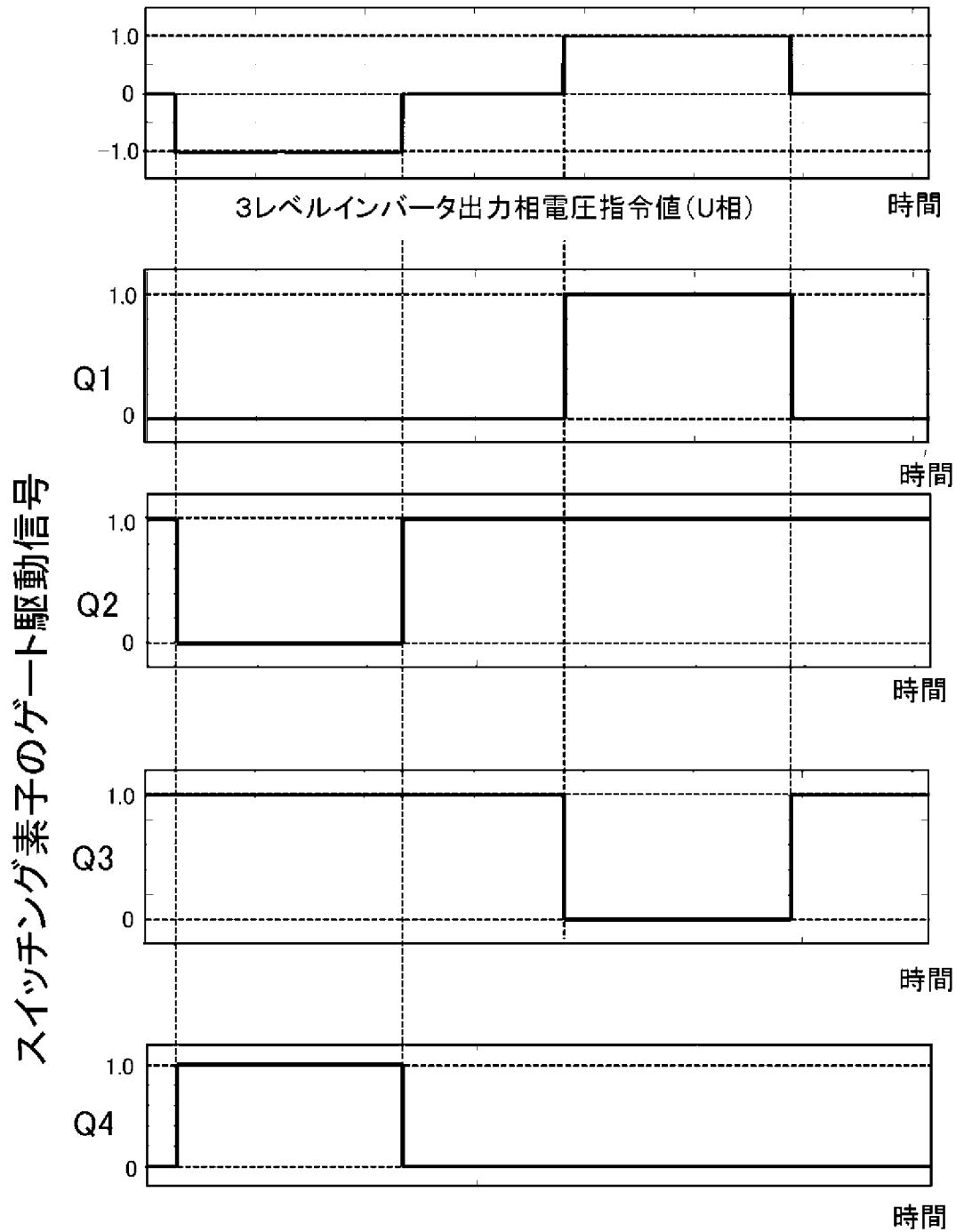
図4C



単相インバータ出力相電圧指令値(U相)

[図5A]

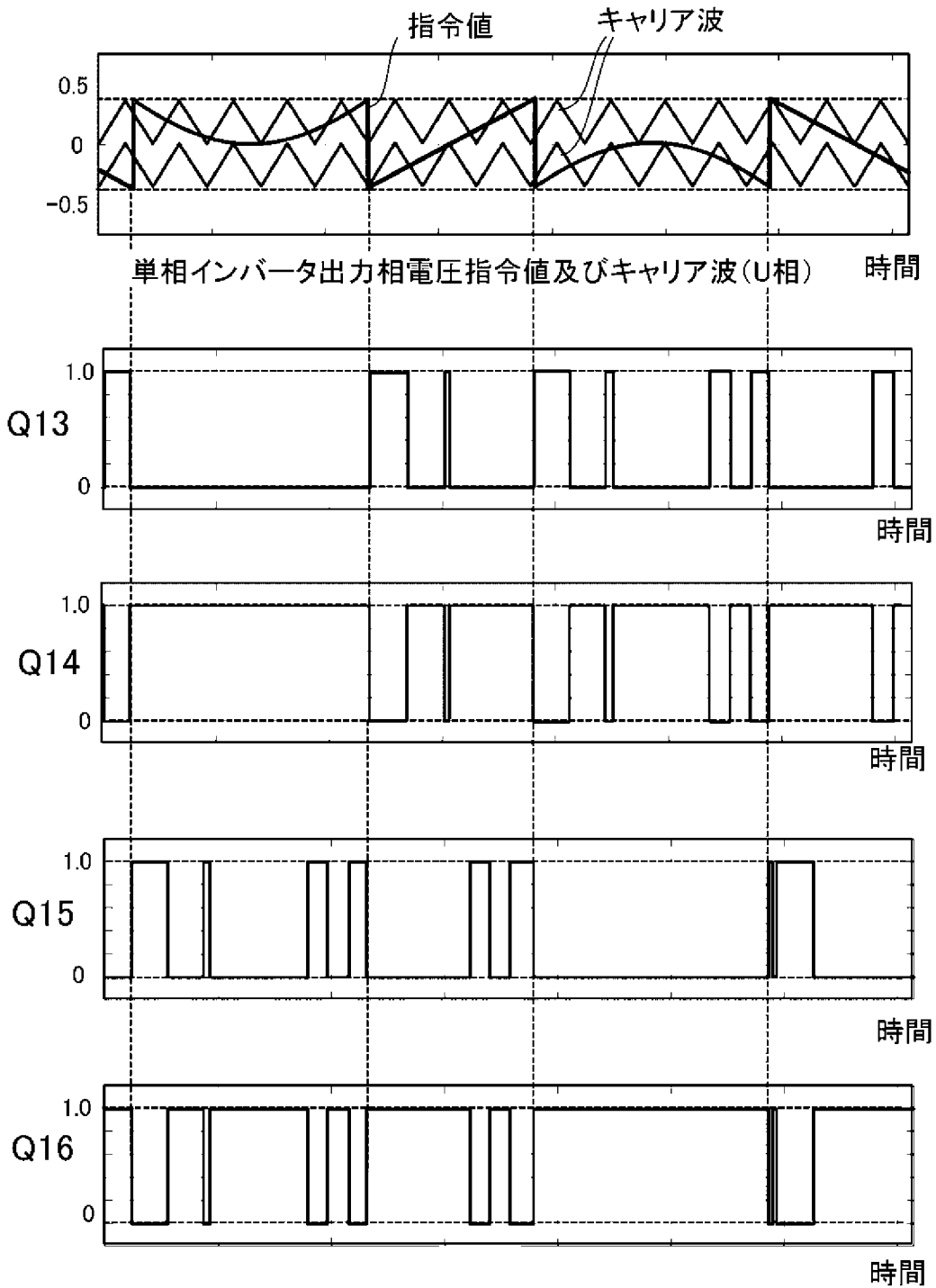
図5A



[図5B]

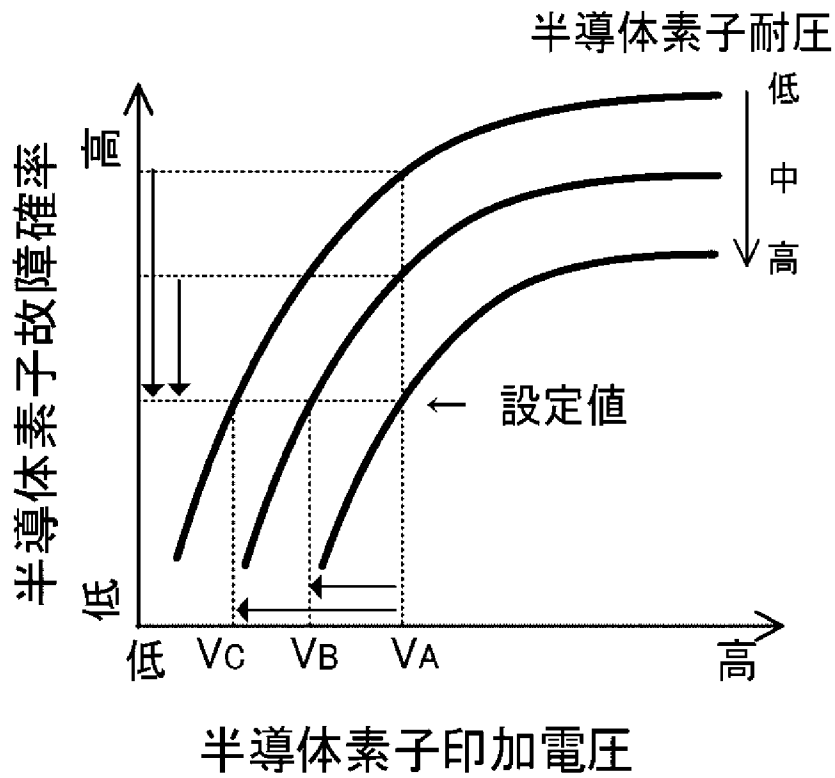
図5B

スイッチング素子のゲート駆動信号



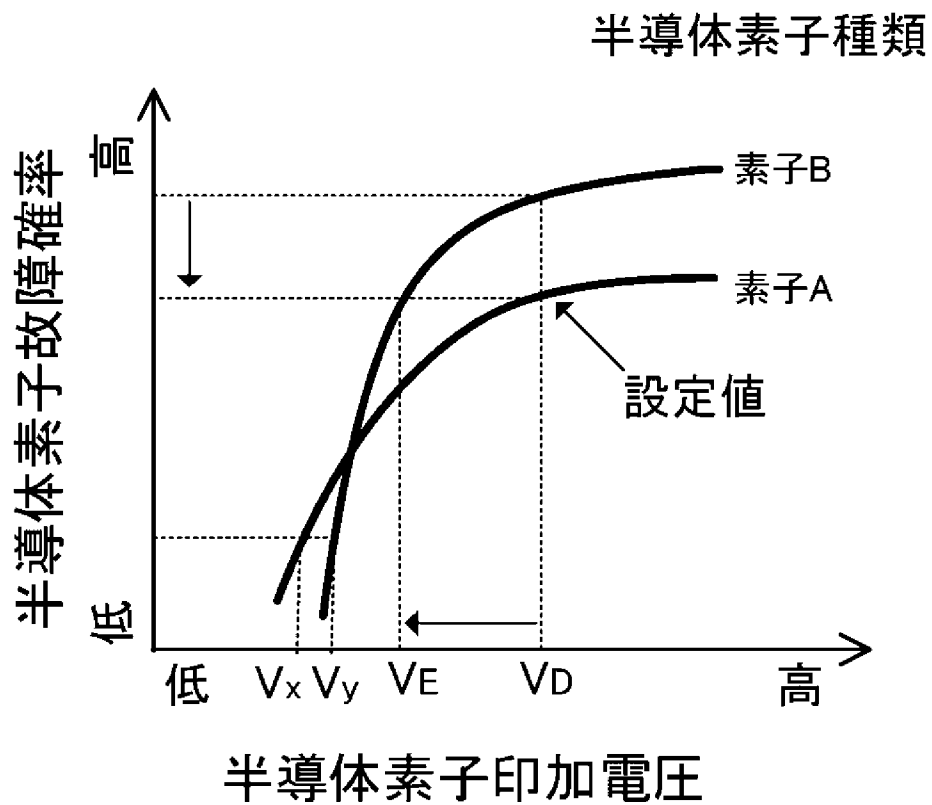
[図6A]

図6A



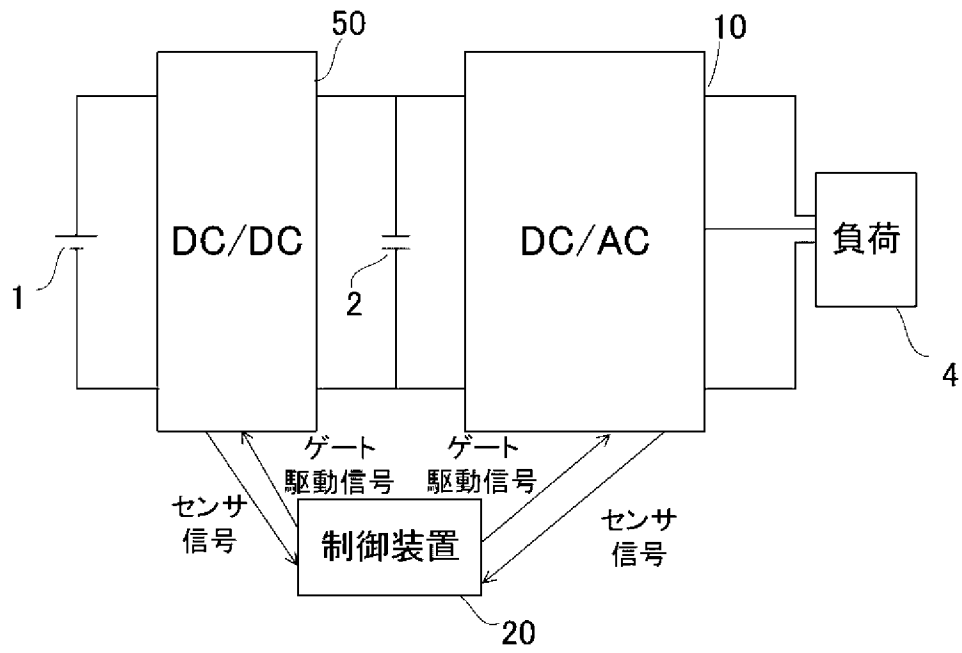
[図6B]

図6B



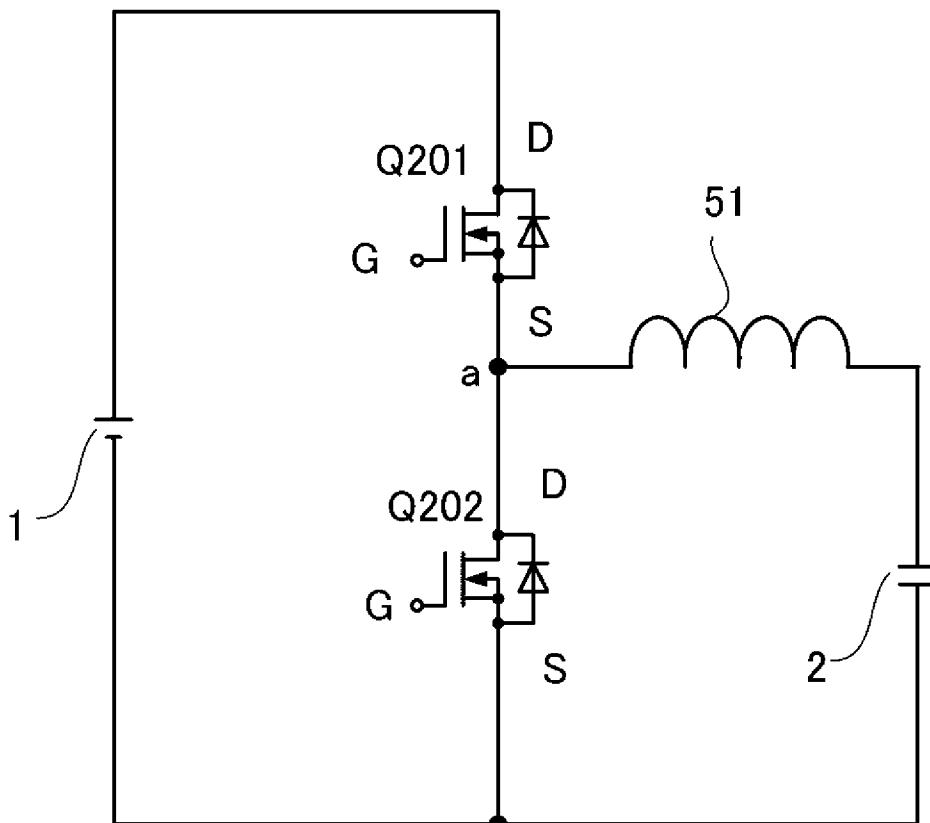
[図7]

図7



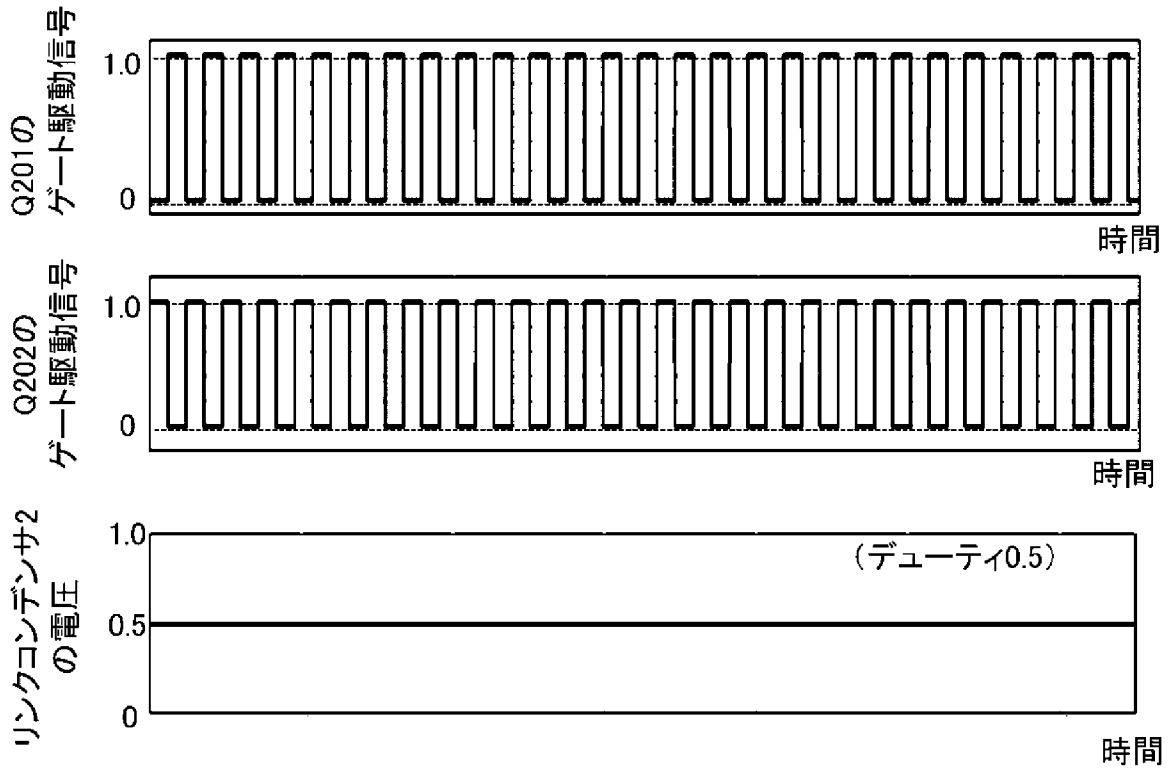
[図8]

図8



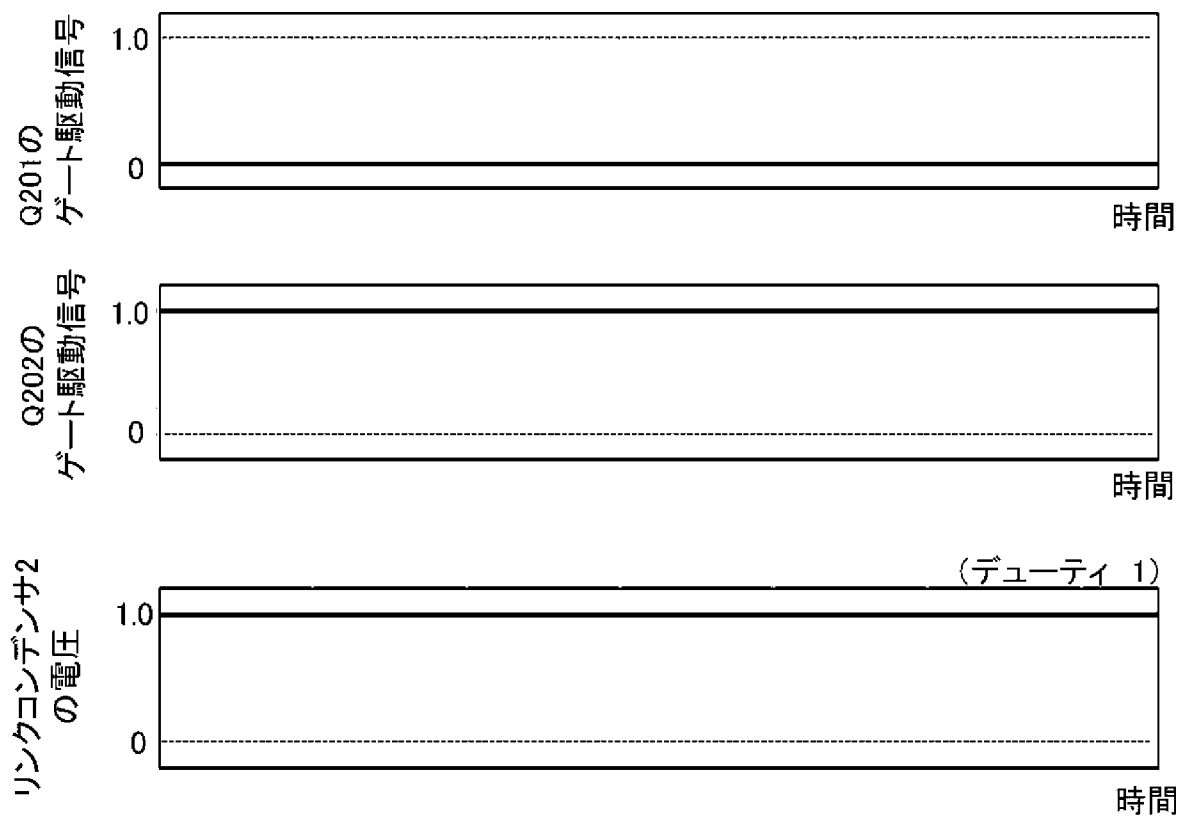
[図9A]

図9A



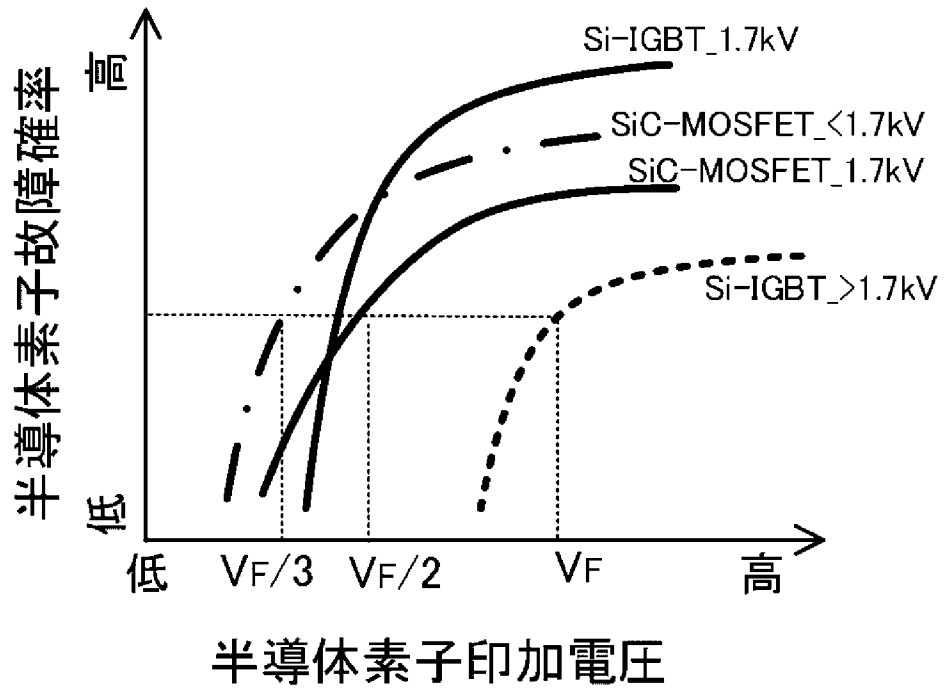
[図9B]

図9B



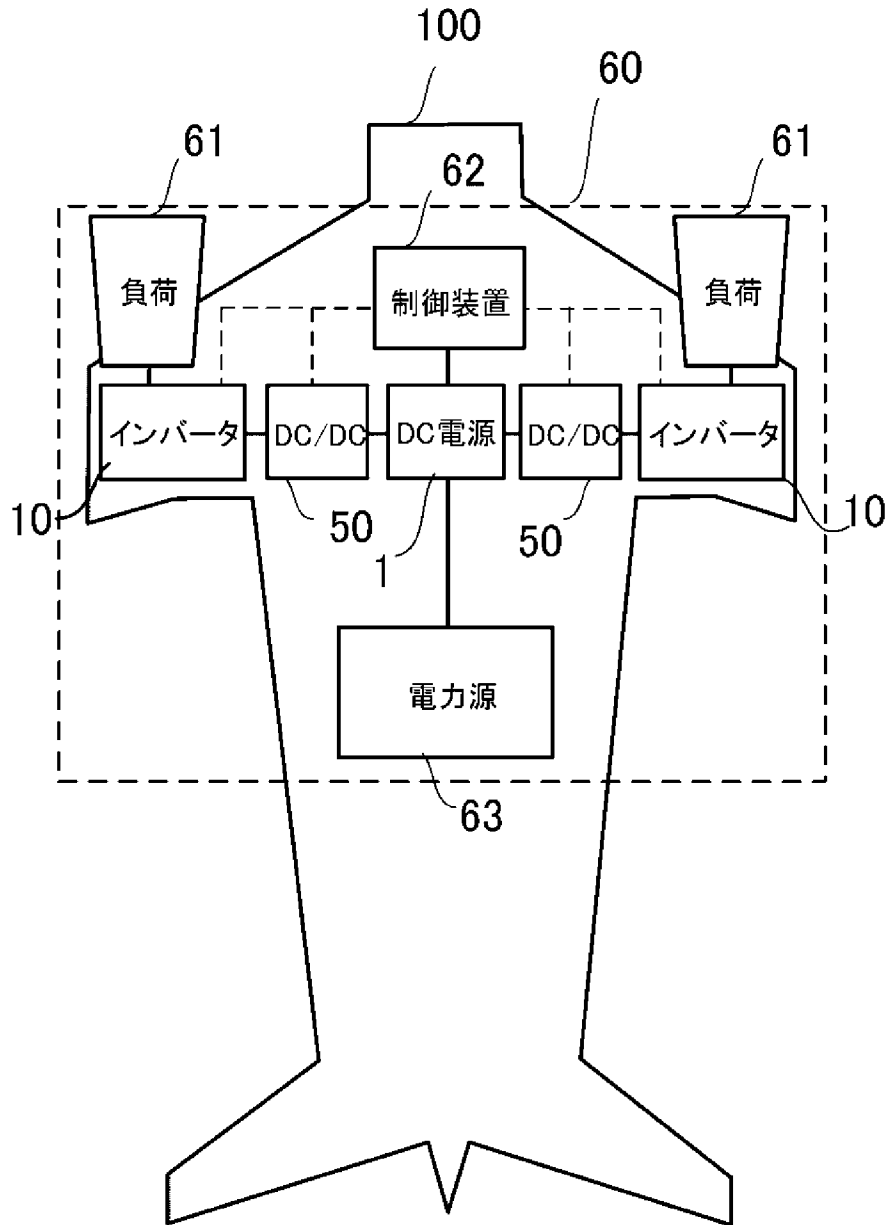
[圖10]

圖10



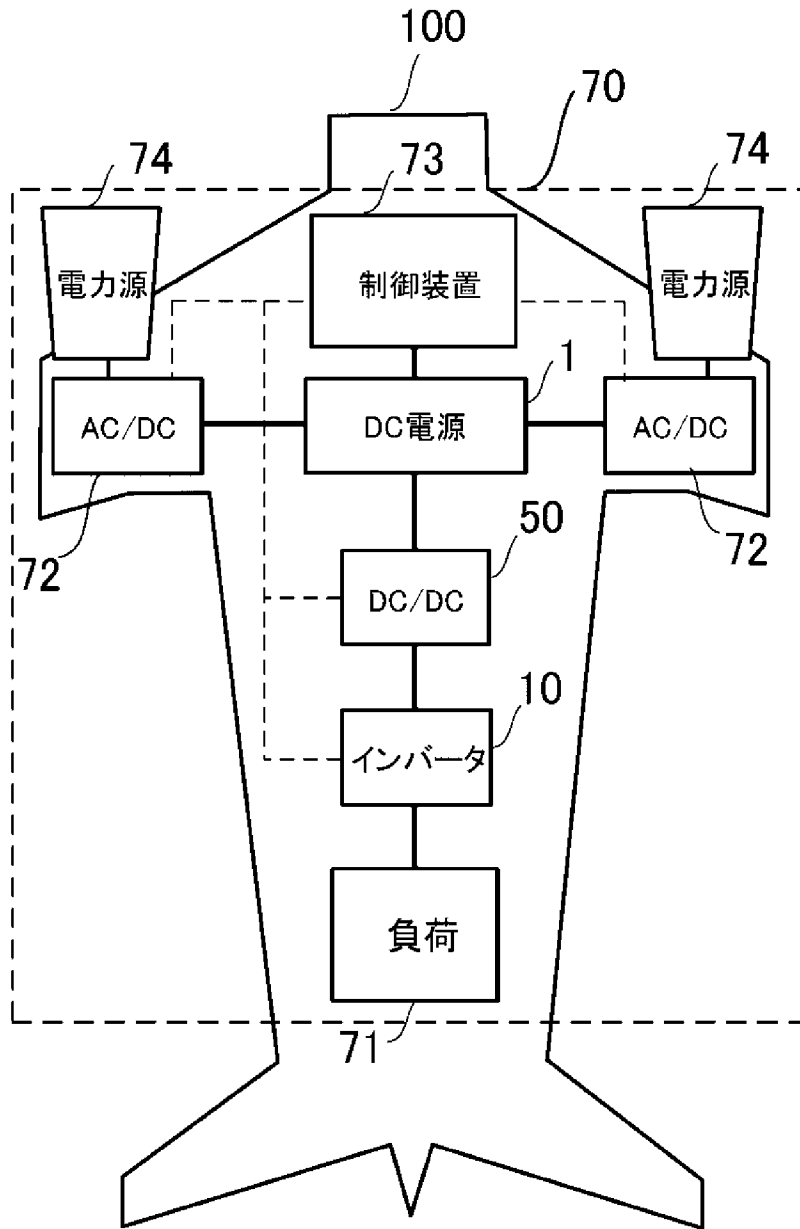
[図11]

図11



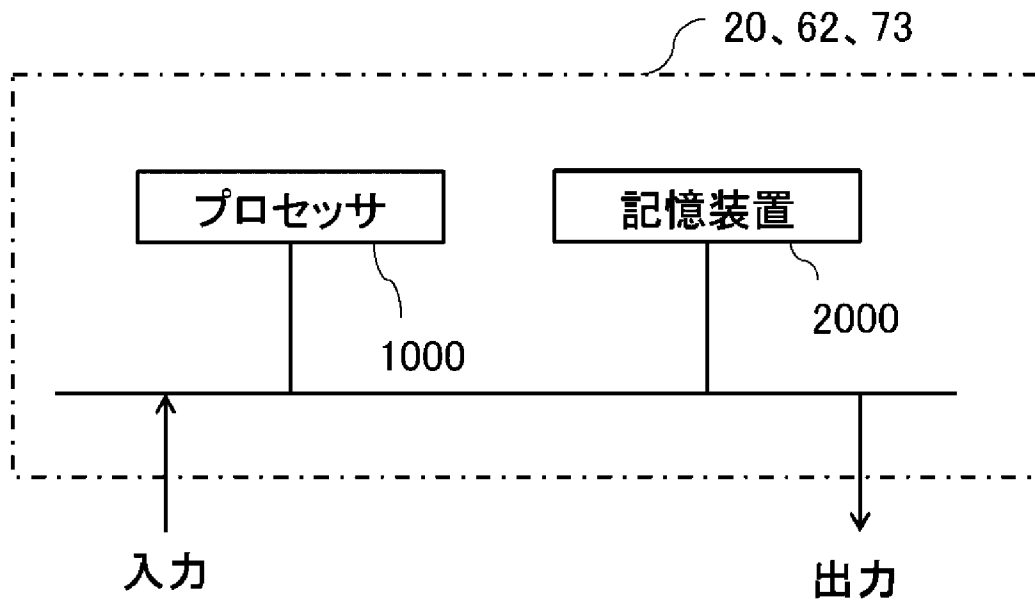
[図12]

図12



[図13]

図13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/034055

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M7/48 (2007.01) i

FI: H02M7/48M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/00-7/98, H02H7/00, H02H7/10-7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6682049 B1 (MITSUBISHI ELECTRIC CORPORATION) 15 April 2020 (2020-04-15), entire text, all drawings	1-9
A	US 2019/0152617 A1 (SIEMENS AKTIENGESELLSCHAFT) 23 May 2019 (2019-05-23), entire text, all drawings	1-9
A	JP 2007-166815 A (TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEM CORP.) 28 June 2007 (2007-06-28), entire text, all drawings	1-9
A	WO 2018/216263 A1 (MITSUBISHI ELECTRIC CORPORATION) 29 November 2018 (2018-11-29), entire text, all drawings	1-9
A	EP 3664268 A1 (GE ENERGY POWER CONVERSION TECHNOLOGY LTD.) 10 June 2020 (2020-06-10), entire text, all drawings	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 19 October 2020	Date of mailing of the international search report 27 October 2020
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/034055

JP 6682049 B1	15 April 2020	(Family: none)
US 2019/0152617 A1	23 May 2019	(Family: none)
JP 2007-166815 A	28 June 2007	(Family: none)
WO 2018/216263 A1	29 November 2018	(Family: none)
EP 3664268 A1	10 June 2020	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/48(2007.01)i FI: H02M7/48 M		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M1/00-7/98; H02H7/00; H02H7/10-7/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6682049 B1（三菱電機株式会社）15.04.2020（2020-04-15） 全文、全図	1-9
A	US 2019/0152617 A1（SIEMENS AKTIENGESELLSCHAFT）23.05.2019（2019-05-23） 全文、全図	1-9
A	JP 2007-166815 A（東芝三菱電機産業システム株式会社）28.06.2007（2007-06-28） 全文、全図	1-9
A	WO 2018/216263 A1（三菱電機株式会社）29.11.2018（2018-11-29） 全文、全図	1-9
A	EP 3664268 A1（GE Energy Power Conversion Technology Ltd.）10.06.2020（2020-06-10） 全文、全図	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 19.10.2020	国際調査報告の発送日 27.10.2020	
名称及びあて先 日本国特許庁（ISA/JP） 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 土井 悠生 5G 1595 電話番号 03-3581-1101 内線 3526	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/034055

引用文献	公表日	パテントファミリー文献	公表日
JP 6682049 B1	15.04.2020	(ファミリーなし)	
US 2019/0152617 A1	23.05.2019	(ファミリーなし)	
JP 2007-166815 A	28.06.2007	(ファミリーなし)	
WO 2018/216263 A1	29.11.2018	(ファミリーなし)	
EP 3664268 A1	10.06.2020	(ファミリーなし)	