



(12) 发明专利

(10) 授权公告号 CN 101577141 B

(45) 授权公告日 2013. 01. 09

(21) 申请号 200910137115. 4

CN 1996492 A, 2007. 07. 11, 全文.

(22) 申请日 2009. 05. 07

审查员 杨嘉

(30) 优先权数据

61/051, 327 2008. 05. 07 US

12/432, 055 2009. 04. 29 US

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 陈逸舟 林昱佑

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 周国城

(51) Int. Cl.

G11C 11/56(2006. 01)

G11C 16/02(2006. 01)

G11C 16/30(2006. 01)

(56) 对比文件

CN 1574093 A, 2005. 02. 02, 全文.

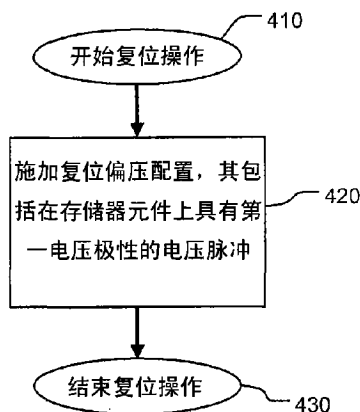
权利要求书 2 页 说明书 13 页 附图 17 页

(54) 发明名称

存储器装置及其操作方法

(57) 摘要

本发明公开了一种存储器装置及其操作方法,该方法包含:向存储单元施加复位偏压配置,以使电阻状态自较低电阻状态改变至较高电阻状态;所述复位偏压配置包括第一电压脉冲;所述方法更包含向所述存储单元施加设定偏压配置,以使电阻状态自较高电阻状态改变至较低电阻状态;所述设定偏压配置包括第二电压脉冲,所述第二电压脉冲具有与所述第一电压脉冲的电压极性不同的电压极性。



1. 一种操作存储单元的方法,所述存储单元包括相变存储器元件,所述相变存储器元件可编程至包含较高电阻状态及较低电阻状态的多个电阻状态,其特征在于,所述方法包括:

向所述存储单元施加复位偏压配置,以使所述电阻状态自所述较低电阻状态改变至所述较高电阻状态,所述复位偏压配置包括第一电压脉冲,该第一电压脉冲是具有大于 2.8V 的脉冲高度的正复位脉冲;以及

向所述存储单元施加设定偏压配置,以使所述电阻状态自所述较高电阻状态改变至所述较低电阻状态,所述设定偏压配置包括第二电压脉冲,该第二电压脉冲是具有小于 -2.2V 的脉冲高度的负设定脉冲,所述第二电压脉冲具有与所述第一电压脉冲的电压极性不同的电压极性,且对所述存储单元进行复位操作时施加的电压极性与对所述存储单元进行设定操作时施加的电压极性恒相反;

其中,设定偏压配置的第二电压脉冲具有小于或等于 60ns 的脉冲宽度。

2. 根据权利要求 1 所述的操作存储单元的方法,其特征在于,所述存储单元更包括第一及第二电极,所述相变存储器元件将所述第一电极电耦接至所述第二电极,且所述相变存储器元件具有与所述第一及第二电极间隔开的主动区域。

3. 根据权利要求 1 所述的操作存储单元的方法,其特征在于,所述存储单元更包括第一及第二电极,以及位于所述第一电极与所述第二电极之间的介电间隔物,所述相变存储器元件包括相变材料桥,所述相变材料桥在所述相变存储器元件上延伸以接触所述第一及第二电极,所述相变存储器元件界定所述第一电极与第二电极之间的电极间路径,其具有由绝缘部件的宽度界定的电极间路径长度。

4. 根据权利要求 3 所述的操作存储单元的方法,其特征在于,所述相变存储器元件具有在 3nm 与 20nm 之间的厚度。

5. 根据权利要求 3 所述的操作存储单元的方法,其特征在于,所述相变存储器元件具有小于 10nm 的厚度,且所述绝缘部件的所述宽度大于 10nm。

6. 根据权利要求 1 所述的操作存储单元的方法,其特征在于,所述存储单元更包括第一及第二电极,所述相变存储器元件包括由介电质围绕且将所述第一电极电耦接至所述第二电极的相变材料柱,所述相变材料柱具有小于所述第一及第二电极的宽度的宽度。

7. 根据权利要求 6 所述的操作存储单元的方法,其特征在于,所述相变材料柱的所述宽度小于 25nm。

8. 根据权利要求 1 所述的操作存储单元的方法,其特征在于,所述相变存储器元件包括成核支配材料。

9. 一种存储器装置,其特征在于,包括:

存储单元,包括相变存储器元件,所述相变存储器元件可编程至包含较高电阻状态及较低电阻状态的多个电阻状态;以及

偏压电路,用以向所述存储单元施加偏压配置,所述偏压配置包括:

复位偏压配置,用以将所述电阻状态自所述较低电阻状态改变至所述较高电阻状态,所述复位偏压配置包括第一电压脉冲,该第一电压脉冲是具有大于 2.8V 的脉冲高度的正复位脉冲;以及

设定偏压配置,用以将所述电阻状态自所述较高电阻状态改变至所述较低电阻状态,

所述设定偏压配置包括第二电压脉冲,该第二电压脉冲是具有小于-2.2V的脉冲高度的负设定脉冲,所述第二电压脉冲具有与所述第一电压脉冲的电压极性不同的电压极性,且对所述存储单元进行复位操作时施加的电压极性与对所述存储单元进行设定操作时施加的电压极性恒相反;

其中,设定偏压配置的第二电压脉冲具有小于或等于60ns的脉冲宽度。

10. 根据权利要求9所述的存储器装置,其特征在于,所述存储单元更包括第一及第二电极,所述相变存储器元件将所述第一电极电耦接至所述第二电极,且所述相变存储器元件具有与所述第一及第二电极间隔开的主动区域。

11. 根据权利要求9所述的存储器装置,其特征在于,所述存储单元更包括第一及第二电极,以及位于所述第一电极与所述第二电极之间的介电间隔物,所述相变存储器元件包括相变材料桥,所述相变材料桥在所述相变存储器元件上延伸以接触所述第一及第二电极,所述相变存储器元件界定所述第一电极与第二电极之间的电极间路径,其具有由绝缘部件的宽度界定的电极间路径长度。

12. 根据权利要求11所述的存储器装置,其特征在于,所述相变存储器元件具有在3nm与20nm之间的厚度。

13. 根据权利要求11所述的存储器装置,其特征在于,所述相变存储器元件具有小于10nm的厚度,且所述绝缘部件的所述宽度大于10nm。

14. 根据权利要求9所述的存储器装置,其特征在于,所述存储单元更包括第一及第二电极,所述相变存储器元件包括由介电质围绕且将所述第一电极电耦接至所述第二电极的相变材料柱,所述相变材料柱具有小于所述第一及第二电极的宽度的宽度。

15. 根据权利要求14所述的存储器装置,其特征在于,所述相变材料柱的所述宽度小于25nm。

16. 根据权利要求9所述的存储器装置,其特征在于,所述相变存储器元件包括成核支配材料。

存储器装置及其操作方法

技术领域

[0001] 本发明是有关于以基于相变的存储器材料（包含基于硫族化物的材料）及其它可编程电阻性材料为基础的存储器装置，以及操作此等装置的方法。

背景技术

[0002] 可通过以适合在集成电路中实施的电平施加电流来致使基于相变的存储器材料（如基于硫族化物的材料及类似材料）在非晶态与结晶态之间变相。一般非晶态的特征在于电阻率高于一般结晶态的电阻率，其可容易被感测以指示数据。此等属性已在使用可编程电阻性材料来形成可用随机存取进行读取及写入的非易失性存储器电路中引起关注。

[0003] 在相变存储器中，通过在相变材料的主动区域中引起非晶相与结晶相之间的转变来储存数据。图 1 为各包含一相变存储器元件的若干存储单元的电阻的实例分布。所述存储单元的相变存储器元件可编程至多个电阻状态，包含高电阻复位（擦除）状态 102 及至少一较低电阻设定（编程）状态 100。每一电阻状态对应于一非重叠电阻范围。

[0004] 较低电阻状态 100 的最高电阻 R_1 与高电阻复位状态 102 的最低电阻 R_2 之间的差异界定读取边限 (read margin) 101，其用于区分处于较低电阻状态 100 的存储单元与处于高电阻状态 102 的存储单元。可通过判定存储单元是具有对应于较低电阻状态 100 亦或具有对应于高电阻状态 102 的电阻，例如通过测量存储单元的电阻是高于亦或低于读取边限 101 内的临界电阻值 R_{SA} 103，来确定储存于存储单元中的数据。

[0005] 自高电阻状态 102 至较低电阻状态 100 的改变（本文称为设定（或编程））一般是较低电流操作，其中电流将相变材料加热至高于转变温度，以引起自非晶相至结晶相的转变。自较低电阻状态 100 至高电阻状态 102 的改变（本文称为复位）一般是较高电流操作，其包含用以融化或破坏结晶结构的较短的高电流密度脉冲，在此之后相变材料迅速冷却，从而使相变过程骤冷且允许相变材料的至少一部分稳定于非晶相。

[0006] 可通过减小相变存储器元件的大小，以使得经过相变存储器元件的较小的绝对电流值达成较高的电流密度，来减小复位所需的电流的量值。然而，减小相变存储器元件的大小可能导致「难以设定」现象。具体而言，致使相变材料的主动区域自高电阻状态 102 的非晶相转变至较低电阻状态 100 的结晶相可能变得困难。

[0007] 因此，需提供用于操作特征在于所述难以设定行为的存储器装置的方法。

发明内容

[0008] 本发明的主要目的在于提供一种用于操作存储单元的方法，所述存储单元包括相变存储器元件，所述相变存储器元件可编程至包含较高电阻状态及较低电阻状态的多个电阻状态。所述方法包括向所述存储单元施加复位偏压配置 (reset bias arrangement)，以使电阻状态自较低电阻状态改变至较高电阻状态。所述复位偏压配置包括第一电压脉冲。所述方法更包括向所述存储单元施加设定偏压配置，以使电阻状态自较高电阻状态改变至较低电阻状态。所述设定偏压配置包括第二电压脉冲，所述第二电压脉冲具有与所述第一

电压脉冲的电压极性不同的电压极性。

[0009] 如本文所描述的存储器装置包括存储单元,其包括相变存储器元件,所述相变存储器元件可编程至包含较高电阻状态及较低电阻状态的多个电阻状态。所述存储器装置更包括偏压电路,用以施加如上所述的设定偏压配置及复位偏压配置。

[0010] 本文所描述的包括具有相反极性脉冲的设定及复位偏压配置的操作已被证明能够克服存储单元结构(诸如小型桥式存储单元)的「难以设定」行为,所述存储单元结构遭受引起相变材料的主体中的不对称发热的显著热电效应。遭受此「难以设定」行为的代表性组态具有主动区域,所述主动区域在设定操作期间具有发热区,所述发热区与接触相变材料的电极间隔开。

[0011] 在实施例中,设定偏压配置的第二电压脉冲具有 60ns 或更小的脉冲宽度。因此,本文所述的相变存储器装置及操作方法克服通常与相变存储器装置相关联的缓慢设定行为,且将其有用性延伸至诸如 DRAM 的要求小于或等于 60ns 的设定脉冲宽度的高速应用中。

[0012] 在审阅图式、详细描述以及附加的权利要求范围之后,可见本发明的其它态样及优点。

[0013] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0014] 图 1 为各包含一相变存储器元件的若干存储单元的电阻的实例分布,所述相变存储器元件可编程至高电阻状态及低电阻状态。

[0015] 图 2A 至图 2D 绘示现有技术存储单元结构,可对其应用本文所描述的操作以克服极小装置的「难以设定」行为。

[0016] 图 3 为沿穿过存储器元件的电流路径具有不对称发热的桥式存储单元的横截面图。

[0017] 图 4A 及图 4B 分别为可克服「难以设定」行为的复位操作及设定操作的流程图。

[0018] 图 5A 及图 5B 说明图 4A 的复位操作及图 4B 的设定操作的时序图的第一实施例。

[0019] 图 6 为包含发热区的桥式存储单元的横截面图,所述发热区比图 3 的装置的发热区更接近装置的中部。

[0020] 图 7A 至图 7B、图 8A 至图 8B 及图 9A 至图 9B 说明图 4A 的复位操作及图 4B 的设定操作的时序图的替代实施例。

[0021] 图 10 为桥式存储单元的 SEM 影像。

[0022] 图 11A 为施加至图 10 的桥式存储单元的操作序列的流程图。

[0023] 图 11B 为图 11A 的操作序列的步骤 1100 的简化时序图。

[0024] 图 11C 为图 11A 的操作序列的步骤 1110 的简化时序图。

[0025] 图 11D 为针对图 11A 的序列的各个步骤而测量到的经过存储器元件的电流。

[0026] 图 11E 为在图 11A 的序列的每一步骤之后存储器元件的测量电阻。

[0027] 图 12A 为随具有在自 1.2V 至 4.0V 范围内的各种脉冲高度的设定脉冲的脉冲宽度而变的存储器元件的测量电阻。

[0028] 图 12B 为随脉冲高度而变的存储器元件的测量电阻。

[0029] 图 13A 及图 13B 为克服将存储器元件自较高电阻复位状态编程至较低电阻状态的「难以设定」行为的图 4A 的复位操作及图 4B 的设定操作的简化时序图。

[0030] 图 13C 为使用图 13A 至图 13B 的设定及复位操作的存储单元的循环耐久性测试的测量电阻。

[0031] 图 14A 为施加至图 10 的存储单元的操作序列的流程图。

[0032] 图 14B 为图 14A 的操作序列的步骤 1410 的简化时序图。

[0033] 图 14C 为图 14A 的操作序列的步骤 1430 的简化时序图。

[0034] 图 14D 为针对图 14A 的序列的各个步骤而测量到的经过存储器元件的电流。

[0035] 图 14E 为在图 14A 的序列的每一步骤之后存储器元件的测量电阻。

[0036] 图 15A 为图 10 的存储单元的测量电阻 - 电压特征,其针对通过改变图 15B 的设定及复位脉冲的脉冲高度而进行的设定至复位及复位至设定转变两者。

[0037] 图 16 为复位及设定操作期间存储单元的测量电流 - 电压曲线。

[0038] 图 17 为其中可实施本文所描述的操作的集成电路的简化方块图。

[0039] 图 18 为图 17 的集成电路的存储器阵列的一部分的示意图。

[0040] **【主要元件符号说明】**

[0041] 100 :较低电阻设定 (编程) 状态

[0042] 101 :读取边限

[0043] 102 :高电阻复位 (擦除) 状态

[0044] 103 :临限电阻值 R_{SA}

[0045] 200、300、600 :桥式存储单元

[0046] 212 :第一电极

[0047] 213 :介电间隔物

[0048] 214 :第二电极

[0049] 215、221、241、260、1000 :宽度

[0050] 218 :主动区域 219、610 :发热区

[0051] 220、1846、1848、1850、1852 :存储器元件

[0052] 223、243 :顶部表面

[0053] 229、249 :底部表面

[0054] 231 :侧壁表面

[0055] 235 :介电间隔物

[0056] 250 :厚度

[0057] 400 :复位操作

[0058] 410、420、430、460、470、480、1100、1110、1400、1410、1420、1430 :步骤标号

[0059] 450 :设定操作

[0060] 500、520 :电压脉冲

[0061] 510、530 :脉冲宽度

[0062] 1700 :集成电路

[0063] 1705 :存储单元的存储器阵列

[0064] 1710 :字线译码器及驱动器

- [0065] 1715、1856、1858 :字线
- [0066] 1720 :位线译码器
- [0067] 1725、1860、1862 :位线
- [0068] 1730 :区块
- [0069] 1735 :数据总线
- [0070] 1740 :数据输入线
- [0071] 1745 :数据输出线
- [0072] 1750 :控制器
- [0073] 1755 :偏压电路电压及电流源
- [0074] 1760 :总线
- [0075] 1765 :其它电路
- [0076] 1830、1832、1834、1836 :存储单元
- [0077] 1854 :源极线
- [0078] 1855 :偏压电路电压及电流源
- [0079] 1880 :电流路径
- [0080] R_1 :最高电阻
- [0081] R_2 :最低电阻
- [0082] R_{SA} :临界电阻值
- [0083] V_{SET} 、 V_{RESET} :脉冲高度

具体实施方式

[0084] 本发明的以下描述通常将参考具体的结构实施例及方法。应理解,无意使本发明限于具体揭露的实施例及方法,相反,可使用其它特征、元件、方法及实施例来实践本发明。描述较佳实施例是为了说明本发明,而非限制本发明的范畴,本发明的范畴由权利要求范围界定。熟习此项技术者将认识到关于以下描述内容的多种等效变化。各种实施例中之相同元件通常以相同参考标号指代。

[0085] 如上文所提及,随着相变存储器元件的大小减小,引起至较低电阻状态 100 的转变可能变得愈来愈困难。

[0086] 图 2A 至图 2D 绘示代表性现有技术存储单元结构,可对其应用本文所描述的双极操作以克服极小装置的「难以设定」特征。遭受此「难以设定」行为的图 2A 至图 2D 的代表性存储单元结构具有主动区域 218,其在设定操作期间具有发热区,所述发热区与接触相变材料的电极间隔开,如下文更详细地论述。

[0087] 图 2A 为「桥式」存储单元 200 之简化横截面图,说明耦接至第一电极 212 及第二电极 214 的存储器元件 220 的第一组态。第一电极 212 可(例如)耦接至诸如晶体管的存取装置的端子,而第二电极 214 可耦接至位线。

[0088] 具有宽度 215 的介电间隔物 213 使第一电极 212 与第二电极 214 分离。存储器元件 220 的相变材料具有厚度 250,且延伸越过介电间隔物 213 上以接触第一电极 212 与第二电极 214,以此界定第一电极 212 与第二电极 214 之间的电极间路径,其具有由介电间隔物 213 的宽度 215 界定的路径长度。在操作中,在电流经过第一电极 212 与第二电极 214

之间且穿过存储器元件 220 时,存储器元件 220 的相变材料的主动区域 218 比存储器元件 220 的其余部分更迅速地变热。

[0089] 图 2B 为「柱式」存储单元的简化横截面图,说明具有由介电质围绕且耦接至第一电极 212 及第二电极 214 的柱形存储器元件 220 的第二组态。存储器元件 220 的相变材料具有主动区域 218,且分别在顶部表面 223 及底部表面 229 处接触第一电极 212 及第二电极 214。存储器元件 220 具有与第一电极 212 及第二电极 214 的宽度相同的宽度(在一些实施例中为直径)221。

[0090] 图 2C 为「侧壁式」存储单元的简化横截面图,说明耦接至第一电极 212 及第二电极 214 的存储器元件 220 的第三组态,存储单元 220 的相变材料具有主动区域 218。第一电极 212 与第二电极 214 由介电间隔物 235 分离。第一电极 212 及第二电极 214 以及介电间隔物 235 具有侧壁表面 231。存储单元 220 的相变材料位于侧壁表面 231 上,且延伸越过介电间隔物 235 以接触第一电极 212 及第二电极 214。

[0091] 图 2D 为「孔式」存储单元的简化横截面图,说明具有由介电质围绕且耦接至第一电极 212 及第二电极 214 的存储器元件 220 的第四组态。存储器元件 220 的相变材料具有主动区域 218,且分别在顶部表面 243 及底部表面 249 处接触第一电极 212 及第二电极 214。存储器元件 220 具有小于第一电极 212 及第二电极 214 的宽度的宽度(在一些实施例中为直径)241。

[0092] 可通过在存储器元件 220 上施加适当的偏压配置来达成对存储单元 200 的读取或写入。所述偏压配置包括向第一电极 212 及第二电极 214 中的一者或两者施加脉冲,以引发经过存储器元件 220 的电流。所施加脉冲的电平及持续时间取决于所执行的操作(例如,读取操作或编程操作),且可凭经验为每一实施例而确定。偏压配置可包含具有自第二电极 214 至第一电极 212 的正电压的脉冲(本文称之为存储器元件 220 上的正电压),且/或可包含具有自第二电极 214 至第一电极 212 的负电压的脉冲(本文称之为存储器元件 220 上的负电压)。

[0093] 在存储单元 200 的读取(或感测)操作中,耦接至第一电极 212 及第二电极 214 的偏压电路在存储器元件 220 上施加具有合适幅值及持续时间的读取偏压配置,以引发电流流动,其并不导致存储器元件 220 经受电阻性状态的改变。经过存储器元件 220 的电流取决于存储器元件 220 的电阻。因此,经过存储器元件 220 的电流指示储存于存储单元 200 中的数据值。

[0094] 在存储单元 200 的复位(或擦除)操作中,耦接至第一电极 212 及第二电极 214 的偏压电路施加具有合适幅值及持续时间的复位偏压配置,以引发电流流经存储器元件 220,以此使至少主动区域的温度升高至高于存储器元件 220 的相变材料的转变(结晶)温度,且亦高于熔化温度,以至少使主动区域 218 处于液态。随后(例如)通过终止施加至第一电极 212 及第二电极 214 的电压脉冲而终止电流,从而导致相对较快的骤冷时间,因为主动区域 218 快速冷却以稳定于非晶相。

[0095] 在存储单元 200 的设定(或擦除)操作中,耦接至第一电极 212 及第二电极 214 的偏压电路施加具有合适幅值及持续时间的设定偏压配置,以引发电流流经存储器元件 220,以此使主动区域 218 的至少一部分的温度升高至高于转变温度,且引起主动区域 218 的至少一部分自非晶相至结晶相的转变,此转变降低存储单元 220 的电阻,且将存储单元 200 设

定至所要状态。

[0096] 随着相变存储器元件 220 的大小减小,致使主动区域 218 自高电阻状态的非晶相转变至较低电阻状态的结晶相可能变得愈来愈困难。如下文参看图 3 所论述,理论说明「难以设定」行为是归因于诸如 Thomson 效应的显著热电效应,其导致相变材料的不对称发热。

[0097] 图 3 中说明桥式存储单元 300,其具有第一电极 212 及第二电极 214,以及延伸越过介电间隔物 213 以接触电极 212、214 的相变存储器元件 220。相变存储器元件 220 界定第一电极与第二电极之间的电极间路径,其具有由介电间隔物 213 的宽度 260 界定的电极间路径长度。在操作中,沿电极 212、214 之间的电流路径的不对称发热导致处于较高电阻复位状态的非晶主动区域 218,其更靠近一个电极 214 而非另一电极 212。

[0098] 在设定操作期间,发热发生于非晶主动区域 218 内,因为非晶相中的电阻高于结晶相中的电阻。归因于不对称发热,施加与复位脉冲具有相同电压极性的设定脉冲会导致非晶主动区域 218 内发生发热的不对称发热区 219。如图 3 所示,发热区 219 更靠近第二电极 214。

[0099] 电极 214 的相对较高的热导率用以自主动区域 218 的发热区 219 汲走热量,从而导致设定操作期间相当大量的热损失。不对称发热区 219 及高热损失导致低效发热,以致使主动区域 218 转变至低电阻结晶相,从而导致「难以设定」行为。

[0100] 图 4A 至图 4B 分别为可克服对存储器元件 220 进行编程的「难以设定」特征的复位操作 400 及设定操作 450 的流程图。图 4A 为用于将存储器元件 220 自较低电阻状态 100 编程至较高电阻状态 102 的复位操作 400 的流程图。图 4B 为用于将存储器元件 220 自较高电阻状态 102 编程至较低电阻状态 100 的设定操作 450 的流程图。

[0101] 图 5A 至图 5B 说明图 4A 至图 4B 的复位操作 400 及设定操作 450 的时序图的第一实施例。如将理解,图 5A 至图 5B 的时序图为简化的,且不一定按比例绘制。

[0102] 存储单元 200 的复位操作 400 开始于图 4A 的步骤 410。步骤 410 可包含读取操作,或在一些实施例中在读取操作之后,读取操作用以判定存储单元 200 是否需要由复位操作 400 编程。

[0103] 接下来,在步骤 420 处,将包括在存储器元件 220 上具有第一电压极性的电压脉冲的复位偏压配置施加至存储单元 200。可通过改变施加至一个电极的电压或改变施加至第一电极 212 及第二电极 214 中的两者的电压,来将步骤 420 的具有第一电压极性的电压脉冲施加于存储器元件 220 上。

[0104] 在图 5A 的所说明实施例中,步骤 420 的复位偏压配置包括在存储器元件 220 上具有脉冲高度 V_{RESET} 及脉冲宽度 510 的电压脉冲 500,且具有自第二电极 214 至第一电极 212 的正电压极性。

[0105] 电压脉冲 500 引发电流自第二电极 214 经由存储器元件 220 流动至第一电极 212。所述电流足以使至少主动区域 218 的温度升高至高于转变温度,且亦高于熔化温度,以至少使主动区域 218 处于液态。所述电流随后由电压脉冲 500 的下降沿终止,从而允许主动区域 218 快速冷却且稳定于非晶相,以此建立较高电阻状态 102。复位操作随后在步骤 430 处结束。

[0106] 存储单元 200 的设定操作 450 开始于图 4B 的步骤 460。步骤 460 可包含读取操作,或在一些实施例中在读取操作之后,读取操作用以判定存储单元是否需要由设定操作

460 编程。

[0107] 接下来,在步骤 470 处,将包括在存储器元件 220 上具有第二电压极性的电压脉冲的设定偏压配置施加至存储单元 200。第二电压极性与复位操作 400 的步骤 420 的电压脉冲的第一电压极性相反。可通过改变施加至一个电极的电压或改变施加至第一电极 212 及第二电极 214 中的两者的电压来将步骤 470 的具有第二电压极性的电压脉冲施加于存储器元件 220 上。

[0108] 在图 5B 的所说明实施例中,步骤 470 的设定偏压配置包括在存储器元件上具有脉冲高度 V_{SET} 及脉冲宽度 530 的电压脉冲 520,且具有自第二电极 214 至第一电极 212 的负电压极性。

[0109] 电压脉冲 520 引发电流自第一电极 212 经由存储器元件 220 流动至第二电极 214。所述电流足以使主动区域 218 的温度升高至高于相变材料的转变温度(结晶)温度,以致使主动区域 218 转变至结晶相,以此建立较低电阻状态 100。设定操作随后在步骤 480 处结束。

[0110] 在实施例中,步骤 470 的设定偏压配置的电压脉冲 520 可具有小于或等于 60ns 的脉冲宽度 530。因此,本文所描述的相变存储器装置及操作方法克服通常与相变存储器装置相关联的缓慢设定行为,且将其有用性延伸至诸如 DRAM 的要求小于或等于 60ns 的设定脉冲宽度的高速应用中。

[0111] 在图 5A 至图 5B 的所说明实施例中,电压脉冲 500 具有自第二电极 214 至第一电极 212 的正电压极性,且电压脉冲 520 具有自第二电极 214 至第一电极 212 的负电压极性。在一替代实施例中,电压脉冲 500 具有自第二电极 214 至第一电极 212 的负电压极性,且电压脉冲 520 具有自第二电极 214 至第一电极 212 的正电压极性。

[0112] 如上文所述,图 4B 的设定操作 450 引发与图 4A 的复位操作 400 的电流相反的电流流经存储器元件 220。由于在操作期间电流在两个方向上流经存储器元件 220,因此复位操作 400 及设定操作 450 可补偿由诸如 Thomson 效应的热电效应引起的不对称发热。此情形在下文参看图 6 更详细地阐释。

[0113] 图 6 中说明类似于图 3 的桥式存储单元的桥式存储单元 600。复位操作 400 引发自第二电极 214 至第一电极 212 的复位电流。如图 6 所示,由复位期间诸如 Thomson 效应的热电效应引起的不对称发热会导致主动区域 218 更靠近第二电极 214 而非第一电极 212。复位操作 400 中的电流方向因此界定主动区域 218 的不对称位置,且因此用于为设定操作 450 判定电流方向。

[0114] 设定操作 450 引发自第一电极 212 至第二电极 214 的设定电流。归因于不对称发热,在设定期间发生发热的发热区 610 在主动区域 218 的一更靠近第一电极 212 而非第二电极 214 的部分内。因此,发热区 610 比图 3 的发热区 219 更靠近装置的中部。此情形导致充足的发热效率以致使主动区域 218 转变至结晶相,以此建立较低电阻状态。

[0115] 图 7A 至图 7B、图 8A 至图 8B 及图 9A 至图 9B 说明可在一些替代实施例中使用的步骤 420 及 470 的偏压配置的脉冲的一些实例。

[0116] 在图 5 至图 9 的所说明实施例中,步骤 420 及 470 的偏压配置各包括单个电压脉冲。更一般而言,步骤 420 及 470 的偏压配置可各包括施加于存储器元件 220 上之一或多个脉冲。在本文所描述的操作方法中,步骤 420 的复位偏压配置的至少一脉冲在存储器元

件上具有与步骤 470 的设定偏压配置的至少一脉冲的电压极性相反的电压极性。在一些实施例中,步骤 420 的复位偏压配置的每一脉冲在存储器元件上具有与步骤 470 的设定偏压配置的每一脉冲的电压极性相反的电压极性。可凭经验为每一实施例确定所述偏压配置中的每一者的脉冲数目及脉冲形状(包含脉冲高度及脉冲宽度)。

[0117] 图 10 为包含存储器元件 220 的桥式存储单元的俯视图的 SEM 影像,所述存储器元件 220 包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$,且掺杂有约 1.7at% 的 Ti、约 16.6at% 的 N 以及约 13.7at% 的 Fe。在图 6 中,存储器元件 220 在电极 212 与电极 214 之间具有约 140nm 的长度 260,具有约 20nm 的宽度 1000,以及约 5nm 的厚度。在本文所呈现的测量结果中,构建并测试具有约 20 及 50nm 的宽度、5nm 的厚度以及 50nm 及以上的长度的桥式存储单元。

[0118] 下文相对于图 11A 至图 11E 及图 12A 至图 12B 而论述的测量结果绘示使用具有相同电压极性的设定及复位操作来将存储单元设定至较低电阻状态的困难。因此,图 10 的存储单元被表征为「难以设定」。

[0119] 图 11A 为施加至图 10 的桥式存储单元的操作序列的流程图,所述存储单元具有约 50nm 的宽度及约 50nm 的长度的存储器元件 220。

[0120] 所述序列在步骤 1100 处通过在存储器元件 220 上施加具有 40ns 的脉冲宽度的 5.5V 复位脉冲而开始。所述脉冲的上升及下降时间被设定为尽可能小。归因于仪器限制,上升及下降时间在测量结果中实际上各为约 2ns。步骤 1100 的复位脉冲绘示于图 11B 的简化时序图中。

[0121] 接下来,在步骤 1110 处,在存储器元件 220 上施加与步骤 1100 的复位脉冲具有相同电压极性的 3.0V 设定脉冲。所述脉冲的上升及下降时间被设定为尽可能小。归因于仪器限制,上升及下降时间在测量结果中实际上各为约 2ns。如自步骤 1110 至步骤 1100 的箭头所表示,序列随后返回至步骤 1100。步骤 1110 的设定脉冲的脉冲宽度对于步骤 1110 的第一施加以 40ns 开始。所述设定脉冲的脉冲宽度对于区块 1110 的每一相继操作而步进升高,至多达 3000ns。

[0122] 图 11D 为针对图 11A 的序列的各个步骤而测量到的经过存储器元件的电流。

[0123] 图 11E 为在图 11A 的序列的每一步骤之后,存储器元件 220 的测量电阻。如在图 11E 的数据中可见,在存储器元件 220 上与步骤 1100 的复位操作具有相同电压极性的步骤 1110 的设定操作无法成功地将装置设定至较低电阻状态。

[0124] 图 12A 及图 12B 进一步绘示使用具有相同电压极性的设定及复位操作来将图 10 的存储单元设定至较低电阻状态中的困难。图 12A 及图 12B 为随图 10 的存储单元的设定脉冲宽度及设定脉冲幅值而变的测量电阻。图 12A 至图 12B 的数据是在具有约 20nm 的宽度及约 60nm 的长度的存储器元件 220 上测得的。

[0125] 可使用具有 30ns 的脉冲宽度的高于 3V 的复位脉冲来复位装置。图 12A 为随具有在自 1.2V 至 4.0V 范围内的各种脉冲高度的设定脉冲的脉冲宽度而变的存储器元件 220 的测量电阻。图 12B 为随具有 5ns 的上升时间及 30ns 的下降时间以及 50ns 及 100ns 的脉冲宽度的设定脉冲的脉冲高度而变的存储器元件 220 的测量电阻。如在图 12A 至图 12B 的数据中可见,当使用具有相同电压极性的设定及复位操作时,电阻仅在设定脉冲高度较高且/或脉冲宽度较长时减小。高设定电压及长脉冲宽度是不合意的,因为其可对装置施加较大的电应力及机械应力,较大的电应力及机械应力可最终损坏装置且导致装置发生故障。

[0126] 图 13A 及图 13B 分别为克服图 10 的存储单元的「难以设定」行为的图 4A 的复位操作 400 及图 4B 的设定操作 450 的简化时序图,所述存储单元具有约 50nm 的宽度及约 50nm 的长度的存储器元件 220。在图 13A 中,步骤 420 的复位偏压配置为具有 6.5V 的脉冲高度及 40ns 的脉冲宽度的电压脉冲。在图 13B 中,步骤 470 的设定偏压配置为具有 4.0V 的脉冲高度及 120ns 的脉冲宽度的电压脉冲。所述脉冲的上升及下降时间被设定为尽可能小。归因于仪器限制,上升及下降时间在测量结果中实际上各为约 2ns。步骤 470 的复位偏压配置电压脉冲在存储器元件 220 上具有与步骤 420 的设定偏压配置电压脉冲的电压极性相反的电压极性。

[0127] 图 13C 为使用图 13A 的脉冲来改变至较低电阻状态且使用图 13B 的脉冲来改变至较高电阻状态的存储器元件 220 的循环耐久性测试的测量电阻。如在图 13C 的数据中可见,「难以设定」行为被克服,且存储单元被成功设定至较低电阻状态。

[0128] 下文相对于图 14A 至图 14C 的论述进一步证明本文所述的设定及复位操作的相反极性脉冲对克服「难以设定」行为的效用。

[0129] 图 14A 为施加至图 10 的存储单元的操作序列的流程图,所述存储单元具有约 50nm 的宽度及约 50nm 的长度的存储器元件 220。所述序列在步骤 1400 处通过在存储器元件上施加具有 40ns 的脉冲宽度的 5.5V 复位脉冲而开始。所述脉冲之上升及下降时间被设定为尽可能小。归因于仪器限制,上升及下降时间在测量结果中实际上各为约 2ns。

[0130] 接下来,在步骤 1410 处,在存储器元件上施加与步骤 1400 的复位脉冲具有相同电压极性的设定脉冲。如图 14B 的简化时序图所表示,步骤 1410 的设定脉冲具有 3.0V 的脉冲高度及 40ns 的脉冲宽度。

[0131] 接下来,在步骤 1420 处,施加具有 40ns 的脉冲宽度的 5.5V 复位脉冲。接下来,在步骤 1430 处,在存储器元件上施加与步骤 1400 及 1410 的复位脉冲具有相反电压极性的设定脉冲。如图 14C 的简化时序图所表示,步骤 1430 的设定脉冲具有 3.0V 的脉冲高度及 40ns 的脉冲宽度。

[0132] 图 14D 为针对图 14A 的序列的各个步骤而测量到的经过存储器元件的电流。

[0133] 图 14E 为在图 14A 的序列的每一步骤之后,存储器元件的测量电阻。

[0134] 如在图 14E 的数据中可见,步骤 1410 的设定操作无法成功地将装置设定至较低电阻状态,而步骤 1430 的设定操作成功地将装置设定至较低电阻状态。

[0135] 图 15A 为图 10 的存储单元的测量电阻 - 电压 (resistance-voltage, R-V) 特征,其针对通过改变如图 15B 所示的设定及复位电压脉冲的脉冲高度而进行的设定至复位及复位至设定转变两者。图 15A 的数据是在具有约 20nm 的宽度及约 60nm 的长度的存储器元件 220 上测得的。此数据显示在不同编程脉冲之后,较低电阻设定状态与较高电阻复位状态之间的电阻转变。对于设定至复位测试,装置总是在复位脉冲被施加之前被编程至设定状态,且对于复位至设定测试,装置总是在设定脉冲被施加之前被编程至复位状态。图 15B 的用于获得图 15A 的数据的复位脉冲具有 5ns 的上升时间、2ns 之下降时间以及 20ns 的脉冲宽度。图 15B 的用于获得图 15A 的数据的设定脉冲具有 5ns 的上升时间、30ns 的下降时间以及 20ns 的脉冲宽度。

[0136] 如图 15A 中可见,通过使用具有大于 2.8V 的脉冲高度的正复位脉冲,电阻自设定状态陡增至复位状态。复位状态至设定状态的转变是使用具有小于 -2.2V 的脉冲高度的负

设定脉冲来完成的。

[0137] 因此,如在图 15A 的数据中可见,可使用 60ns 或更小的脉冲宽度来设定相变存储器装置。因此,本文所述的相变存储器装置及操作方法克服通常与相变存储器装置相关联的缓慢设定行为,且将其有用性延伸至诸如 DRAM 的要求小于或等于 60ns 的设定脉冲宽度的高速应用中。

[0138] 为确认如图 15 所示的电阻性切换行为是相变操作,图 16 中针对复位及设定操作而描绘四个电流-电压 (IV 曲线)。图 16 的数据是在具有约 20nm 的宽度及约 60nm 的长度的存储器元件 220 上测得的。复位及设定脉冲的脉冲高度分别为 3.4V 及 (+/-)2.5V。复位脉冲具有 20ns 的脉冲宽度以及分别为 5ns 及 0ns 的上升及下降时间,且设定脉冲具有 20ns 的脉冲宽度以及分别为 5ns 及 30ns 的上升及下降时间。

[0139] 图 16 的线 (2) 及线 (3) 为起初处于较高电阻复位状态的装置的测量 IV 曲线。在线 (2) 的数据中,初始电阻为 805k 欧姆,且在存储器元件上施加 +2.5V 的设定脉冲。在线 (3) 的数据中,初始电阻为 704k 欧姆,且在存储器元件上施加 -2.5V 的设定脉冲。

[0140] 如在线 (2) 的数据中可见,施加与复位脉冲具有相同电压极性的 +2.5V 设定脉冲显示随着电压接近 +2.5V 而向较低电阻的转变。然而,如在线 (2) 的数据中可见,此较低电阻转变为暂时的,且装置的电阻在 +2.5V 的设定脉冲终止之后返回至较高电阻状态。在线 (2) 的数据中,一旦设定脉冲达到约 0.8V 的电压 V_{HOLD} ,装置便返回至较高电阻状态。

[0141] 如在线 (3) 的数据中可见,施加与复位脉冲具有相反电压极性的 -2.5V 设定脉冲亦显示向较低电阻的转变。然而,不同于线 (2) 的数据,线 (3) 的较低电阻转变在 -2.5V 的设定脉冲终止之后维持,其指示存储器元件已经历相变。

[0142] 图 16 的线 (1) 及线 (4) 为起初处于较低电阻设定状态的装置的测量 IV 曲线。在线 (1) 及线 (4) 的数据中,初始电阻小于 20k 欧姆。线 (1) 及线 (4) 为设定装置的特征。

[0143] 在线 (4) 的数据中,施加 +3.4V 复位脉冲会引起自较低电阻状态至较高电阻状态的转变。在线 (1) 的数据中,施加 -2.5V 设定脉冲会引起装置的电阻的略微减小,但装置维持较低电阻状态。

[0144] 图 16 的数据指示电阻性切换行为是相变操作,且单极性操作对此装置而言并不实用。

[0145] 本文所描述的包括具有相反极性脉冲的设定及复位偏压配置的操作已被证明能克服存储单元结构(诸如小型桥式存储单元)的「难以设定」行为,所述存储单元结构遭受引起相变材料的主体中的不对称发热的显著热电效应。遭受此「难以设定」行为的代表性组态具有主动区域,其在设定操作期间具有发热区,所述发热区与接触相变材料的电极间隔开。具有约 3nm 与 20nm 之间的厚度的桥式存储单元及具有小于 25nm 的宽度或直径的柱式存储单元是可应用本文所述的操作来克服「难以设定」行为的典型结构。

[0146] 遭受此「难以设定」行为的代表性组态亦可具有穿过相变材料的相对较长的电流路径,及相对于电流路径而言较小的横截面。实例包含具有小于 10nm 的厚度及电极之间由绝缘部件的宽度界定的大于 10nm 的长度的桥式存储单元。

[0147] 特定而言,「难以设定」存储单元包含诸如 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ 及 Ge_xTe_y 的相变材料,其在成核支配模式下向设定状态转变,在成核支配模式下,结晶自材料内的许多位置起始。

[0148] 图 17 为其中可实施如本文所描述的克服「难以设定」行为的操作的集成电路 1700

的简化方块图。集成电路 1700 包含存储单元的存储器阵列 1705, 其具有可编程至包含较低电阻状态及较高电阻状态的多个电阻状态的相变存储器元件。具有读取模式、复位验证模式、设定验证模式、使用具有第一极性的电压脉冲进行复位的模式以及使用具有第二极性的电压脉冲进行设定的模式的字线译码器 1710 耦接至沿存储器阵列 1705 中的列配置的多个字线 1715 并与其电连通。位线(行)译码器 1720 与沿阵列 1705 中的行配置的多个位线 1725 电连通, 以对阵列 1705 中的存储单元(未图标)进行读取及编程。

[0149] 在总线 1760 上将地址供应至字线译码器及驱动器 1710 以及位线译码器 1720。区块 1730 中的感测电路(感测放大器)及数据输入结构(包含用于读取及编程模式的电压及/或电流源)经由数据总线 1735 耦接至位线译码器 1720。数据经由数据输入线 1740 自集成电路 1700 上的输入/输出端或自集成电路 1700 内部或外部的其它数据源供应至区块 1730 中的数据输入结构。集成电路 1700 上可包含其它电路 1765, 诸如通用处理器或专用应用电路, 或提供阵列 1705 所支持的芯片上系统功能性的模块的组合。数据经由数据输出线 1745 自区块 1730 中的感测放大器供应至集成电路 1700 上的输入/输出端, 或供应至集成电路 1700 内部或外部的其它数据目的地。

[0150] 集成电路 1710 包含控制器 1750, 用于阵列 1705 的存储单元的读取模式、复位验证模式、设定验证模式、使用具有第一极性的电压脉冲进行复位的模式以及使用具有第二极性的电压脉冲进行设定的模式。在此实例中, 使用偏压配置状态机来实施控制器 1750, 控制器 1750 控制偏压电路电压及电流源 1755 对包含对字线 1715、位线 1725 以及(在一些实施例中)源极线的读取、设定及复位的偏压配置的应用的应用。可使用此项技术中已知的专用逻辑电路来实施控制器 1750。在替代实施例中, 控制器 1750 包括通用处理器, 其可实施于同一集成电路上以执行计算机程序以控制装置的操作。在其它实施例中, 专用逻辑电路与通用处理器的组合可用于实施控制器 1750。

[0151] 如图 18 所示, 阵列 1705 的每一存储单元包含一存取晶体管(或诸如二极管的其它存取装置)及一相变存储器元件。在图 18 中, 说明具有相应的存储器元件 1846、1848、1850、1852, 的四个存储单元 1830、1832、1834、1836, 其表示一可包含数百万个存储单元的阵列的一小部分。存储器元件可编程至包含较低电阻状态及较高电阻状态的多个电阻状态。

[0152] 存储单元 1830、1832、1834、1836 的存取晶体管中的每一者的源极共同连接至源极线 1854, 源极线 1854 终止于源极线终止电路 1855(诸如接地端子)中。在另一实施例中, 存取装置的源极线未电连接, 而是可独立控制。源极线终止电路 1855 可包含诸如电压源及电流源的偏压电路, 以及用于在一些实施例中向源极线 1854 施加偏压配置(不同于接地)的译码电路。

[0153] 包含字线 1856、1858 的多个字线沿第一方向并列延伸。字线 1856、1858 与字线译码器 1710 电连通。存储单元 1830 及 1834 的存取晶体管的栅极连接至字线 1856, 且存储单元 1832 及 1836 的存取晶体管的栅极共同连接至字线 1858。

[0154] 包含位线 1860、1862 的多个位线沿第二方向并列延伸, 且与位线译码器 1818 电连通。在所说明的实施例中, 所述存储器元件中的每一者配置于对应存取装置的漏极与对应位线之间。或者, 存储器元件可位于对应存取装置的源极侧。

[0155] 将理解, 存储器阵列 1805 不限于图 18 中所说明的阵列组态, 且亦可使用额外阵列

组态。另外,代替 MOS 晶体管,双极晶体管在一些实施例中可用作存取装置。

[0156] 在操作中,阵列 1805 中的每一存储单元依据对应存储器元件的电阻而储存数据。可(例如)通过感测电路 1824 的感测放大器对用于选定存储单元的一位线上的电流与一合适参考电流之比较来确定数据值。可将参考电流建立为使得一预定电流范围对应于逻辑「0」,且一不同的电流范围对应于逻辑「1」。在具有三个或三个以上状态的存储单元中,可将参考电流建立为使得多个不同的位线电流范围对应于所述三个或三个以上状态中的每一者。

[0157] 可通过向字线 1856、1858 中的一者施加一合适电压,且将位线 1860、1862 中的一者耦接至一电压,以使得电流流经选定存储单元,来达成对阵列 1705 的存储单元的读取或写入。举例而言,通过向位线 1860、字线 1858 以及源极线 1854 施加电压,来建立穿过选定存储单元(在此实例中为存储单元 1832 及对应存储器元件 1848)的电流路径 1880,所述电压足以接通存储单元 1832 的存取晶体管且引发路径 1880 中的电流自位线 1860 向源极线 1854 流动(反之亦然)。所施加电压的电平及持续时间取决于所执行的操作。

[0158] 在存储单元 1832 的读取(或感测)操作中,字线译码器 1810 促进向字线 1858 提供合适电压,以接通存储单元 1832 的存取晶体管。位线译码器 1820 促进向位线 1860 供应具有合适幅值及持续时间的电压,以引发电流流动,所述电流流动不会导致存储器元件 1848 经历电阻性状态的改变。位线 1860 上及经过存储器元件 1848 的电流取决于存储单元 1832 的存储器元件 1848 的电阻,且因此取决于与存储器元件 1848 相关联的数据状态。因此,可(例如)通过感测电路 1830 的感测放大器对位线 1860 上的电流与一合适参考电流的比较来确定存储单元的数据状态。

[0159] 在待储存于存储单元 1832 中的数据值的复位操作中,耦接至阵列 1705 的偏压电路电压及电流源 1855 将如本文所述的包括一或多个脉冲的复位偏压配置施加至位线 1860 及/或字线 1858 及/或源极线 1854,以在路径 1880 中引发电流。存储器元件 1848 上的所得脉冲将存储器元件 1848 的电阻状态自较低电阻状态改变为较高电阻状态。

[0160] 在待储存于存储单元 1832 中的数据值的设定操作中,耦接至阵列 1705 的偏压电路电压及电流源 1855 将如本文所述的包括一或多个脉冲的设定偏压配置施加至位线 1860 及/或字线 1858 及/或源极线 1854,以在路径 1880 中引发电流。存储器元件 1848 上的所得脉冲将存储器元件 1848 的电阻状态自较高电阻状态改变为较低电阻状态。

[0161] 本文所描述的存储单元的实施例包含用于存储器元件的基于相变的存储器材料,包含基于硫族化物的材料及其它材料。硫族元素包含形成周期表的第 VI 主族的部分的四个元素氧(O)、硫(S)、硒(Se)及碲(Te)中的任一者。硫族化物包括硫族元素与一更具正电性的元素或自由基的化合物。硫族化物合金包括硫族化物与诸如过渡金属的其它材料的组合。硫族化物合金通常含有来自元素周期表的第 IV 主族的一或多个元素,诸如锗(Ge)及锡(Sn)。通常,硫族化物合金包含包括锑(Sb)、镓(Ga)、铟(In)及银(Ag)中之一或多者的组合。许多基于相变的存储器材料已在技术文献中得以描述,包含以下合金:Ga/Sb、In/Sb、In/Se、Sb/Te、Ge/Te、Ge/Sb/Te、In/Sb/Te、Ga/Se/Te、Sn/Sb/Te、In/Sb/Ge、Ag/In/Sb/Te、Ge/Sn/Sb/Te、Ge/Sb/Se/Te 及 Te/Ge/Sb/S。在 Ge/Sb/Te 合金族系中,较宽范围的合金组合物可起作用。所述组合物可被表征为 $Te_aGe_bSb_{100-(a+b)}$ 。一研究者已将最有用的合金描述为经沉积材料中 Te 的平均浓度充分低于 70% (通常低于约 60%),且范围为大体

自低至约 23% 至多达约 58% 的 Te, 且最佳为约 48% 至 58% 的 Te。材料中 Ge 的浓度高于约 5%, 且范围为自约 8% 的低值至约 30% 的平均值, 保持大体低于 50%。最佳地, Ge 的浓度范围为自约 8% 至约 40%。此组合中的主要构成元素的其余部分为 Sb。此等百分比为原子百分比, 其总计为构成元素的原子的 100%。(Ovshinsky, 美国专利第 5,687,112 号(请确认, 谢谢!), 第 10 至 11 行)。另一研究者所评估的特定合金包含 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 及 GeSb_4Te_7 (Noboru Yamada, [Potential of Ge-Sb-Te Phase-Change Optical Disks for High-Data-Rate Recording], SPIE v. 3109, 第 28 至 37 页 (1997))。更一般而言, 过渡金属(诸如铬 (Cr)、铁 (Fe)、镍 (Ni)、铌 (Nb)、钯 (Pd)、铂 (Pt) 及其混合物或合金) 可与 Ge/Sb/Te 组合, 以形成具有可编程电阻性特性的相变合金。可能有用的存储器材料的具体实例给定于 Ovshinsky '112 中第 11 至 13 行处, 其实例特此以引用的方式并入本文中。

[0162] 在一些实施例中, 硫族化物及其它相变材料掺杂有杂质, 以使用经掺杂之硫族化物来修改存储器元件的传导性、转变温度、熔化温度以及其它特性。用于掺杂硫族化物的代表性杂质包含氮、硅、氧、二氧化硅、氮化硅、铜、银、金、铝、氧化铝、钽、氧化钽、氮化钽、钛及氧化钛。参见(例如)美国专利第 6,800,504 号, 以及美国专利申请公开案第 U. S. 2005/0029502 号。

[0163] 相变合金能够以第一结构状态及第二结构状态在存储单元的主动通道区域中的局部次序在所述结构状态之间切换, 在第一结构状态下, 材料处于大体非晶固相, 且在第二结构状态下, 材料处于大体结晶固相。此等合金至少为双稳态的。术语「非晶」用于指代比单晶体无序的有序性相对较低的结构, 其具有可检测特征, 诸如比结晶相高的电阻率。术语「结晶」用于指代比非晶结构中有序的有序性相对较高的结构, 其具有可检测特征, 诸如比非晶相低的电阻率。通常, 相变材料可在于完全非晶状态与完全结晶状态之间的谱上具有局部次序的不同的可检测状态之间电切换。受非晶相与结晶相之间的改变影响的其它材料特征包含原子次序、自由电子密度及活化能量。材料可切换至不同固相中或两个或两个以上固相的混合物中, 从而提供完全非晶状态与完全结晶状态之间的灰度阶。材料中的电特性可相应地改变。

[0164] 相变材料可通过电脉冲的施加而自一个相态改变至另一相态。已观察到, 较短、较高幅值的脉冲趋于使相变材料改变至大体非晶状态。较长、较低幅值的脉冲趋于使相变材料改变至大体结晶状态。较短、较高幅值的脉冲中的能量足够高以允许结晶结构的键断开, 且足够短以防止原子再对准为结晶状态。脉冲的适当分布可在无异常实验的情况下确定, 具体而言适合于特定相变合金。在本发明的以下部分中, 将相变材料称为 GST, 且将理解, 可使用其它类型的相变材料。对实施本文所述的 PCRAM 有用的材料为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。

[0165] 用于形成硫族化物材料的例示性方法使用化学气相沉积 CVD, 诸如题为「Chemical Vapor Deposition of Chalcogenide Materials」的美国公开案第 2006/0172067 号中所揭露的化学气相沉积 CVD, 所述美国公开案以引用的方式并入本文中。

[0166] 视情况而执行在真空或 N_2 环境中进行之后沉积退火处理, 以改良硫族化物材料的结晶状态。退火温度通常在自 100°C 至 400°C 的范围内, 其中退火时间小于 30 分钟。

[0167] 虽然本发明已以实施例揭露如上, 然其并非用以限定本发明, 任何所属技术领域具有通常知识者, 在不脱离本发明的精神和范围内, 当可作些许的更动与润饰, 故本发明的保护范围当视权利要求所界定的范围为准。

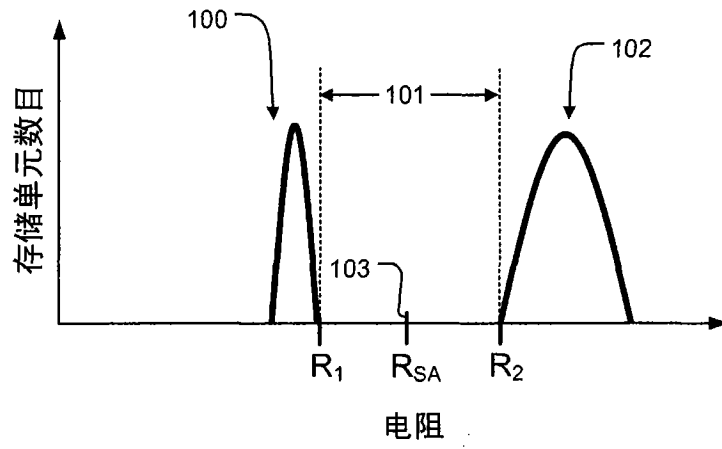


图 1

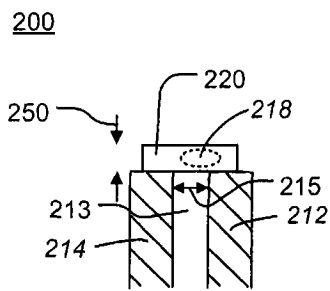


图 2A

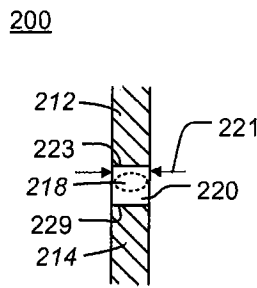


图 2B

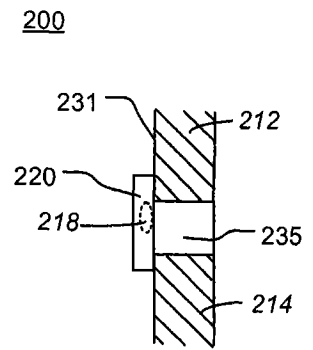


图 2C

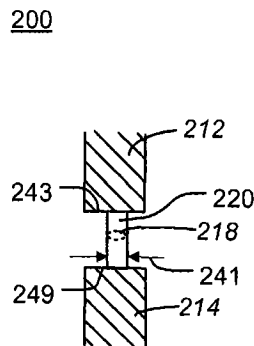


图 2D

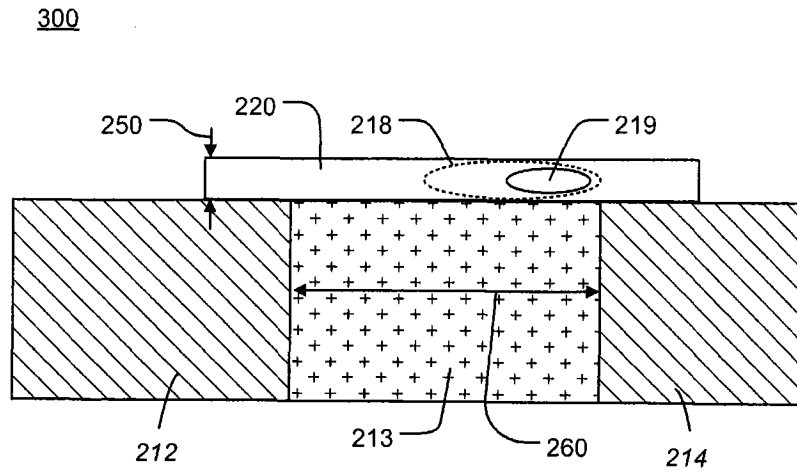


图 3

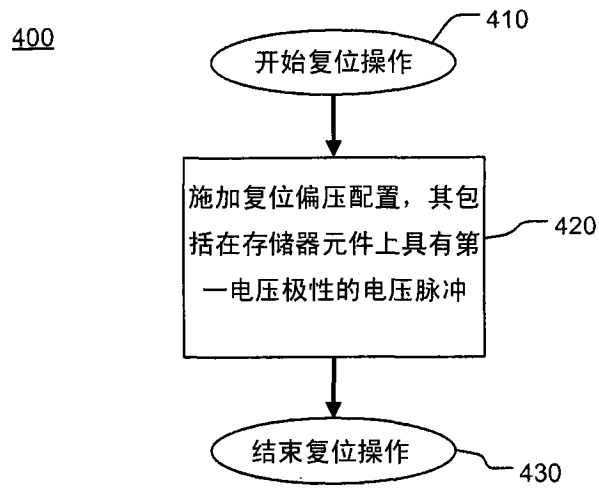


图 4A

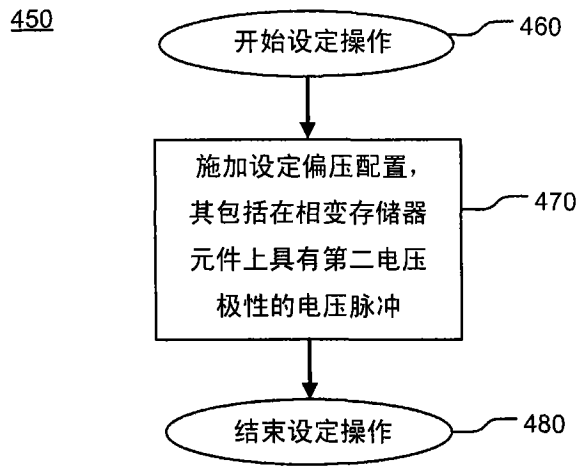


图 4B

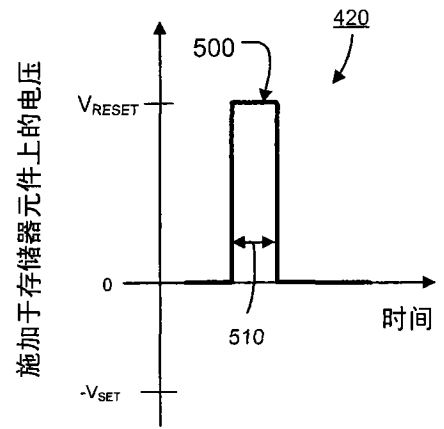


图 5A

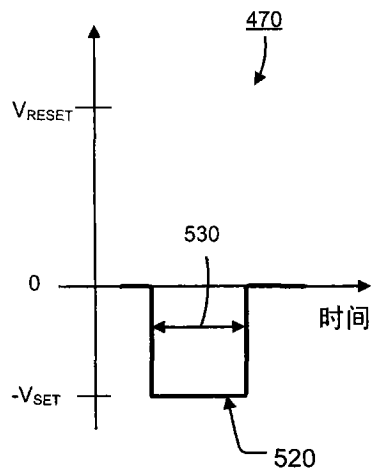


图 5B

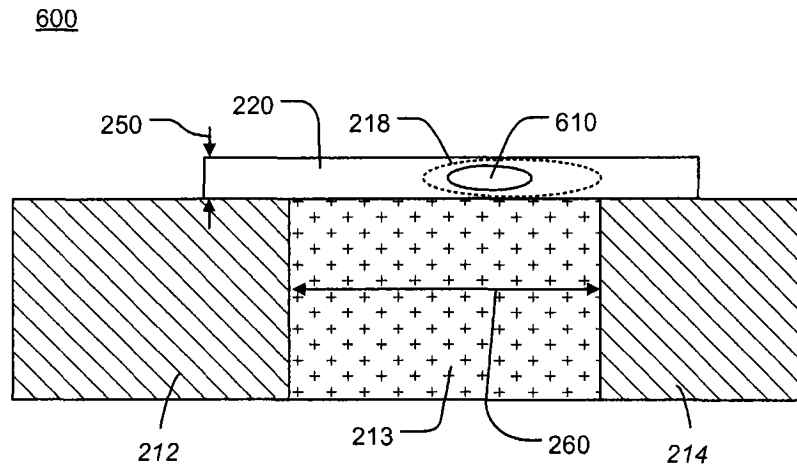


图 6

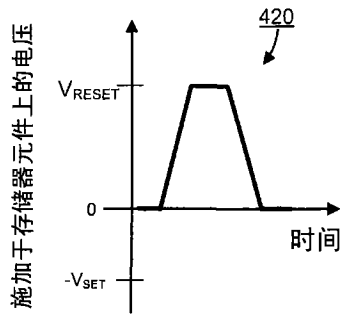


图 7A

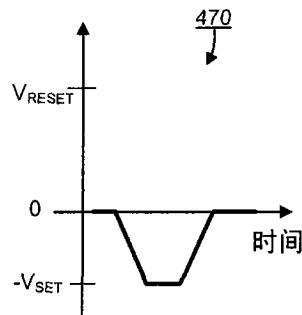


图 7B

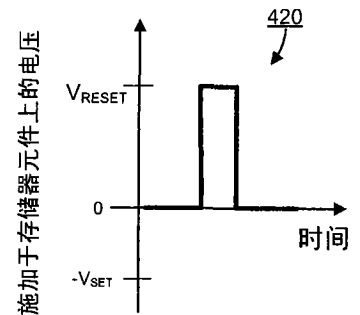


图 8A

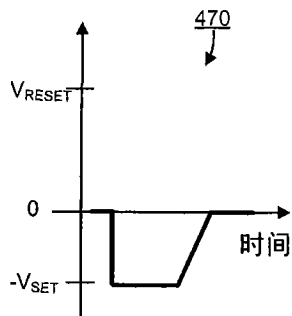


图 8B

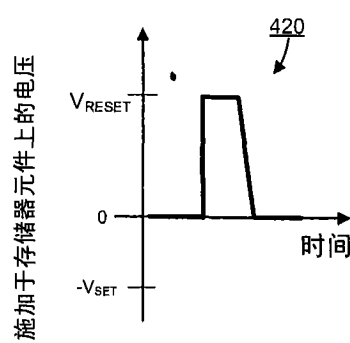


图 9A

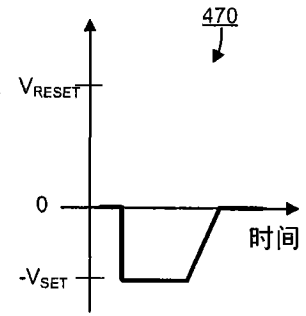


图 9B

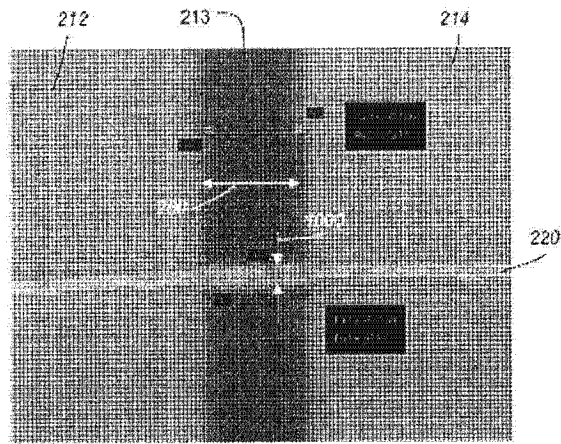
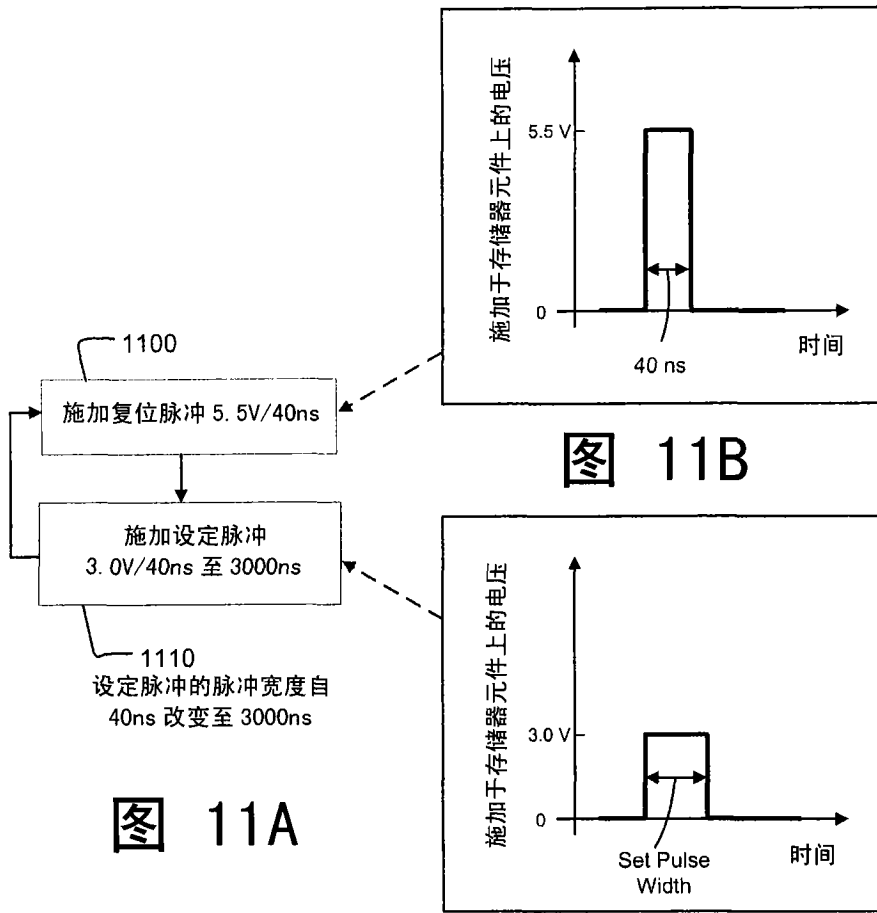


图 10



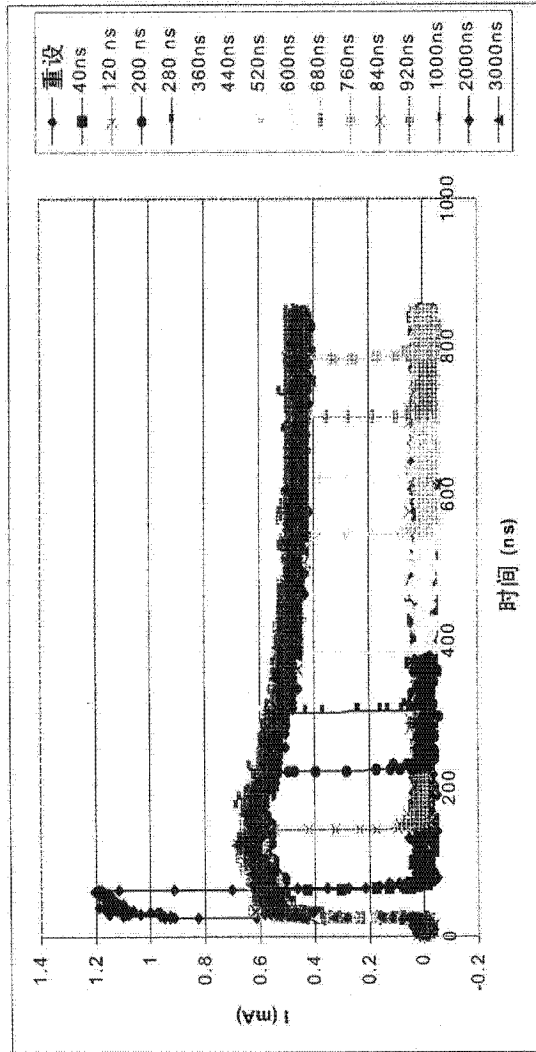


图 11D

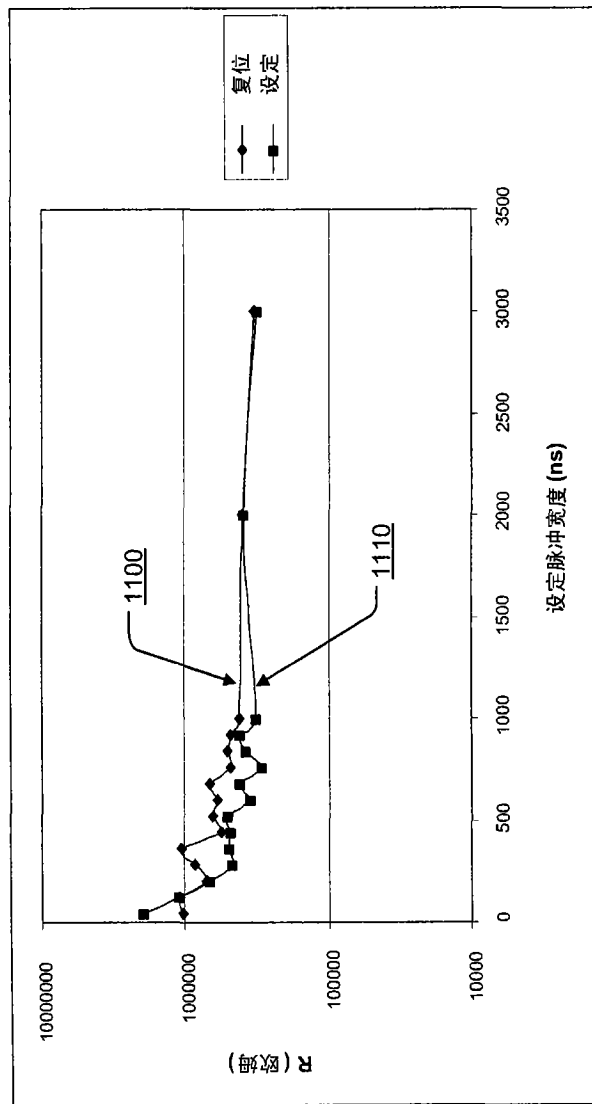


图 11E

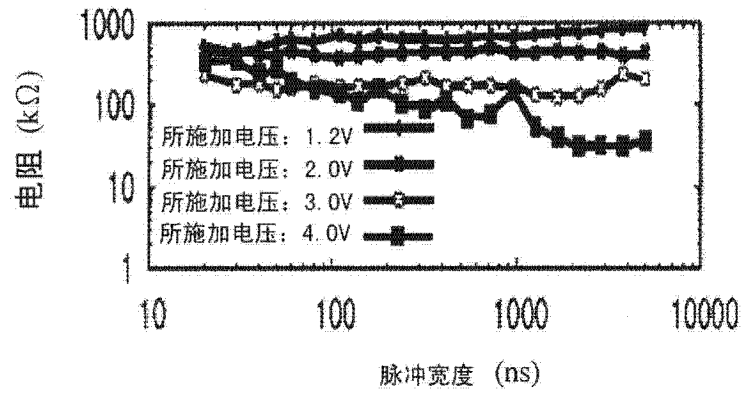


图 12A

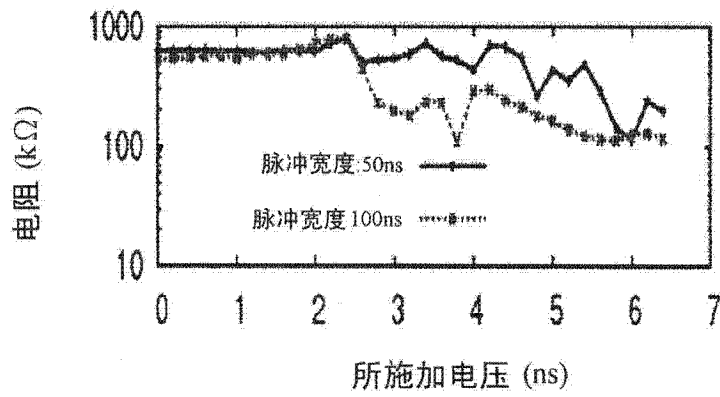


图 12B

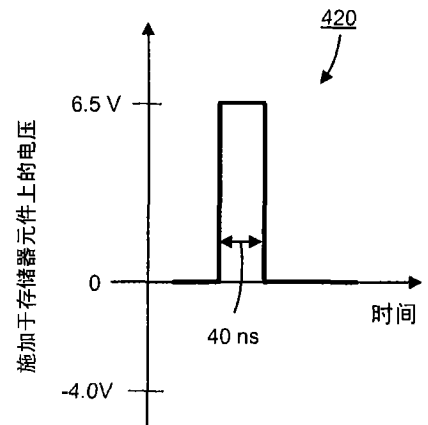


图 13A

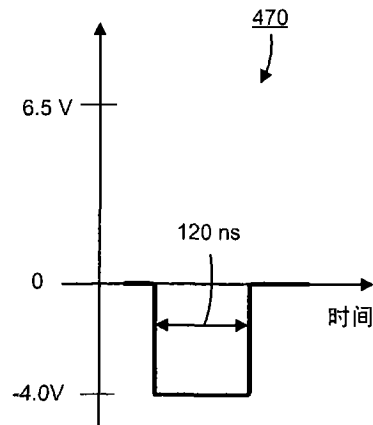


图 13B

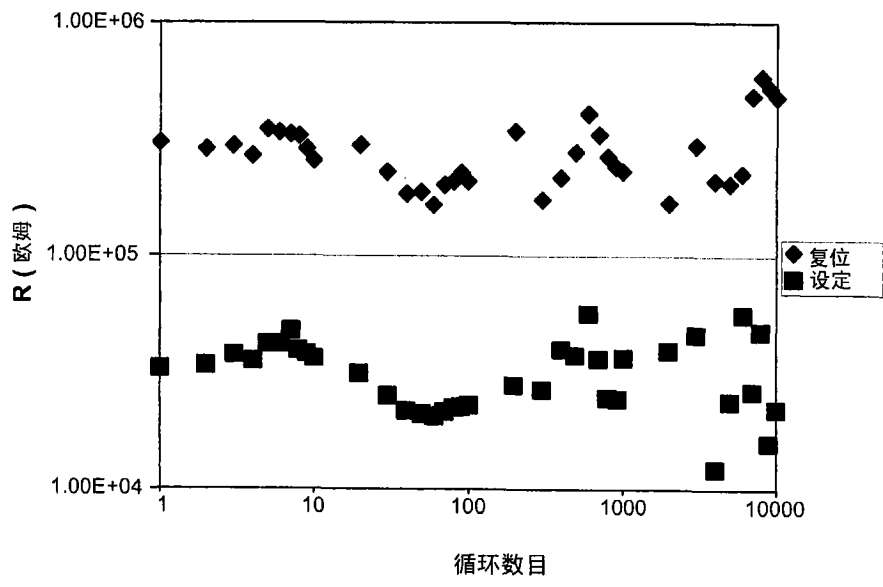
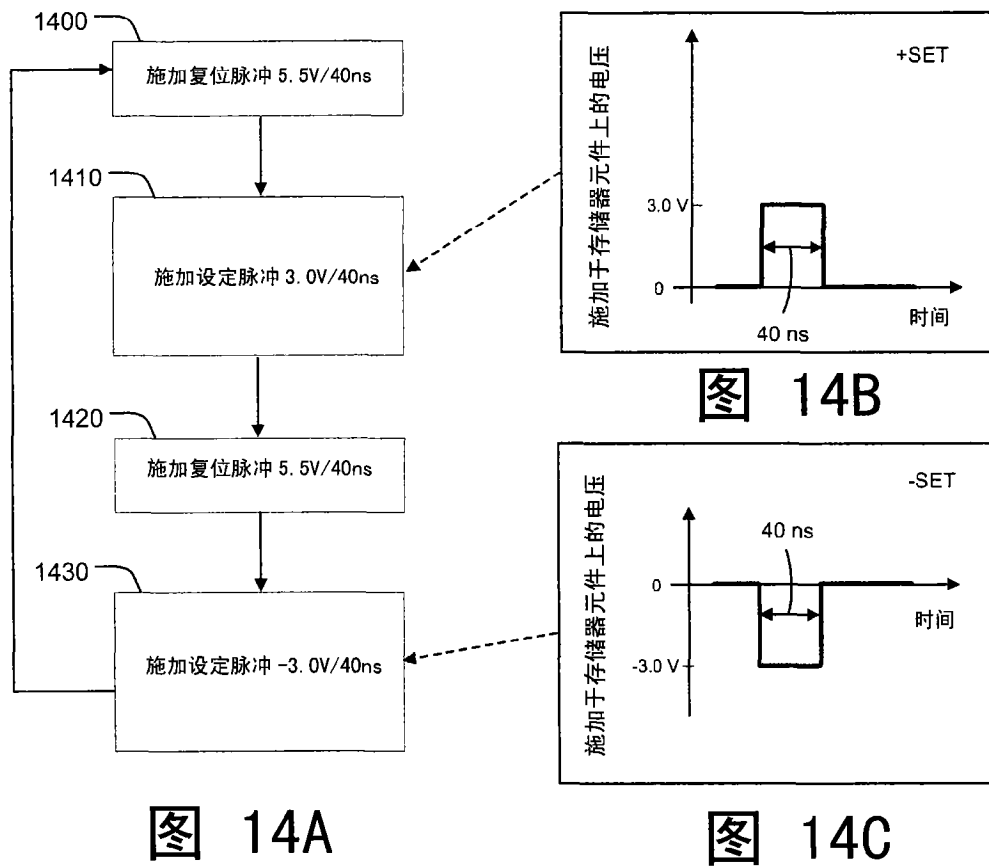


图 13C



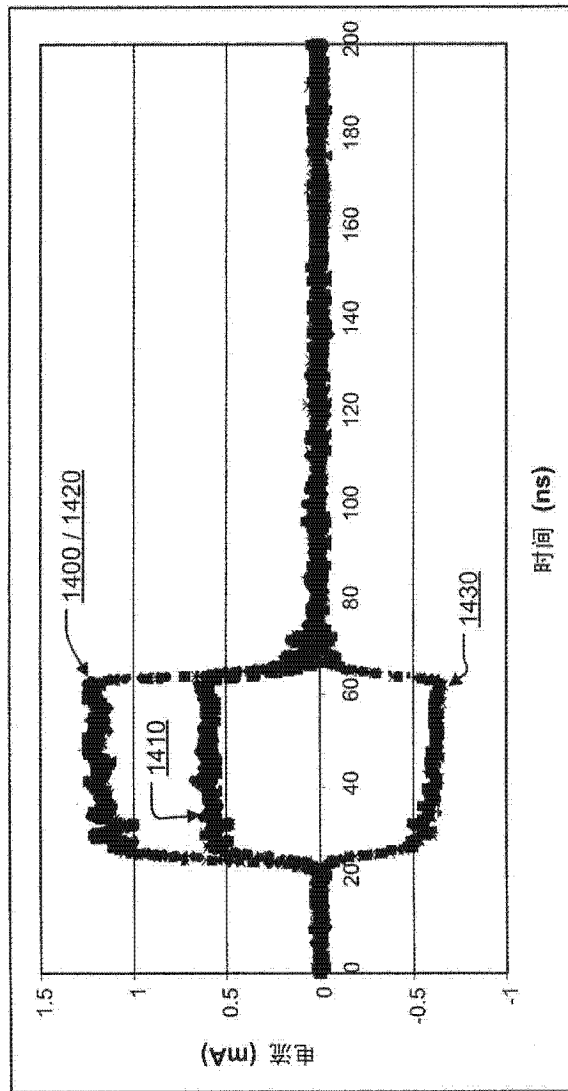


图 14D

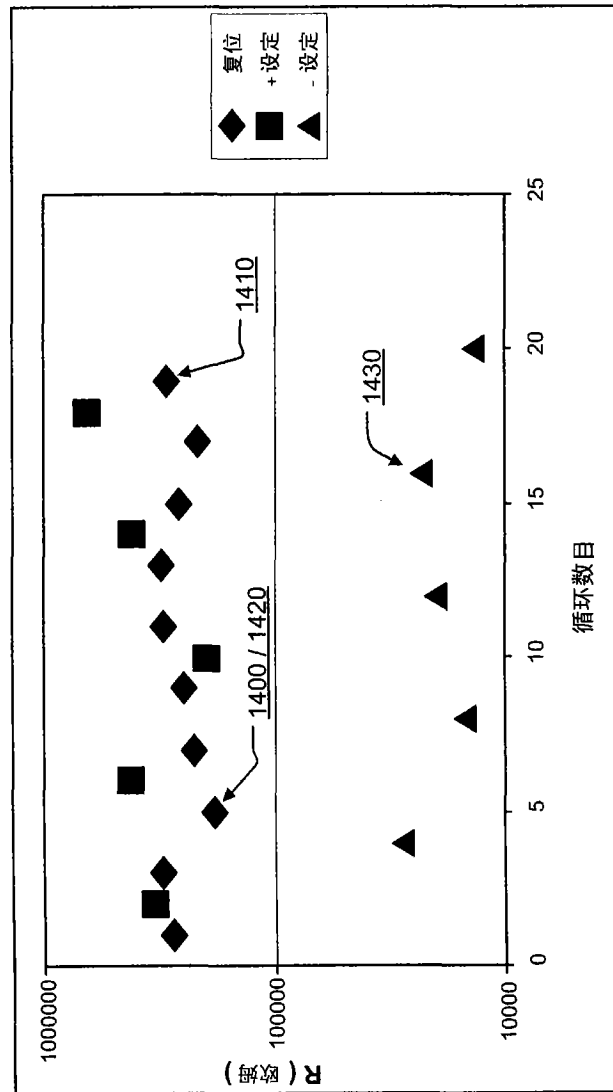


图 14E

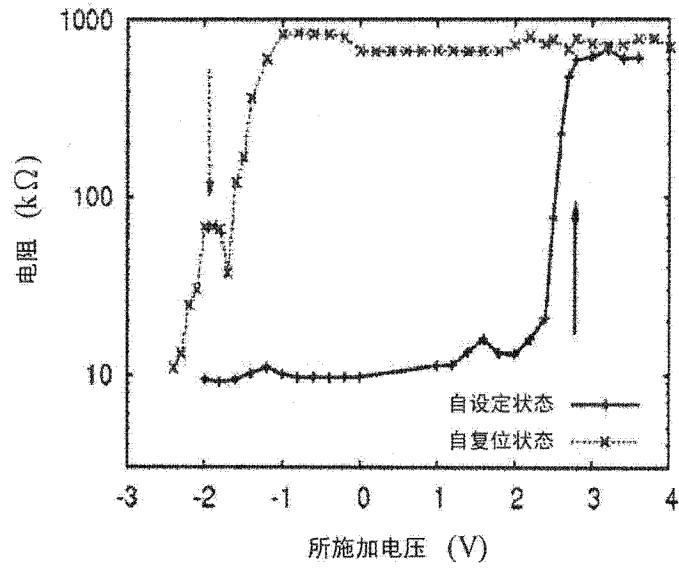


图 15A

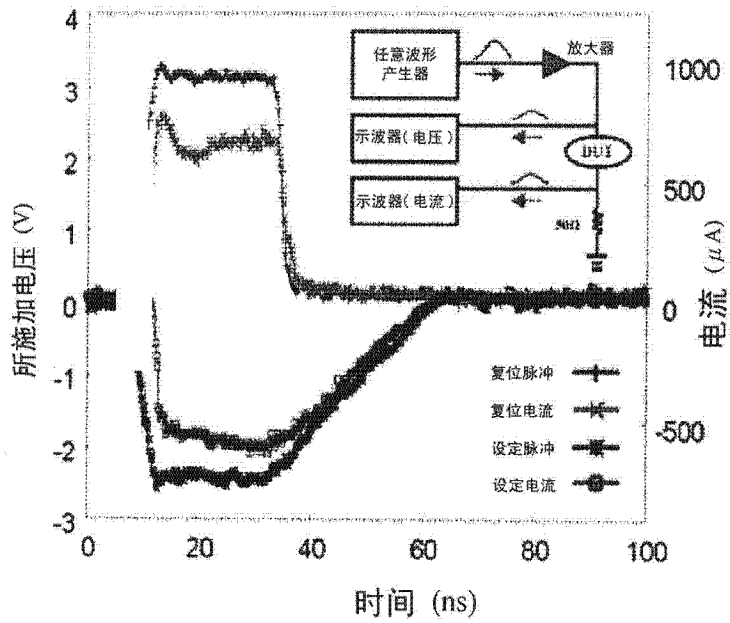


图 15B

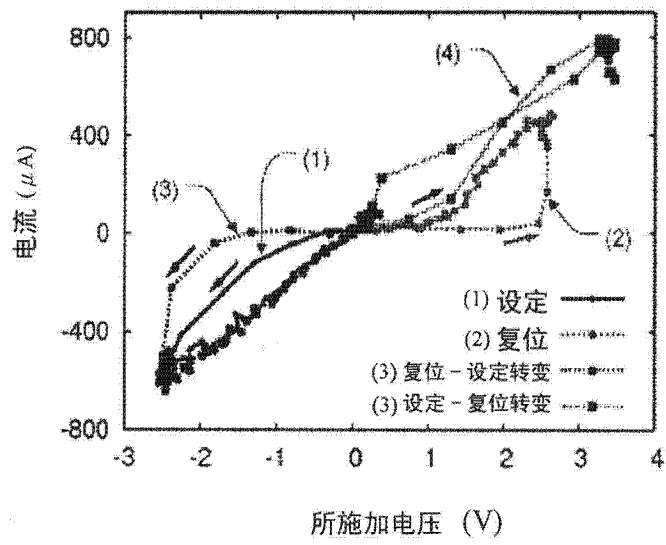


图 16

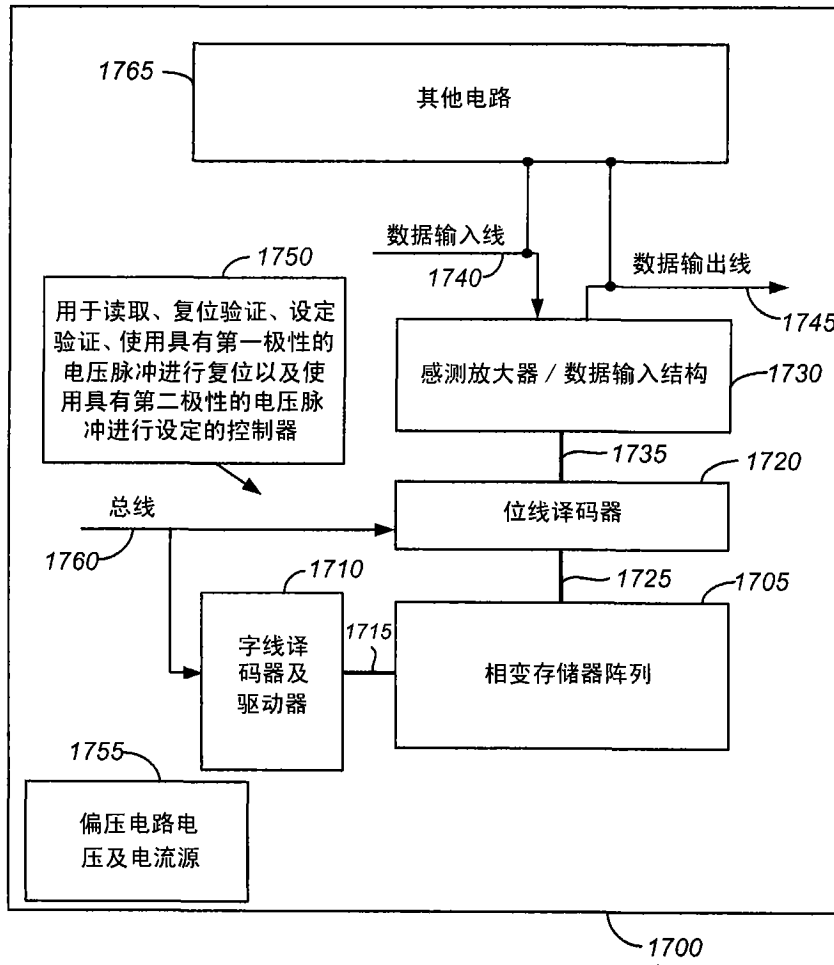


图 17

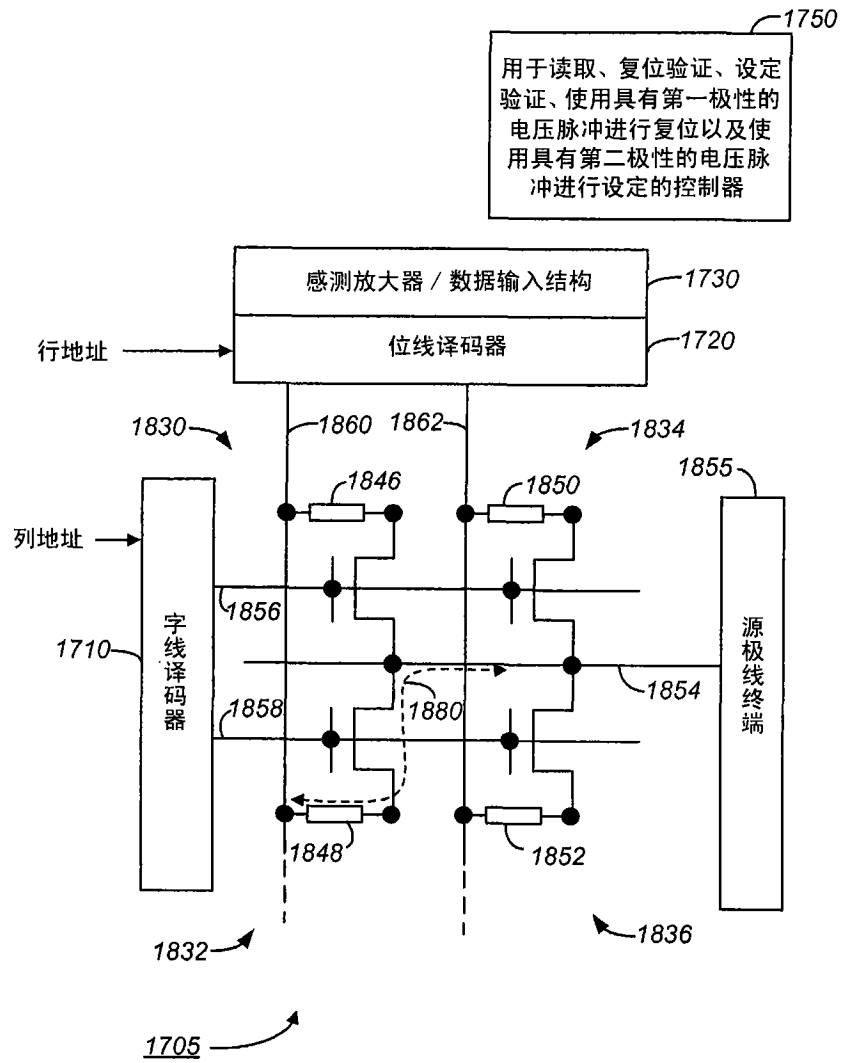


图 18