公告本

302538

申請日期	85 年 8 月 6 日
案號	85109520
類別	Int. Cl. H01L 27/105

（以上各欄由本局填註）

A4
C4

302538

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	英文	Semiconductor device and fabrication method thereof
二、發明 創作 人	姓名	(1) 堀內勝忠 (2) 池田隆英 (3) 山口憲
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都小金井市貫井南町五－一三－七 (2) 日本國埼玉縣所沢市中新井四－四－－－－ (3) 日本國東京都府中市本町二－二〇－－五－－〇二
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

申請日期	85 年 8 月 6 日
案號	
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 中村徹
	國籍	⑷ 日本
	住、居所	⑷ 日本國東京都三鷹市上連雀二－一一－－一七
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

382538

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

（由本局填寫）

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1995 年 8 月 7 日	7-200657	☑無主張優先權
日本	1995 年 8 月 18 日	7-210410	☑無主張優先權
日本	1995 年 8 月 18 日	7-210412	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

技術領域

本發明係關於一種半導體裝置，且更特別而言，係關於一種高效能ＭＯＳ場效電晶體形成在一絕緣膜上，並具有低寄生電容，以在高速下操作，和一場效電晶體之製造方法。

背景技藝

ＳＯＩ（在絕緣器上之矽）構造已知爲一在絕緣膜上形成單晶半導體層中構成一電晶體之技術構造，且如圖１所示之構造揭示於，例如，１９９５年，日本應用物理協會之春秀會議報告第７５５頁″。ＭＯＳ場效電晶體（以下簡稱ＭＯＳ）形成在單晶矽膜３中，該單晶矽膜３由一厚絕緣膜２而與一支持基底１分離。在圖１中，參考數字４表示一中介裝置分離絕緣膜，５表示一閘絕緣膜，６１表示一閘電極，７爲一閘保護絕緣膜，８爲一閘側壁絕緣膜，和９和１０爲ｎ型高濃度擴散層分別當成源和汲極區域。如圖１所示之ＳＯＩ　ＭＯＳ具有厚絕緣膜２剛好在下方，因此，其特性爲汲極接面電容和接線寄生電容降低至約習知ＭＯＳ之１／１０。再者，ＭＯＳ和基底絕緣並分離，且因此，其特徵爲由於α射線照射而引起之錯誤操作和閂鎖現象可實質的降低。

但是，不幸的是，習知的ＳＯＩ　ＭＯＳ具有之單晶矽膜３和支持基底１隔離，且由一汲極加強電場所產生之少數載子會暫態的儲存在單晶矽膜３中，因此會受到所謂

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

的基底浮動效果，其中臨界電壓由所儲存之少數載子所改變。此效果亦爲一寄生雙極效果，其中由於在單晶矽膜3中伴隨著由少數載子之儲存而引起電位之增加，會產生由源極而來之多數載子之流入。在n導電型式ＳＯＩ ＭＯＳ中（以下簡稱ｎＭＯＳ），儲存電洞以改變在負方向中之臨界電壓，而結果是，在電流／電壓特性中可觀察到奇特的葉瓣，在關閉狀態下，漏電流增加，且源／汲極擊穿電壓降低。可能的是，基底浮動效果在需要偵測小電流差異之微分放大器和類比電路下會導致一嚴重的缺點。

爲了消除基底浮動效果，在圖１之ＳＯＩ ＭＯＳ構造中，鍺（Ｇｅ）離子植入源極擴散層9中，以形成在組成比例上具有約１０％Ｇｅ之一ＳｉＧｅ共晶體。

如圖２所示，圖１之ＳＯＩ ＭＯＳ在應用汲極電壓Ｖｄｓ下，具有沿著通道的能帶。Ｅｆｎ表示準Fermi位準，而Ｅｉ表示本質Fermi位準。藉由導入ＳｉＧｅ共晶體１６，能隙變成約０．１ｅＶ的窄，且在源極中之價電子帶Ｅｖ變成如虛線所示。因此，用於電洞之擴散電位差異降低至接近源極。藉此，接近汲極而生且注入單晶矽膜3中之電洞可輕易的擴散進入源極中並消減。導電帶Ｅｃ並未由ＳｉＧｅ共晶體所影響，且表示多數載子之電子活動亦不會受到逆向的影響。

發明概要

有鑒於在圖１所示之ＳＯＩ ＭＯＳ中，僅以一

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

nMOS即可有效的清除基底浮動效果，本發明之目的乃在提供一種基底浮動效果消除構造，其亦可應用至p導電型MOS（以下簡稱pMOS）和一互補MOS（以下簡稱CMOS）。在存在有SiGe共晶體中，用於接近源極擴散層之價電子帶之擴散電位差異可降低，即使在pMOS中，且用於導電帶之擴散位準差異亦可保存。此意即表示多數載子之電洞引起一貫穿現象並無法由閘電位所控制，而相反的，注入單晶矽膜3中表示少數載子之電子無法注入源極中，且因此無法消除基底浮動效果。

本發明之另一目的乃在消除在形成SiGe共晶體中不可捨棄之Ge離子植入處理中所涵蓋之問題。典型的，對於Ge之離子植入，使用GeH_4當成離子源，但是GeH_4爲非常易於分解之材料，因此，很難達成植入離子之穩定供應，因此，在控制離子植入之條件時，會碰到難以控制離子電流之問題，且以共同使用之離子室會在另一離子植入操作中受到污染，如此所引發之問題爲專屬於離子植入裝置之導入是不可或缺的。

本發明之另一目的乃在僅藉由一半導體製造裝置而提供一種基底浮動效果消除構造，其可和存在之製造裝置共同使用，並提供價廉的製造方法。

總結本發明之操作原理，藉由考量基底浮動效果乃根據在具有一汲極和一基底當成一射極和一基極之架構中之寄生雙極效果，儲存在基底中之少數載子可藉由形成具有比前述雙極更大的電流放大因數之第二寄生雙極和使用基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

底當成在源極擴散層中之一射極而清除。爲了更佳了解起見，上述問題之消除將藉由一ｎＭＯＳ更詳細的說明。

如圖３所示爲在半導體裝置中，在源極擴散區域之深度方向中之離質分佈。假設源極擴散層之底部由埋入氧化膜而與外界分離。高濃度ｐ型擴散層形成在ｎ型源極中。更特別而言，具有相當低濃度且到達源極擴散層之底部之第一ｎ型雜質層由磷（Ｐ）之離子植入和後續之熱處理所形成。而後硼（Ｂ）以高濃度離子植入和砷（Ａｓ）亦以高濃度離子植入至一所得構造，以形成由表面開始之ｎｐｎ雜質分佈。如同在源極中之雜質分佈亦相同的形成在汲極區域中。

在汲極電壓Ｖｄｓ之應用下，具有前述雜質分佈之用於ｎＭＯＳ之能帶如圖４Ａ所示。在圖中，由實線所示之價電子帶Ｅｖ和導電帶Ｅｃ爲在ＳＯＩ表面上在通道形成區域中之能帶，且以虛線所示之能帶接近和外界隔離之ｐ型擴散層。在通道區域中之電子或多數載子乃依照由實線所示之能帶而導電，如同在習知技藝中之導電例。

由一汲極加強電場所產生接近汲極且儲存在ｐ型單晶矽膜中在通道之下之電洞導電由在通道下具有低濃度ｐ型基底當成射極p^-_E之ｐｎｐ電晶體，形成在源極中當成一集極p^+_C之ｐ型擴散層，和由上述兩區域所包夾當成一基極n^-_B之ｎ型擴散層所控制。

如圖４Ｂ所示之源極領域之等效電路乃用以說明ｐｎｐ電晶體之操作原理。圖中，介於高濃度ｎ型擴散層

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

n^+_S和在源極表面中之集極p^+_C間之空間可設定成由（1）二極體或（2）一短電路表示，用以固定至源極電位，如虛線所示。集極電流密度J以下式（1）表示：

$$J \fallingdotseq (q \cdot Dn \cdot n_i^2 / N_B \cdot W_B) \cdot \exp(q \cdot V_{BE} / kT) \quad \cdots\cdots (1)$$

其中$N_B \cdot W_B$稱爲Gummel數字，其表示在基極區域中之載子數目，對一般之電晶體而言，大約爲10^{12}。q爲電子之電荷。Dn爲擴散係數，n_i爲本質密度，N_B爲在基極中之受子雜質密度，W_B爲基極寬度，V_{BE}爲基極／射極電壓，和kT爲熱能。在低濃度p型基底上表示射極之電位由所儲存之電洞密度，埋入氧化膜電容C_{BOX}和Vds所決定。當n^+_S／p^+_C空間以二極體表示時，亦即，當形成正常pn－接面時，由於介於n^+_S和p^+_C間之擴散電位差異，V_{BE}無法採用一充份大的值。

因此，由射極注入集極之電洞儲存在表示基極之低濃度擴散層中，並藉由在基／集極減少層中之再結合而消減。當n^+_S／p^+_C空間爲短電路時，集極在接地電位，且V_{BE}可採用充份大的值，以引起電洞外流至源電極。介於n^+_S和p^+_C間之短電路可藉由高濃度砷離子植入而在pn接面表面形成一晶格缺陷，或藉由即刻的形成一n型雜質添加多晶矽在p型高濃度層中而形成。亦即，儲存在通道下方之p型單晶矽膜中之電洞可藉由形成在源極擴散層中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

之p^+n^+而牽引入源極擴散層。因此，在SOI MOS中之基底浮動效果可由本發明所消除。

以此構造，在源極中之p型高濃度層最好在其相對於汲極和底部之側表面上覆蓋以低濃度n型擴散層，和在其表面覆蓋以高度n型擴散層。更特別而言，在側邊上之Gummel數設定爲較小值，以使儲存在基底中之電洞之有效牽引進入源極可提高，而當在表面上之Gummel數設定爲較大值時，乃是爲了在處理通道上獲得抑制由源極到基底由基底電位增加而引起之電子放電。同理，在源極中，連續至p型高濃度層之側邊之低濃度n型擴散層之寬度最好較窄。

由於本發明之技術使用閘電極或閘側壁絕緣膜當成離子植入掩模而實施，一p^+n^+接面亦形成在一汲極擴散層中。汲極電壓亦應用至p型擴散層，但是p型擴散層由n型擴散層所圍繞（其可相似的施加以汲極電壓，因此，電洞不會由汲極放電。因此，依照本發明之SOI MOS對於所謂的轉換MOS亦是有效的，其依照電路操作狀況，藉由互相改變汲極和源極而雙向操作。再者，當n型擴散層連續的形成在p型擴散層之底部以使p型擴散層和基底隔離時，汲極／基底電容不會由p型擴散層之存在所影響。換言之，由於厚埋入氧化膜之寄生電容降低效果，可保持習知SOI MOS之大部份特點。可了解的是，在pMOS之例中，藉由實施本發明可類似的消除基底浮動效果，而改變雜質導電型式。因此，本發明可有效的消除

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

ＳＯＩ　ＣＭＯＳ之基底浮動效果。

依照本發明，習知ＳＯＩ　ＭＯＳ之致命缺點，如，在臨界電壓之值中之暫態變化，異常電流／電壓特性，和由於基底浮動效果之源極／汲極擊穿電壓之降低，皆可消除。藉由本發明，可提供一種半導體裝置，其採用了內存於例如低寄生電容和在製造步驟之次數上之降低之優點，而無需導入一新的半導體裝置製造裝置，如專屬於離子植入之一裝置。

在本發明之另一實施例中之源極擴散層之領域之擴大截面如圖５Ａ所示。圖５Ｂ爲本半導體裝置之等效電路圖，圖６Ａ爲當汲極電壓保持在接地電位時，在接近源極之二組型式中之能帶，和圖６Ｂ爲在源極區域中，在高濃度ｐ型和ｎ型區域上之能帶之重疊。源極區域之底部藉由埋入氧化膜而和外界分離。在圖５Ａ中，形成在源極區域中之第二寄生ｐｎｐ雙極具有一ｐ型基底區域作用當成一射極p^-，一ｎ型低濃度源極擴散層作用當成一基極n^-和一在源極中之ｐ型高濃度區域作用當成一集極p^+。基極經由一歸因於低濃度源極擴散層之一電阻元件而連接至在電阻電位上之高濃度源極區域。在本半導體裝置之第二寄生雙極中，基底電位固定。

藉由使射極和集極互相接近以降低在基集中之雜質濃度充份低之條件下電洞之擴散電位差異，則可改善電洞之注射效率，如圖６Ｂ所示。爲了使寄生ｐｎｐ雙極有效的操作，需要可迅速的消除注入集極之電洞之機構。在本半

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

導體裝置，根據晶格缺陷之再結合中心當成此機構。如本行技藝中所熟悉的，根據再結合中心之電洞消除機構亦決定於雜質濃度，且最好的是p型雜質濃度愈高愈好。根據再結合中心需用於電洞消除之電子可充份的供應，此乃因爲在源極表面中介於n型高濃度區域n^+和p型高濃度集極p^+具有含電子注射之前向關係。

亦即，由汲極加強電場所產生且儲存在p型基底區域中之電洞藉由在源極區域中形成之雙極而牽引進入源極區域，並轉換成源極電流，藉以消除基底浮動效果。源極電流密度J以下式表示：

$$J \fallingdotseq (q \cdot Dn \cdot n_i^2 / N_B \cdot W_B) \cdot exp(p \cdot V_{BE} / kT)$$

表中q表示電子之電荷，Dn爲擴散係數，n_i爲本質密度，N_B爲基極中之受子雜質密度，W_B爲基極寬度，V_{BE}爲基極／射極電壓和kT爲熱能。$N_B \cdot W_B$稱爲Gummel數，其表示在基極區域中之載子數目，且對於一般電晶體而言爲10^{12}。在低濃度p型基底上表示射極之電位可由儲存之電洞密度，埋入氧化膜電容C_{BOX}和汲極電壓Vds所決定。

爲了形成本半導體裝置，執行使用閘極當成掩模而在相當低的濃度上離子植入磷（P）和後續之熱處理，以首先形成低濃度n型擴散層，其到達剛好在SOI層下方之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

厚氧化矽膜。在所得之構造中，形成一閘側壁絕緣膜，且藉由使用閘電極和閘側壁絕緣膜當成掩模而以高濃度離子植入硼（B），以形成SOI層非晶之底部。

非晶部份之底部連續至氧化膜，且因此，由於再結晶熱處理而不會經歷單結晶，該單晶矽發生在剛好在閘極下方之單晶SOI層之側表面部份，即使在後續執行之短時間高溫熱處理下，且只有多結晶在非晶部份中進行著。多晶或非晶性質可由熱處理之條件所控制，而後，再結合中心之特性亦可受到控制。在形成源極低濃度n型擴散層時，其留在p型高濃度區域之側表面後之寬度由閘側壁絕緣膜之厚度所控制。形成在SOI層表面之n型高濃度區域可經由離子植入處理而形成，或藉由選擇性的移去p型高濃度區域表面之固定厚度，而後經由沉積處理而留下一半導體膜而形成。在後者之例中，可達成陡峭的高雜質分佈，且因此，可獲得具有更好再結合特性以用於有效的消除基底浮動效果之雜質分佈。

由於本發明之技術使用閘電極和閘側壁絕緣膜當成掩模而實施，因此可在汲極區域形成相似之構造。在汲極中，汲極電壓應用至n型高濃度區域，但是，n型高濃度區域和下疊p型高濃度區域具有和電洞之注入反方向之關係，因此，在接面漏電流之增加可忽略，且因此，在MOS電晶體之操作上不會發生問題。

由前述之說明可知，當p導電型和n導電型式互換時，對於pMOS而言，由本半導體裝置而達成之基底浮動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

效果之消除亦是有效的。

在如圖５Ａ和５Ｂ具有ｐ型低濃度ＳＯＩ基底當成射極之構造中，ｎ型低濃度擴散層當成基極，ｐ型高濃度區域當成集極，和ｎ型高濃度區域形成在集極區域下，當ｎ型高濃度區域保持在接地電位且正電位施加至作用當成射極之ｐ型低濃度ＳＯＩ基底時，流路射極之電洞電流使用基極寬度之參數作數值分析以獲得如圖７之結果。在上述之分析中，射極爲一具有５０ｎｍ厚和4×10^{17}／cm^3之均勻雜質分佈之ｐ型ＳＯＩ層，ｐ型集極連續至在ＳＯＩ層之底部上之埋入絕緣膜且具有１０ｎｍ之厚度，１０ｎｍ之接面深度，和2×10^{19}／cm^3之最大雜質濃度；ｎ型高濃度區域形成在集極上，且在表面上具有2×10^{20}／cm^3之最大雜質濃度和４０ｎｍ之接面深度；和ｎ型基極具有5×10^{17}／cm^3之尖峰濃度之正常分佈。其中集極，ｎ型高濃度區域和射極互相分離。在集極區域中之再結合時間爲１／10^{10}秒，而在其它區域爲１／10^{4}秒。典型的由高雜質濃度多晶矽膜所觀察到之再結合時間值爲１／10^{10}。

在一般源極構造中無ｐ型集極區域之電子流和電洞流以圖７之薄線表示。在此半導體裝置中，流入射極之電子流和在習知構造中者一致且無差異，呈現出應用電壓以指數增加之趨勢。在臨界電壓到達之前，電洞流出射極（作用如同負電洞流），而在臨界電壓超出至應用電壓以指數增加後，其作用當成正電洞流。在一般的構造中，電洞流

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

之值大於電子流之值約二個乘冪。在此半導體裝置之例中，在基極寬度爲４０ｎｍ或更小之條件下，接近臨界電壓之電洞流大於習知構造者約三個乘冪，且臨界電壓降低約０．２Ｖ。此意即，在此半導體裝置構造中，用於電洞流之源極擴散電位和習知構造比較，大約下降０．２ｅＶ。此值爲在源極擴散電位中０．１ｅＶ之下降值之兩倍。在源極擴散電位中之下降值乃是由形成在源極中之已知ＳｉＧｅ共晶體所引起，其表示可進一步促進基底浮動效果之消除。雖然當基極寬度增加時，在臨界電壓中之下降會受到稀釋，但是，即使當基底寬度爲０．１μｍ時，和習知構造比較下，亦可獲得０．０４Ｖ之下降。亦即，在此半導體裝置中，基極寬度最好爲０．１μｍ或更少。

圖７之結果相關於正電壓應用至射極之前向特性而獲得。數值分析亦和正電壓應用至ｎ型高濃度區域以獲得電流不會和在一般構造中所獲得之電流有所差異，在高達３Ｖ之電壓，在計算錯誤允許範圍內，計量１／１０^{13}至１／１０^{15}Ａ，之後向特性一起進行。此結果顯示，即使當和在源極中相似的構造形成在汲極中時，例如在漏電流增加之問題不會上升。

依照本發明之半導體裝置具有之構造爲在源極和汲極間保持對稱，且亦可有效的使用於所謂的轉換ＭＯＳ等，其在電路操作狀況下，藉由互相改變汲極和源極而可雙向的操作。再者，藉由形成ｎ型擴散層連續至在源極和汲極中之每個ｐ型高濃度區域之底部以使ｐ型擴散層和基底隔

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

離，或藉由限制p型高濃度區域所形成之邊至唯一所需部份，汲極／基底電容可降低至p型高濃度區域之存在可忽略之程度。

以下總結本發明之另一實施例之操作原理。爲了方便說明起見，下述之說明乃針對一ＭＯＳ。在本發明中，產生在接近汲極處且儲存在基底中之電洞迅速的注入源極擴散層中並消滅。因此，形成在剛好在通道下方之p型基底區域和一源極擴散層間之區域，且該區域中之擴散電位差異較小，亦即，具有充份低濃度之n型擴散層形成接近源極高濃度擴散層。再者，作用在電洞上，當成再結合中心之區域形成在n型低濃度擴散區域中，以消除注入n型低濃度擴散區域中之電洞。需用以消滅電洞之電子由在源極表面之n型高濃度擴散區域所供應。在本發明中，根據晶格缺陷之再結合中心乃使用當成根據再結合中心之一電洞消除機構。

在此半導體裝置中之源極擴散層之領域之擴大斷面圖如圖8所示，且在汲極電壓爲接地電位上之接近源極之能帶如圖9所示。源極區域之底部由埋入氧化膜而與外界隔離。由圖8可知，在習知源極構造中，根據高濃度源極擴散層之能帶如虛線所示，在本發明之構造之例中，電洞之擴散電位差異降低。當導電型式保持不變，且數量保持在10^{15}／cm^3或更高和10^{18}／cm^3或更低時。低濃度擴散層之雜質濃度需要保持較低。爲了形成當成再結合中心之晶格缺陷，不會對在n型低濃度擴散層中之電洞增加

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

擴散電位差異之元素乃離子植入ＳＯＩ層之底部份以使其形成非晶。非晶部份之底部連續至氧化膜，且因此，由於再結晶熱處理而不會經歷單結晶，該單結晶會發生在剛好在閘極下方之單晶ＳＯＩ層之側表面部份。即使當隨後進行高溫熱處理一段短時間，亦只有多結晶在非晶部份中進行。藉由控制熱處理之條件，可控制多晶或非晶性質，而後，亦可控制再結合中心之特性。

當ｎＭＯＳ和ｐＭＯＳ分別應用本發明之教導而應用本發明之技術至ＣＭＯＳ半導體裝置（其爲ＭＯＳ半導體裝置之領先型式）時，製造步驟之數目增加，且可接受之產生之生產率降低，因此，增加了生產成本。因此，較佳的是，不會增加在ｎ型和ｐ型低濃度擴散層中之少數載子之擴散電位差異之元素使用當成離子射出源以形成再結合中心，並經由相同的方法離子植入ｐＭＯＳ和ｎＭＯＳ之每個源極低濃度擴散區域，以形成再結合。由上述之觀點，在根據Ｓｉ半導體之ＭＯＳ半導體裝置中，例如Ｐ、Ｂ、Ａｓ、Ｓｂ，或Ｇａ之元素，其排除易於活化和易形成ｎ導電型或ｐ導電型之元素，可使用當成離子注射源。如上所述之元素進一步必需爲：當離子植入半導體基底時，使其成爲非晶，亦即表示原子質量爲１０或更少之元素是較差的。例如Ｎａ和Ｋ之鹼金族以及包括Ｍｇ之鹼土族亦是不佳的，因爲它們在矽半導體上具有異常大的擴散係數而會損壞可靠度。在本發明中，１４族元素，例如Ｓｉ，Ｇｅ和Ｃ（其構成半導體），例如Ｆ和Ｃℓ之鹵素元素，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

和例如Ｎｅ和Ａｒ之惰性氣體皆是較佳的。特別的，相當便宜，穩定供應，且輕易離子化和穩定之Ｓｉ，Ｃ，Ｎｅ，Ａｒ，和Ｃℓ是最佳的。

在本發明之半導體裝置之製造方法中，使用閘電極當成掩模以首先形成低濃度和高濃度源極／汲極擴散層。低濃度擴散層由離子植入和隨後之熱處理而形成，以達成剛好在ＳＯＩ層下方之厚氧化矽膜。所得的構造以閘側壁絕緣膜形成，且應用矽之離子植入以藉由使用閘電極和閘側壁絕緣膜當成一掩模而達成剛好在ＳＯＩ層下方之厚氧化矽膜，藉此使在介面區域中之ＳＯＩ層至氧化膜形成非晶。非晶區域並未經歷在介面區域上之單結晶，即使受到後續之熱處理，但是欲會經歷多結晶，其具有顆粒邊界作用當成再結合中心。介於再結合中心域和通道區域ＳＯＩ基底間之距離，亦即，源極低濃度ｎ型擴散層之寬度由閘側壁絕緣膜之厚度所控制。較佳的，爲了使較少載子可輕易的到達再結合中心區域，並可被消滅，隨極低濃度ｎ型擴散層之寬度爲１００ｎｍ或更少。替代的，欲形成在ＳＯＩ層表面中之ｎ型高濃度源極區域可藉由形成再結合中心區域，而後選擇性的移去該區域之表面部份之固定厚度，最後經由沉積方法而留下半導體膜而形成。

在另一個半導體裝置之製造方法中，具有所需擴散層構造之源／汲極區域依照習知製造方法而形成，而後，在形成用以連接至源電極之接觸孔時，經由接觸孔選擇性的應用離子植入，以形成低濃度擴散層，其達成剛好在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

ＳＯＩ層之下方之厚氧化矽膜。而後，形成一側壁膜以降低接觸之尺寸達一固定寬度，且達到剛好在ＳＯＩ層下方之厚氧化矽膜之離子植入可使用側壁膜當成植入掩模而應用以形成一再結合中心區域。

由於本發明之技術使用閘電極和閘側壁絕緣膜或接觸孔當成離子植入掩模而實施，因此類似的構造可形成在汲極區域中。雖然在汲極中，汲極電壓應用至ｎ型高濃度區域，ｎ型高濃度區域和在汲極中之下疊再結合中心區域具有和電洞之注入相反之方向關係，且因此，在接面漏電流之增加可忽略，且在ＭＯＳ電晶體之操作中，不會發生問題。

在圖８之構造中，當ｎ型高濃度區域在接地電位且ｐ型低濃度ＳＯＩ基底施加以正電壓時，引起流動之電洞流使用介於再結合中心區域和當成參數之通道區域ＳＯＩ基底間之距離而做數值分析，以獲得如圖１０所示之結果。在上述之分析中，使用具有３００ｎｍ厚和４×１０^{17}／ｃｍ^{3}之均勻濃度分佈之ｐ型ＳＯＩ層，並使用介於再結合中心區域和通道區域ＳＯＩ基底間之距離當成參數。源極低濃度ｎ型擴散層具有１×１０^{16}／ｃｍ^{3}之峰值濃度之正常分佈，並形成連續至ＳＯＩ層之底部。在再結合中心區域之再結合時間爲１／１０^{10}秒，而在其它部份則爲１／１０^{4}秒。在多晶矽膜中，典型觀察到的再結合時間值爲１／１０^{10}。

在一般不具有再結合中心區域之源極構造中之電子流

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

和電洞流如圖１０之薄線所示。在此半導體裝置中之電子流和習知構造中者一致且無差異，呈現出以應用電壓而乘冪增加之趨勢。關於電洞流方面，至應用電壓之電流乘冪開始流動之臨界電壓和低於臨界電壓下，電洞流在零應用電壓下，表現爲零。在一般的構造中，電洞流亦具有一值，其大於電子流約兩個級數。在此半導體裝置之例中，在源極低濃度ｎ型擴散層之寬度爲４０ｎｍ或更小之情況下，接近臨界電壓之電洞流大於在習知構造中約三個級數，且臨界電壓亦降低約０．２Ｖ。此意即在此半導體裝置構造中，電洞流之源極擴散電位和在習知構造中者比較，降低約０．２ｅＶ。此值爲在源極擴散電位中之０．１ｅＶ之下降值之兩倍，在源極擴散電位中之下降值乃由形成在源極中之已知ＳｉＧｅ共晶體所引起的。和習知技藝比較，可進一步改善基底浮動效果之消除。雖然當基底寬度增加時，在臨界電壓中之下降會稀釋，和習知構造比較，即使當源極低濃度ｎ型擴散層之濃度爲０．１μｍ，亦可觀察到０．０４Ｖ之下降。亦即，在此半導體裝置中，源極低濃度ｎ型擴散層寬度最好爲０．１μｍ或更小。

圖１０之結果之獲得和正電壓施加至通道區域ＳＯＩ基底之前向特性有關。數值分析之進行乃和後向特性有關，其中正電壓應用至ｎ型高濃度區域以獲得之分析結果爲在電壓高達３Ｖ時，電流和在一般構造中者相同，在計算誤差容許範圍內，計量爲１／１０^{13}至１／１０^{15}Ａ。此種結果顯示，即使當和在源極中相似之構造形成在汲極中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（17）

時，亦不會發生漏電流增加之問題。

依照本發明之半導體裝置具有之構造爲介於源極和汲極間可保持對稱，且亦可有效的用於所謂的轉換ＭＯＳ等，在電路操作狀況下，藉由互相變換汲極和源極，即可進行雙向操作。再者，在源和汲極中之再結合中心區域不會影響汲極／基底電容和歸因於厚埋入氧化膜之寄生電容降低效果，且可保持在習知ＳＯＩ　ＭＯＳ中之大部份特性。再者，本發明之效果無關於半導體裝置之導電型式，且因此，本發明可有效的消除在ＳＯＩ　ＣＭＯＳ中之基底浮動效果。

圖式簡單說明

圖１爲習知半導體裝置之截面圖。

圖２爲在習知半導體裝置中，使用以說明基底浮動效果消除機構之能帶之圖。

圖３爲在本發明之半導體裝置中，在源極擴散層之深度方向中之雜質分佈圖。

圖４Ａ爲在本發明之半導體裝置中，用以說明基底浮動效果消除機構之能帶之圖。

圖４Ｂ爲本發明之半導體裝置之源極之等效電路圖。

圖５Ａ爲在本發明之半導體裝置中，源極擴散層之領域之截面圖。

圖５Ｂ爲圖５Ａ之等效電路圖。

圖６Ａ爲依照本發明之半導體裝置之基底浮動效果消

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（18）

除機構之能帶之說明圖。

圖6B爲相似於圖6A之圖。

圖7爲依照本發明之半導體裝置之基底浮動效果消除機構之分析結果圖。

圖8爲在本發明之半導體裝置中，用以說明基底浮動效果消除效果之源極擴散層之截面圖。

圖9爲依照本發明之半導體裝置，用以說明基底浮動效果消除機構之能帶之圖。

圖10爲依照本發明之半導體裝置之基底浮動效果消除機構之分析結果之圖。

圖11爲依照本發明之第一實施例之半導體裝置之截面圖。

圖12爲依照本發明之第一實施例之半導體裝置之第一製造方法之截面圖。

圖13爲依照本發明之第一實施例之半導體裝置之第二製造方法之截面圖。

圖14爲依照本發明之第一實施例之半導體裝置之第三製造方法之截面圖。

圖15爲依照本發明之第二實施例之半導體裝置之截面圖。

圖16爲依照本發明之第三實施例之半導體裝置之截面圖。

圖17爲依照本發明之第四實施例之半導體裝置之截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

圖１８爲依照本發明之第五實施例之半導體裝置之截面圖。

圖１９爲依照本發明之第六實施例之半導體裝置之截面圖。

圖２０爲依照本發明之第七實施例之半導體裝置之第一製造方法之截面圖。

圖２１爲依照本發明之第七實施例之半導體裝置之第二製造方法之截面圖。

圖２２爲依照本發明之第八實施例之完成半導體裝置之截面圖。

圖２３爲依照本發明之第八實施例之半導體裝置之製造步驟之截面圖。

圖２４爲依照本發明之第八實施例之半導體裝置之另一製造步驟之截面圖。

圖２５爲依照本發明之第八實施例之半導體裝置之另一製造步驟之截面圖。

圖２６爲依照本發明之第九實施例之半導體裝置之製造步驟之截面圖。

圖２７爲依照本發明之第九實施例之半導體裝置之另一製造步驟之截面圖。

圖２８爲依照本發明之第九實施例之完成半導體裝置之截面圖。

圖２９爲依照本發明之第十實施例之完成半導體裝置之截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

圖３０爲依照本發明之第十一實施例之完成半導體裝置之截面圖。

圖３１爲依照本發明之第十二實施例之完成半導體裝置之截面圖。

圖３２爲依照本發明之第十三實施例之半導體裝置之製造步驟之截面圖。

圖３３爲依照本發明之第十三實施例之完成半導體裝置之截面圖。

圖３４爲依照本發明之第十四實施例之完成半導體裝置之截面圖。

圖３５爲依照本發明之第十四實施例之半導體裝置之製造步驟之截面圖。

圖３６爲依照本發明之第十四實施例之半導體裝置之另一製造步驟之截面圖。

圖３７爲依照本發明之第十四實施例之半導體裝置之另一製造步驟之截面圖。

圖３８爲依照本發明之第十五實施例之半導體裝置之製造步驟之截面圖。

圖３９爲依照本發明之第十五實施例之半導體裝置之另一製造步驟之截面圖。

圖４０爲依照本發明之第十五實施例之完成半導體裝置之截面圖。

圖４１爲依照本發明之第十六實施例之半導體裝置之製造步驟之截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

圖４２爲依照本發明之第十六實施例之完成半導體裝置之截面圖。

圖４３爲依照本發明之第十七實施例之半導體裝置之製造步驟之截面圖。

圖４４爲依照本發明之第十七實施例之完成半導體裝置之截面圖。

圖４５Ａ爲用以說明本發明之實施例所應用之例之動態隨機存取記憶（ＤＲＡＭ）之方塊圖。

圖４５Ｂ爲用以說明ＤＲＡＭ之片段電路圖。

圖４６Ａ爲用以說明本發明之實施例所應用之另一例之靜態隨機存取記憶（ＳＲＡＭ）之方塊圖。

圖４６Ｂ爲用以說明唯寫／讀記憶單元之片段電路圖。

圖４７爲使用以說明本發明之實施例所應用之另一例之邏輯電路之電路圖。

圖４８爲使用以說明本發明之實施例所應用之另一例之電腦構造之方塊圖。

圖４９爲使用以說明本發明之實施例所應用之又一例之非同步傳輸模式系統之圖。

圖５０爲依照本發明之第十八實施例之半導體裝置之截面圖。

圖５１爲依照本發明之第十九實施例之半導體裝置之截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

實施本發明之最佳模式

爲了更加了解本發明，以下本發明將藉由實施例和伴隨之附圖而說明，其中和其它部份比較，更詳細的說明了主要部份。

參考圖１１至１４，其中顯示依照本發明之第一實施例之半導體裝置之製造方法之截面圖，而圖１１爲半導體裝置之完成圖。在圖１２中，厚度爲５００ｎｍ之氧化矽膜（以下簡稱氧化膜）２形成在由高電阻單晶矽所製成之支持基底１上，和一中介裝置分離絕緣膜４，一閘氧化膜５具有厚度爲５ｎｍ，由鎢（Ｗ）製成之閘電極６，一閘保護絕緣膜７和一閘側壁絕緣膜８乃形成在一ＳＯＩ基底上，該ＳＯＩ基底乃由具有電阻率爲１０Ωｃｍ（１００）之平面指標和１２．５ｃｍ之直徑之ｐ導電型１０ｎｍ厚單晶矽層３經由已知的ＭＯＳ場效電晶體之製造方法而構成。在形成閘氧化膜５之前，Ｂ離子植入單晶矽層３中，因此可獲得０．１Ｖ之臨界電壓值。閘極長度爲２００ｎｍ。在此狀況下，使用閘保護絕緣膜７和閘側壁絕緣膜８當成植入阻擋掩模而實施ｐ之植入和隨後之熱處理，以形成低濃度ｎ型擴散層之源極９和汲極１０，其具有到達氧化膜２之接面端，１５０ｎｍ之有效閘極長度和在表面上１×１０^{18}／ｃｍ^{3}之最大雜質濃度。而後，具有最大雜質濃度爲２×１０^{19}／ｃｍ^{3}之高濃度ｐ型擴散層１１以離子植入ＢＦ$_{2}$而形成在低濃度ｎ型源極９和汲極１０中。介於高濃度ｐ型擴散層１１之側接面和低濃度源極９

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

或低濃度汲極１０間之最小寬度爲５０ｎｍ，且保留在高濃度ｐ型擴散層１１下方之低濃度ｎ型擴散層之部份之厚度約爲３０ｎｍ（圖１２）。

砷（Ａｓ）以低能量離子植入圖１２之所得構造中，以形成高濃度ｎ型擴散層９１和１０１，其具有$2\times10^{21}/cm^3$之表面濃度在高濃度ｐ型擴散層１１上。在離子植入處理之後，在１０００℃下執行熱處理１０秒之短時間，以使植入離子活化，且於此證明在高濃度ｐ型擴散層１１上之接面並未呈現任何的校正特性，但是每個高濃度ｎ型擴散層９１和１０１經由不良歐姆特性之介質而連接至每個高濃度ｐ型擴散層１１。每個高濃度ｎ型擴散層９１和１０１具有約２０ｎｍ之接面深度（圖１３）。

其次，厚１５０ｎｍ之Ｗ膜１２以噴鍍而沉積在整個表面上，並定圖樣以覆蓋至少高濃度ｎ型擴散層９１和１０１之表面。在一替代例中，Ｗ膜１２可經由選擇化學氣體相沉積至矽表面之處理而形成（圖１４）。

隨著已知之半導體裝置之製造方法，圖１４之所得構造沉積以一接線保護絕緣膜１３，其在所需的部份開啓，和蒸氣沉積金屬線，其定圖樣以形成包括源電極１４和汲電極１５之接線（圖１１）。

經由上述製造方法所產生之半導體裝置具有４．７Ｖ之改良源／汲極擊穿電壓，其比同尺寸且在源極上未形成ｐ型擴散層１１之習知構造ＳＯＩ　ＭＯＳ高約１．５Ｖ

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（24）

，此即顯示改良之擊穿電壓可相比於一般形成在半導體基底上之相同尺寸之ＭＯＳ。

再者，關於電流／電壓特性方面，不會觀察到稱爲彎曲特性之異常葉瓣形特性，且會展現出正常的特性。此外，在源極汲極電流／閘極電壓特性中，亦不會觀察到在習知ＳＯＩ　ＭＯＳ中之低閘極電壓下所呈現之漏電流。即使汲極電壓改變時，亦不會發生在漏電流和臨界電壓上之變化。

由這些特性顯示依照本發明之半導體裝置可絕對的免於因爲基底浮動效果之變化特性。由於本實施例之半導體裝置展現了正常的電流／電壓特性，形成在源和汲極之ｐ型高濃度擴散層１１顯示對ｎ型高濃度擴散層９１和１０１之高電阻歐姆特性，和不會逆向影響。此種效果乃是因爲ｐ型高濃度擴散層１１之側邊連續至ｎ型低濃度擴散層9和１０之區域，且當成電流路徑之表面通道區域由ｎ型低濃度擴散層９１和１０１構成，而後，產生在通道下方之基底中，表示少數載子之電洞乃注入ｐ型高濃度擴散層１１中，不是經由ｎ型高濃度擴散層９１，而是經由ｎ型低濃度層9。換言之，在通道中藉由ｎ型高濃度擴散層９１之呈現而形成之電流傳送不會受到影響。

在依照本發明之半導體裝置中量測汲極／基底電容以顯示即使在ｐ型高濃度擴散層１１存在時，電容值仍可相比於習知ＳＯＩ　ＭＯＳ，且爲一般在半導體裝置上製造之相同尺寸之ＭＯＳ之值之１／１０。如此導致之結果爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

在汲極中之ｐ型高濃度擴散層１１由ｎ型低濃度擴散層１０所包圍，因此，由於汲極電場而生之空乏層並未形成在ｐ型高濃度擴散層１１中，如此確保電容值可由厚絕緣層２所決定。

在依照本實施例之半導體裝置中，單晶矽層３非常薄，約爲１００ｎｍ，且在通道區域中之基底雜質濃度設定爲１×１０^{17}／ｃｍ^{3}之低值。因此，藉由在單晶矽層３中之有限電荷量，在閘電壓超過臨界電壓之狀況下，在通道區域內，在單晶矽層３中不會存在任何中性區域，如此導致一完全空乏狀態。如此會有效的感應在通道中之移動電荷（其作用當成電流驅動源），上升至電流強化之適當值，且因此如同本行技藝所熟知的可應用於低壓／高速操作。依照本實施例之半導體裝置證明了無基底浮動效果之完全空乏型ＭＯＳ只根據使用於習知半導體裝置之製造方法，即可以低成本展現。

參考圖１５，於此顯示依照本發明之第二實施例之完成半導體裝置之截面形式。本實施例和第一實施例之不同點在於低濃度ｎ型擴散層９和１０設定具有５×１０^{18}／ｃｍ^{3}之最大雜質濃度，高濃度ｐ型擴散層１１設定具有１×１０^{19}／ｃｍ^{3}之最大雜質濃度，和擴散層１１之底部設定達到氧化膜２。

再者，在本實施例中，高濃度ｎ型擴散層９１和１０１並未形成，且在接線保護１３中形成開口之方法中，單晶矽膜些微的蝕刻，以使源和汲極１４和１５到達高

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

濃度ｐ型擴散層１１。

在依照第一實施例之半導體裝置之例中，不會有源／汲極擊穿電壓之降低，在電流／電壓特性中之葉瓣型特性，和臨界電壓之負向變化，且在本實施例之半導體裝置中亦沒有基底浮動效果。

參考圖１６，於此顯示依照本發明之第三實施例之完成半導體裝置之截面圖。本實施例和第一實施例之不同點在於當形成中介裝置分離絕緣膜４以互相分離單晶矽膜３之活性區域後，離子植入依照所需電路型態而應用至活性區域之一部份中，以形成低濃度ｎ型區域３１。閘氧化膜，閘電極６１，閘保護絕緣膜７和閘側壁絕緣膜８形成在低濃度ｎ型區域３１上和低濃度ｐ型區域３上，依照第一實施例之教導。

在本實施例中，低電阻多晶矽膜使用當成閘電極６１。藉由使用閘電極６１和閘側壁絕緣膜８當成掩模，硼（Ｂ）只選擇性的離子植入低濃度ｎ型區域３１中，而後，執行熱處理以形成低濃度ｐ型擴散層９０和１００，其達到氧化膜２且具有５×１０^{18}／ｃｍ^{3}之表面雜質濃度。而後，離子植入砷（Ａｓ）以形成最大雜質濃度爲１×１０^{19}／ｃｍ^{3}之ｎ型擴散層１１０，其位在低濃度ｐ型擴散層９０和１１０中，在活性區域內。

另一方面，使用閘電極６１和閘側壁絕緣膜８當成掩模而將ｐ選擇性的離子植入低濃度ｐ型區域３，以形成低濃度ｎ型擴散層，其在表面上具有３×１０^{18}／ｃｍ^{3}之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（27）

最大濃度，並達到氧化膜2，如此所形成之層使用當成源極9和汲極10。而後鍺（Ge）以$1\times10^{22}/cm^3$之表面濃度離子植入源極9和汲極10，以在源極9和汲極10中形成SiGe共晶體層。

而後，依照第一實施例之教導，接線保護絕緣膜13之沉積，在所需位置上形成開口，接線金屬膜之蒸氣沉積，和金屬膜之定圖樣乃作用以形成包括接地位準線17，輸出端18和電源電壓線19之接線。

在本實施例之CMOS之例中，相關於任何pMOS和nMOS中皆不會有因爲基底浮動效果而生之各種不良好徵候。再者，亦不會有根據基底浮動效果之貫穿電流（其特別是在SOI CMOS中，且由在nMOS臨界電壓中之負向成長變化所引起的和在pMOS臨界電壓中之正向成長變化所引起的，並發生在接地電位線17和電源電壓線19之間）。由於表示爲少數載子且產生在通道下方之單晶矽膜31中之電子乃注入n型擴散層110中，且當到達源極低濃度p型擴散層100時，由於在介於n型擴散層110和p型擴散層100間之接面上之空乏層中之再結合，電子會消滅，因此，在pMOS中並無基底浮動效果。

參考圖17，於此顯示依照本發明之第四實施例之完成半導體裝置之截面圖。取代在前述第三實施例中Ge之離子植入，在本實施例中離子植入B以在低濃度n型擴散層9和10中形成高濃度p型擴散層11。高濃度p型擴

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

散層１１到達氧化膜２，且最大雜質濃度設定爲$2\times10^{19}/cm^3$，以由源極９之表面形成深８０ｎｍ之距離。

在本實施例之ＣＭＯＳ例中，關於任何ｐＭＯＳ和ｎＭＯＳ皆不會發現由於基底浮動效果而生之各種不良徵候。和在第三實施例中相同的理由，在ｐＭＯＳ例中，亦可消除基底浮動效果。而在ｎＭＯＳ之例中，由於表示少數載且產生在通道下方之單晶矽層３中之電洞注向ｐ型擴散層１１，而當到達源極低濃度ｎ型擴散層１０時，電洞會因爲在介於ｐ型擴散層１１和ｎ型擴散層１０間之接面上之空乏層中之再結合而消滅。

再者，在本實施例之製造方法中，Ｇｅ之離子植入應用達到約１０％之組成比例，因此不需要大量的電子流和以不穩定的離子源實施，且因此，可以比第三實施例更便宜的方式採用對抗基底浮動效果之對策。

參考圖１８，於此顯示依照本發明之第五實施例之完成半導體裝置之截面圖。此實施例和第三實施例之不同點在於使用形成在氧化膜２上具有３００ｎｍ厚之單晶矽膜３之ＳＯＩ基底，並設定ｎ型擴散層９和１０以及ｐ型擴散層９０和１００以使具有１５０ｎｍ之接面深度。離子植入BF_2以形成高濃度ｐ型擴散層９２和１０２，其重疊在選擇性的形成在ｐ型擴散層９０和１００中之ｎ型擴散層１１０上，藉此，離子植入引起晶格缺陷發生在ｎ型擴散層１１０之上接面中，因此所發生之晶格缺陷經由高

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

電阻率而分別連接n型擴散層１１０至p型擴散層９２和１１０。每個高濃度p型擴散層９２和１０２在表面上設定具有１×１０^{20}／ｃｍ^{3}之最大雜質濃度。

在半導體ＣＭＯＳ之例中，相關於ｐＭＯＳ和ｎＭＯＳ，並未發現由於基底浮動效果之各種不良徵候。再者，在本實施例之半導體裝置中，和習知ＳＯＩＭＯＳ比，在ｐＭＯＳ中之汲極／基底電容值較小，約爲一般在半導體基底上製造之同尺寸之ＭＯＳ值之１／１０。由於在汲極中之n型高濃度擴散層１１０由p型低濃度擴散層１００所圍繞，則可獲得上述之效果，因此，由於汲極電場之空乏層並未形成在n型高濃度擴散層１１０中，和電容由厚絕緣層2所決定。

在依照本實施例之半導體裝置中，單晶矽膜3和３１相當厚，且高達３００ｎｍ，因此形成所謂的部份空乏構造，其中，即使在超過臨界電壓之閘電壓之應用下，空乏層和中性區域共同存在通道下方之基底區域中。部份空乏構造在低壓／高速操作下具有比完全空乏構造稍差之特性，但是在相同的製造條件下，其比習知之半導體基底更容易製造。因此，依照本實施例之半導體裝置可廉價的提供在ＭＯＳ之部份空乏構造中排除基底浮動效果之對策。

參考圖１９，於此顯示依照本發明之第六實施例之完成半導體裝置之截面圖。取代在第五實施例中Ｇｅ之離子植入，在此實施例中，離子植入Ｂ以在低濃度n型擴散層9和１０中形成高濃度p型擴散層１１，而後，執行Ａｓ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（30）

之離子植入以形成高濃度n型擴散層91和101。藉由As離子植入，在表面上可設定具有$5\times10^{20}/cm^3$之最大雜質濃度，藉此晶格缺陷產生在p型擴散層11之上接面中，且因此，p型擴散層11經由高電阻率而，分別與高濃度n型擴散層91和101形成短電路。

在依照本實施例之半導體裝置CMOS中，相關於任何pMOS和nMOS中，不會有因爲基底浮動效果而引起之各種不良徵候。

再者，在本實施例之製造方法中，Ge之離子植入應用達到約10%之組成比例，因此不需要大量的電子流和以不穩定的離子源實施，且因此，可以比第三實施例更便宜的方式採用對抗基底浮動效果之對策。在本實施例之半導體裝置中，在pMOS和nMOS中之汲極／基底電容值比習知之SOI MOS小，大約爲一般在半導體基底上製造之相同尺寸之MOS之值之1／10。由於在汲極中之n型高濃度擴散層110由p型低濃度擴散層100所和p型高濃度擴散層11所圍繞，則可獲得上述之效果，因此，由於汲極電場之空乏層並未形成在n型高濃度擴散層110和p型高濃度擴散層11中，和電容由厚絕緣層2所決定。

依照本發明之第七實施例之半導體裝置之製造方法如圖20之截面圖所示，且半導體裝置之完成亦如圖21之截面圖所示。本實施例和第六實施例之不同點在於具有100nm厚之高電阻多晶矽膜20之多層構造之SOI

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

基底和１０ｎｍ厚之氧化矽膜２１使用於氧化膜２和單晶矽膜３之間。單晶矽膜３之厚度爲１００ｎｍ，且ｐ型低濃度活性區域３和ｎ型低濃度活性區域３１設定成具有非常低的雜質濃度，即１×１０^{16}／ｃｍ^{3}。換言之，在本實施例中，可製造完全空乏型互補ＭＯＳ場效電晶體。

在本實施例中，在形成閘氧化膜５，閘電極６，閘保護絕緣膜７和閘側壁絕緣膜８之前，具有雜質濃度爲２×１０^{18}／ｃｍ^{3}之高濃度ｐ型雜質區域２２乃形成在高電阻多晶矽膜２０中，剛好在ｎＭＯＳ之閘電極７規劃形成之區域下方，和具有２×１０^{18}／ｃｍ^{3}之雜質濃度之高濃度ｎ型雜質區域２３形成在高電阻多晶矽膜２０中，剛好在ｐＭＯＳ之閘電極７規劃形成之區域下方（圖２０）。

由圖２０之狀態開始，本實施例之半導體裝置依照第六實施例之教導而製造，除了用於形成在ｎＭＯＳ之源極中之高濃度ｐ型擴散層１１之接面深度，上高濃度ｎ型擴散層９１，在ｐＭＯＳ之源極中之高濃度ｎ型擴散層１１０和上高濃度ｐ型擴散層９２之條件符合在第一實施例中之條件外。再者，Ｗ膜１２選擇性的沉積在源和汲極之整個表面上，除了閘和閘側壁絕緣膜外（圖２１）。

如同在第六實施例之例中，在本實施例之ＣＭＯＳ中，關於任何的ｐＭＯＳ和ｎＭＯＳ皆不會有因爲基底浮動效果而引起之各種不良徵候，此外，在依照本實施例之半導體裝置中，ｐＭＯＳ和ｎＭＯＳ之源極／汲極電流和在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(32)

第六實施例中之半導體裝置比較，可在2V之閘極／汲極電壓下，增加1.4倍或更多。再者，在用於低汲極電壓之未飽和特性區域中，可獲得比在第六實施例之半導體裝置更陡峭之汲極導電特性。

在根據本實施例之半導體裝置所構成之環形振盪器中，每個階段的延遲時間爲12psec，其表示和根據第六實施例之鏈振盪器比較，可達成之速度提高6psec。由於高濃度p型雜質區域22和高濃度n型雜質區域23作用當成擊穿防止機構且薄氧化矽膜21在製造方法中之高溫熱處理時作用當成抵抗雜質擴散之掩模，因此可獲得超高速及大電流特性，也因此，p型低濃度活性區域3和n型低濃度活性區域31之雜質濃度可設定爲非常低的值，而亦可避免由於雜質散佈而對移動率之破壞。

依照本發明之第八實施例之半導體裝置之製造方法如圖23至25之截面圖所示，且半導體裝置之完成如圖22之截面所示。在圖23中，厚度爲500nm氧化矽膜（以下簡稱爲氧化膜）形成在由單晶矽製成且具有12.5cm之直徑之支持基底1上，和一中介裝置分離絕緣膜4，一厚度爲5nm之閘極氧化膜5，由n型低電阻多晶矽膜所構成之閘電極6，和一閘保護絕緣膜7乃形成在一SOI基底上，該SOI基底由具有10Ωcm之電阻率之p導電型之100nm之厚單晶矽層3和（100）之平面指標，經由已知的MOS場效電晶體之製造方法而構成。在形成閘氧化膜5之前，B離子植入單晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (33)

矽層３中，因此可獲得０．１Ｖ之臨界電壓。閘極具有２００ｎｍ之長度。在此狀況中，執行使用閘保護絕緣膜７和閘電極６當成植入阻止掩模之Ｐ之離子植入和後續之熱處理，以形成低濃度ｎ型擴散層之源極９和汲極１０，其具有到達氧化膜２之接面端，１５０ｎｍ之有效閘極長度，和在表面上５×１０^{17}／ｃｍ^{3}之最大雜質濃度。在上述之離子植入中，單晶矽層３保持單晶性質。而後，５０ｎｍ厚的絕緣膜沉積在整個表面上，和閘側壁絕緣膜８藉由各向異性乾蝕刻而選擇性的使絕緣膜只留在閘側壁部份而形成。閘側壁絕緣膜８調整成厚度改變由１０至２０ｎｍ，如此可產生依照本發明之不同半導體裝置。而後，BF_2離子植入低濃度ｎ型源極９和汲極１０中，以形成高濃度ｐ型區域１１，其在到達氧化膜２之介面上具有２×１０^{19}／ｃｍ^{3}之最大雜質濃度。在到達氧化膜２之介面上，約４０ｎｍ寬度之低濃度ｎ型擴散層９終極的連續延伸至高濃度ｐ型區域１１之側表面。關於BF_2之離子植入，加速能量可設定成使在氧化膜２中之雜質濃度最大。經由上述之離子植入，高濃度ｐ型區域１１轉換成一非晶區域（圖２３）。

砷（Ａｓ）以低能量離子植入圖２３之所得構造中，以形成高濃度ｎ型區域９１和１０１，其在高濃度ｐ型擴散層１１上具有２×１０^{21}／ｃｍ^{3}之表面濃度。在離子植入處理後，在１０００℃上進行熱處理１０秒之短時間，以使植入離子活化，並證明高濃度ｐ型區域１１爲細微

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

顆粒尺寸之多晶，除了剛好在閘極下方之側邊區域，且具有約１０ｎｍ之厚度。每個高濃度ｎ型區域９１和１０１具有約４０ｎｍ之接面深度（圖２４）。

在圖２４之構造中，１５０ｎｍ之Ｗ膜１２選擇性的沉積以經由目的爲降低源極電阻之化學氣相反應而曝露矽表面。在一替代例中，藉由濺鍍而後定圖樣以覆蓋至少高濃度ｎ型區域９１和１０１之表面，則Ｗ膜１２可沉積在整個表面上。而後，沉積接線保護絕緣膜１３，其乃由添加磷之氧化矽膜所形成（圖２５）。

隨著已知的半導體裝置之製造方法，在圖２５之所得構造中，接線保護絕緣膜１３在所需部份開啓，且接線金屬蒸氣沉積和定圖樣以形成包括源電極１４和汲極電極１５之接線金屬。單晶矽層3之厚度可藉由在製造處理過程中之清潔處理而在最終處理時降低至約５０ｎｍ（圖２２）。

經由上述製造方法所產生之半導體裝置具有４．７Ｖ之改良源／汲極擊穿電壓，其比同尺寸且在源極上未形成ｐ型擴散層１１之習知構造ＳＯＩ　ＭＯＳ高約１．５Ｖ，此即顯示改良之擊穿電壓可相比於一般形成在半導體基底上之相同尺寸之ＭＯＳ。

再者，關於電流／電壓特性方面，不會觀察到稱爲彎曲特性之異常葉瓣形特性，且會展現出正常的特性。此外，在源極汲極電流／閘極電壓特性中，亦不會觀察到在習知ＳＯＩ　ＭＯＳ中之低閘極電壓下所呈現之漏電流。即

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

使汲極電壓改變時，亦不會發生在漏電流和臨界電壓上之變化。

由這些特性顯示依照本發明之半導體裝置可絕對的免於因爲基底浮動效果之變化特性。已知的是，依照本實施例之半導體裝置之電流／電壓特性爲正常的，且對形成在源極和汲極中之ｐ型高濃度區域１１不會有逆向的影響。當半導體裝置依照本實施例而產生且閘側壁絕緣膜８之厚度改變時，可觀察到依照本實施例而有效的消除基底浮動效果，而介於高濃度ｐ型區域１１之端和低濃度ｎ型擴散層之接面間之距離爲１００ｎｍ或更少至２０ｎｍ。較佳的是，此距離爲３０至５０ｎｍ，如此可獲得在特性上之規則性。值得注意的是，高濃度ｐ型區域１１之端超過低濃度ｎ型擴散層之接面之構造無法獲得基底浮動效果消除之優點。

結合依照本實施例之半導體裝置可有效的消除ＳＯＩＭＯＳ之基底浮動效果之事實，可了解的是連續至氧化膜２之高濃度ｐ型區域１１之多晶特性可滿足的作用當成注入電洞之再結晶中心。

在依照本實施例之半導體裝置中，單晶矽層３非常薄，其量約爲５０ｎｍ，且在通道區域中之基底雜質濃度亦設定爲$1\times10^{17}/cm^3$之低值。因此，藉由在單晶矽層３中有限量之電荷，當閘電壓調整超過臨界電壓時，任何中性區域不會存在在通道區域之單晶矽層３中，如此可獲得完全的空乏狀態。如此可在當成電流汲極源極之通道

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

中，感應移動電荷，並適合用於電流之強化，亦即，適於低壓／高速操作。在依照實施例之半導體裝置中，前述完全空乏型ＳＯＩ　ＭＯＳ可廉價的提供，而不會伴隨著習知半導體裝置之製造方法中之基底浮動效果。

依照本發明之另一實施例（第九實施例）之半導體裝置之製造步驟如圖２６至２８之截面圖所示，其中圖２８顯示完成之半導體裝置。在本實施例中，由第八實施例之圖２４之狀態開始，低濃度ｎ型擴散層９和１０之曝露表面使用閘保護絕緣膜７，閘側壁絕緣膜８和中介裝置分離絕緣膜４當成蝕刻掩模而選擇性蝕刻以留下高濃度ｐ型區域１１，其具有５ｎｍ之厚度（圖２６）。

而後，以高濃度加入磷之矽膜９２和１０２選擇性的形成在前述蝕刻區域中，並受到６５０℃之熱處理１０分鐘，以變成活性，如此可形成高濃度ｎ型區域之源極和汲極。矽膜９２和１０２可在單晶磊晶選擇性成長之狀況下或多晶選擇性成長之狀況下形成。替代的，沉積在整個表面上之矽膜可定圖樣以形成矽膜９２和１０２。高濃度ｎ型特性並未始終由在形成矽膜時同時添加雜質而形成，而是可藉由離子植入而完成。由源極電阻降低之觀點而言，矽膜９２和１０２可較佳的形成在所謂重疊源／汲極構造，其中所形成矽膜９２和１０２之表面重疊在蝕劑前佔據之最初表面（圖２７）。

圖２７之所得構造乃以接線形成，該接線包括接線保護絕緣膜１３，源極電極１４和汲極電極１５（圖２８）

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（37）

。

在以前述製造方法所產生之依照本實施例之半導體裝置中，依照第八實施例，不會有導因於基底浮動效果之各種特性，且如此可獲得正常完全空乏型ＳＯＩ　ＭＯＳ特性。在依照本實施例之半導體裝置中，包括介面部份之高濃度ｐ型區域１１至高濃度ｎ型區域９和１０可具有陡峭高濃度分佈，且因此，可隨著雜質濃度增加而降低之再結合時間可更降低，因此，相較於第一實施例之半導體裝置，注入電洞可更有效的消除。再者，基底浮動效果亦可更有效的消除。

參考圖２９，於此顯示依照本發明之另一實施例（第十實施例）之完全半導體裝置之截面圖。在本實施例中，由前述第九實施例之圖２６之構造開始，高濃度ｐ型區域１１選擇性的移除，除了接近閘側壁絕緣膜８之部份，且矽膜９２和１０２選擇性的形成，而後，後續之製造處理依照前述實施例之教導而執行以產生一半導體裝置。高濃度ｐ型區域１１之選擇性移除使用一光罩而執行。但是爲了確保閘電極之自我對準，由和閘側壁絕緣膜８不同材料（氮化矽膜）製成之第二閘側壁絕緣膜可由圖２６之構造選擇性的開始形成，而後使用第二閘側壁絕緣膜當成掩模而選擇性的移除高濃度ｐ型區域１１。再者，取代選擇性的移除，藉由使用第二閘側壁絕緣膜當成一掩模，將高濃度ｎ型離子植入至高濃度ｐ型區域１１，亦可降低高濃度ｐ型區域１１（圖２９）。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

在依照經由上述製造方法所產生之實施例之半導體裝置中，如同在依照第八和第九實施例之半導體裝置中，不會發生由於基底浮動效果而引起之各種現象。再者，在依照本實施例之半導體裝置中，相關於和源極區域相似形成之汲極區域，汲極／基底電容可降低爲和高濃度ｐ型區域１１之選擇性移除區域成比例，藉此，高濃度ｐ型區域１１之剩餘區域爲０．１μｍ或更小，電容值可降低至相比於一般ＳＯＩ　ＭＯＳ之電容值，而無高濃度ｐ型區域１１。一般ＳＯＩ　ＭＯＳ之電容值約爲產生在一般半導體基底之相同尺寸之ＭＯＳ之值之１／１０。

參考圖３０，於此顯示依照本發明之另一實施例（第十一實施例之完成半導體裝置之截面圖。本實施例和第八實施例之不同點在於具有２００ｎｍ之ＳＯＩ基底使用當成單晶矽層３，且用以形成高濃度ｐ型區域１１之區域乃分離至氧化膜２之介面，以便經由低濃度ｎ型擴散層９和１０而接合氧化膜２。亦即，高濃度ｐ型區域１１構造成藉由低濃度ｎ型擴散層９和１０而與外界完全的隔離。其它的製造方法和第一實施例一致（圖３０）。

在依照上述製造方法產生之實施例之半導體裝置中，即使在汲極區域中存在高濃度ｐ型區域１１，亦可呈現相對於習知ＳＯＩ　ＭＯＳ之低接面電容值，其大約爲產生在一般半導體基底上相同尺寸之ＭＯＳ中之值之１／１０。由於在汲極中，高濃度ｐ型區域１１由低濃度ｎ型擴散層１０所圍繞，以避免由於汲極電場之空乏層免於形成在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

高濃度ｐ型區域１１中，和電容值可由厚氧化膜2所決定，即可得到上述之結果。

參考圖３１，於此顯示依照本發明之另一實施例（第十二實施例）之完成半導體裝置之截面圖。此實施例和第八實施例之不同點在於使用具有５００ｎｍ厚之ＳＯＩ基底當成單晶矽層３，在單晶矽膜３中之活性區域由中介裝置分離絕緣膜４而互相分離，且因此，離子植入依照所需之電路構造而應用至部份的活性區域，以形成低濃度ｎ型區域３１。依照第八實施例之教導，閘氧化膜５，閘電極６１，閘保護絕緣膜７，和閘側壁絕緣膜８乃形成在低濃度ｎ型區域３１和低濃度ｐ型區域３中。在本實施例中，Ｗ膜使用當成閘電極６１。藉由使用閘電極６１和閘側壁絕緣膜８當成掩模而使Ｂ選擇性的只離子植入低濃度ｎ型區域３１中，而後執行熱處理，藉以形成低濃度ｐ型擴散層９０和１００，其具有２００ｎｍ之接面深度和5×10^{18}／ｃｍ³之表面雜質濃度。而後，離子植入Ａｓ以形成高濃度ｎ型擴散區域１１０，其在活性區域中具有5×10^{20}／ｃｍ³之最大雜質濃度，且其位在低濃度ｐ型擴散層９０和１００中。即使在用於活化之熱處理後，由於高濃度ｎ型區域１１０具有高於固體溶液限制之雜質濃度，以使不會經歷單結晶，因此可保持多晶晶格缺陷區域。另一方面，藉由使用閘電極６１和閘側壁絕緣膜８當成掩模，Ｐ選擇性的離子植入低濃度ｐ型區域３中，以形成低濃度ｎ型擴散層，其表面上具有最大濃度爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（40）

3×10^{18}／cm^3和一接面深度爲２００ｎｍ，如此形成之層當成源極９和汲極１０。而後，BF_2離子植入以形成高濃度ｐ型區域１１，其在活性區域中具有5×10^{20}／cm^3之最大雜質濃度，且其位在低濃度ｎ型擴散層９和１０中。即使在用於活化之熱處理後，高濃度ｐ型區域１１亦具有高於固體溶液限制之雜質濃度，以使其不會經歷單結晶，且因此，可保持多晶晶格缺陷區域。而後，接線保護絕緣膜１３沉積在所需部份，且在所需部份開口，且用於接線之金屬膜蒸氣沉積並定圖樣，因此可形成包括接地電位線１７，輸出端１８和電源供應電壓線１９之接線。

在依照經由上述製造方法所產生之本實施例之半導體裝置或ＣＭＯＳ中，關係任何ｐＭＯＳ和ｎＭＯＳ皆不會有導因於基底浮動效果之各種徵候。再者，亦不會有基於基底浮動效果之貫穿電流，其特別是在ＳＯＩ　ＭＯＳ中，且乃由在ｎＭＯＳ臨界電壓中之負成長變化和在ｐＭＯＳ臨界電壓中之正成長變化而引起在接地電位線１７和電源電壓線１９之間。由於產生在單晶矽膜３１中在通道內表示少數載子之電子注入高濃度ｎ型區域１１０中，且由基於晶格缺陷之再結合中心所消滅，因此在ｐＭＯＳ中，不會有基底浮動效果。

再者，在依照本實施例之半導體裝置中，ｐＭＯＳ中之汲極／基底電容值呈現出相比於習知ＳＯＩ　ＭＯＳ之電容值，且約爲在一般半導體基底上產生之同尺寸ＭＯＳ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（41）

中之值之１／１０。由於在汲極中之高濃度ｎ型區域１１０由ｐ型低濃度擴散層１００所圍繞以避免由於汲極電場之空乏層免於形成在高濃度ｎ型區域１１０中，且電容值由厚絕緣膜２所決定，如此可獲得上述之結果。

在依照本實施例之半導體裝置中，單晶矽層３和３１相當厚，高達５００ｎｍ，且此裝置具有所謂的部份空乏構造，其中空乏層和中性區域共同存在於在通道區域之下之基底區域中，即使在閘極電壓之應用超過臨界電壓下。在低壓／高速操作下，部份空乏構造些微的比完全空乏構造差，但是在使用習知半導體基底之製造狀況下，其可更輕易的產生。因此，在依照本實施例之半導體裝置中，對於部份空乏構造之ＭＯＳ而言，其可更廉價的採用對抗基底浮動效果之對策。

依照本發明之另一實施例（第十三實施例）之半導體裝置之製造方法之截面圖如圖３２所示，且完成之半導體裝置之截面圖如圖３３所示。本實施例和第十二實施例之不同點在於單晶矽膜３具有２００ｎｍ之厚度，和由１００ｎｍ厚之高電阻多晶矽膜２０和１０ｎｍ厚之氧化矽膜２１所構成之多層構造ＳＯＩ基底使用於氧化膜２和２００ｎｍ厚單晶矽膜３間。在此相位中，單晶矽膜３設定具有１００ｎｍ之厚度，且ｐ型低濃度活性區域３和ｎ型低濃度活性區域３１皆設定成1×10^{16}／cm^3之非常低的雜質濃度。因此，在本實施例中，可產生互補空乏型互補ＭＯＳ場效電晶體。在本實施例中，在形成閘氧化

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（42）

膜５，閘電極６，閘保護絕緣膜７和閘側壁絕緣膜８之前，具有２×１０^{18}／ｃｍ^{3}之雜質濃度之高濃度ｐ型雜質區域２２乃形成在高電阻多晶矽膜２０中，其剛好在ｎＭＯＳ之閘電極６規劃而形成之區域下方，而具有２×１０^{18}／ｃｍ^{3}之雜質濃度之高濃度ｎ型雜質區域２３乃形成在高電阻多晶矽膜２０中，其剛好在ｐＭＯＳ之閘電極６所規劃而形成之區域之下方（圖３２）。

由圖３２之所得構造啓始，依照第十二實施例之教導，可產生一半導體裝置，其中高濃度ｎ型區域９１形成在ｎＭＯＳ之源極中之高濃度ｐ型區域１１上，和高濃度ｐ型區域９２形成在ｐＭＯＳ之源極中之高濃度ｎ型區域１１０上。每個區域９１和９２具有調整成如在第十一實施例中之接面深度。再者，Ｗ膜１２選擇性的沉積至源極和汲極之全部表面，除了依照第四實施例之教導之閘極和閘側壁絕緣膜外（圖３３）。

在依照經由上述製造方法而產生之本實施例之半導體裝置或ＣＭＯＳ中，如同在第十二實施例之例中，相關於任何的ｐＭＯＳ和ｎＭＯＳ，不會有由於基底浮動效果而引起之各種徵候，此外，在２Ｖ之閘極／汲極電壓上之ｐＭＯＳ和ｎＭＯＳ中之源極／汲極電流可增加爲第十二實施例之半導體裝置之１．４倍或更多，如此可獲得電流強化。再者，在低汲極電壓狀況下之未飽和特性區域中，可獲得汲極導電特性，其比第十二實施例之半導體裝置中者陡峭。在依照本實施例之半導體裝置所構成之環振盪器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（43）

中，每個階段的延遲時間爲１２ｐｓｅｃ，其比基於第五實施例之環振盪器短６ｐｓｅｃ。此乃由於高濃度ｐ型雜質區域２２和高濃度ｎ型雜質區域２３作用當成擊穿保護機構，且薄氧化膜２１作用當成一掩模，以在製造處理之過程中之高溫熱處理時，抵抗雜質擴散，藉此在依照本實施例之半導體裝置之超過速／大電流特性中，構成通道之ｐ型低濃度活性區域３和ｎ型低濃度活性區域３１之雜質濃度可設定爲非常低的值，且由於雜質擴散而引起之移動率之破壞亦可避免。

依照本發明之第十四實施例之半導體裝置之製造步驟如圖３４至３７之截面圖所示，其中圖３４爲完成之半導體裝置。厚度爲５００ｎｍ之氧化矽膜（以下簡稱爲氧化膜）形成在由單晶矽製成且具有１２．５ｃｍ直徑之支持基底１上，和中介裝置分離絕緣膜４，５ｎｍ厚之閘氧化膜５，由ｎ型低電阻多晶矽膜構成之閘電極６，和閘保護絕緣膜７乃經由ＭＯＳ場效電晶體之已知製造方法而形成在ＳＯＩ基底中，該ＳＯＩ基底由具有１０Ωｃｍ之電阻率和（１００）之平面指標之ｐ型導電率之２０ｎｍ單晶矽層３所構成。在形成閘氧化膜５之前，Ｂ離子植入單晶矽層３中，因此可得０．１Ｖ之臨界電壓。閘極具有２００ｎｍ之長度。在此狀況下，執行使用閘保護絕緣膜７和閘電極６當成植入阻止掩模之Ｐ之離子植入和後續之熱處理，以形成低濃度ｎ型擴散層之源極９和汲極１０，其具有到達氧化膜２之接面端，１５０ｎｍ之有效閘極長

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（44）

度，和在表面上$2\times10^{16}/cm^3$之最大雜質濃度。而後，以25KeV之加速電壓和$3\times10^{15}/cm^3$之劑量離子植入As，隨後應用熱處理以形成高濃度n型擴散層91和101。在上述n型雜質離子植入步驟中，單晶矽層3保持單晶特性（圖35）。

50nm厚之絕緣膜沉積在圖35之所得構造之整個表面上，且閘側壁絕緣膜8以各向異性乾蝕刻而選擇性的使絕緣膜只留在閘側壁部份而形成。閘側壁絕緣膜8之厚度可由20nm之最小厚度調整至0.5μm之最大厚度（其改變10至100nm），如此可依照本實施例產生不同的半導體裝置。而後，以$3\times10^{15}/cm^3$之劑量離子植入矽，以使在到達氧化膜2之介面上之最大濃度在低濃度n型源極9和汲極10之內。在離子植入後，在800℃下進行熱處理10分鐘。在相同狀況下所產生之不同樣本之部份以傳輸型電子顯微鏡觀察，結果顯示細微晶粒之雙晶，亦即，晶格缺陷區域11乃形成在接近到達氧化膜2之介面。對於矽離子植入而言，加速能量可設定使在氧化膜2中之濃度最大。經由進一步不同實驗之結果，用以形成晶格缺陷區域11之離子植入之離子種類並不限於矽，例如Ne和Ar之稀有氣體元素，例如F和Cℓ之鹵素元素，和例如C和Gc之14族元素亦可使用以獲得相比於上述效果之效果。但是，可提供在矽單晶中之n導電率之元素之離子植入，例如P，已證明並非可用於上述變化以及後述變化之元素（圖36）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（45）

在圖３６之構造中，１５０ｎｍ厚之Ｗ膜１２選擇性的沉積以經由以降低源極電阻爲目的之化學氣相反應而曝露矽表面。在替代例中，Ｗ膜１２可藉由濺鍍而沉積在整個表面上，而後定圖樣以覆蓋至少高濃度ｎ型區域９１和１０１之表面。而後，沉積－接線保護絕緣膜１３，其乃由添加以磷之氧化矽膜所形成（圖３７）。

隨著已知的半導體裝置之製造方法，在圖２５之所得構造中，接線保護絕緣膜１３在所需部份開啓，且接線金屬蒸氣沉積和定圖樣以形成包括源電極１４和汲極電極１５之接線金屬。單晶矽層３之厚度可藉由在製造處理過程中之清潔處理而在最終處理時降低至約５０ｎｍ（圖３４）。

經由上述製造方法所產生之半導體裝置具有４．７Ｖ之改良源／汲極擊穿電壓，其比同尺寸且在源極上未形成ｐ型擴散層１１之習知構造ＳＯＩ　ＭＯＳ高約１．５Ｖ，此即顯示改良之擊穿電壓可相比於一般形成在半導體基底上之相同尺寸之ＭＯＳ。

再者，關於電流／電壓特性方面，不會觀察到稱爲彎曲特性之異常葉瓣形特性，且會展現出正常的特性。此外，在源極汲極電流／閘極電壓特性中，亦不會觀察到在習知ＳＯＩ　ＭＯＳ中之低閘極電壓下所呈現之漏電流。即使汲極電壓改變時，亦不會發生在漏電流和臨界電壓上之變化。

由這些特性顯示依照本發明之半導體裝置可絕對的免

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（46）

於因爲基底浮動效果之變化特性。已知的是，依照本實施例之半導體裝置之電流／電壓特性爲正常的，且對形成在源極和汲極中之晶格缺陷區域１１不會有逆向的影響。當半導體裝置依照本實施例而產生且閘側壁絕緣膜８之厚度改變時，可觀察到依照本實施例而有效的消除基底浮動效果，而介於晶格缺陷區域１１之端和低濃度ｎ型擴散層之接面間之距離爲５００ｎｍ或更少至２０ｎｍ。較佳的是，此距離爲１００ｎｍ或更少，如此可獲得在特性上之規則性。值得注意的是，在基於Ｐ之離子植入而形成之晶格缺陷區域１１之樣本中，基底浮動效果之消除無法完全完成。

依照本實施例之半導體裝置可有效的消除ＳＯＩＭＯＳ之基底浮動效果，且連續至氧化膜２之晶格缺陷區域１１之多晶特性可滿意的當成注入電洞之再結晶中心。

在依照本實施例之半導體裝置中，單晶矽膜３相當厚，且高達２００ｎｍ，因此形成所謂的部份空乏構造，其中，即使在超過臨界電壓之閘電壓之應用下，空乏層和中性區域共同存在通道下方之基底區域中。部份空乏構造在低壓／高速操作下具有比完全空乏構造稍差之特性，但是在相同的製造條件下，其比習知之半導體基底更容易製造。因此，依照本實施例之半導體裝置可廉價的提供在ＭＯＳ之部份空乏構造中排除基底浮動效果之對策。

依照本發明之另一實施例（第十五實施例）之半導體裝置之製造步驟如圖３８至４０所示，其中圖４０爲完成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（47）

之半導體裝置。在本實施例中，中介裝置分離絕緣膜４，閘氧化膜５，閘電極６，和閘保護絕緣膜７乃依照第十四實施例之教導而形成，而後，以２ＫｅＶ低加速能量，使用閘保護絕緣膜７當成掩模而以高濃度將Ａｓ離子植入所得構造中，以形成中空接面ｎ型高濃度擴散層９５和１０５，其具有１０ｎｍ之接面深度和1×10^{21}／cm^3之表面雜質濃度。而後，厚度爲１００ｎｍ之閘側壁絕緣膜８依照第一實施例之教導而形成，且使用閘側壁絕緣膜８當成一掩模而以高濃度離子植入磷，以形成低電阻率源極擴散層９１和低電阻率汲極擴散層１０１，其具有１００ｎｍ之接面深度（圖３８）。

接線保護絕緣膜１３依照已知之半導體裝置之製造方法沉積至圖３８之所得構造，並在所需部份開口。Ｐ經由開口離子植入以形成具有1×10^{16}／cm^3之最小雜質濃度之ｎ型低濃度擴散層９，其連續至低電阻源擴散層９１之底部並到達下層氧化膜２。在上述之處理中，連續至汲極擴散層之底部之ｎ型低濃度擴散層１０同時的形成。在執行ｎ型低濃度擴散層９和１０之活化和擴散深度之調整之熱處理後，和接線保護絕緣膜１３不同材料之沉積膜１３１以乾蝕刻選擇性的留在開口之內壁上。開口側壁絕緣膜１３１需提供一膜，該膜在開口之內壁上具有固定的厚度且該膜使用當成離子植入掩模。如果膜１３１呈現在開口之底部時，則在後續之處理中不會發生任何問題。在此狀況下，依照第十四實施例之教導，使用開口側壁膜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（48）

１３１當成掩模而以高能量離子植入矽，以形成在ｎ型低濃度擴散層９中接近到達氧化膜２之介面之晶格缺陷區域１１。使用開口側壁膜１３１以調整介於晶格缺陷區域１１之端和ｎ型低濃度擴散層９之接面間之距離之方法已使用上述之製造方法說明，但是，亦可採用不同的方法，其中ｎ型低濃度擴散層之接面深度以熱處理調整。在此例中，可省略開口側壁膜１３１之形成處理。

由圖３９之所得構造開始，例如源極電極１４和汲極電極１５之電極和以接線金屬材料製成之接線層乃依照已知的半導體裝置之製造方法形成。圖４０爲半導體裝置之截面形式，其依照下述之方法產生，其中在開口側壁膜１３１移去後，可形成接線層，但是開口側壁膜亦可依需要的保留（圖４０）。

在依照經由上述製造方法所產生之本實施例之半導體裝置中，如同在依照第十四實施例之半導體裝置中，並未存在伴隨著基底浮動效果之各種特性，且因此，可獲得正常部份空乏ＳＯＩ　ＭＯＳ特性。再者，在依照本實施例之半導體裝置中，只以接觸孔區域即可達成基底浮動效果之消除，且因此，不會對接近閘電極之端之源極／汲極擴散層之形狀有所限制，該形狀決定電晶體之特性。因此，依照本實施例，可達成所需的電晶體特性，而不會由基底浮動效果所影響。

依照本發明之另一實施例（第十六實施例）之半導體裝置之製造方法之截面圖如圖４１所示，且完成之半導體

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（49）

裝置之截面型式如圖４２所示。在本實施例中，在５００ｎｍ厚ＳＯＩ基底使用當成單晶矽層３且中介裝置分離絕緣膜４依照第十四實施例之教導而使在單晶矽膜３中之活性區域互相分離後，依照所需之電路構造，離子植入應用至部份的活性區域中，以形成低濃度ｎ型區域３１。閘氧化膜５，閘電極６１，和閘保護絕緣膜７依照第十四實施例之教導而形成在低濃度ｎ型區域３１和低濃度ｐ型區域３中。在本實施例中，Ｗ膜使用當成閘電極６１。依照第十四實施例之教導，藉由使用閘電極６１當成掩模，應用離子植入至所得構造。更特別而言，在離子植入中，依照第十四實施例之教導，當Ｐ離子植入低濃度ｐ型區域３中，以形成低濃度ｎ型擴散層９和１０，且Ａｓ亦離子植入低濃度ｐ型區域３中，以形成高濃度ｎ型擴散層９１和１０１時，Ｂ離子植入低濃度ｎ型區域３１中，以形成低濃度ｐ型擴散層９０和１００和高濃度ｐ型擴散層９２和１０２。低濃度ｎ型擴散層９和１０的和低濃度ｐ型擴散層９０和１００形成達到氧化膜２，並設定具有$1\times10^{17}/cm^3$之最大雜質濃度。在離子植入處理和後續用於活化之熱處理之後，氮化矽膜選擇性的留在ｎＭＯＳ形成之區域中，且受到各向異性乾蝕刻以只在ｎＭＯＳ閘極之側壁部份形成１００ｎｍ厚之氮化矽膜之閘側壁絕緣膜８。相似的，氧化膜選擇性的留在ｐＭＯＳ形成之區域中，且受到各向異性乾蝕刻以只在ｐＭＯＳ閘極之側壁部份形成一２００ｎｍ厚之閘側壁絕緣膜８。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（50）

ｐＭＯＳ和ｎＭＯＳ之閘側壁絕緣膜８可由相同的材料製成，且具有依需要之相同厚度。而後，以５×１０^{15}／ｃｍ^{3}之劑量而到達至氧化膜２之介面之Ａｒ之離子植入使用閘電極６１和閘側壁絕緣膜８當成掩模而執行以形成埋入晶格缺陷區域１１在一區域中，該區域在低濃度ｎ型擴散層９和１０中和在低濃度ｐ型擴散層９０和１００中，且其和高濃度ｎ型擴散層９１和１０１和高濃度ｐ型擴散層９２和１０２分離。晶格缺陷區域１１之形成並非始經由Ａｒ之離子植入所完成，其亦可由在第一實施例中之Ｓｉ之離子植入而滿意的達成。在下疊氧化膜２之影響下，晶格缺陷區域１１不會經歷由再結晶熱處理而在連續至下疊氧化膜２之部份上之單結晶，且因此可保持多晶晶格缺陷區域（圖４１）。

而後，依照第十四實施例之教導，接線保護絕緣膜１３沉積並在所需部份開啓，且用於接線之金屬膜蒸氣沉積和定圖樣，如此可形成包括接地電位線１７，輸出端１８和電源供應電壓線１９之接線（圖４２）。

在依照經由上述製造方法而產生之本實施例之半導體裝置或ＣＭＯＳ中，相關於任何ｐＭＯＳ和ｎＭＯＳ下，不會有伴隨基底浮動效果之各種現象。再者，亦不會有基於基底浮動效果之貫穿電流，其特別是對ＳＯＩ　ＭＯＳ而言，且由在ｎＭＯＳ臨界電壓中之負成長變化和在ｐＭＯＳ臨界電壓中之正成長變化而引起在接地電位線１７和電源電壓線１９間。由於產生在通道單晶矽膜３１

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

中表示少數載子之電子移動至低濃度p型擴散層100，且由在晶格缺陷區域11中之再結合中心所消滅，在pMOS中不會有基底浮動效果。在依照本實施例之半導體裝置中，經由相同離子植入處理，在nMOS和pMOS中之基底浮動效果可消除，藉此可確保以低成本完成高效能之CMOS，而不會使製造方法複雜化。

在本實施例中，決定介於當成再結晶中心和低濃度p型區域3或在通道下方之低濃度n型區域31間之距離之閘側壁絕緣膜8之厚度，對於nMOS和pMOS而言是不同的。採用上述厚度差異之理由乃是因爲低濃度p型擴散層90和100和低濃度n型擴散層9和10之雜質不同會導致用於校正接面深度差異之目的之不同接面深度。

在本實施例中，低濃度p型擴散層90和100和低濃度n型擴散層9和10最好具有$1\times10^{15}/cm^3$或更大及$1\times10^{18}/cm^3$或更小之最大雜質濃度，且特別的，最大雜質濃度範圍由$1\times10^{16}/cm^3$至$5\times10^{17}/cm^3$。其理由是以$5\times10^{17}/cm^3$或更小之雜質濃度，基底浮動效果之消除非常明顯，但是以$1\times10^{16}/cm^3$之雜質濃度，約$1/10^{12}A$之小電流會發生在pn接面之後向特性中，如此會使電晶體之漏電流增加。

再者，用於晶格缺陷區域11之形成之離子植入處理可對CMOS滿意的執行一次，在考量SOI層之厚度下，只要在至下疊氧化膜2之介面上可獲得非晶矽部份。離

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（52）

子植入之元素可爲習知不會引起在低濃度p型擴散層90和100和低濃度n型擴散層9和10中之導電型式變化之元素；且最好爲14族元素，如Si，Ge，和C，例如F或Cℓ之鹵素元素，或例如Ne和Ar之稀有氣體元素。

依照本發明之另一實施例（第十七實施例）之半導體裝置之製造方法之截面圖如圖43所示，而圖44爲完成之半導體裝置之截面圖。本實施例和第十六實施例之不同點在於單晶矽膜3之厚度爲100nm，且由100nm厚之高電阻率多晶矽層20和10nm厚之氧化矽膜21構成之SOI基底之多層構造使用於氧化膜2和200nm厚之單晶矽膜3間。此處，在單晶矽膜3中之p型低濃度活性區域3和n型低濃度活性區域31設定具有非常低的雜質濃度，亦即$1\times10^{16}/cm^3$。亦即，在本實施例中，可產生完全空乏型互補MOS場效電晶體。在本實施例中，在閘氧化膜5，閘電極6，閘保護絕緣膜7，和閘側壁絕緣膜8之形成之前，雜質濃度爲$2\times10^{18}/cm^3$之高濃度p型雜質區域22形成在高電阻率多晶矽膜20中，剛好在nMOS之閘電極7規劃形成之區域下方，和雜質濃度爲$2\times10^{18}/cm^3$之高濃度n型雜質區域23形成在高電阻率多晶矽膜20中，剛好在pMOS之閘電極7規劃形成之區域之下方（圖43）。

由圖43之所得構造開始，依照第十六實施例之教導可產生一半導體裝置，其中離子植入Ar以形成晶格缺陷

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（53）

層之再結合中心區域１１，其位在低濃度ｎ型擴散層９中，接近ｎＭＯＳ之源極高濃度ｎ型擴散層９１之底部，和在低濃度ｐ型擴散層９０中，接近ｐＭＯＳ之源極高濃度ｐ型擴散層１０２之底部，且其連續至下疊氧化膜２。每個源極高濃度ｎ型擴散層９１和高濃度ｐ型擴散層１０２設定具有５０ｎｍ之接面深度。每個低濃度ｎ型擴散層９和低濃度ｐ型擴散層９０乃構造成其底部連續至下疊氧化膜２，並設定具有１×１０^{16}／ｃｍ^{3}至２×１０^{17}／ｃｍ^{3}之最大雜質濃度。再者，除了閘極和閘側壁絕緣膜外，依照化學氣相反應將１００ｎｍ厚之Ｗ膜１２選擇性的沉積至源極和汲極之全部表面，而後，依照第三實施例之教導，接線保護絕緣膜１３形成和在所需部份開啓，且用於接線之金屬膜沉積和定圖樣以形成包括接地電位線１７，輸出端８和電源電壓線１９之接線（圖４４）。

在依照經由上述製造方法而產生之本實施例之半導體裝置或ＣＭＯＳ中，如同在第十六實施例之例中，相關於任何的ｐＭＯＳ和ｎＭＯＳ，不會有由於基底浮動效果而引起之各種徵候，此外，在２Ｖ之閘極／汲極電壓上之ｐＭＯＳ和ｎＭＯＳ中之源極／汲極電流可增加爲第十六實施例之半導體裝置之１．４倍或更多。再者，在低汲極電壓狀況下之未飽和特性區域中，可獲得汲極導電特性，其比第十二實施例之半導體裝置中者陡峭。在依照本實施例之半導體裝置所構成之環振盪器中，每個階段的延遲時間爲１２ｐｓｅｃ，其比基於第五實施例之環振盪器短６

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（54）

ｐｓｅｃ。此乃由於高濃度ｐ型雜質區域２２和高濃度ｎ型雜質區域２３作用當成擊穿保護機構，且薄氧化膜２１作用當成一掩模，以在製造處理之過程中之高溫熱處理時，抵抗雜質擴散，藉此在依照本實施例之半導體裝置之超過速／大電流特性中，ｐ型低濃度活性區域３和ｎ型低濃度活性區域３１之雜質濃度可設定爲非常低的值，且由於雜質擴散而引起之移動率之破壞亦可避免。

在依照本實施例之半導體裝置中，單晶矽層３非常薄，其量約爲５０ｎｍ，且在通道區域中之基底雜質濃度亦設定爲1×10^{17}／cm^3之低值。因此，藉由在單晶矽層３中有限量之電荷，當閘電壓調整超過臨界電壓時，任何中性區域不會存在在通道區域之單晶矽層３中，如此可獲得完全的空乏狀態。如此可在當成電流汲極源極之通道中，感應移動電荷，並適合用於電流之強化，亦即，適於低壓／高速操作。在基於實施例之半導體裝置中，前述完全空乏型ＳＯＩ　ＭＯＳ可廉價的提供，而不會伴隨著習知半導體裝置之製造方法中之基底浮動效果。

參考圖４５至４９，以下說明應用上述實施例所說明之半導體裝置中例。

應用依照本發明之實施例之半導體裝置之例如圖４５Ａ和４５Ｂ所示。在此例中，一動態隨機存取記憶體（ＤＲＡＭ）由依照本發明之半導體裝置所構成。如圖４５Ｂ所示，表示一記憶單元之記憶胞由依照本發明之一半導體裝置和一電容元件Ｃｓ之串聯連接所構成，並連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（55）

至當成資料傳輸線之位元線和用於輸入／輸出控制之字線中。ＤＲＡＭ含有具有安排成矩陣之記憶胞之記憶胞和用於控制之週邊電路，而該週邊電路亦由本發明之半導體裝置所構成。爲了降低用於記憶胞選擇之位址訊號之端之數目，行位址訊號和列位址訊號互相位移，多工和應用。脈衝訊號（由ＲＡＳ和ＣＡＳ所指定）乃控制時鐘產生器１和２，以分佈位址訊號至列解碼器和行解碼器。藉由使用位址緩衝器當成緩衝電路，依照分佈至列和行解碼器之位址訊號而選擇特殊的字線和特殊之位元線。每個位元線連接一以正反器型放大器之型式之感應放大器，且由記憶胞讀出之訊號由放大器所放大。脈衝訊號ＷＥ控制一寫時鐘產生器以控制寫／讀切換。Ｄ表示寫和讀訊號。

藉由完成以依照本發明之半導體裝置構成之應用例之個別半導體裝置，可達成高速效能，和習知存取時間比較，其可降低存取時間達３０％或更多。在１６百萬位元之記憶型態中，更新特性亦可改善爲習知更新特性之１０倍，最壞仍可達０．５秒的量。上述的高速操作能力乃歸因於基於ＳＯＩ構造之寄生電容降低效果和基於第七實施例之電流強化。藉由因爲ＳＯＩ構造而在接面區域中之減少以及由於基底浮動效果之消除之臨界電壓變化之消除，可獲得改良的更新特性。

應用本發明之半導體裝置之另一例如圖４６Ａ和４６Ｂ所示。在本例中，一靜態隨機存取記憶（ＳＲＡＭ）由依照本發明之半導體裝置所構成。如圖４６Ｂ所示，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（56）

表示一記憶單元之一記憶胞包含依照本發明之兩組互補ＭＯＳ和依照本發明用以控制訊號之輸入／輸出之兩ＭＯＳ（稱爲轉換ＭＯＳ）。

ＳＲＡＭ包含有具有安排成矩陣之記憶胞之記憶陣列和用以控制之週邊電路，且該週邊電路亦由本發明之半導體裝置所構成。在本質上，本例的構造實質的和圖４５Ａ和４５Ｂ相同，除了爲了獲得ＳＲＡＭ之高速能力和低耗損能量，而提供位址暫移偵測器和產生一脈衝藉以控制內部電路外。再者，爲了達成覆蓋位址緩衝器和解碼器之電路之高速操作，列解碼器由兩級的前置解碼器和主解碼器所構成。一晶片選擇器爲回應訊號ＣＳ和ＷＥ之電路以在資訊之寫／讀下，避免資料的重覆，並使寫循環時間和讀循環時間實質的互相相等，藉以確保高速操作。

由於依照本例之半導體裝置構成之個別半導體裝置乃由依照本發明之半導體裝置所構成，電源電壓可由３．５Ｖ降至２．０Ｖ。此外，和習知裝置比較下，存取時間可降低約３０％或更多，以完成高速操作。如此可達成因爲ＳＯＩ構造之寄生電容降低效果，基於第七實施例之電流強化和在低電壓下顯著的改善汲極導電性等優點。再者，藉由基底浮動效果之消除而可消除臨界電壓變化，且降低感應放大器之操作範圍亦可提高速操作。

參考圖４７，於此顯示應用依照本發明之實施例之半導體裝置之另一例之電路圖。在本例中，邏輯電路裝置使用基於本發明之半導體裝置構成。所示之例爲一複合閘極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（57）

電路，且依照本發明之半導體裝置乃應用至包括ＮＡＮＤ電路和ＮＯＲ電路之邏輯電路中。所示的複合電路適於執行例如Ｖｏｕｔ＝$V_1V_2+V_3V_4$之邏輯操作，且藉由以ＮＡＮＤ電路和ＮＯＲ電路之組合而構成用於此操作之電路，電晶體的數目可降低至１／２。

由於構成本例之半導體裝置之個別半導體裝置乃由基於本發明之半導體裝置所構成，和習知之邏輯電路裝置比較，延遲時間可降低約２０％或更多。如此可達成由於ＳＯＩ構造之寄生電容降低效果，由於第七實施例之電流強化和在低壓下顯著的改善汲極導電性等優點。

以下參考如圖４８所構成之電腦而說明另一應用例。在本例中，本發明之半導體裝置應用至高速大尺寸電腦，其中多數用以處理指令和操作之處理器乃並聯連接。在本例中，爲了使半導體裝置具有高程度的整合性，且比習知構成積體電路之雙極電晶體更便宜，用以處理指令和操作之處理器５００，系統控制單元５０１，和一主記憶體５０２由具有側邊爲１０至３０ｎｍ之本發明之半導體裝置所構成。由複合半導體裝置所形成之用以處理指令和操作之處理器５００，系統控制單元５０１，和資料通信介面５０３封裝在相同陶瓷基底５０６上。資料通信介面５０３和資料通信控制電路５０４封裝在相同陶瓷基底封裝在一基底上，該基底之尺寸由每邊約爲５０ｃｍ或更小之邊所界定，以形成電腦之中央處理單元５０８。在中央處理單元５０８內之資料通信，介於多數中央處理單元間

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（58）

之資料通信和介於資料通信介面５０３和封裝有輸入／輸出處理器５０５之基底５０９間之資料通信乃經由在相反端之箭頭線所指示之光纖５１０而執行。

在此電腦中，用於處理指令和操作之處理器５００，系統控制單元５０１和主記憶５０２乃使用依照本發明之半導體裝置並聯形成，藉此，可有效進行高速操作，且可經由光之介質而執行通信，藉此可確保每秒之指令處理操作之數目可增加至極大的範圍。

應用依照本發明之實施例之半導體裝置之另一例如圖２９所示。在本例中，特別是非同步傳輸型式之訊號傳輸處理裝置（稱爲ＡＴＭ交換器）乃由依照本發明之半導體裝置所構成。在圖４９中，經由光纖在超高速上串列傳輸之資訊訊號受引導至基於本發明之半導體裝置所構成之積體電路（ＢＦＭＬＳＩ），經由用以轉換資訊訊號爲電訊號（Ｏ／Ｅ轉換）和並列電訊號（Ｓ／Ｐ轉換）之單元。藉由積體電路指定位址之電訊號而後串列（Ｐ／Ｓ轉換）和轉換成光訊號（Ｅ／Ｏ轉換），以經由光纖傳送。

ＢＦＭＬＳＩ含有多工器（ＭＵＸ），緩衝記憶（ＢＦＭ）和解多工器（ＤＭＵＸ）。ＢＦＭＬＳＩ由一記憶控制ＬＳＩ和具有控制空位址分佈之功能之ＬＳＩ（空位址ＦＩＦＯ記憶ＬＳＩ）所控制。

本訊號傳輸處理裝置具有切換功能，以傳輸超高速傳輸訊號，此種傳輸無關於位址，因爲在超高速下傳輸已指定至所需位址。ＢＦＭＬＳＩ具有一操作速度，其比輸入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（59）

光訊號之傳輸速度慢，如此無法直接的切換輸入訊號，且因此，使用輸入訊號暫時儲存，且儲存訊號切換之架構，以便轉換成超高速光學訊號，而後傳送至所需位址。和ＢＦＭＬＳＩ之操作速度之緩慢成比例，所需之記憶容量亦會相關的增加。

在依照本發明之ＡＴＭ交換器中，ＢＦＭＬＳＩ由基於本發明之半導體裝置所構成，且操作速度可以低成本增加至習知ＢＦＭＬＳＩ之操作速度之三倍，如此可降低ＢＦＭＬＳＩ之記憶容量至約習知記憶容量之約１／３。藉此，可降低ＡＴＭ交換器之製造成本。

參考圖５０，於此顯示依照本發明之第十八實施例之完成半導體裝置之截面圖。本實施例和第六實施例之不同點在於，取代了離子植入以形成高濃度ｎ型擴散層９１和１０１，本實施例執行在高濃度ｐ型擴散層１１上選擇性的移除矽層和選擇性的設置添加有高濃度ｎ型雜質在空或移除區域中之多晶矽膜。相似的，取代用於形成高濃度ｐ型擴散層９２和１０２之離子植入，在實施例執行選擇性的移除在高濃度ｎ型擴散層１１０上之矽層，和選擇性的設置添加有高濃度ｐ型雜質在移去區域中之多晶矽膜２５。在本實施例中，選擇性設置多晶矽膜２５乃藉由只在矽之曝露表面執行選擇性沉積基於使用材料之低壓化學氣相反應之方法而爲之。除了上述之方法外，亦可使用之方法爲：非晶或多晶矽沉積在整個表面上，ｐ型和ｎ型雜質以高濃度離子植入至所需部份，而後使矽膜定圖樣。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（60）

在本實施例之ＣＭＯＳ中，如同在依照第六實施例之半導體裝置中，相關於任何ｐＭＯＳ和ｎＭＯＳ，不會有伴隨基底浮動效果之各種現象。在依照本實施例之半導體裝置中，藉由多晶膜之晶粒邊界之呈現，可在添加高濃度ｎ型雜質和高濃度ｐ型擴散層１１之多晶矽膜２４間和在添加高濃度ｐ型雜質和高濃度ｎ型擴散層１１０之間之多晶矽膜２５間獲得良好的歐姆特性。如果有需要，多晶矽膜２４和２５可製成相當厚以超過單晶矽膜之表面和到達閘電極之側邊，如此可降低源極電阻率。

參考圖５１，於此顯示依照本發明之另一實施例（第十九實施例）之完成半導體裝置之截面型式。本實施例和第六實施例之不同點在於取代ＳＯＩ基底，本實施例使用如同多晶矽層３且具有６２０μｍ厚之相同規格之單晶矽基底３０當成形成ｐＭＯＳ和ｎＭＯＳ之基底。再者，取代低濃度ｎ型區域３１和低濃度ｐ型區域３，本實施例使用依照已知半導體裝置之製造方法而形成之低濃度ｎ型井３２和低濃度ｐ型井３３。再者，在本實施例中，高濃度ｎ型多晶矽膜４０和鎢膜１２之重疊膜形成在高濃度ｎ型擴散層９１和１０１上，且高濃度ｐ型多晶矽膜４１和鎢膜１２之重疊膜形成在高濃度ｐ型擴散層９２和１０２上。

產業上之應用性

在本實施例之ＣＭＯＳ中，雖然用以供應井電位之電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（61）

極並未安排，伴隨井電位浮動效果之各種現象，例如在臨界電壓上之變化，在任何ｐＭＯＳ和ｎＭＯＳ中並未發現。亦即，對於習知互補ＭＯＳ無法捨棄之井電位固定電極，在本發明中並不需要，如此會導致在晶片佔據區域上之降低。再者，在依照本實施例之半導體裝置中，疊層在源極上之低電阻率多晶膜和鎢膜之疊層膜可有效的降低源極電阻率。

依照本實施例，形成在ＳＯＩ基底之半導體裝置之致命缺點，亦即臨界電壓會改變和由基底浮動效果而產生在電流／電壓特性中之異常葉瓣特性，並非由使用不穩定離子源之Ｇｅ之離子植入和一專屬單元之方法而消除，而是使用已存在之半導體製造設備而消除。因此，依照本發明，可達成對於上述特性之改善，而無需增加半導體製造裝置之佔據區域，和無需增加會伴隨專屬單元之添加而增加之成本。

再者，在ＳＯＩ基底上之ｐＭＯＳ之基底浮動效果（迄今仍無法消除）可經由廉價的製造方法消除。因此，依照本發明，在ＳＯＩ基底上之ＣＭＯＳ之基底浮動效果可經由廉價的製造方法而完全的消除。因此，本發明可提供在低電壓，低能量和在超高速下操作之半導體裝置和由半導體裝置所構成之系統。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體裝置及其製造方法

一種形成在一ＳＯＩ基底上之ＭＯＳ電晶體，其具有一源極擴散層，和一導電型式和源極擴散層相反並具有一再結合中心機構之區域形成在源極擴散層中，藉此，可形成一寄生雙極部份，其使在基底中產生之少數載子注入源極中並消滅。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體裝置，其具有一ＭＯＳ場效電晶體形成在單晶半導體區域之表面上，該單晶半導體區域由一絕緣膜之支持基底所分離，

其中一源極擴散層，包含：

連接至一源電極之第一導電型式之第一擴散層；和

第二導電型式之第二擴散層，其側表面由第一擴散層所圍繞以和外界隔離。

2．如申請專利範圍第1項所述之半導體裝置，其中該第二擴散層具有一頂部，一底部，和相對於一汲極擴散層之側表面，其藉由第一擴散層而和外界隔離。

3．一種半導體裝置，其具有第一導電型式和第二導電型式之ＭＯＳ場效電晶體形成在多數單晶半導體區域之表面上，該多數單晶半導體區域由一絕緣膜在相同支持上互相分離，

其中在該第一導電型式ＭＯＳ場效電晶體中之一源極擴散層，包含：

連接至一源電極之第一導電型式之第一擴散層；和

第二導電型式之一第二擴散層，其側表面由第一擴散層所圍繞以和外界隔離。

4．如申請專利範圍第3項所述之半導體裝置，其中在該第二導電型式ＭＯＳ場效電晶體中之一源極擴散層包含：

連接至該源電極之第二導電型式之第三擴散層；和

第一導電型式之第四擴散層，其側表面由第三擴散層

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

所圍繞，以和外界隔離。

5．如申請專利範圍第3項所述之半導體裝置，其中該第二擴散層具有一頂部，一底部，和相對於一汲極擴散層之側表面，其由該第一擴散層而與外界隔離。

6．如申請專利範圍第4項所述之半導體裝置，其中該第四擴散層具有一頂部，一底部，和相對一汲極擴散層之一側表面，其由第三擴散層而與外界隔離。

7．如申請專利範圍第1或3項所述之半導體裝置，其中在第一和第三擴散層之表面區域中之雜質濃度高於在第二和第四擴散層之側和底部區域之雜質濃度。

8．如申請專利範圍第1或3項所述之半導體裝置，其中歐姆接合形成在第一和第二擴散層間和第三和第四擴散層間。

9．如申請專利範圍第1或3項所述之半導體裝置，其中第二和第四擴散層連接至該源電極。

10．如申請專利範圍第1或3項所述之半導體裝置，其中貫穿阻止機構形成在分離該支持基底和該單晶半導體區域之絕緣膜中。

11．如申請專利範圍第1或3項所述之半導體裝置，其中該MOS場效電晶體形成在單晶半導體基底中，該單晶半導體基底並未與絕緣膜和單晶半導體區域一起形成。

12．如申請專利範圍第1或3項所述之半導體裝置，其中該MOS場效電晶體爲部份空乏型電晶體。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

１３．如申請專利範圍第１或３項所述之半導體裝置，其中該ＭＯＳ場效電晶體爲完全空乏型電晶體。

１４．如申請專利範圍第１或３項所述之半導體裝置，其中該ＭＯＳ場效電晶體之一端連接一電容性元件以形成一單元之一記憶胞。

１５．如申請專利範圍第１或３項所述之半導體裝置，其中該第一和第二電晶體串聯連接形成一對，和一單元之一記憶胞由兩對形成。

１６．如申請專利範圍第１或３項所述之半導體裝置，其中該半導體使用以形成一邏輯電路裝置。

１７．如申請專利範圍第１或３項所述之半導體裝置，其中該半導體裝置使用以形成非同步傳輸模式裝置。

１８．如申請專利範圍第１或３項所述之半導體裝置，其中該半導體裝置使用以形成一處理器裝置。

１９．一種半導體裝置之製造方法，包含之步驟爲：

形成一閘絕緣膜在單晶半導體區域之表面上，該單晶半導體區域由一絕緣膜而與一支持基底分離；

形成一閘電極在該閘絕緣膜上；

藉由使用至少該閘電極當成一植入阻擋掩模，而施加第一導電型雜質之第一離子植入至該單晶半導體區域；

藉由應用熱處理而形成第一ｐｎ接面；

藉由應用第二導電型雜質之第二離子植入，而形成一第二ｐｎ接面，該第二ｐｎ接面位在第一導電型雜質區域中，在第一ｐｎ接面內；和

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

藉由應用第一導電型雜質之第三離子植入而形成一第三ｐｎ接面在第二導電型雜質區域之上部份中。

２０．一種半導體裝置之製造方法，包含之步驟爲：

形成一閘絕緣膜在多數單晶半導體區域之表面上，該多數單晶半導體區域由一絕緣膜而與一支持基底分離，且具有第一和第二導電型式之活性區域；

形成一閘電極在該閘絕緣膜上；

藉由使用至少該閘電極當成植入阻止掩模，而施加第一導電型式雜質之第一離子植入至第二導電型式之單晶半導體區域；

藉由應用熱處理而形成第一ｐｎ接面；

藉由應用第二導電型雜質之第二離子植入，而形成一第二ｐｎ接面，該第二ｐｎ接面位在第一導電型雜質區域中，在第一ｐｎ接面內；和

藉由應用第一導電型雜質之第三離子植入而形成一第三ｐｎ接面在第二導電型雜質區域之上部份中；

藉由使用至少該閘電極當成一植入阻扯掩模，而施加該第二導電型雜質之第四離子植入至第一導電型之單晶半導體區域；

藉由使用一熱處理而形成第四ｐｎ接面；

藉由應用第一導電型雜質之第五離子植入，而形成一第五ｐｎ接面，該第五ｐｎ接面位在第二導電型雜質區域中，在第四ｐｎ接面內；和

藉由應用第二導電型雜質之第六離子植入而形成一第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

六ｐｎ接面在第一導電型雜質區域之上部份中。

２１．如申請專利範圍第１９或２０項所述之半導體裝置之製造方法，其中該活性區域形成在未與絕緣膜和單晶半導體區域一起形成之單晶半導體基底之主表面中。

２２．如申請專利範圍第１９或２０項所述之半導體裝置之製造方法，其中形成第一導電型式之一多晶半導體膜以取代該第三離子植入，和形成第二導電型式之多晶半導體膜以取代該第六離子植入。

２３．如申請專利範圍第１９或２０項所述之半導體裝置之製造方法，其中執行該離子植入以使介於第二和第三擴散層間之接面和介於第五和第六擴散層間之接面形成歐姆接面。

２４．如申請專利範圍第１９或２０項所述之半導體裝置之製造方法，進一步包含之步驟爲：連接該第二和第三擴散層和第一導電型式之ＭＯＳ場效電晶體之一源電極，和連接該第五和第六擴散層和第二導電型式之ＭＯＳ場效電晶體之一源電極。

２５．如申請專利範圍第１９或２０項所述之半導體裝置之製造方法，進一步包含之步驟爲：形成單晶或多晶半導體層在形成第一至第三ｐｎ接面之一單晶半導體區域上，或在形成第一至第六ｐｎ接面之一單晶半導體區域上。

２６．如申請專利範圍第１９項所述之半導體裝置之製造方法，進一步包含之步驟爲：在連接接線電極之步驟

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之前，形成導電金屬膜，其整體覆蓋單晶或多晶半導體區域之表面，該單晶或多晶半導體區域形成有第一至第三ｐｎ接面，或整體的覆蓋形成有第一至第六ｐｎ接面之單晶或多晶半導體區域之表面。

２７．一種半導體裝置，其具有一ＭＯＳ場效電晶體形成在單晶半導體區域之表面中，該單晶半導體區域由一絕緣膜而和一支持基底分離，

其中該電晶體之一源極擴散層具有第一導電型式之第一雜質區域連接至該電晶體之源電極，和第二導電型式之第二雜質區域，其具有一側表面由至少第一導電型式之擴散層所圍繞並連續至第一雜質區域之底部，且該第二雜質區域作用當成一再結合中心。

２８．如申請專利範圍第２７項所述之半導體裝置，其中該再結合中心根據轉換位置，顆粒邊界或非晶構造。

２９．如申請專利範圍第２７項所述之半導體裝置，其中該第二雜質區域具有高雜質濃度。

３０．如申請專利範圍第２７項所述之半導體裝置，其中該第一雜質區域由多晶或非晶層所構成。

３１．如申請專利範圍第２７項所述之半導體裝置，其中第一導電型雜質區域連續的形成至該第二雜質區域之另一側表面。

３２．如申請專利範圍第２８項所述之半導體裝置，其中第一導電型雜質區域連續的形成至該第二雜質區域之底部。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

33．一種半導體裝置，其具有一互補ＭＯＳ場效電晶體含有第一和第二電晶體，且形成在單晶半導體區域之表面中，該單晶半導體區域以一絕緣膜和一支持基底分離，

其中該第一電晶體之一源極擴散層具有第一導電型式之第一雜質區域連接至該第一電晶體之源電極，和第二導電型式之第二雜質區域，其具有一側表面由至少第一導電型式之擴散層所圍繞並連續至第一雜質區域之底部，且該第二雜質區域作用當成一再結合中心，該第二電晶體之一源極擴散層具有第二導電型式之第三雜質區域連接至該第二電晶體之源電極，和第一導電型式之第四雜質區域，其具有一側表面由至少第二導電型式之擴散層所圍繞並連續至第三雜質區域之底部，且該第四雜質區域作用當成一再結合中心。

34．如申請專利範圍第27至33項所述之半導體裝置，其中該電晶體具有一節點和一電容性元件連接以形成一單元之一記憶胞。

35．如申請專利範圍第33項所述之半導體裝置，其中該第一和第二電晶體互相連接在一起以形成一對，和一單元之一記憶胞由兩對所形成。

36．如申請專利範圍第27至33項所述之半導體裝置，其中該半導體裝置使用於一邏輯電路裝置。

37．如申請專利範圍第27至33項所述之半導體裝置，其中該半導體裝置使用於一非同步傳輸模式裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

38．如申請專利範圍第27至35項所述之半導體裝置，其中該半導體裝置使用於一處理器裝置。

39．一種半導體裝置，其具有一MOS場效電晶體形成在單晶半導體區域之表面中，該單晶半導體區域由一絕緣膜而和一支持基底分離，

其中該電晶體之源極擴散層包含高濃度雜質區域連接至該電晶體之源電極和低濃度雜質區域鄰近高濃度雜質區域，和一作用當成一再結合中心之一再結合中心區域形成在該低濃度雜質區域中。

40．一種半導體裝置，其具有一互補MOS場效電晶體含有第一和第二電晶體，且形成在單晶半導體區域之表面中，該單晶半導體區域以一絕緣膜和一支持基底分離，

其中該第一電晶體之一源極擴散層具有一第一雜質區域，包含第一導電型式之第一高濃度雜質區域連接至該第一電晶體之源電極和第一導電型式之低濃度雜質區域鄰近第一高濃度雜質區域，和第二導電型式之第二雜質區域連續至第一雜質區域之底部，第二電晶體之一源極擴散區域由連接至第二電晶體之源電極之第二導電型式之第二高濃度雜質區域和相鄰第二高濃度雜質區域之第二導電型式之第二低濃度雜質區域所構成，且當成再結合中心之再結合中心區域經由相同的處理而形成在第一和第二低濃度雜質區域中。

41．如申請專利範圍第39至40項所述之半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

裝置，其中該低濃度雜質區域下疊該高濃度雜質區域，並連續至該絕緣膜，和該再結合中心區域亦連接至該絕緣膜。

42．如申請專利範圍第39至40項所述之半導體裝置，其中該低濃度雜質區域具有最大雜質濃度爲$1\times10^{15}/cm^3$或更大和$1\times10^{18}/cm^3$或更小。

43．如申請專利範圍第39或40項所述之半導體裝置，其中該再結合中心根據轉換位置，顆粒邊界或非晶構造。

44．如申請專利範圍第39至40項所述之半導體裝置，其中該電晶體具有一節點和一電容性元件連接以形成一單元之一記憶胞。

45．如申請專利範圍第40項所述之半導體裝置，其中該第一和第二電晶體互相連接在一起以形成一對，和一單元之一記憶胞由兩對所形成。

46．如申請專利範圍第39至40項所述之半導體裝置，其中該半導體裝置使用於一邏輯電路裝置。

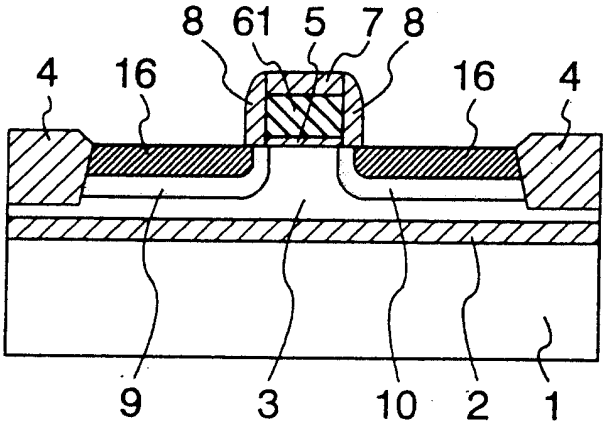
47．如申請專利範圍第39至40項所述之半導體裝置，其中該半導體裝置使用於一非同步傳輸模式裝置。

48．如申請專利範圍第39至40項所述之半導體裝置，其中該半導體裝置使用於一處理器裝置。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

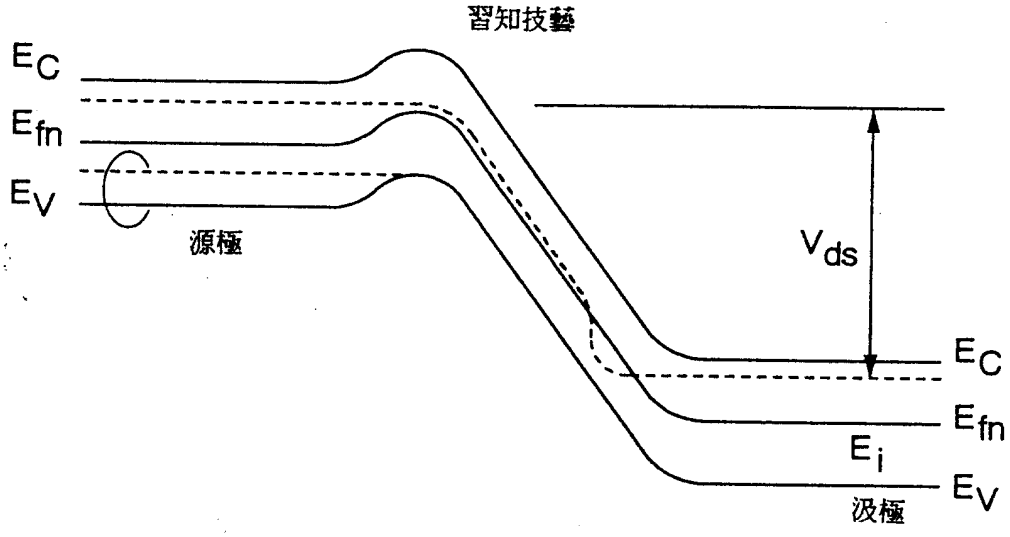
第1圖

習知技藝

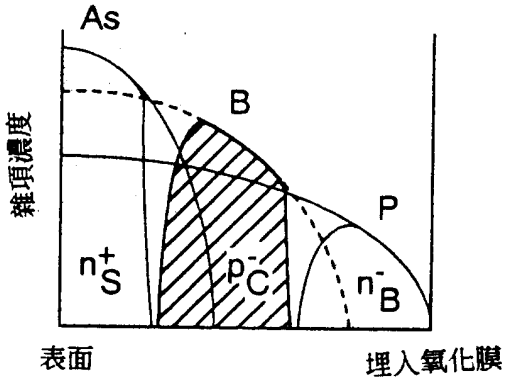


第2圖

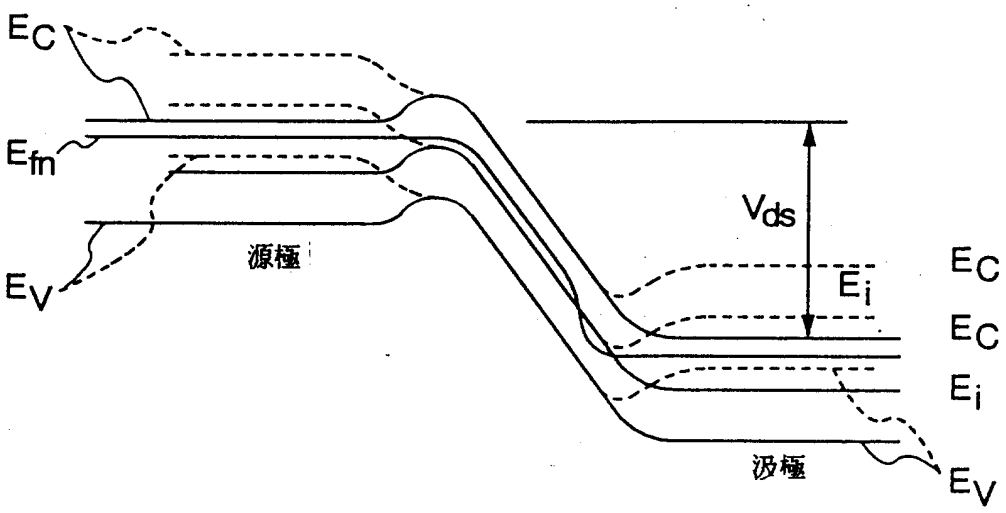
習知技藝



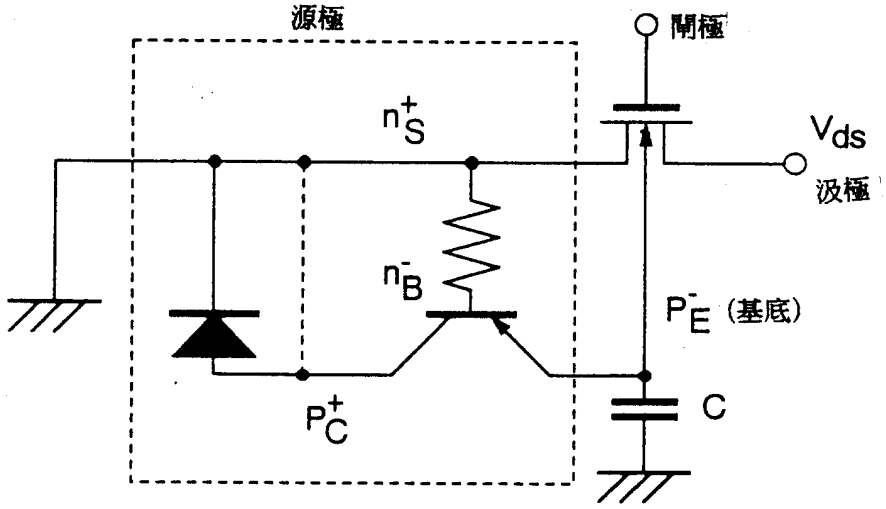
第3圖



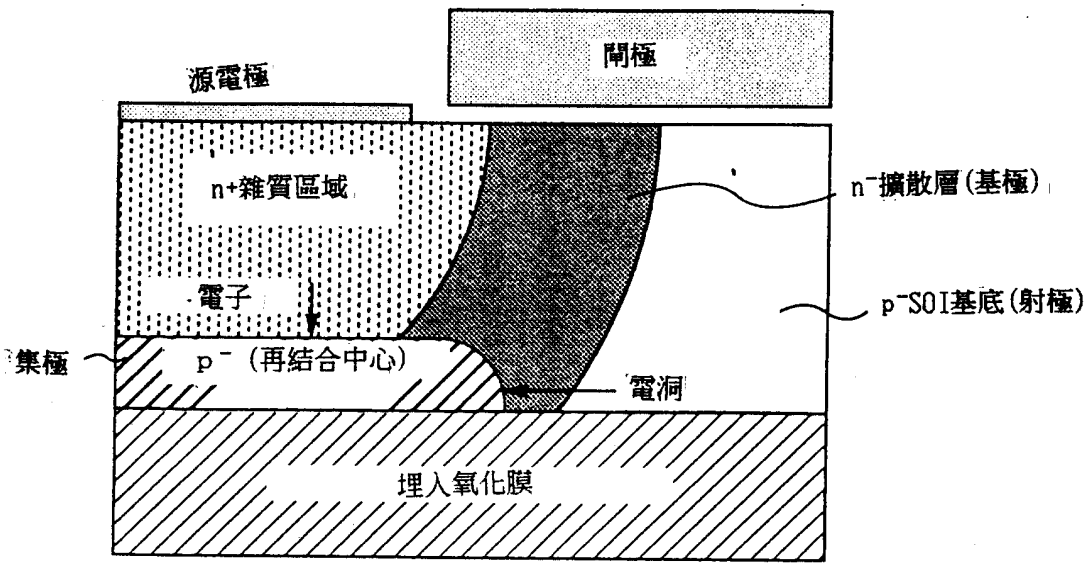
第 4 圖A



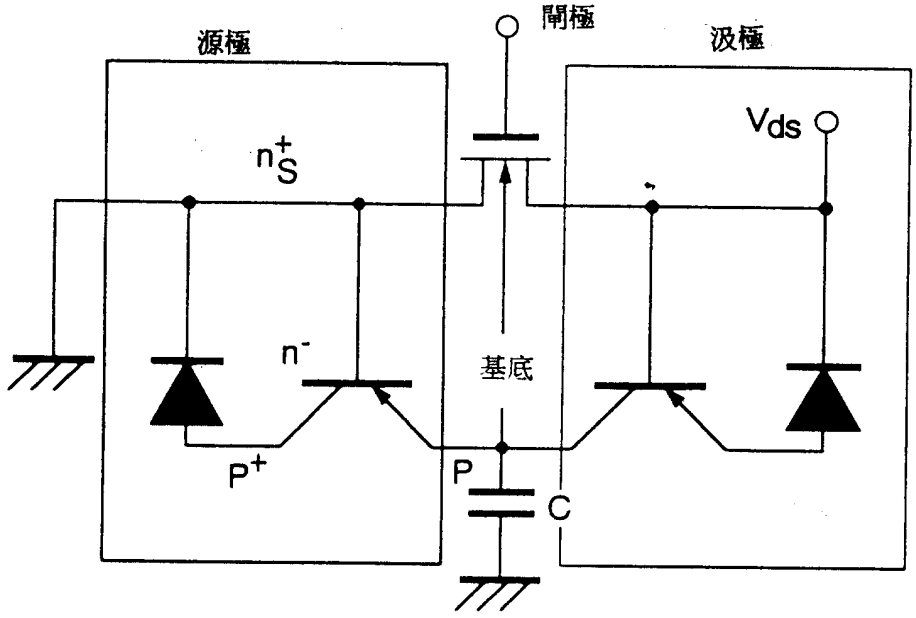
第 4 圖B



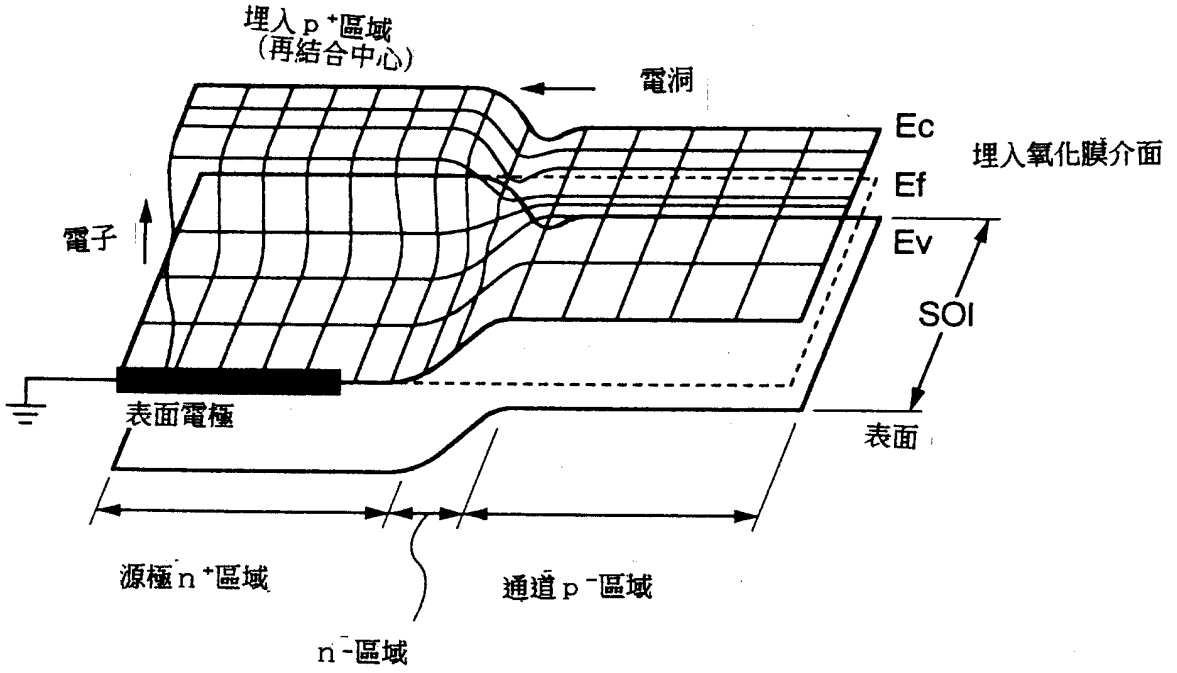
第 5 圖A


閘極
源電極
n+雜質區域
n⁻擴散層(基極)
電子
p⁻SOI基底(射極)
集極
p⁻ (再結合中心)
電洞
埋入氧化膜

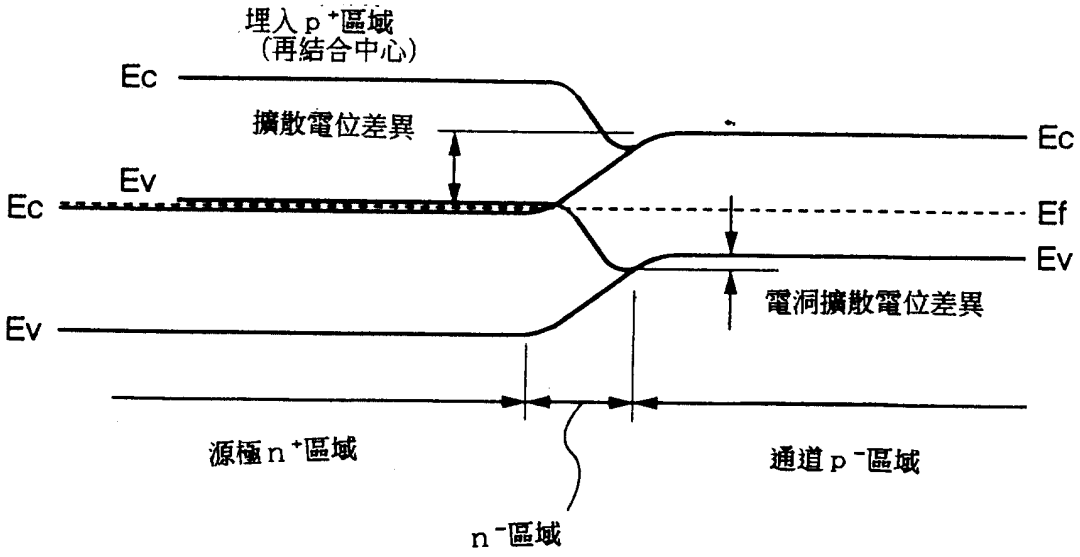
第 5 圖B


閘極
源極
汲極
Vds
n+S
n⁻
基底
P+
P
C

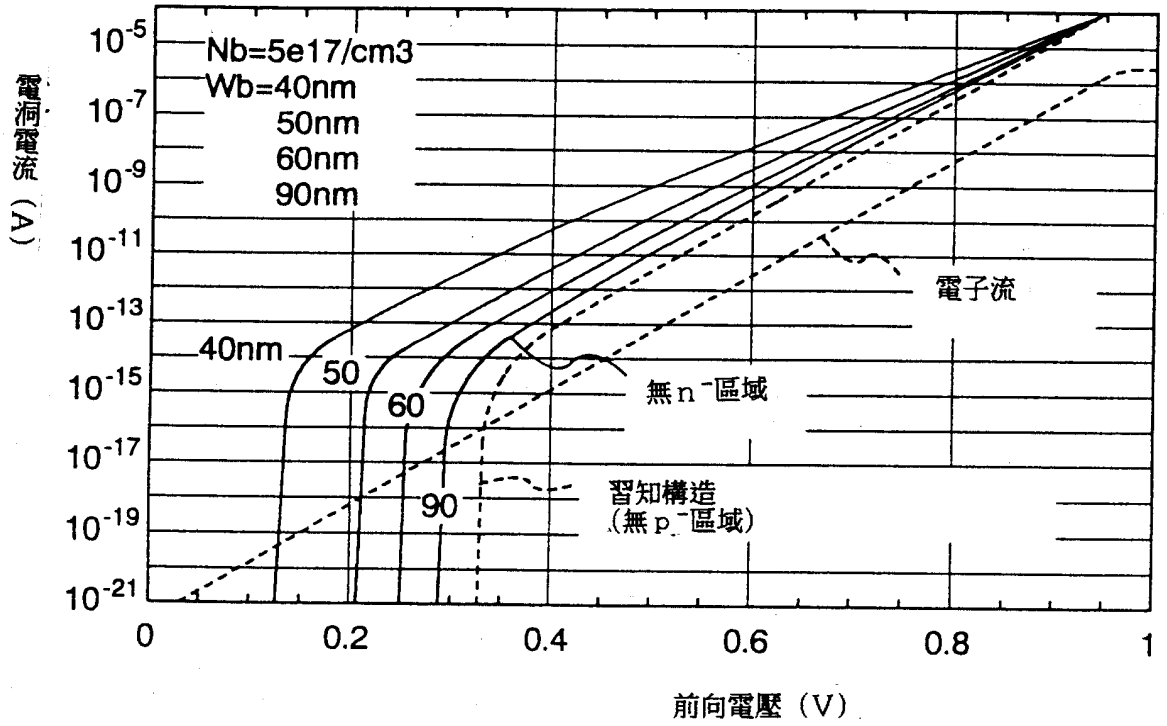
第 6 圖A


埋入 p⁺區域
(再結合中心)
電洞
Ec
埋入氧化膜介面
Ef
電子
Ev
SOI
表面電極
表面
源極 n⁺區域
通道 p⁻區域
n⁻區域

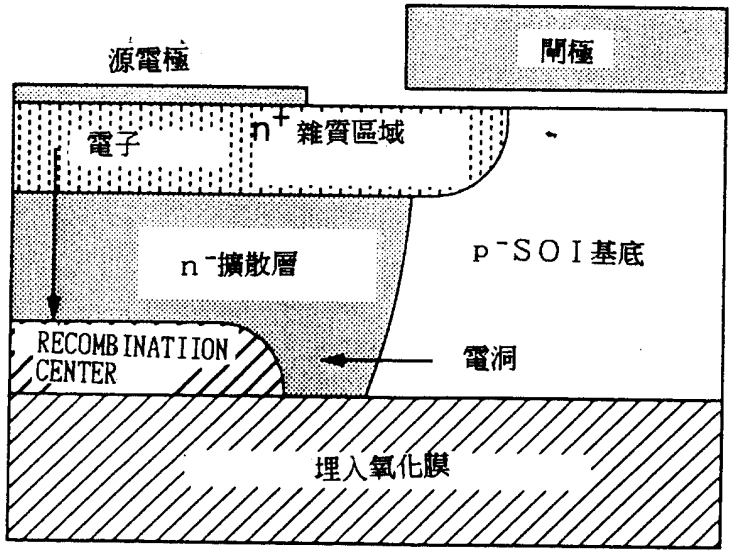
第 6 圖B


埋入 p⁺區域
(再結合中心)
Ec
擴散電位差異
Ec
Ev
Ec
Ef
Ev
電洞擴散電位差異
Ev
源極 n⁺區域
通道 p⁻區域
n⁻區域

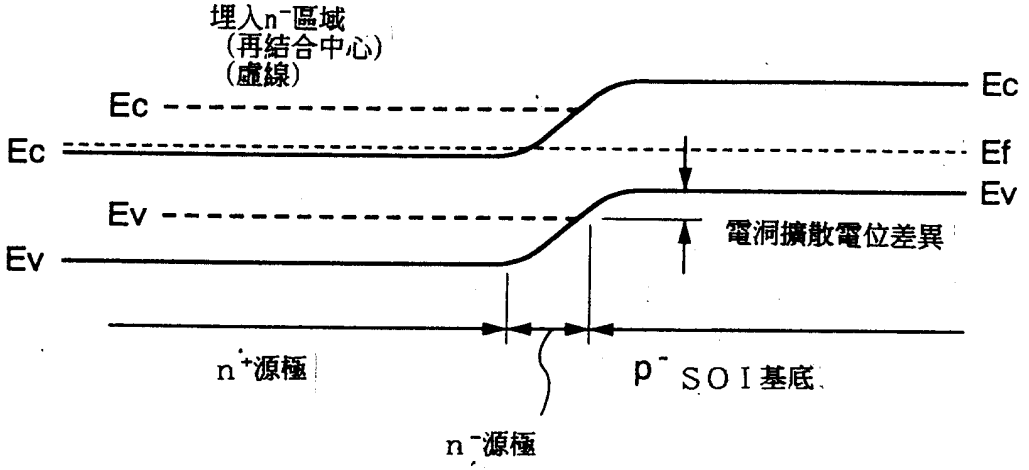
第7圖


電洞電流（A）
Nb=5e17/cm3
Wb=40nm
50nm
60nm
90nm
40nm
50
60
90
電子流
無n⁻區域
習知構造
(無p⁻區域)
前向電壓（V）

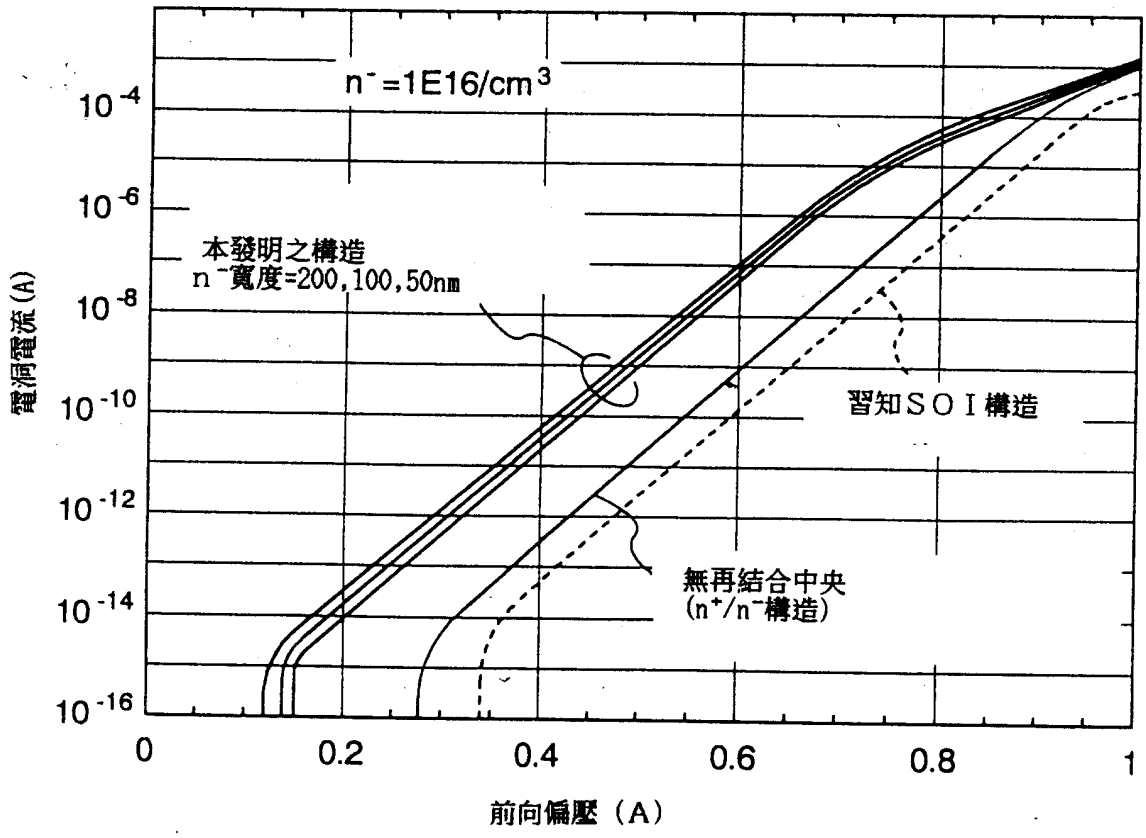
第8圖


源電極
閘極
電子
n⁺ 雜質區域
n⁻擴散層
p⁻SOI基底
RECOMBINATION CENTER
電洞
埋入氧化膜

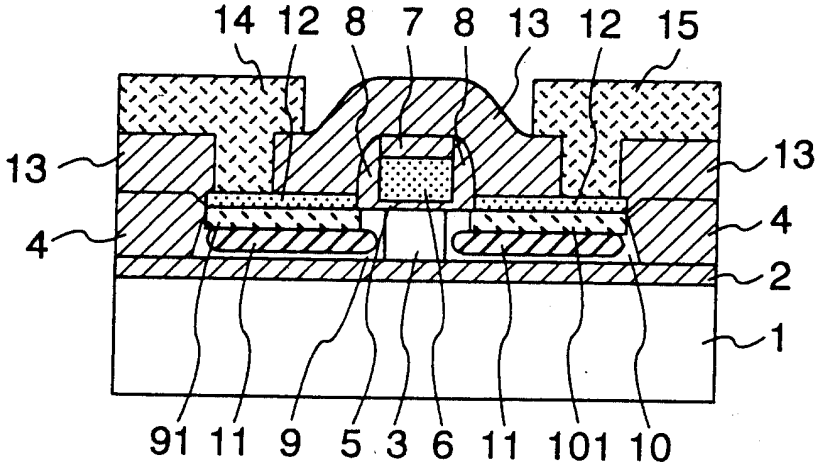
第 9 圖


埋入n⁻區域
(再結合中心)
(虛線)
Ec
Ec
Ef
Ev
Ev
電洞擴散電位差異
n⁺源極
p⁻ SOI基底
n⁻源極

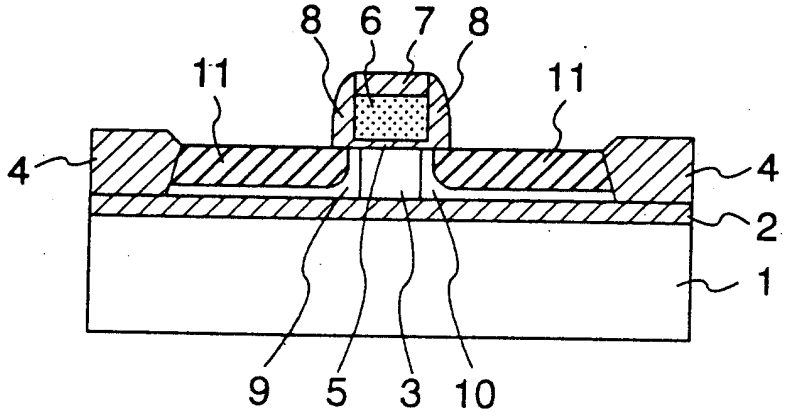
第10圖


n⁻=1E16/cm³
本發明之構造
n⁻寬度=200,100,50nm
習知SOI構造
無再結合中央
(n⁺/n⁻構造)
電洞電流(A)
10⁻⁴
10⁻⁶
10⁻⁸
10⁻¹⁰
10⁻¹²
10⁻¹⁴
10⁻¹⁶
0
0.2
0.4
0.6
0.8
1
前向偏壓（A）

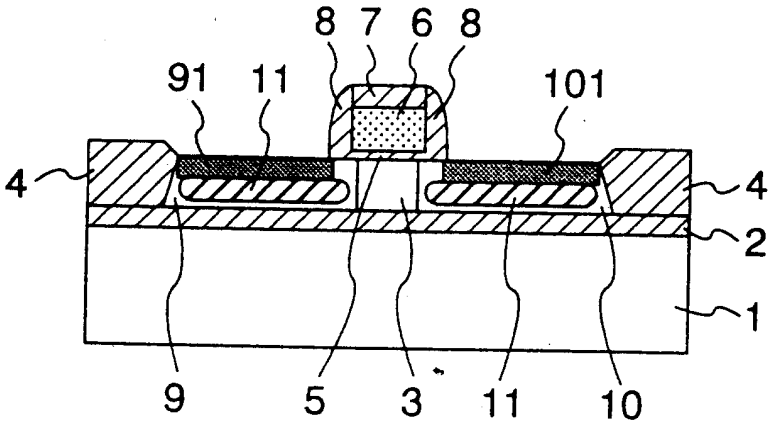
第11圖



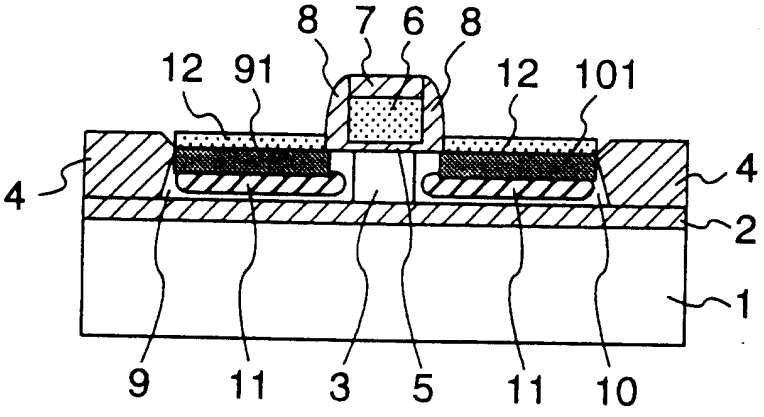
第12圖



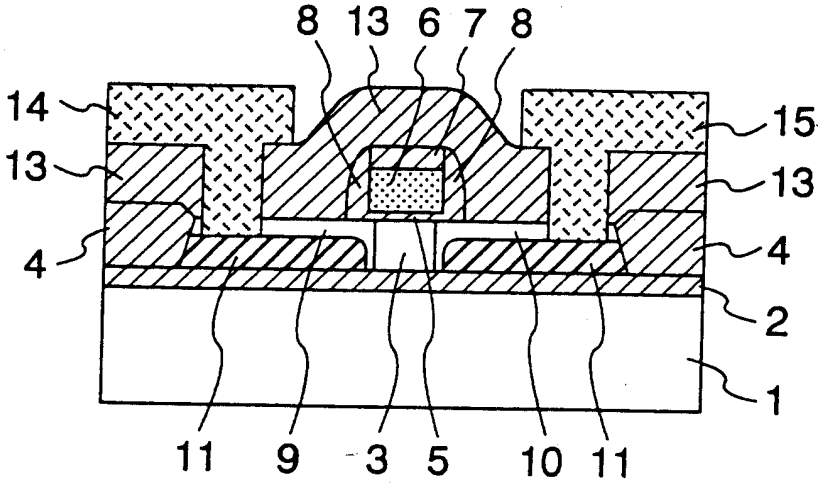
第13圖



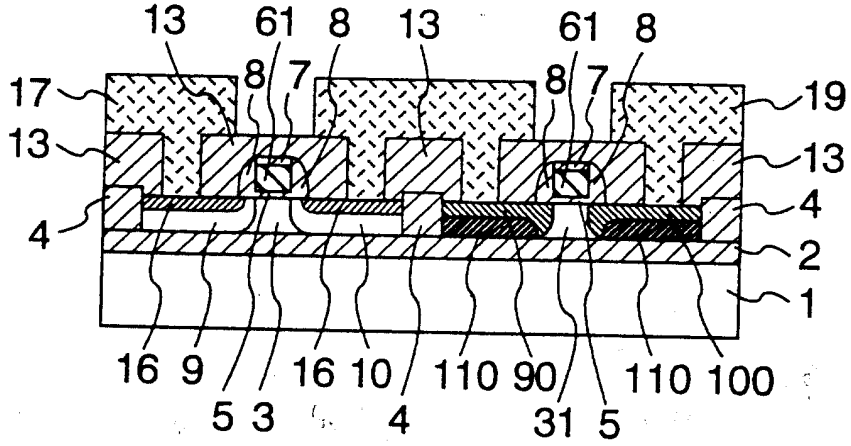
第14圖



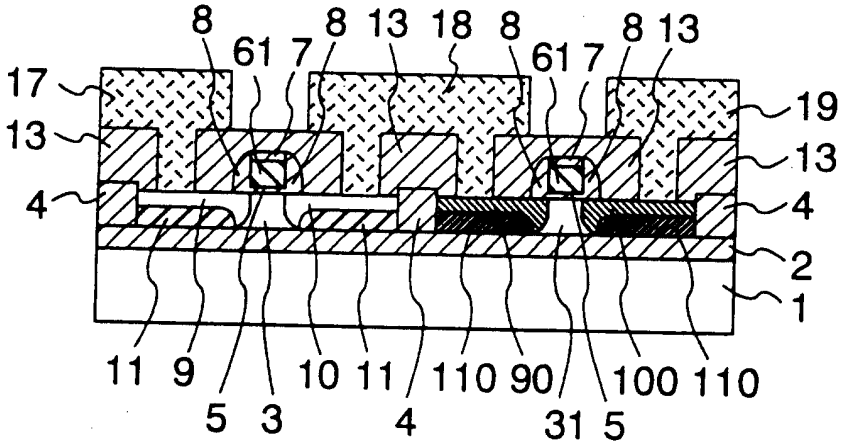
第15圖



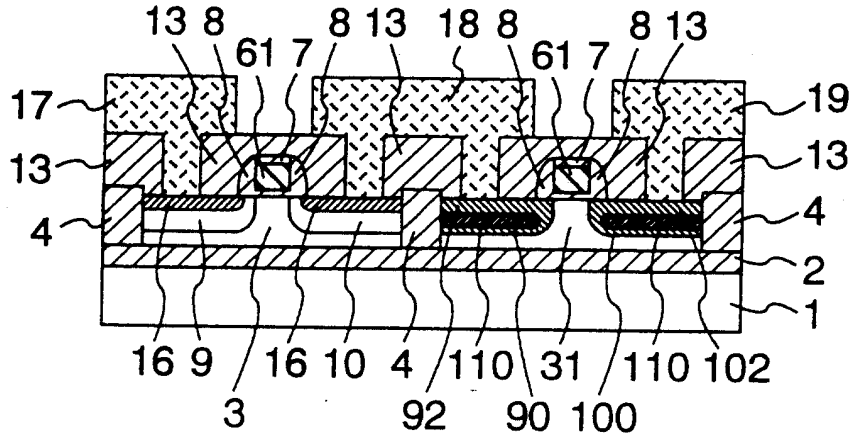
第16圖



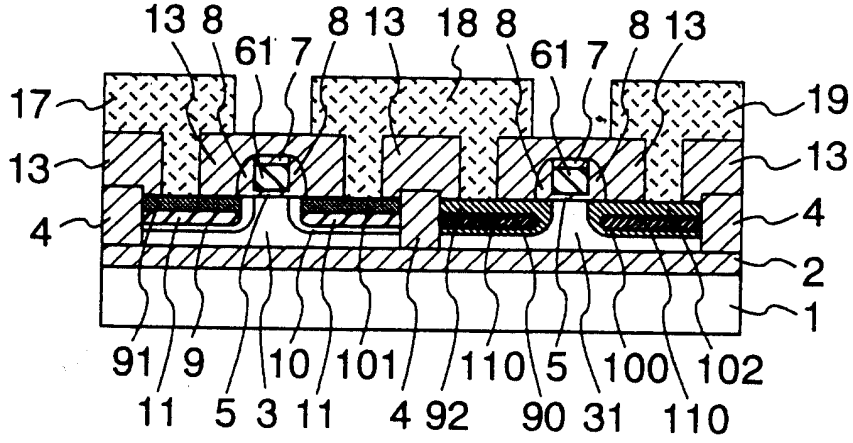
第17圖



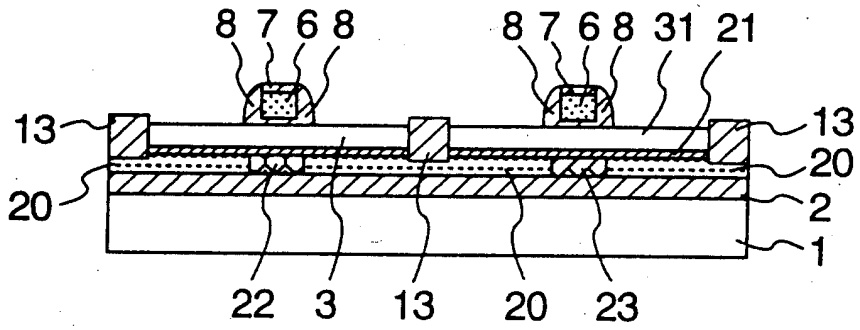
第18圖


13 8
61 7
8 13
18 8
61 7
8 13
17
19
13
13
4
4
2
1
16 9
16 10
4
110
31
110 102
3
92
90 100

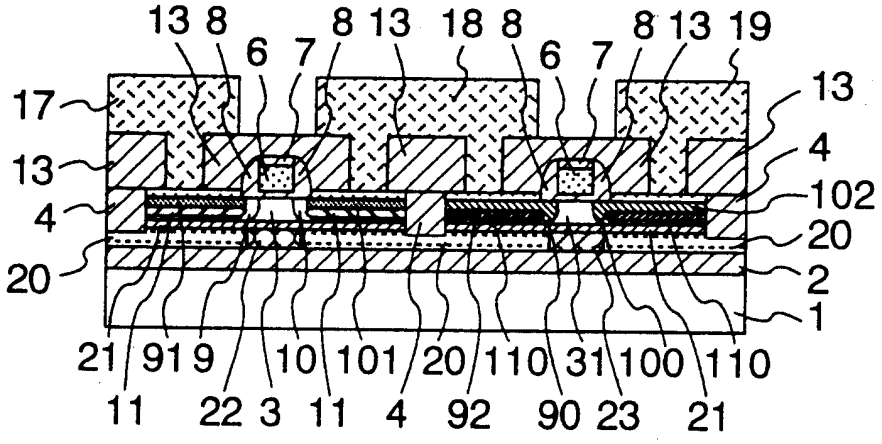
第19圖


13 8
61 7
8 13
18 8
61 7
8 13
17
19
13
13
4
4
2
1
91
9
10
101
110
5
100
102
11
5
3
11
4
92
90
31
110

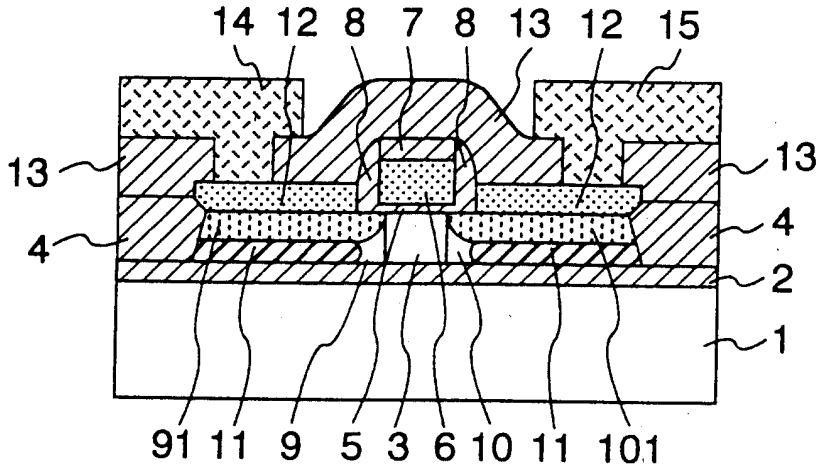
第20圖


8 7 6 8
8 7 6 8 31 21
13
13
20
20
2
1
22 3 13 20 23

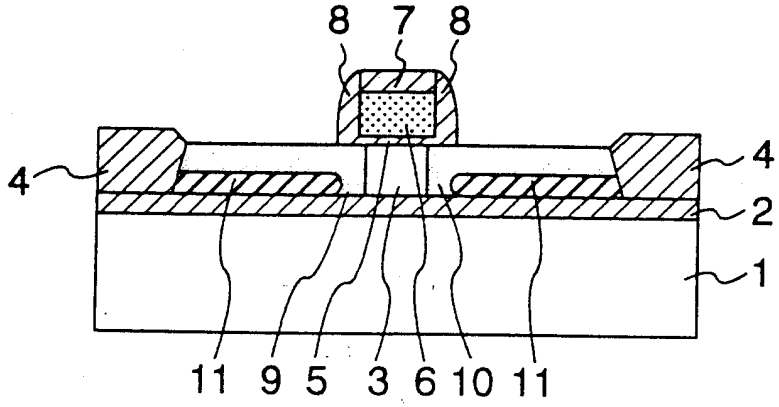
第21圖


13 8
6 7
8 13
18 8
6 7
8 13 19
17
13
13
4
4
102
20
20
2
1
21 91 9
10 101 20 110 31 100 110
11 22 3 11 4 92 90 23 21

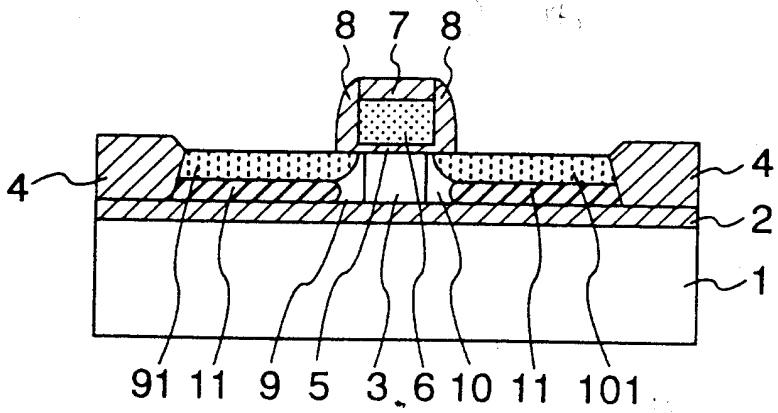
第22圖



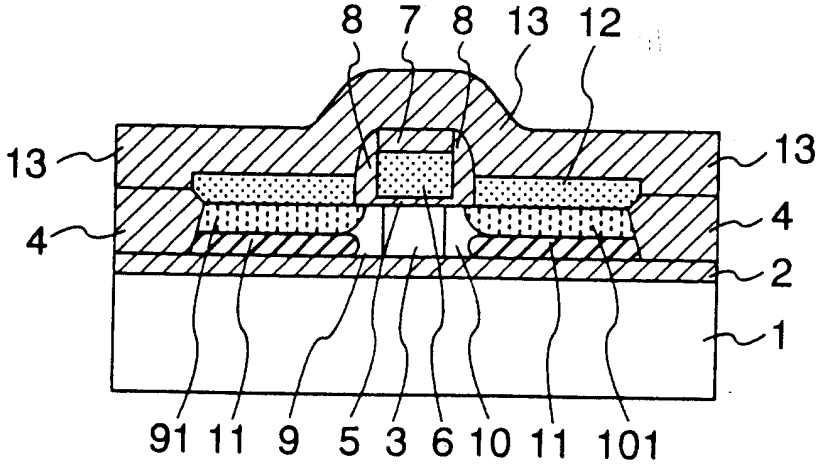
第23圖



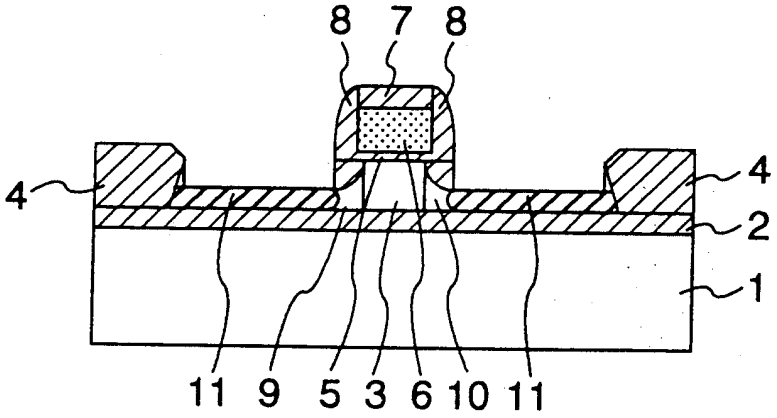
第24圖



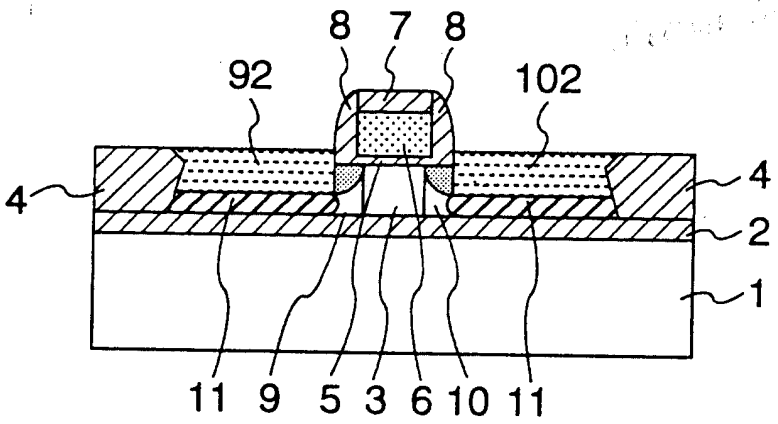
第25圖



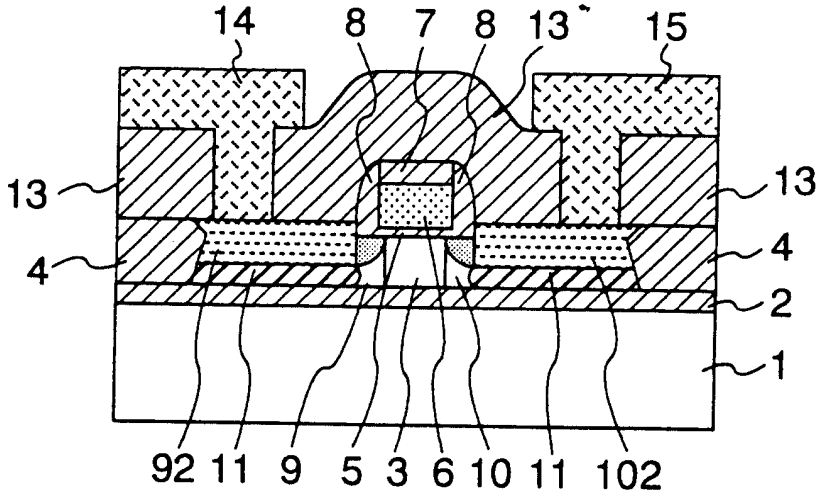
第26圖



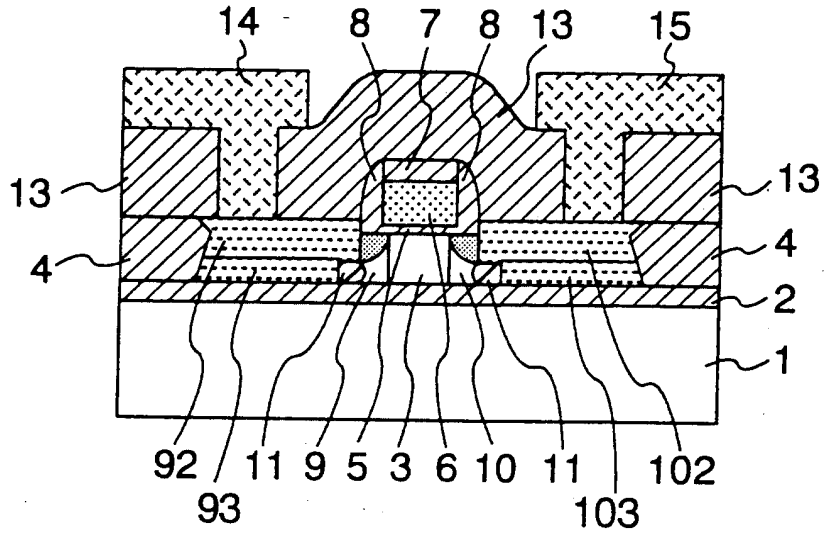
第27圖



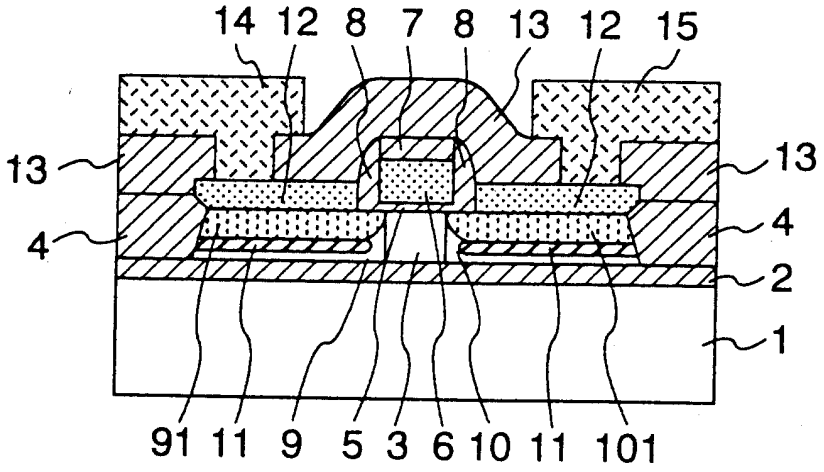
第28圖



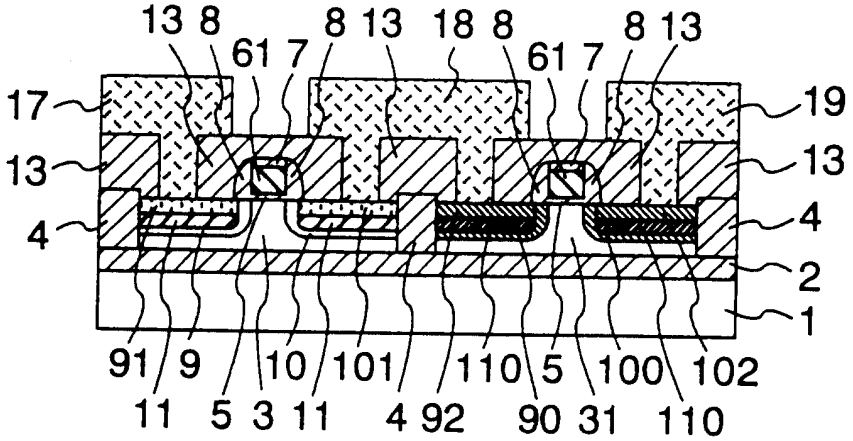
第29圖



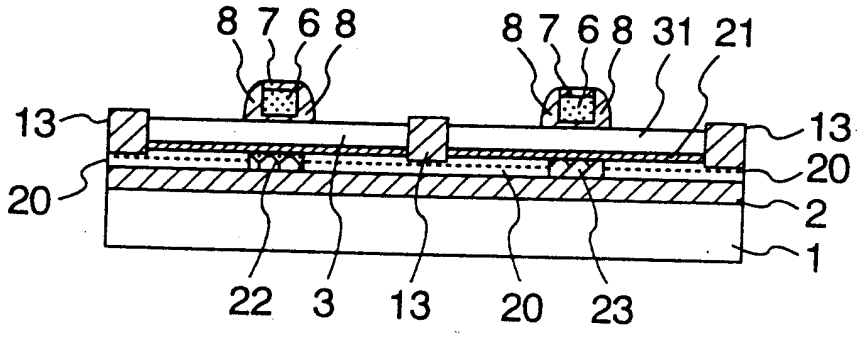
第30圖



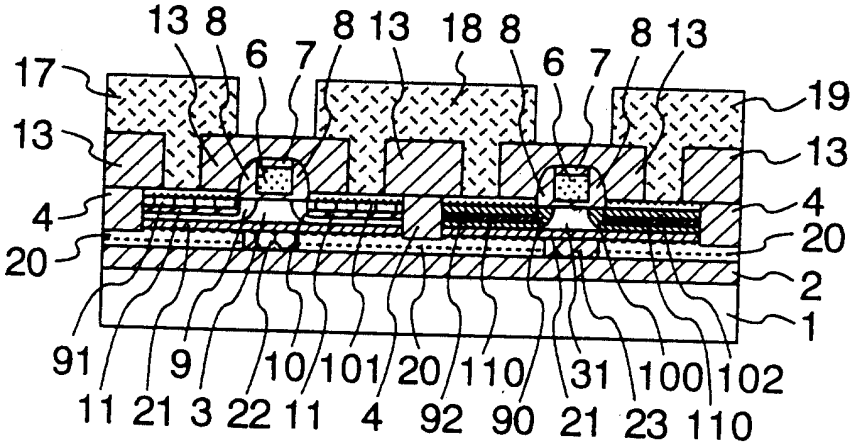
第31圖



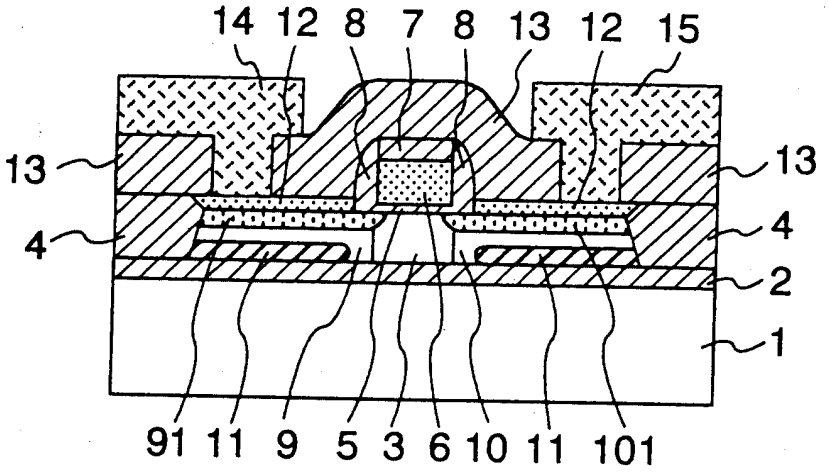
第32圖


8 7 6 8
8 7 6 8 31 21
13
20
13
20
2
1
22 3 13 20 23

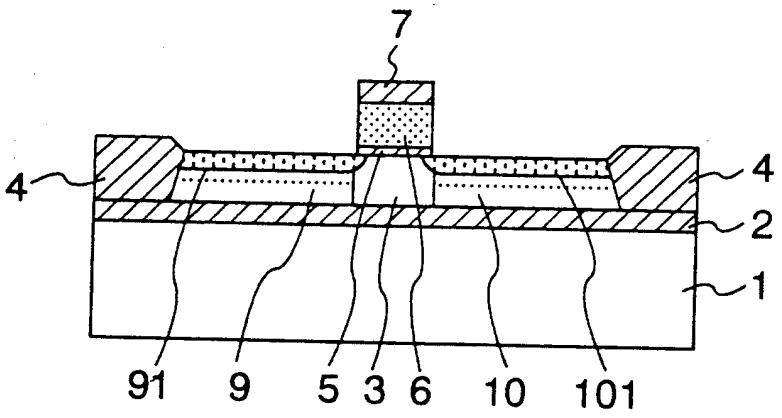
第33圖


13 8
6 7
8 13
18 8
6 7
8 13
17
13
4
20
19
13
4
20
2
1
91 9 10 101 20 110 31 100 102
11 21 3 22 11 4 92 90 21 23 110

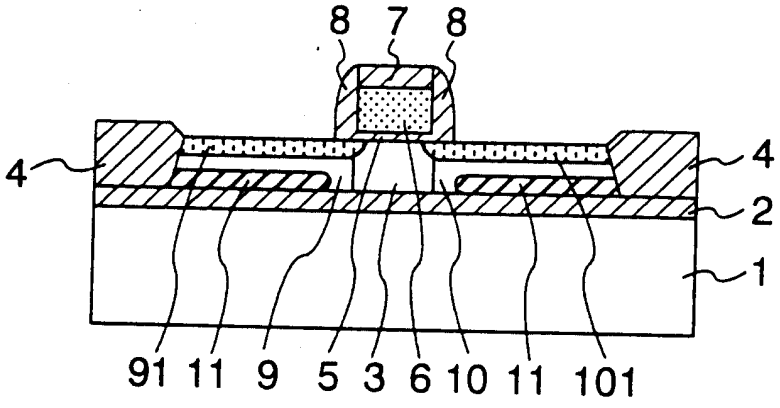
第34圖



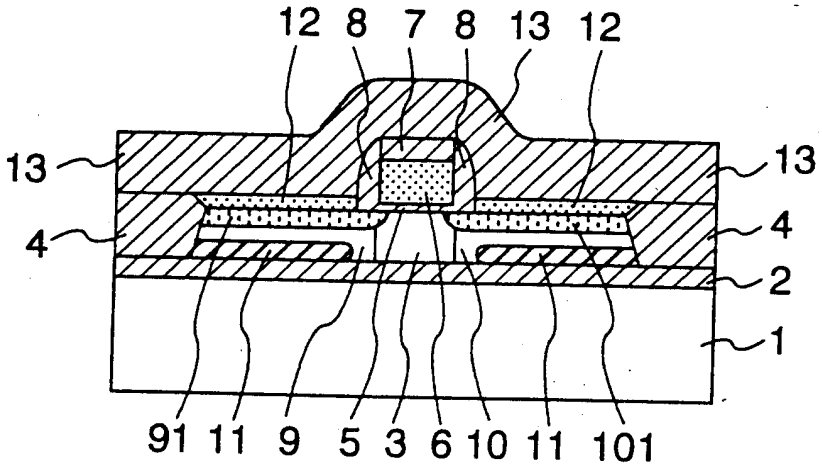
第35圖



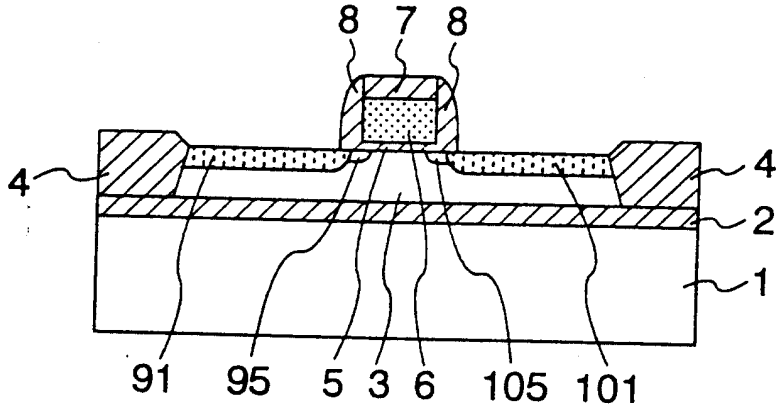
第36圖



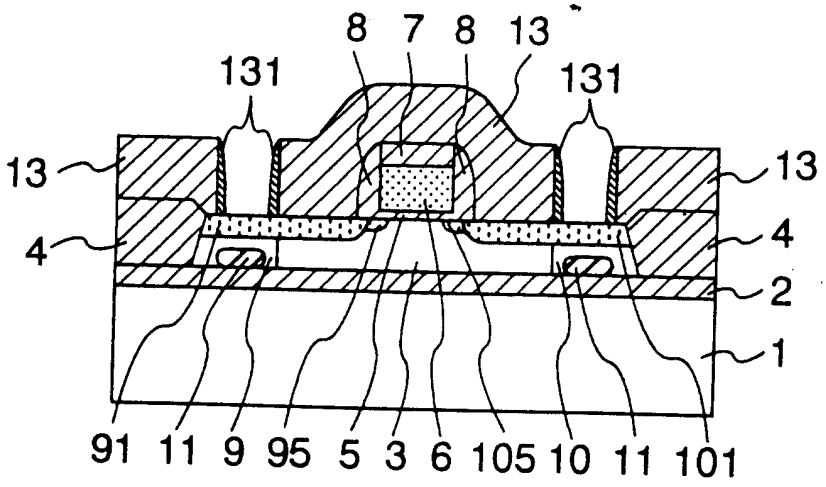
第37圖



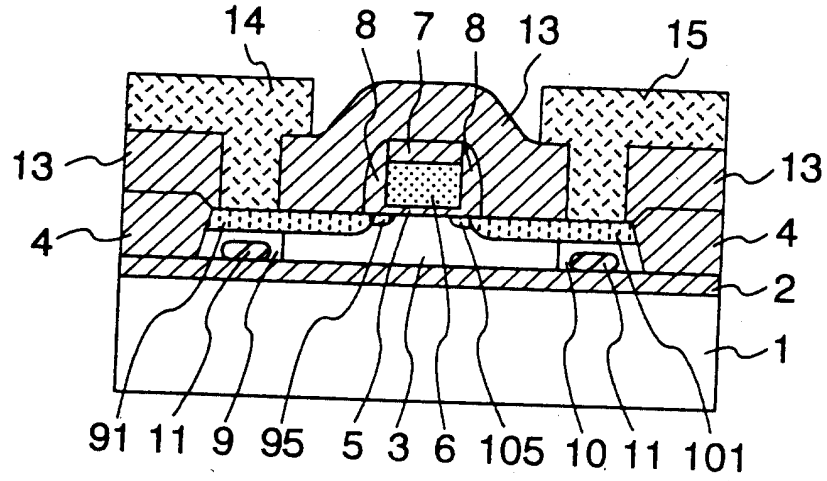
第38圖



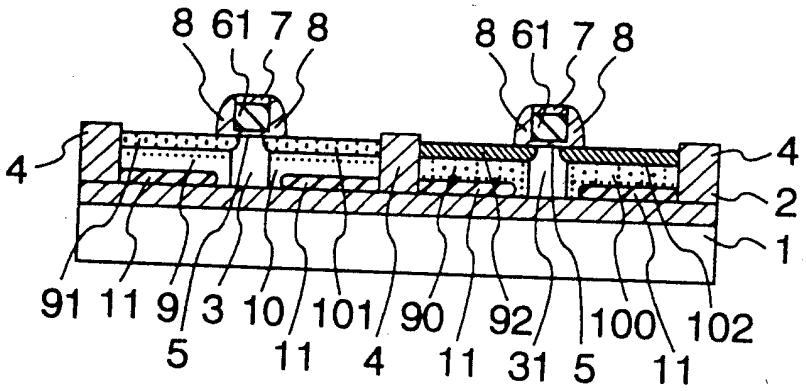
第39圖



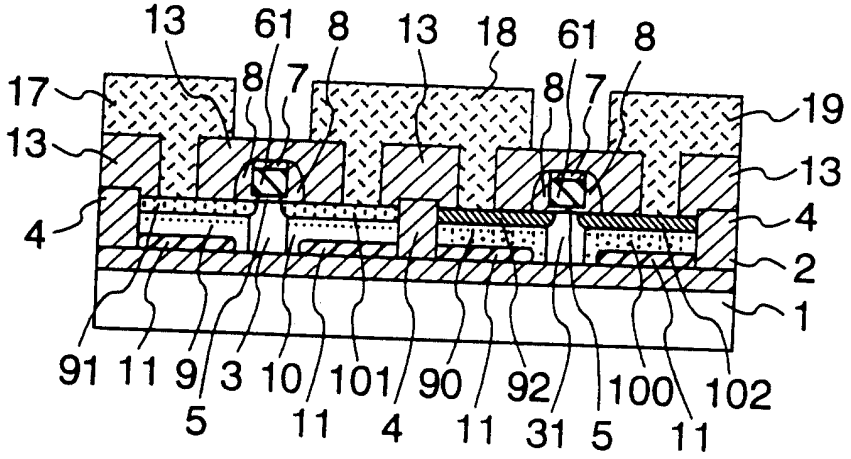
第40圖



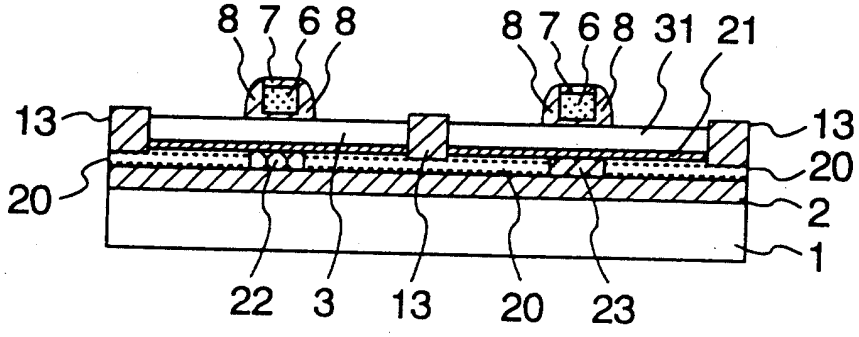
第41圖



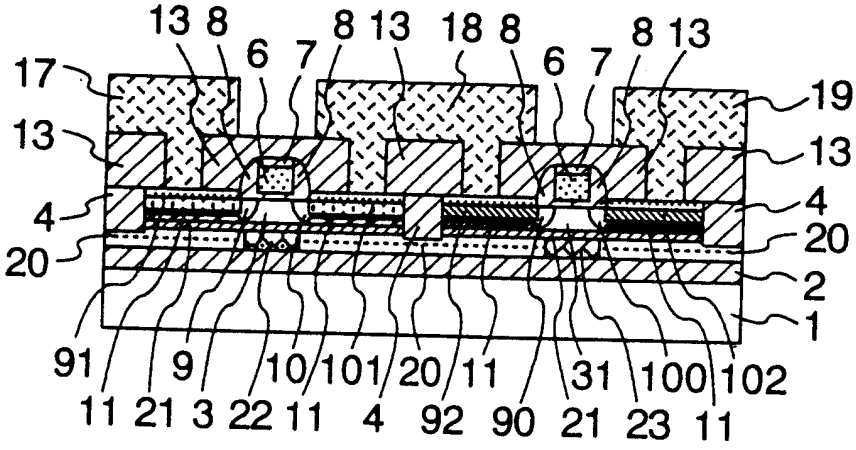
第42圖



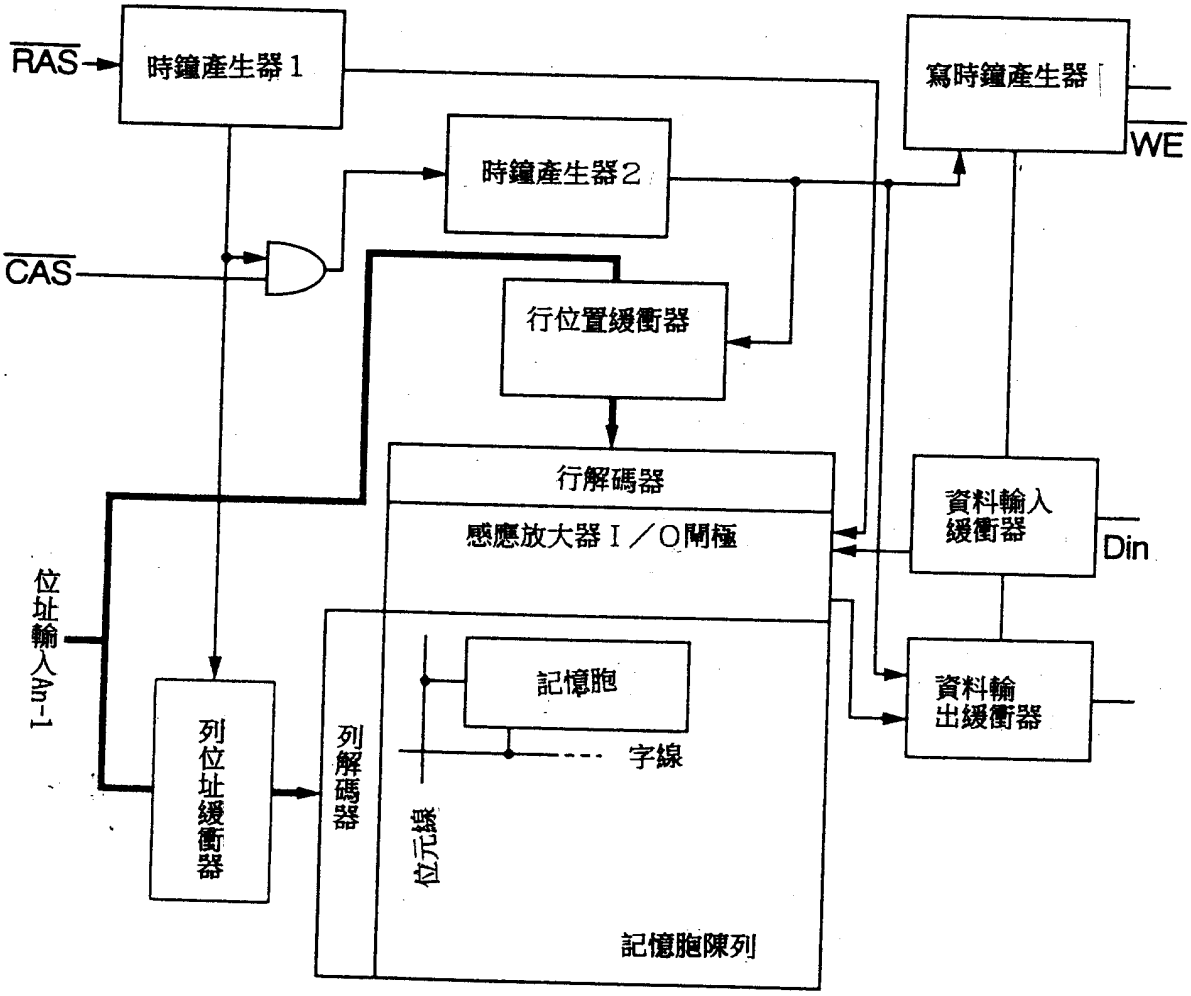
第43圖


8 7 6 8
8 7 6 8 31 21
13
20
13
20
2
1
22 3 13 20 23

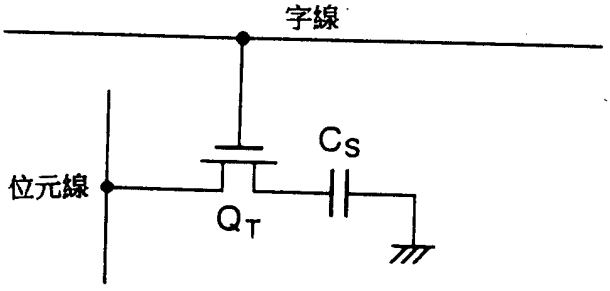
第44圖


13 8
8 13 18 8
8 13
17
19
13
13
4
4
20
20
2
1
91 9 10 101 20 11 31 100 102
11 21 3 22 11 4 92 90 21 23 11

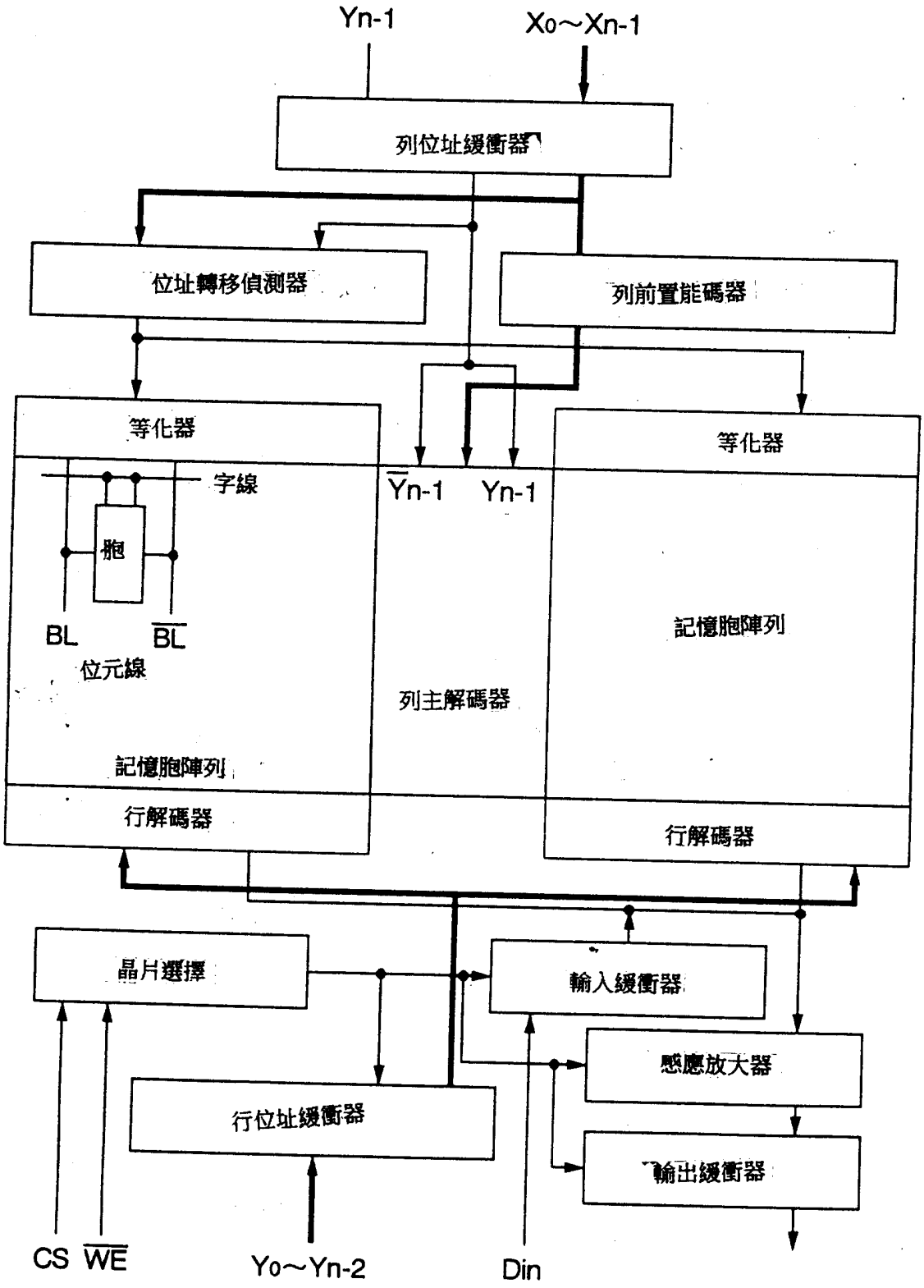
第45圖A


RAS
時鐘產生器1
寫時鐘產生器
WE
時鐘產生器2
CAS
行位置緩衝器
行解碼器
感應放大器I／O閘極
資料輸入
緩衝器
Din
位址輸入An-1
記憶胞
資料輸
出緩衝器
列位址緩衝器
列解碼器
字線
位元線
記憶胞陳列

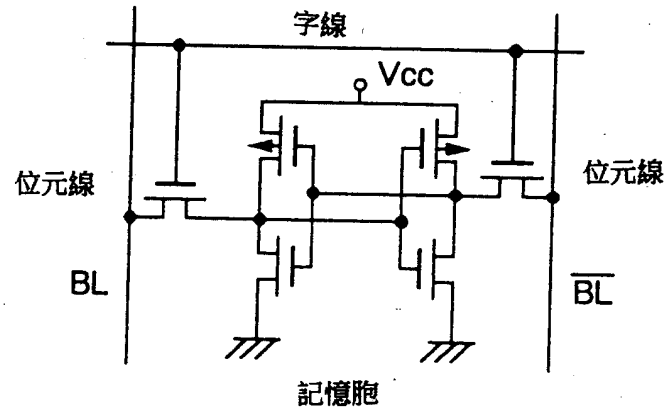
第45圖B


字線
位元線
Cs
QT

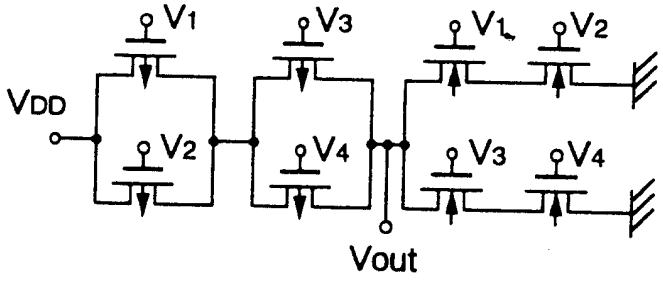
第46圖A


Yn-1
X0～Xn-1
列位址緩衝器
位址轉移偵測器
列前置能碼器
等化器
等化器
字線
胞
BL
BL
位元線
Yn-1
Yn-1
記憶胞陣列
列主解碼器
記憶胞陣列
行解碼器
行解碼器
晶片選擇
輸入緩衝器
感應放大器
行位址緩衝器
輸出緩衝器
CS
WE
Y0～Yn-2
Din

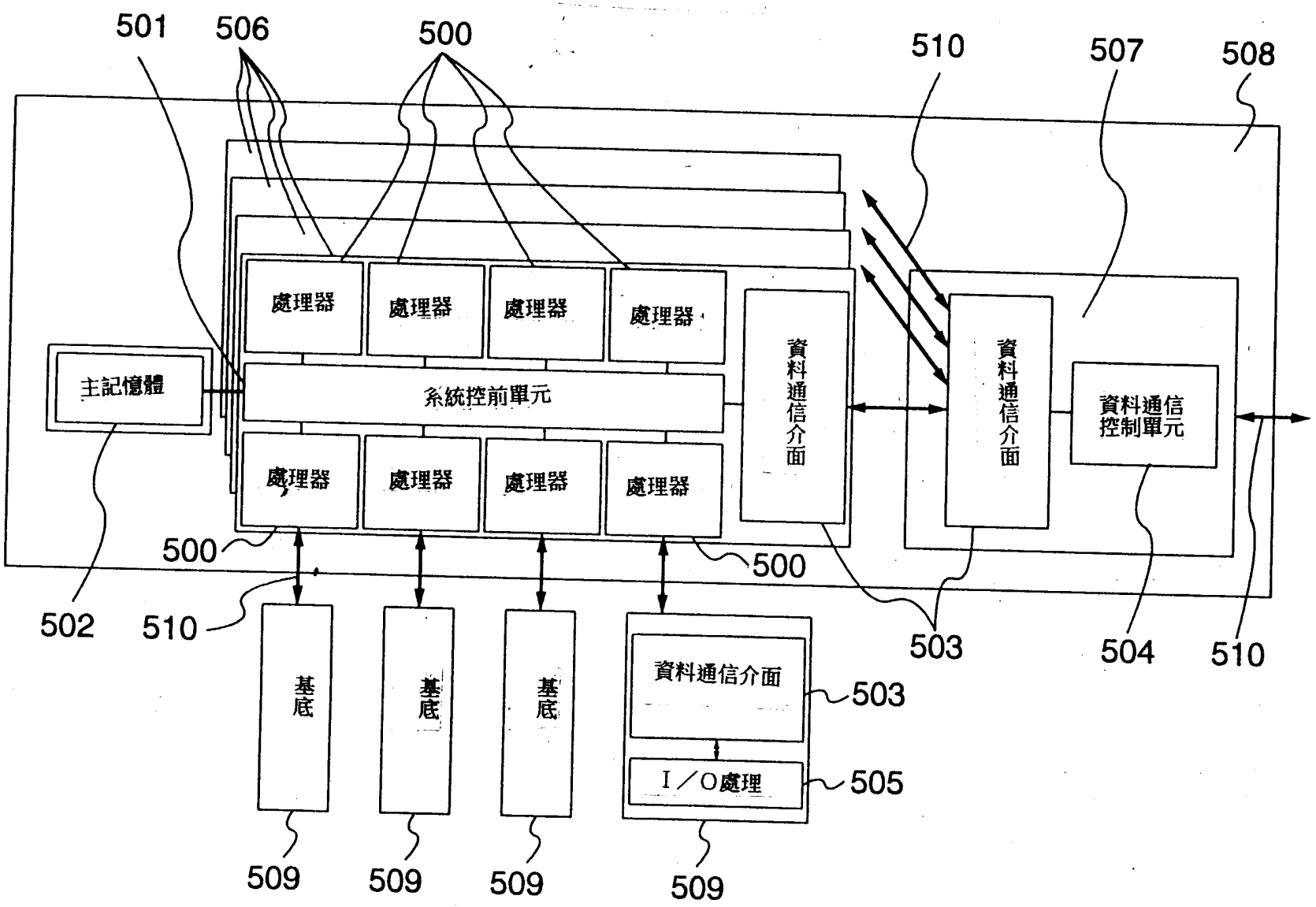
第46圖B



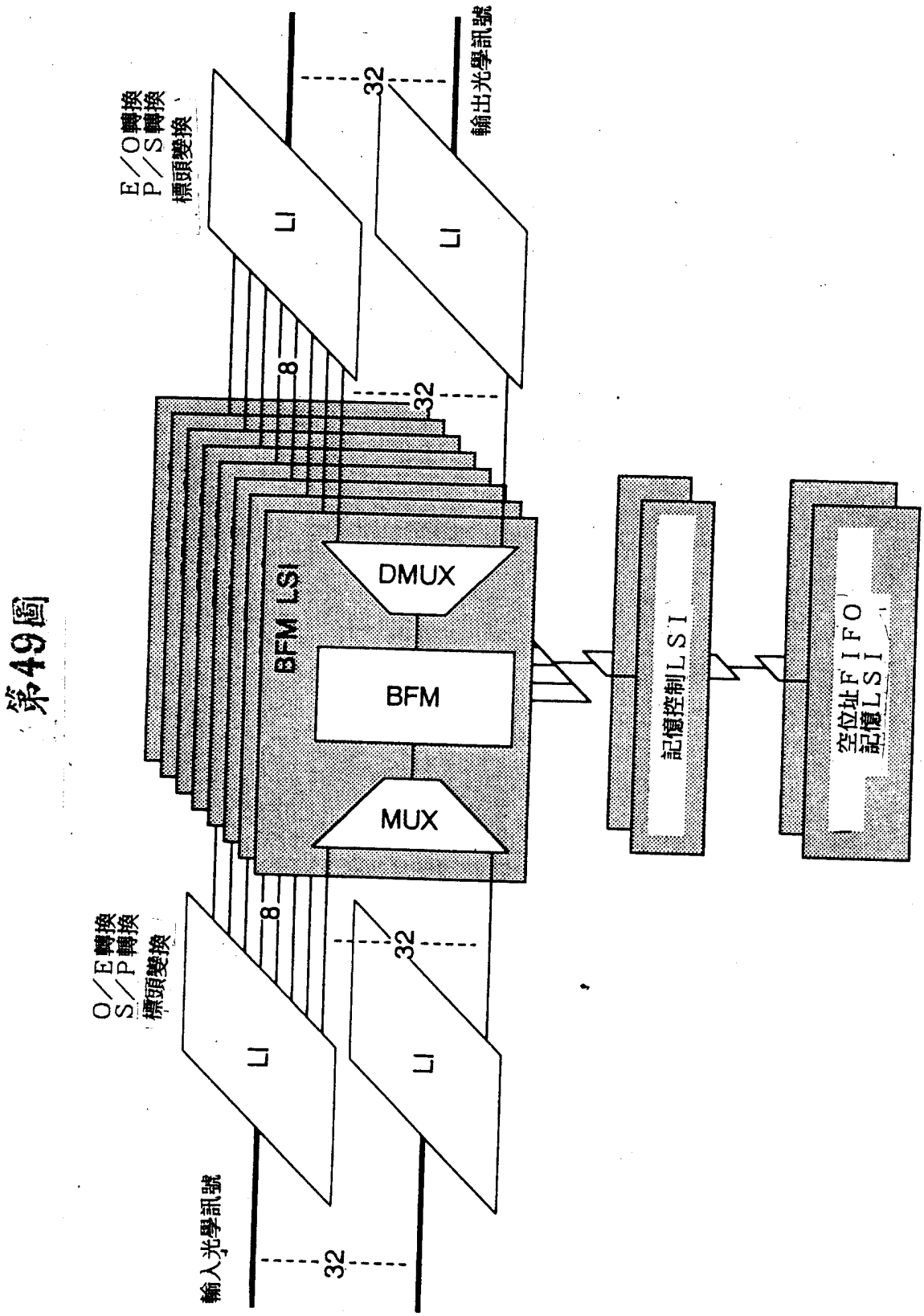
第47圖



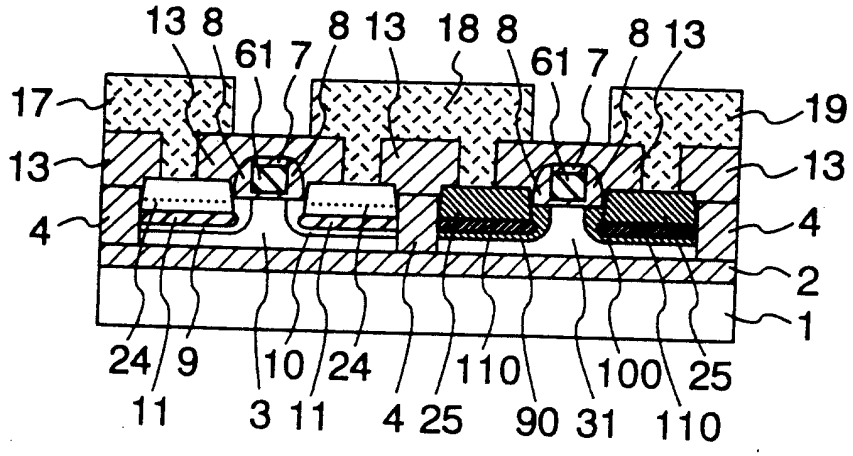
第48圖


501
506
500
510
507
508
處理器
處理器
處理器
處理器
主記憶體
系統控前單元
資料通信介面
資料通信介面
資料通信控制單元
處理器
處理器
處理器
處理器
500
500
502
510
503
504
510
基底
基底
基底
資料通信介面
503
I／O處理
505
509
509
509
509

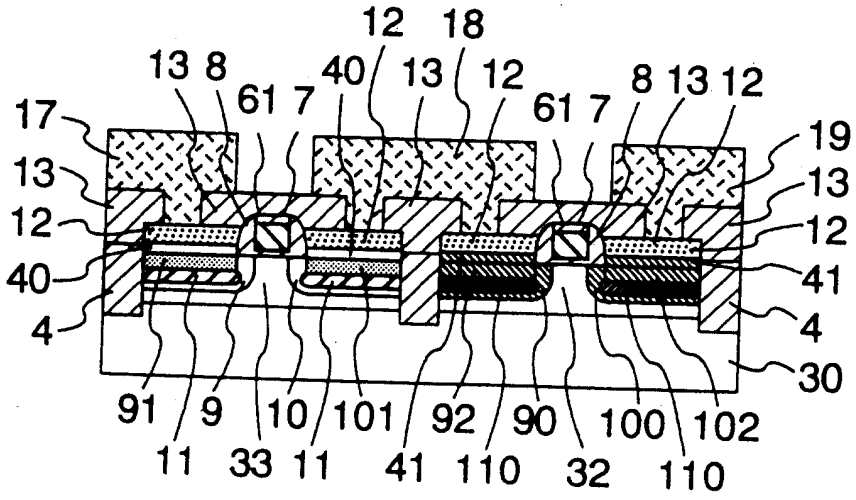
第49圖


輸入光學訊號
32
O／E轉換
S／P轉換
標頭變換
LI
LI
8
32
BFM LSI
DMUX
BFM
MUX
記憶控制LSI
空位址FIFO
記憶LSI
8
32
E／O轉換
P／S轉換
標頭變換
LI
LI
32
輸出光學訊號

第50圖


13 8
61 7
8 13
18 8
61 7
8 13
17
19
13
13
4
4
2
1
24
9
10
24
110
100
25
11
3 11
4 25
90 31
110

第51圖


12 18
13 8
61 7
40
13
12
61 7
8 13 12
17
19
13
13
12
12
40
41
4
4
30
91
9
10
101
92
90
100
102
11
33 11
41
110
32
110