

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 16 日(16.09.2010)

PCT

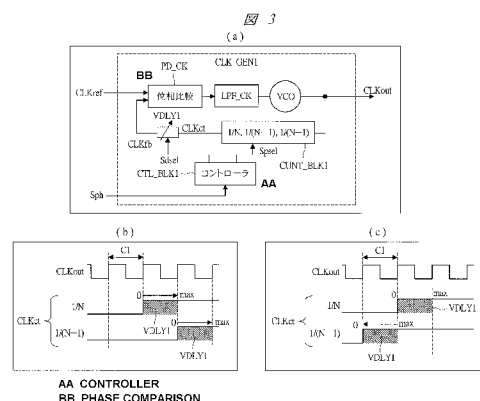
(10) 国際公開番号
WO 2010/103626 A1

- (51) 国際特許分類:
H03L 7/00 (2006.01) H03L 7/087 (2006.01)
H03L 7/08 (2006.01) H04L 7/033 (2006.01)
- (21) 国際出願番号: PCT/JP2009/054639
- (22) 国際出願日: 2009 年 3 月 11 日(11.03.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 福田 幸二 (FUKUDA, Koji) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 山下 寛樹 (YAMASHITA, Hiroki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階 筒井国際特許事務所 Tokyo (JP).

(54) Title: CLOCK GENERATION CIRCUIT AND SIGNAL REPRODUCTION CIRCUIT USING THE SAME

(54) 発明の名称: クロック生成回路およびそれを備えた信号再生回路

[図 3]



(57) Abstract: Provided is a clock generation circuit which performs a phase control in a wide range with a low power consumption. Provided also is a signal reproduction circuit using the clock generation circuit. A counter circuit (a divider circuit) CUNT_BLK1 is provided on a feedback route of a PLL circuit while a variable delay circuit VDLY1 is arranged at the latter stage thereof, so that the phase of the clock signal CLKout can be rotated. The VDLY1 has, for example, a delay amount control width corresponding to one cycle time (C1) of CLKout. Here, if the delay amount by the VDLY1 reaches a maximum value (max), the CUNT_BLK1 shifts the phase of the output clock signal CLKct by (C1), and the VDLY1 resets the delay amount to a minimum value (0). Thus, the VDLY1 can further control the delay amount. As a result, the phase of the CLKout can be rotated.

(57) 要約:

[続葉有]

WO 2010/103626 A1



広範囲な位相制御を低消費電力で行うクロック生成回路およびそれを備えた信号再生回路を提供する。そこで、PLL回路のフィードバック経路上に、カウンタ回路（分周回路）CUNT_BLK1と、その後段に可変遅延回路VDLY1を設け、クロック信号CLKoutの位相を回転可能なように構成する。VDLY1は、例えば、CLKoutの1サイクル時間（C1）分の遅延量制御幅を持つ。ここで、仮にVDLY1による遅延量が最大値（max）に到達した際、CUNT_BLK1は、その出力クロック信号CLKc tの位相を（C1）分遷移させる動作を行い、VDLY1は、遅延量を最小値（0）に戻す動作を行う。そうすると、VDLY1によって更なる遅延量の制御を行うことができ、その結果、CLKoutの位相を回転させることが可能になる。

明 細 書

クロック生成回路およびそれを備えた信号再生回路

技術分野

[0001] 本発明は、クロック生成回路およびそれを備えた信号再生回路に関し、特に、出力クロック信号の位相を無限に回転可能なPLL (Phase Locked Loop) 回路およびそれを備えたCDR (Clock Data Recovery) 回路に関するものである。

背景技術

[0002] 例えば、特許文献1の図19には、位相比較器、位相補間制御回路および位相補間回路(インターポーザ)からなるループ制御構成を備えたクロックデータリカバリ回路が示されている。位相比較器は、入力データ信号と位相補間回路からの出力クロック信号とを位相比較し、位相補間制御回路が、位相比較結果に応じて位相補間回路を制御する。位相補間回路は、位相補間制御回路からの制御信号に応じて出力クロック信号の位相を 0° ～ 360° の間で調整する。例えば、 0° 位相のクロック信号と 90° 位相のクロック信号とをそれぞれ適宜重み付けした上で加算することで 0° ～ 90° の間の位相のクロック信号が生成される。

[0003] また、これを改良した構成として、特許文献1の図1には、位相比較器、クロック相選択回路および位相可変遅延回路からなるループ制御構成を備えたクロックデータリカバリ回路が示されている。位相可変遅延回路は、それぞれ位相が異なり全て同じ重み付けがなされた複数位相のクロック信号を生成する回路となっている。位相可変遅延回路は、クロック相選択回路によって複数位相のクロック信号の中から隣接する2つの位相が選択されると、当該位相の中間の位相のクロック信号を生成する。

[0004] また、非特許文献1のFig. 2には、PLL回路を含んだトランシーバ回路が示されている。このPLL回路は、非特許文献1のFig. 9に示されるように、フィードバックループ上に位相比較機能と位相調整機能を兼ね備えた回路が設けられており、位相調整信号(Iwt, Qwt)に応じて出力クロック信号の位相を回転可能な構成となっている。

特許文献1:特開2004-180188号公報

非特許文献1: John Poulton、他6名、“A 14-mW 6.25-Gb/s Transceiver in 90-nm CMOS”、IEEE Journal of Solid-State Circuits、Vol. 42、No. 12、2007年12月、p. 2745–2751

発明の開示

発明が解決しようとする課題

[0005] 図18は、本発明の前提として検討した信号再生回路を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)における位相補間回路の構成例を示す概略図である。図18に示す信号再生回路CDR__Cは、特許文献1や非特許文献1と同様に位相補間方式を利用した構成例となっている。CDR__Cは、位相比較回路PD__R、ローパスフィルタLPF__R、符号判定回路JGE、位相補間回路ITPおよび位相同期ループ回路PLLによって構成される。PD__Rは、入力されたデータ信号Dinの位相とITPからのクロック信号CLKoutの位相とを比較する。LPF__Rは、その比較結果に対して多数決判定等を行い、ITPに対して位相制御信号Sphを出力する。PLLは、外部からの基準クロック信号CLKrefを受け、例えば、 0° 、 90° 、 180° 、 270° からなる4相のクロック信号を生成する。

[0006] 位相補間回路ITPは、図18(b)に示すように、 0° 、 90° 、 180° 、 270° 位相のクロック信号に対してそれぞれK1, K2, K3, K4で適宜重み付けを行った後に加算する回路となっている。この重み付けは、通常、電流値の大きさによって行われる。例えば、 $(K1, K2, K3, K4) = (1, 1, 0, 0)$ とした場合、 0° と 90° の中間となる 45° 位相のクロック信号が生成される。ITPは、位相制御信号Sphに応じてこの重み付けを変更し、その結果として得られたクロック信号CLKoutをPD__Rに帰還する。JGEは、CLKoutを用いてデータ信号Dinを再生し、再生されたデータ信号Doutを出力する。

[0007] このように、位相補間回路を用いると、クロック信号の位相を広範囲にわたって調整できる。しかしながら、重み付けに伴いアナログ電流を流し続ける必要があるため、消費電力が増大する。さらに、例えば、 $0^\circ \sim 45^\circ$ の範囲で位相制御を行いたい場合などでは、それに応じた高分解能な電流値を高精度に設定する必要があるが、實際上、このような電流値の設定は容易に行えるものではなく、それによって得られるクロ

ック信号の波形品質も十分なものとは言い難い。一方、特許文献1の図1のように、同じ重み付けによって中間位相のクロック信号を生成し、それを適宜繰り返すことによって位相制御幅を高分解能化および高精度化する方式も考えられるが、この場合でも、消費電力の増大や回路規模の増大を招く恐れがある。

[0008] そこで、本発明者等は、PLL回路に位相設定機能を付加することで、良質なクロック信号の生成を実現すると共に、その位相を高分解能および高精度に調整できるように検討を行った。図19(a)は、一般的なPLL回路の構成例を示すブロック図である。一方、図19(b)は、本発明の前提として検討したPLL回路を示すものであり、図19(a)に対して位相設定機能を加えた構成例を示すブロック図である。図19(a)に示すように、PLL回路は、位相比較回路PD__CK、ロウパスフィルタLPF__CK、電圧制御発振回路VCOおよび分周回路NDIVによって構成される。

[0009] PD__CKは、外部からの基準クロック信号CLKrefとNDIVから出力されるクロック信号とを位相比較し、LPF__CKは、その比較結果を逐次反映しながらVCOの発振周波数を制御する。VCOからの出力されるクロック信号CLKoutは、NDIVによってN分周され、PD__CKに帰還される。したがって、CLKoutは、CLKrefのN逓倍の周波数を備え、かつCLKrefの位相と同一の位相を持つ信号となり、また、その波形品質もPLL回路の制御に伴い十分なものとなる。

[0010] このようなPLL回路の帰還経路上に、図19(b)に示すように可変遅延回路VDLYを挿入すると、原理的には、VDLYの遅延量に応じて、CLKrefの位相を基準にCLKoutの位相を調整することが可能となる。ここで、この図19(b)の構成例を、図18(a)の位相補間回路ITPおよび位相同期ループ回路PLLの代わりに適用することが考えられる。通常、図19(b)におけるCLKrefを生成する回路と図18(a)におけるデータ信号Dinの周波数を定める回路とは別回路であり、CLKrefのN逓倍の周波数とDinの周波数とを完全に一致させることは困難であるため、VDLYは、CLKoutの位相を無限に回転可能なように構成する必要がある。しかしながら、VDLYに膨大な遅延幅を持たせることは現実的には不可能であるため、VDLYは、限られた絶対値の範囲内でしか位相を回転できず、位相補間回路のように、広範囲にわたって位相を無限に回転させるようなことはできない。

[0011] 本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、広範囲な位相制御を低消費電力で行うクロック生成回路およびそれを備えた信号再生回路を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0012] 本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

[0013] 本実施の形態によるクロック生成回路は、基準クロック信号を元に出力クロック信号を生成する所謂PLL回路のフィードバック経路上に、カウンタ回路(分周回路)と、その後段に接続された可変遅延回路を備え、出力クロック信号の位相を回転可能な構成となっている。可変遅延回路は、カウンタ回路の出力サイクル時間よりも短い第1時間の遅延量制御幅を持ち、制御回路によって指示された遅延量でカウンタ回路の出力を遅延させ、フィードバッククロック信号を出力する。ここで、可変遅延回路による遅延量が初期状態から第1時間変位した際に、カウンタ回路は、制御回路からの指示に応じて自身の出力クロック信号の位相を第1時間の単位で遷移させる動作を行い、可変遅延回路は、制御回路からの指示に応じて遅延量を初期状態に戻す動作を行う。そうすると、可変遅延回路によって更なる遅延量の制御を行うことができ、その結果、出力クロック信号の位相を回転させることが可能になる。

[0014] このような構成を用いると、カウンタ回路や可変遅延回路をデジタル回路で構成することができるため、アナログ回路が必須となる位相補間方式を用いる場合と比較して、消費電力の低減が実現可能となる。さらに、出力クロック信号の位相の制御幅(分解能)は、可変遅延回路で定めることができるため、位相補間方式を用いる場合と比較し高分解能化および高精度化が図れる。また、PLL回路を活用しているため、その出力クロック信号の波形品質も十分なものとなり、これによっても高精度化が図れる。

[0015] なお、前述したカウンタ回路は、例えば、ジョンソンカウンタ回路を用いると、回路構成や制御動作の簡素化の点で有益となる。この場合、第1時間は、例えば、出力クロック信号の1サイクル時間や、 $1/2$ サイクル時間とすることができる。さらに、本実施

の形態のクロック生成回路は、前述したフィードバック経路を2系統設けて、各経路を切り換えながら位相制御を行う構成とすることが望ましい。すなわち、一方の経路の可変遅延回路で位相制御を行いつつ、他方の経路では、可変遅延回路の遅延量を初期状態にすると共に、カウンタ回路によって位相を第1時間分遷移させた状態で予め準備をしておく。一方の経路の可変遅延回路が初期状態から第1時間分変位した際には、即座に他方の経路に切り換えて後続の位相制御を行う。これによって、1系統を用いる場合と比較して、前述したような切り換えに伴うノイズ成分を低減でき、出力クロック信号を高品質に保て、位相制御の高精度化が実現可能になる。なお、前述したようなクロック生成回路は、例えば、光通信システム等で用いられるCDR回路(信号再生回路)に適用して特に有益なものとなる。

発明の効果

- [0016] 本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、クロック信号における広範囲な位相制御を低消費電力で実現可能になる。

図面の簡単な説明

- [0017] [図1]本発明の実施の形態1による信号再生回路において、それを含めた光通信システムの構成例を示すブロック図である。
- [図2]図1の光通信システムにおいて、その信号再生回路の構成例を示すブロック図である。
- [図3]図2の信号再生回路におけるクロック生成回路の詳細を示すものであり、(a)はその構成例を示すブロック図、(b)および(c)は(a)の動作例を示す波形図である。
- [図4]図3におけるカウンタ回路部の基本動作原理を示す説明図である。
- [図5](a)は、図3のクロック生成回路における可変遅延回路の詳細な構成例を示す回路図であり、(b)は、(a)における反転セクタ回路の詳細な構成例を示す回路図である。
- [図6](a)、(b)は、それぞれ、図5(a)の変形例を示す回路図である。
- [図7]本発明の実施の形態2によるクロック生成回路において、図3のカウント回路部の詳細を示すものであり、(a)はその構成例を示す回路図、(b)は(a)の動作例を示す

す波形図である。

[図8]本発明の実施の形態3によるクロック生成回路において、図3のカウンタ回路部の詳細な構成例を示す回路図である。

[図9]本発明の実施の形態4による信号再生回路において、図2の信号再生回路におけるクロック生成回路の詳細を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の動作例を示す波形図である。

[図10]本発明の実施の形態5によるクロック生成回路において、図9のカウンタ回路部の詳細を示すものであり、(a)はその構成例を示す回路図、(b)は(a)の一部の動作例を示す波形図である。

[図11]本発明の実施の形態6による信号再生回路において、図2の信号再生回路におけるクロック生成回路の詳細を示すものであり、(a)はその構成例を示すブロック図、(b)および(c)は(a)の動作例を示す波形図である。

[図12]本発明の実施の形態7によるクロック生成回路において、図11のカウンタ回路部の詳細な構成例を示す回路図である。

[図13]本発明の実施の形態8による信号再生回路において、図2の信号再生回路におけるクロック生成回路の詳細な構成例を示すブロック図である。

[図14]本発明の実施の形態9による信号再生回路において、図2の信号再生回路におけるクロック生成回路の詳細を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の動作例を示す波形図である。

[図15]本発明の実施の形態10による信号再生回路において、図2の信号再生回路におけるクロック生成回路の詳細な構成例を示すブロック図である。

[図16]本発明の実施の形態11によるクロック生成回路において、図14および図15のカウンタ回路部の詳細な構成例を示す回路図である。

[図17]本発明の実施の形態12による信号再生回路において、図2の信号再生回路におけるクロック生成回路の詳細を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の動作原理を示す概念図である。

[図18]本発明の前提として検討した信号再生回路を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)における位相補間回路の構成例を示す概略図である。

。

[図19](a)は、一般的なPLL回路の構成例を示すブロック図であり、(b)は、本発明の前提として検討したPLL回路を示すものであり、(a)に対して位相設定機能を加えた構成例を示すブロック図である。

発明を実施するための最良の形態

[0018] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0019] さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0020] また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。なお、実施の形態では、MISFET(Metal Insulator Semiconductor Field Effect Transistor)の一例としてMOS(Metal Oxide Semiconductor)トランジスタを用いる。図面において、Pチャネル型MOSトランジスタ(PMOSトランジスタ)にはゲートに丸印の記号を付すことで、Nチャネル型MOSトランジスタ(NMOSトランジスタ)と区別することとする。図面にはMOSトランジスタの基板電位の接続は特に明記していないが、MOSトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

[0021] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0022] (実施の形態1)

図1は、本発明の実施の形態1による信号再生回路において、それを含めた光通信システムの構成例を示すブロック図である。図1に示す光通信システムは、光・電気変換ブロックOFE__BLKと、シリアル・パラレル変換ブロック(SerDes:SERIALIZER/DESERIALIZER)SD__BLKと、上位層論理ブロックPUによって構成される。OFE__BLKは、例えばフォトダイオード等を介して光入力データ信号IN__OPを電気信号に変換する光／電気変換回路OECと、半導体レーザ等を介して電気信号を光出力データ信号OUT__OPに変換する電気／光変換回路EOCを備えている。

[0023] SD__BLKは、入力系回路として、OECからの微小なデータ信号を所定電圧レベルのデータ信号に増幅する入力回路IF__Iと、その出力となるデータ信号Dinからデータ信号Doutおよびクロック信号CLKoutを再生する信号再生回路CDRと、CLKoutを用いてシリアルデータとなるDoutをパラレルデータ信号DAToに変換するシリアル／パラレル変換回路SPCを備えている。上位層論理ブロックPUは、このCLKoutとDAToを受けて所定の情報処理を行う。また、SD__BLKは、出力系回路として、PUからのパラレルデータ信号DATiをPUからのクロック信号CLKiを用いてシリアルデータ信号に変換するパラレル／シリアル変換回路PSCと、そのシリアルデータ信号に基づいた所定の電気信号によって電気／光変換回路EOCを駆動する出力回路IF__Oを備えている。

[0024] このような光通信システムでは、数十Gbpsを超える通信が行われるため、信号再生回路CDRにおいては、クロック信号の位相を高分解能および高精度に制御して正しいデータ信号を再生することや、低消費電力な動作を行うことが求められる。こうした中、前述したように、図18に示したような位相補間を用いる方式では、このような要求を満たせない恐れがあり、また、図19(b)に示したような方式では、位相制御幅が制限されてしまう恐れがある。そこで、後述するように、本実施の形態による信号再生回路を用いることが有益となる。

[0025] 図2は、図1の光通信システムにおいて、その信号再生回路CDRの構成例を示すブロック図である。図2に示す信号再生回路CDRは、位相比較回路PD__R、ローパスフィルタLPF__R、および符号判定回路JGEに加えて、クロック生成回路CLK__GENを備えたことが特徴となっている。すなわち、図18の位相補間回路ITPおよび位相同期ループ回路PLLがCLK__GENに置き換わった構成となっている。PD__Rは、入力回路IF__Iからのデータ信号Dinの位相とCLK__GENからのクロック信号CLKoutの位相とを比較する。LPF__Rは、その比較結果に対して多数決判定等を行い、CLK__GENに対して位相制御信号Sphを出力する。

[0026] CLK__GENは、外部からの基準クロック信号CLKrefを受け、位相制御信号Sphに応じた位相を持つクロック信号CLKoutを生成する。このCLKoutは、位相比較回路PD__Rに帰還されると共に、符号判定回路JGEやシリアル／パラレル変換回路SPCなどに向けて出力される。JGEは、CLKoutを用いて入力回路IF__Iからのデータ信号Dinを再生し、SPCに向けて再生されたデータ信号Doutを出力する。

[0027] 図3は、図2の信号再生回路におけるクロック生成回路CLK__GENの詳細を示すものであり、(a)はその構成例を示すブロック図、(b)および(c)は(a)の動作例を示す波形図である。図3(a)に示すクロック生成回路CLK__GEN1は、位相比較回路PD__CK、ローパスフィルタ回路(ループフィルタ回路)LPF__CK、電圧制御発振回路VCO、カウンタ回路部(または分周回路部)CUNT__BLK1、可変遅延回路VDLY1、およびコントローラ回路CTL__BLK1によって構成される。PD__CKは、外部からの基準クロック信号CLKrefと、VDLY1を介して帰還されたクロック信号CLKfbとを位相比較する。LPF__CKは、その位相比較結果を受け、それを逐次反映してVCOの発振周波数を制御する。VCOから出力されたクロック信号CLKoutは、CUNT__BLK1およびVDLY1を介してPD__CKに帰還される。CTL__BLK1は、位相制御信号Sphに基づいて、CUNT__BLK1およびVDLY1に対して、それぞれ、位相選択信号Spselおよび遅延量選択信号Sdselを出力する。

[0028] CUNT__BLK1は、CLKoutをN分周し、このN分周クロック信号の周波数を持つ複数位相のクロック信号を生成する機能を備える。この複数位相のクロック信号は、それぞれ、N分周クロック信号のサイクル時間よりも短い第1時間の単位で位相が異

なっている。また、CUNT__BLK1は、位相選択信号Spselに応じて、現在選択しているクロック信号CLKctの位相を第1時間の単位で遷移させ、それを新たなクロック信号CLKctとして出力する。VDLY1は、少なくとも第1時間分の遅延調整幅を備え、Sdselに応じた遅延量でCLKctを遅延させ、その遅延されたクロック信号CLKfbを出力する。

[0029] 図3の構成例では、第1時間がCLKoutの1サイクル時間分となっており、VDLY1の遅延調整幅も、CLKoutの1サイクル時間分となっている。また、CUNT__BLK1は、例えば、N分周回路と(N+1)分周回路と(N-1)分周回路を備えることで、図4に示すような原理によって前述したような機能を実現する。図4は、図3におけるカウンタ回路部CUNT__BLK1の基本動作原理を示す説明図である。

[0030] 図4においては、説明を容易にするため、例えば、CLKout(サイクル時間:C1)に対する4分周回路と、5分周回路と、3分周回路を用いるものとする。図4に示すように、4分周回路(4カウント)から出力されたクロック信号(クロックA)に対して、あるタイミングで5分周回路(5カウント)のクロック信号を1サイクル挿入すると、結果的に、クロックAに対して(+C1)だけ位相が異なるクロック信号(クロックB1)を生成可能となる。また、4分周回路(4カウント)から出力されたクロック信号(クロックA)に対して、あるタイミングで3分周回路(3カウント)のクロック信号を1サイクル挿入すると、結果的に、クロックAに対して(-C1)だけ位相が異なるクロック信号(クロックB2)を生成可能となる。したがって、このような動作を適宜繰り返すことで、(+C1)または(-C1)の単位で無限に位相を推移させることができる。

[0031] このようなカウンタ回路部CUNT__BLK1を用いると、図3(b)、(c)に示すように、CUNT__BLK1と可変遅延回路VDLY1を組み合わせることで、高範囲かつ高精度な位相制御が実現可能になる。まず、図3(b)は、N分周回路から出力されたクロック信号CLKct(1/N)を基準として、(+)方向への位相制御が行われる場合を示すものである。遅延量選択信号Sdselに応じて(+)方向への位相制御が進み、VDLY1の遅延量が最大値(max)に到達した場合には、位相選択信号Spselが発行される。これを受けて、CUNT__BLK1は、図4のように(N+1)分周回路を用いてCLKctを(+)方向に(+C1)分遷移させる。また、これと並行して、Sdselの値が変更され、V

DLY1の遅延量が最小値(0)に戻される。その結果、VDLY1の遅延量を(0)としたにも関わらず、その直前となる最大値に達した時点のCLKfbの状態と同じ状態を作り出すことができ、更なる(+)方向への位相制御が可能となる。

[0032] また、図3(c)は、N分周回路から出力されたクロック信号CLKct(1/N)を基準として、(−)方向への位相制御が行われる場合を示すものである。例えば、VDLY1の遅延量が(0)の状態では位相制御信号Sphを介して(−)方向への位相制御命令を受けた場合、即座に位相選択信号Spselが発行される。これを受けて、CUNT_BLK1は、図4のように(N−1)分周回路を用いてCLKctを(−)方向に(−C1)分遷移させる。また、これと並行して、Sdselの値が変更され、VDLY1の遅延量が最大値(max)に設定される。その結果、VDLY1の遅延量を(max)としたにも関わらず、直前となる(−)方向への位相制御命令を受けた時点のCLKfbの状態と同じ状態を作り出すことができ、VDLY1によって(−)方向への位相制御が可能となる。なお、その後VDLY1の遅延量が(0)に到達した場合も、同様に(N−1)カウントを挿入する制御等が行われた後、更なる(−)方向への位相制御が行えることになる。

[0033] 図5(a)は、図3のクロック生成回路CLK_GEN1における可変遅延回路VDLY1の詳細な構成例を示す回路図であり、図5(b)は、図5(a)における反転セクタ回路の詳細な構成例を示す回路図である。図5(a)に示す可変遅延回路VDLY1は、クロック信号CLKctを入力として順に直列(従続)接続されたn個の遅延用インバータ回路IV[1]~IV[n]と、(n−1)個の2入力の反転セクタ回路IVSEL[0]~IVSEL[n−2]と、インバータ回路IV50によって構成される。IVSEL[0]~IVSEL[n−2]のそれぞれの選択経路は、遅延量選択信号Sdselによって制御される。

[0034] IVSEL[n−2]は、一方の入力がIV[n−2]の出力であり、他方の入力がIV[n]の出力となっている。IVSEL[n−3]は、一方の入力がIV[n−3]の出力であり、他方の入力がIVSEL[n−2]の出力となっている。IVSEL[n−4]は、一方の入力がIV[n−4]の出力であり、他方の入力がIVSEL[n−3]の出力となっている。すなわち、IVSEL[n−3]~IVSEL[1]は同様の接続関係となっており、IVSEL[m]において、一方の入力がIV[m]の出力であり、他方の入力がIVSEL[m+1]の出力となっている。そして、IVSEL[0]は、一方の入力がCLKctであり、他方の入力がIVSEL[1]

]の出力となっている。IVSEL[0]の出力は、IV50を介してクロック信号CLKfbとなる。

[0035] また、反転セクタ回路IVSELのそれぞれは、図5(b)に示すように、2入力のそれぞれに一端が接続され、他端が共通接続された2個のCMOSスイッチ回路CSWと、この共通接続ノードの信号を反転して出力するインバータ回路IV51を備えている。この2個のCSWは、遅延量選択信号Sdsel[m]ならびにその反転信号に基づいてオン・オフが制御される。

[0036] このような構成において、各IVSELの遅延量が遅延用インバータ回路の遅延量(Tdlyとする)に等しいものとして、まず、最小遅延設定時の遅延量は、CLKctがIVSEL[0]を介して出力される時であるためTdly(厳密にはIV50の影響も加わる)となる。続いて、2番目に小さい遅延量は、最小遅延設定時の遅延量に対して、IV[1]の遅延量とIVSEL[1]の遅延量加わることになるため、3Tdlyとなる。次いで、3番目に小さい遅延量は、2番目の遅延量に対して、IV[2]の遅延量とIVSEL[2]の遅延量加わることになるため、5Tdlyとなる。以降も同様にして、2Tdlyのステップで位相制御が可能となっている。

[0037] 図6(a), (b)は、それぞれ、図5(a)の変形例を示す回路図である。図6(a)に示す可変遅延回路VDLY1aは、CLKctから順に直列接続されたn個の遅延用インバータ回路IV[1]~IV[n]と、これらの各入出力ノード((n+1)個)のいずれかを選択して出力するセクタ回路SEL60から構成される。図6(b)に示す可変遅延回路VDLY1bは、CLKctから順に直列接続されたn個の遅延用インバータ回路IV[1]~IV[n]と、これらの各入出力ノード((n+1)個)を2対1で選択しながら段階的に1個のノードに絞り込んでいく複数のセクタ回路61によって構成される。

[0038] 図6(a)の構成例において、SEL60を例えば図5(b)と同様の(n+1)個のCMOSスイッチ回路で実現した場合、それらの共通接続ノードにおいて大きな寄生成分が生じることになる。この場合、波形品質の低下が懸念される。また、図6(b)の構成例では、最小遅延設定時においても平衡ツリー状に配置された複数段のセクタ回路を介して出力を行う必要があるため、最小遅延設定時の遅延量が大きくなってしまう。そこで、図5(a)に示したような非平衡ツリー状に配置された複数段のセクタ回路

を用いると、最小遅延設定時の遅延量も小さく、また、全てのノードの寄生成分も小さくできるため(ファンアウト2以下)、図6(a), (b)の構成例と比べて有益となる。

[0039] 以上のように、図3のクロック生成回路CLK_GEN1を用いると、CLKoutを無限に回転させることができるため、図19(b)で述べたような問題を解決可能になる。すなわち、CLKoutの位相制御に際し、 360° を超えた際にはCUNT_BLK1による遷移が行われるため、実質的に、無限の位相範囲においてVDLY1の分解能で位相制御を行うことができる。これによって、位相補間方式と比較して高分解能化および高精度化を図ることが可能になる。さらに、CUNT_BLK1やVDLY1は、デジタル的な制御回路で実現できるため、位相補間方式のように、貫通電流を流し続けるアナログ的な制御回路を用いる必要もなく、低消費電力化が実現可能になる。

[0040] なお、図3(a)の構成例においては、可変遅延回路VDLY1をカウンタ回路部CUNT_BLK1の後段ではなく前段に配置する構成例も考えられる。しかしながら、この場合、VDLY1がCLKoutの周波数で動作することになるため、消費電力が増大することになる。また、VDLY1の遅延量を最大値から0に戻す際に、CUNT_BLK1に誤動作が生じる恐れもある。これと比較して、図3(a)のような構成例を用いると、VDLY1の低消費電力化が図れ、さらに、VDLY1の遅延量の急減な遷移に伴いグリッジ等が生じた場合でも、それはLPF_CKによって抑制されることになるためCLKoutには殆ど影響が生じない。したがって、良質なクロック信号CLKoutを安定して生成することが可能になる。

[0041] 以上、本実施の形態1のクロック生成回路および信号再生回路を用いることで、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。

[0042] (実施の形態2)

本実施の形態2では、実施の形態1の図3で説明したカウンタ回路部CUNT_BLK1の詳細な構成例について説明する。前述したように、カウンタ回路部CUNT_BLK1は、クロック信号CLKoutをN分周し、このN分周クロック信号の周波数を持つ複数位相のクロック信号を生成する機能を備えていればよい。また、この複数位相のクロック信号は、それぞれ、N分周クロック信号のサイクル時間よりも短い第1時間の

単位で位相が異なっており、CUNT__BLK1は、位相選択信号Spselに応じて、現在選択しているクロック信号CLKctの位相を第1時間の単位で遷移させ、それを新たなクロック信号CLKctとして出力する機能を備えていればよい。このような機能を実現するため、前述した実施の形態1では、図4に示したように、Nカウントのクロック信号に対して、(N+1)カウントのクロック信号または(N-1)カウントのクロック信号を1サイクル挿入する方式を用いたが、ここでは別の方式によって当該機能を実現する。

[0043] 図7は、本発明の実施の形態2によるクロック生成回路において、図3のカウンタ回路部CUNT__BLK1の詳細を示すものであり、(a)はその構成例を示す回路図、(b)は(a)の動作例を示す波形図である。図7(a)に示すカウンタ回路部CUNT__BLK1aは、クロック信号CLKoutを入力としてカウント動作を行う所謂ジョンソンカウンタとなっている。ここでは、一例として8分周を行う場合を例としている。

[0044] 図7(a)に示すCUNT__BLK1aは、CLKoutを2分周する2段接続のDラッチ回路DLT[0]、DLT[1]と、その出力を4分周する4段接続のDラッチ回路DLT[10]～DLT[13]と、インバータ回路IV10～IV15と、セクタ回路SEL10によって構成される。DLT[0]、DLT[1]は、CLKoutをクロック入力として動作を行う。DLT[0]は、クロック入力が‘L’レベル時、‘H’レベル時にそれぞれ取り込み動作、ラッチ動作を行い、逆に、DLT[1]は、クロック入力が‘H’レベル時、‘L’レベル時にそれぞれ取り込み動作、ラッチ動作を行う。DLT[1]の出力は、IV10を介してDLT[0]の入力に接続されると共に、DLT[10]～DLT[13]のクロック入力となる。

[0045] DLT[10]、DLT[12]は、クロック入力が‘L’レベル時、‘H’レベル時にそれぞれ取り込み動作、ラッチ動作を行い、逆に、DLT[11]、DLT[13]は、クロック入力が‘H’レベル時、‘L’レベル時にそれぞれ取り込み動作、ラッチ動作を行う。DLT[13]の出力は、IV11を介してDLT[10]の入力に接続される。DLT[10]～DLT[13]から出力されたクロック信号は、それぞれp4～p7となり、それらをIV12～IV15によって反転させたクロック信号がp0～p3となる。SEL10は、位相選択信号Spselに応じて、p0～p7のいずれか一つを選択し、それをクロック信号CLKctとして出力を行う。

[0046] このような構成例を用いると、図7(b)に示すように、p0～p7のそれぞれにCLKout

の8分周クロック信号が生成される。そして、p0～p7に生成されるクロック信号は、p0からp7に向けて順に、CLKoutの1サイクル時間(C1)分だけ位相が異なったものとなる。したがって、このような構成例を図3(a)のCUNT__BLK1に適用して動作を行う場合、図7(b)に示すような動作が行われる。

[0047] すなわち、例えば、(+)方向への位相制御が行われる場合、CLKctの初期状態をp3として、可変遅延回路VDLY1の遅延量が最大値(max)に達した場合には、Spselに応じてCLKctがp4に遷移すると共に遅延量選択信号Sdselに応じてVDLY1の遅延量が最小値(0)に戻される。その後、更にVDLY1の遅延量が最大値に達した場合には、CLKctがp5に遷移すると共にSdselに応じてVDLY1の遅延量が(0)に戻される。以降同様にして動作が繰り返され、p7の後はp0への遷移が行われる。

[0048] 一方、(-)方向への位相制御が行われる場合、CLKctの初期状態をp3として、可変遅延回路VDLY1の遅延量が最小値(0)に達した場合には、Spselに応じてCLKctがp2に遷移すると共に遅延量選択信号Sdselに応じてVDLY1の遅延量が最大値(max)に設定される。その後、更にVDLY1の遅延量が最小値(0)に達した場合には、CLKctがp1に遷移すると共にSdselに応じてVDLY1の遅延量が最大値(max)に戻される。以降同様にして動作が繰り返され、p0の後はp7への遷移が行われる。

[0049] 以上、本実施の形態2のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態1の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、図4の原理を用いた場合と比較して、回路構成および動作の簡素化を図ることが可能になる。

[0050] (実施の形態3)

本実施の形態3では、実施の形態2の図7で説明したカウンタ回路部CUNT__BLK1aの変形例について説明する。図8は、本発明の実施の形態3によるクロック生成回路において、図3のカウンタ回路部CUNT__BLK1の詳細な構成例を示す回路図である。図8に示すカウンタ回路部CUNT__BLK1bは、図7(a)のカウンタ回路部CUNT__BLK1aと比較して、セレクト回路SEL10の出力に2段接続のDラッチ回路

DLT[20], DLT[21]が加わっている点が異なっている。それ以外の構成に関しては図7(a)と同様であるため、詳細な説明は省略する。

[0051] DLT[20], DLT[21]は、CLKoutをクロック入力として動作を行う。DLT[20]は、クロック入力が‘L’レベル時、‘H’レベル時にそれぞれ取り込み動作、ラッチ動作を行い、逆に、DLT[21]は、クロック入力が‘H’レベル時、‘L’レベル時にそれぞれ取り込み動作、ラッチ動作を行う。そして、DLT[21]からクロック信号CLKctが出力される。

[0052] 前述した図7(a)のカウンタ回路部CUNT__BLK1aは、DLT[10]～DLT[13]以降の回路がクロック信号CLKoutを直接的に用いていないため、全体として非同期型の構成となっている。また、CLKoutを基準としてCLKctの応答時間も長くなり、さらに、インバータ回路IV12～IV15やセクタ回路SEL10に伴い、p0～p7間の各位相差にばらつきが生じる恐れがある。そこで、図8に示すように、SEL10の後段にDLT[20], DLT[21]からなるマスタースレーブ構成のフリップフロップ回路を設けることで、CLKoutに対する同期が図れ、前述したような応答時間の遅延やばらつきの問題を解決することが可能になる。

[0053] 以上、本実施の形態3のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態2の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、図7の場合と比較して、より高精度化を図ることが可能になる。

[0054] (実施の形態4)

本実施の形態4では、実施の形態1で述べた図3のクロック生成回路CLK__GEN1の変形例について説明する。図9は、本発明の実施の形態4による信号再生回路において、図2の信号再生回路におけるクロック生成回路CLK__GENの詳細を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の動作例を示す波形図である。図9(a)に示すクロック生成回路CLK__GEN2は、図3のCLK__GEN1と比較して、図3のCUNT__BLK1、VDLY1、CTL__BLK1がそれぞれ図9(a)のカウンタ回路部CUNT__BLK2、可変遅延回路VDLY2、コントローラ回路CTL__BLK2に置き換わった構成となっている。それ以外の構成に関しては、図3と同様であるた

め、詳細な説明は省略する。

- [0055] 図9(a)におけるカウンタ回路部(または分周回路部)CUNT__BLK2は、カウンタ回路CUNT2、Dフリップフロップ回路DFF1、およびセクタ回路SEL2によって構成される。CUNT2は、クロック信号CLKoutに対してN分周を行い、CTL__BLK2からの位相選択信号[1]Spsel1に基づいて当該N分周信号の位相遷移を行う。DFF1は、CUNT2の出力をCLKoutの立ち下がりエッジに同期してラッチする。SEL2は、CTL__BLK2からの位相選択信号[2]Spsel2に基づいて、CUNT2の出力かDFF1の出力を選択して、それをクロック信号CLKctとして出力する。
- [0056] CUNT2は、例えば、N分周回路と(N-1)分周回路を備えており、前述した図4と同様の原理を用いて、図4におけるクロックAに加えて、それよりもCLKoutの1サイクル時間(C1)分位相が進んだクロックB2を生成可能な構成となっている。そこで、このクロックAをDFF1で取り込むと、クロックAから(C1/2)だけ位相が遅れたクロック信号が得られ、また、クロックB2をDFF1で取り込むと、結果としてクロックAから(C1/2)だけ位相が進んだクロック信号が得られる。
- [0057] すなわち、CUNT__BLK2全体としては、CUNT__BLK1と同様に、CLKoutをN分周し、このN分周クロック信号の周波数を持つ複數位相のクロック信号を生成する機能を備える。この際に、この複數位相のクロック信号は、それぞれ、N分周クロック信号のサイクル時間よりも短い第1時間の単位で位相が異なっており、CUNT__BLK2は、位相選択信号Spsel1, Spsel2に応じて、現在選択しているクロック信号CLKctの位相を第1時間の単位で遷移させ、それを新たなCLKctとして出力する機能を備える。ただし、図9の構成例においては、図3の構成例と異なり、この第1時間がCLKoutの1/2サイクル時間となる。
- [0058] VDLY2は、この第1時間の変更に伴い、図3のVDLY1と異なり、CLKoutの1/2サイクル時間分の調整幅を備える。また、図9(b)に示す動作に関しては、図3(b)で説明した動作と比較して、可変遅延回路の調整幅およびカウンタ回路部の位相遷移幅が半分になる以外は同様である。図9(a)の構成例を用いると、図3(a)の構成例と比較して、可変遅延回路の回路面積を低減することが可能になる。
- [0059] 以上、本実施の形態4のクロック生成回路およびそれを備えた信号再生回路を用

いることで、実施の形態1の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、実施の形態1の場合と比較して、可変遅延回路の回路面積を低減できる。

[0060] (実施の形態5)

本実施の形態5では、実施の形態4の図9で説明したカウンタ回路部CUNT__BLK2の詳細な構成例について説明する。図10は、本発明の実施の形態5によるクロック生成回路において、図9のカウンタ回路部CUNT__BLK2の詳細を示すものであり、(a)はその構成例を示す回路図、(b)は(a)の一部の動作例を示す波形図である。図10(a)に示すカウンタ回路部CUNT__BLK2aは、前述した図8のカウンタ回路部CUNT__BLK1bと比較して、Dラッチ回路DLT[22]と、セクタ回路SEL11が加わったものとなっている。それ以外の構成に関しては、図8と同様であるため詳細な説明は省略する。

[0061] DLT[22]は、DLT[21]の後段に接続され、クロック信号CLKoutの‘L’レベル時、‘H’レベル時にそれぞれ取り込み動作、ラッチ動作を行う。SEL11は、位相選択信号Spsel2aに基づいてDLT[21]の出力(pj)とDLT[22]の出力(pj’)の一方を選択し、それをクロック信号CLKctとして出力する。なお、セクタ回路SEL10は、図8の場合と異なり、位相選択信号Spsel1aに基づいて選択動作を行う。

[0062] このような構成例を用いると、図10(b)に示すように、DLT[21]の出力(pj)からは、位相差C1(CLKoutの1サイクル時間)を持つ各クロック信号p0～p7のいずれかが得られ、DLT[22]の出力(pj’)からは、p0～p7に対して(C1/2)分の位相差を持つ各クロック信号p0’～p7’のいずれかが得られる。したがって、例えば、CLKctの初期状態がp1であった場合、Spsel1a, Spsel2aを用いてp1→p1’→p2→p2’→…と遷移させることで(+C1/2)分の位相遷移を実現でき、逆に、p1→p0’→p0→p7’→…と遷移させることで(-C1/2)分の位相遷移を実現できる。これによって、図9(b)の動作を実現可能になる。

[0063] 以上、本実施の形態5のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態4の場合と同様に、代表的には、広範囲な位相制御を低消

費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、カウンタ回路部CUNT__BLK2を、簡素な回路構成と動作で実現できる。

[0064] (実施の形態6)

本実施の形態6では、実施の形態1で述べた図3のクロック生成回路CLK__GEN1の別の変形例について説明する。図11は、本発明の実施の形態6による信号再生回路において、図2の信号再生回路におけるクロック生成回路CLK__GENの詳細を示すものであり、(a)はその構成例を示すブロック図、(b)および(c)は(a)の動作例を示す波形図である。図11(a)に示すクロック生成回路CLK__GEN3は、図3のCLK__GEN1と比較して、概略的には、カウンタ回路部CUNT__BLK1および可変遅延回路VDLY1からなるフィードバック経路が2系統設けられ、それらが切り換え可能に構成されたものとなっている。

[0065] 図11(a)において、フィードフォワード経路の構成(位相比較回路PD__CK、ローパスフィルタ回路LPF__CK、電圧制御発振回路VCO)に関しては、図3と同様であるため詳細な説明は省略する。図11(a)のCLK__GEN3は、フィードバック経路において、クロック信号CLKoutを入力とする2系統のフィードバック回路部FB1, FB2と、FB1, FB2からのクロック信号CLKfb1, CLKfb2のいずれかを選択して、それをクロック信号CLKfbとしてPD__CKに帰還するセクタ回路SEL3を備えている。

[0066] FB1は、カウンタ回路部CUNT__BLK31と、その後段に接続された可変遅延回路VDLY31を備え、FB2は、カウンタ回路部CUNT__BLK32と、その後段に接続された可変遅延回路VDLY32を備える。CUNT__BLK31およびVDLY31と、CUNT__BLK32およびVDLY32とは、それぞれ、図3のCUNT__BLK1およびVDLY1と同じ構成を備えている。また、コントローラ回路CTL__BLK3は、位相制御信号Sphを受けて、位相選択信号Spsel3によりCUNT__BLK31およびCUNT__BLK32を制御し、遅延量選択信号Sdsel3によりVDLY31およびVDLY32を制御し、更に、帰還経路選択信号Sfb sel3によってSEL3を制御する。

[0067] このような構成において、まず、(+)方向に位相制御が行われる場合の動作について、図11(b)を用いて説明する。初期状態として、FB1を用いるものとして、SEL3

は、SfbSel3に応じてFB1からのクロック信号CLKfb1を選択している。この状態で、FB1内のVDLY31において、その遅延量が例えば最大値(max)の半分よりも大きくなった場合、後々、遅延量が(max)に到達することが予想される。そこで、CTL__BLK3は、FB2内のCUNT__BLK32に対してSpsel3を発行し、これに応じてCUNT__BLK32は、図4等で述べたような原理により、予め(+)方向にCLKoutの1サイクル時間(C1)分位相がシフトしたクロック信号を生成しておく。また、CTL__BLK3は、FB2内のVDLY32に対してSdsel3を発行し、これに応じてVDLY32は、遅延量を最小値(0)に設定しておく。

[0068] そうすると、後々、FB1内のVDLY31において遅延量が(max)に到達した際には、SfbSel3を用いて即座にFB1(CLKfb1)からFB2(CLKfb2)に切り換えることができる。そして、FB2内のVDLY32を用いて更なる(+)方向への位相制御を行うことが可能となる。なお、その後に、FB2内のVDLY32において、その遅延量が(max/2)よりも大きくなった場合には、前述したFB2に対して行われた処理と同様の処理が、今度はFB1に対して行われる。以降も同様にして、FB1とFB2を交互に切り換えながら、(+)方向への位相制御が行われる。

[0069] 次に、(−)方向に位相制御が行われる場合の動作について、図11(c)を用いて説明する。初期状態として、FB1を用いるものとして、SEL3は、SfbSel3に応じてFB1からのクロック信号CLKfb1を選択している。この状態で、FB1内のVDLY31において、その遅延量が例えば(max/2)よりも小さくなった場合、後々、遅延量が(0)に到達することが予想される。そこで、CTL__BLK3は、FB2内のCUNT__BLK32に対してSpsel3を発行し、これに応じてCUNT__BLK32は、図4等で述べたような原理によって、予め(−)方向にCLKoutの1サイクル時間(C1)分位相がズレたクロック信号を生成しておく。また、CTL__BLK3は、FB2内のVDLY32に対してSdsel3を発行し、これに応じてVDLY32は、遅延量を(max)に設定しておく。

[0070] そうすると、後々、FB1内のVDLY31において遅延量が(0)に到達した際には、SfbSel3を用いて即座にFB1(CLKfb1)からFB2(CLKfb2)に切り換えることができる。そして、FB2内のVDLY32を用いて更なる(−)方向への位相制御を行うことが可能となる。なお、その後に、FB2内のVDLY32において、その遅延量が(max/2)

よりも小さくなった場合には、前述したFB2に対して行われた処理と同様の処理が、今度はFB1に対して行われる。以降も同様にして、FB1とFB2を交互に切り換えながら、(－)方向への位相制御が行われる。

[0071] この図11(a)に示すような構成例を用いると、図3(a)の構成例と比較して、より安定した高精度な動作を実現可能になる。すなわち、図3(a)の構成例を用いた場合には、CUNT_BLK1の位相遷移やVDLY1の急激な遅延量変化に伴い、フィードバックされるクロック信号CLKfbに少なからずノイズ成分が発生してしまう。このノイズ成分は、前述したようにLPF_CKによって抑制されるものの、ある程度は、ジッタ成分としてCLKoutに反映されてしまうため、より安定かつ高精度な動作を実現することが望まれる。そこで、図11(a)に示すような構成例を用いると、ノイズ源がセクタ回路SEL3の切り換え動作のみに限定されるため、ノイズ成分を十分に低減でき、前述したような問題を解決することが可能となる。

[0072] この構成では、例えば、SEL3がFB1からのクロック信号CLKfb1を選択しているとき、FB1内のVDLY31の遅延量が $(\max/2)$ を横切るタイミングで、FB2のCUNT_BLK32およびVDLY32を制御している。しかしながら、この構成では、FB1内のVDLY31の遅延量がちょうど $(\max/2)$ 付近にある状態で図2のCDRがロックしている場合、図2のCDR内の位相制御信号Sphの出力に応じて、FB1内のVDLY31の遅延量は $(\max/2)$ 付近をある分布をもって揺れ動くことになる。このとき、FB1の遅延量が $(\max/2)$ を横切るたびにFB2に制御がかかるため、FB2の制御が頻繁に行われ電力消費が大きくなる。

[0073] そこで、FB2の制御を行う基準を、単純にFB1内のVDLY31の遅延量が $(\max/2)$ を横切るときにするのではなくて、FB2の状態によって閾値にヒステリシスを持たせる構成が考えられる。具体的には、FB2の出力クロック信号CLKfb2の位相が、FB1の出力クロック信号CLKfb1の位相よりも早い状態であるときには、FB1内のVDLY31の遅延量が $(\max/2) + \Delta T$ よりも大きくなった場合に、FB2内のCUNT_BLK32およびVDLY32を制御して、FB2の出力クロック信号CLKfb2の位相をFB1の出力クロック信号CLKfb1の位相よりも遅い状態に変化させる。一方、FB2の出力クロック信号CLKfb2の位相が、FB1の出力クロックCLKfb1の位相よりも遅い状態で

あるときには、FB1内のVDLY31の遅延量が $(\max/2) - \Delta T$ よりも大きくなった場合に、FB2内のCUNT__BLK32およびVDLY32を制御して、FB2の出力クロック信号CLKfb2の位相をFB1の出力クロック信号CLKfb1の位相よりも早い状態に変化させる。ここで、 ΔT は正の値であり、典型的には、 $(\max/4)$ 程度にするのが適当であるが、その他の値にすることも可能である。

[0074] さらに、FB1内のVDLY31の遅延量が $(\max/2) - \Delta T$ 以上 $(\max/2) + \Delta T$ 以下の範囲にあるときには、FB2の系全体、すなわちCUNT__BLK32およびVDLY32の動作を止めてしまう構成も可能である。こうすると、FB1系とFB2系の両方が動作している期間を必要最小限に抑えることができ消費電力を削減できる。

[0075] 以上、本実施の形態6のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態1の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、実施の形態1の場合と比較して、更なる高精度化を図ることが可能となる。

[0076] (実施の形態7)

本実施の形態7では、実施の形態6の図11で説明したカウンタ回路部CUNT__BLK31, CUNT__BLK32の詳細な構成例について説明する。図12は、本発明の実施の形態7によるクロック生成回路において、図11のカウンタ回路部CUNT__BLK31, CUNT__BLK32の詳細な構成例を示す回路図である。図12に示すカウンタ回路部CUNT__BLK31b, CUNT__BLK32bは、概略的には、実施の形態3の図8で説明したカウンタ回路部CUNT__BLK1bにおけるセクタ回路SEL10以降の経路を2系統設けた構成となっている。

[0077] 図12において、複數位相のクロック信号(p0～p7)を生成するジョンソンカウンタの部分に関しては、図8のCUNT__BLK1bと同様であるため詳細な説明は省略する。このp0～p7は、2個のセクタ回路SEL10a, SEL10bに向けて並列に出力される。SEL10aは、コントローラ回路CTL__BLK3からの位相選択信号Spsel3aに基づいてp0～p7のいずれかを選択して出力する。この出力は、図8の場合と同様に、Dラッチ回路DLT[20a], DLT[21a]からなるフリップフロップ回路によってクロック信号C

LKoutの立ち上がりエッジでの同期が行われ、クロック信号CLKct1として出力される。同様に、SEL10bは、CTL__BLK3からの位相選択信号Spsel3bに基づいてp0～p7のいずれかを選択して出力する。この出力は、Dラッチ回路DLT[20b], DLT[21b]からなるフリップフロップ回路によってCLKoutの立ち上がりエッジでの同期が行われ、クロック信号CLKct2として出力される。

[0078] このような構成例を用いると、実施の形態3の説明からも判るように、各クロック信号CLKct1, CLKct2においてp0～p7のいずれかを出力することが可能となる。この際に、位相選択信号Spsel3a, Spsel3bを用いることで、CLKct1, CLKct2に出力するp0～p7を、それぞれ独立に定めることができる。これによって、図11(b), (c)で述べたような動作を実現可能になる。

[0079] 以上、本実施の形態7のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態6の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、実施の形態3の場合と同様に、回路構成および動作の簡素化や、更なる高精度化を図ることが可能となる。

[0080] (実施の形態8)

本実施の形態8では、実施の形態6の図11で説明したクロック生成回路CLK__GEN3の変形例について説明する。図13は、本発明の実施の形態8による信号再生回路において、図2の信号再生回路におけるクロック生成回路CLK__GENの詳細な構成例を示すブロック図である。図13に示すクロック生成回路CLK__GEN3aは、図11(a)に示したクロック生成回路CLK__GEN3と比較して、フィードバック回路部FB1, FB2からのクロック信号CLKfb1, CLKfb2を入力として位相比較を行う位相比較回路PD__FBが加わった点が異なっている。さらに、図11(a)のコントローラ回路CTL__BLK3が図13のコントローラ回路CTL__BLK3aに置き換わった点が異なっている。これ以外の構成は図11(a)のCLK__GEN3と同様であるため、詳細な説明は省略する。

[0081] PD__FBは、CLKfb1とCLKfb2の位相を比較し、CLKfb1とCLKfb2の位相が一致した際に、コントローラ回路CTL__BLK3aに向けて検出信号Sdet3を出力する

。CTL__BLK3aは、このSdet3を受けて、帰還経路選択信号Sfbse13を発行し、FB1とFB2の経路を切り換える。すなわち、Sdet3は、図11で説明したように、選択されている経路における可変遅延回路VDLY31、VDLY32の遅延量が最大値または最小値に到達した際に発行されることになる。

[0082] 實際上、VDLY31、VDLY32の遅延量がCLKoutの例えば1サイクル時間(C1)と完全に一致するように設計することは困難であるため、現実的には、遅延量にある程度のマージンを持たせた設計が行われることになる。この場合、VDLY31、VDLY32の遅延量がC1分推移したことを検出する機能が必要となり、当該機能がPD__FBによって実現される。

[0083] なお、PD__FBを設けない場合であっても、このC1に該当する遅延量を、例えば信号再生回路の初期設定時(所謂トレーニング時)などで予め固定的に定めておくことも可能である。具体的には、例えば、FB1の遅延量を変更しながらCLKrefとFB1をPD__CKで位相比較し、またFB2の遅延量を変更しながらCLKrefとFB2をPD__CKで位相比較し、これらの位相比較結果を解析することである程度見積もることができる。ただし、実際の動作段階では、プロセス・電圧・温度等のばらつきに伴って誤差が生じ得るため、図13のようにPD__FBを設ける方がより高精度化を図る観点から望ましい。なお、PD__FBは、比較的low周波信号の位相比較を行うことになるため、消費電力の増大はさほど問題とならない。また、このPD__FBは、勿論、本実施の形態8に限らず、その他の実施の形態に対しても同様に適用して有益なものとなる。例えば、図8の構成例を図3(図7)の構成例に適用した場合には、現在用いている位相(例えばp3)の前後の位相(p2およびp4)とクロック信号CLKfbとを位相比較すればよい。

[0084] 以上、本実施の形態8のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態6の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに位相比較回路PD__FBを設けることで、更なる高精度化を図ることが可能となる。

[0085] (実施の形態9)

本実施の形態9では、実施の形態6で述べた図11のクロック生成回路CLK_GEN3の他の変形例について説明する。図14は、本発明の実施の形態9による信号再生回路において、図2の信号再生回路におけるクロック生成回路CLK_GENの詳細を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の動作例を示す波形図である。図14(a)に示すクロック信号回路CLK_GEN4は、図11のCLK_GEN3と比較して、図11のFB1、FB2がフィードバック回路部FB1a、FB2aに置き換わり、CTL_BLK3がコントローラ回路CTL_BLK4に置き換わった点が異なっている。それ以外の構成は図11と同様であるため、詳細な説明は省略する。

[0086] 図14において、FB1aは、図11と同じカウンタ回路CUNT_BLK31と、その後段に接続された可変遅延回路VDLY41で構成される。FB2aは、図11と同様のカウンタ回路CUNT_BLK32'と、その後段に接続された可変遅延回路VDLY42を備え、CUNT_BLK32'は、CUNT_BLK32と異なりクロック信号CLKoutの反転信号で動作する構成となっている。VDLY41、VDLY42は、図11のVDLY31、VDLY32と異なりそれぞれの遅延量がクロック信号CLKoutの1/2サイクル($C1/2$)分となっており、CTL_BLK4からの遅延量選択信号Sdsel4によって個別に遅延量が制御される。また、FB1aのCUNT_BLK31とFB2aのCUNT_BLK32'は、それぞれCLKoutの1/2サイクル分位相が異なる動作を行う。

[0087] このような構成例を用いると、図11の場合と同様の動作を、($C1/2$)を単位として行うことが可能になる。すなわち、図14(b)に示すように、例えば、CUNT_BLK31から出力されるクロック信号CLKct1の位相が $p1$ の場合、VDLY41によって(+)方向の位相制御が行われ、その遅延量が例えば($\max/2$)を超えたような場合には、CUNT_BLK32'において、位相が $p0$ と($C1/2$)異なる $p1'$ を生成しておく。また、VDLY42の遅延量を(0)にしておく。その後、VDLY41の遅延量が($\max$)に到達した際には、SEL3がCLKfb1からCLKfb2への切り換えを行う。その後も同様に、 $p1' \rightarrow p2 \rightarrow p2' \rightarrow \dots$ といったようにFB1aとFB2aを交互に用いて位相制御を行うことができる。

[0088] 以上、本実施の形態9のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態6の場合と同様に、代表的には、広範囲な位相制御を低消

費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、実施の形態6の場合と比較して可変遅延回路VDLY41, VDLY42の回路面積を低減できる。

[0089] (実施の形態10)

本実施の形態10では、実施の形態9で述べた図14のクロック生成回路CLK_GEN4の変形例について説明する。図15は、本発明の実施の形態10による信号再生回路において、図2の信号再生回路におけるクロック生成回路CLK_GENの詳細な構成例を示すブロック図である。図15に示すクロック生成回路CLK_GEN5は、図14のCLK_GEN4と比較して、図14のSEL3およびPD_CKが、2個の位相比較回路PD_CK1, PD_CK2と、その後段に接続されたセクタ回路SEL5に置き換わっている点が異なっている。また、図14のCTL_BLK4がコントローラ回路CTL_BLK5に置き換わっている点が異なっている。それ以外の構成は図14と同様であるため詳細な説明は省略する。

[0090] PD_CK1は、クロック信号CLKrefとフィードバック回路部FB1aからのクロック信号CLKfb1とを位相比較し、PD_CK2は、CLKrefとフィードバック回路部FB2aからのクロック信号CLKfb2とを位相比較する。セクタ回路SEL5は、この2個の位相比較結果のいずれかをCTL_BLK5からの帰還経路選択信号Sfbse15に基づいて選択し、それをロウパスフィルタ回路(ループフィルタ回路)LPF_CKに出力する。図15の動作に関しては、図14の動作とほぼ同様であり、帰還経路の切り換えが、図14ではSEL3によって行われていたが、図15ではSEL5によって行われる。

[0091] このような構成例を用いると、図14の構成例と比較して、よりノイズ成分の影響を低減でき、位相制御に際して高精度化を図ることが可能となる。すなわち、図14においては、SEL3の切り換えに伴うノイズ成分がPD_CKの動作に影響を及ぼすため、その影響は、LPF_CKによってある程度低減されるものの、CLKoutのジッタ成分に繋がることになる。一方、図15においては、PD_CKを追加した分だけ回路面積は増大するものの、このようなSEL3を介さないことでPD_CK1, PD_CK2の高精度な動作を実現できる。ただし、その後段で、SEL5の切り換えに伴いノイズ成分が生じるが、PD_CKがノイズ成分を受ける場合と比較すると、CLKoutに生じるジッタ成

分を十分に低減可能になる。とくに、図15において位相比較回路PD__CK1およびPD__CK2がバングバング型の位相比較回路である場合は、PD__CK1およびPD__CK2が出力する信号はデジタル信号であるため、SEL5の切り替えによるノイズ増加は全くない。

[0092] 以上、本実施の形態10のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態9の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実現可能になる。さらに、実施の形態9の場合と比較して、より高精度な位相制御が実現可能になる。

[0093] (実施の形態11)

本実施の形態11では、実施の形態9および10の図14および図15で説明したカウンタ回路部CUNT__BLK31, CUNT__BLK32'の詳細な構成例について説明する。図16は、本発明の実施の形態11によるクロック生成回路において、図14および図15のカウンタ回路部CUNT__BLK31, CUNT__BLK32'の詳細な構成例を示す回路図である。図16に示すカウンタ回路部CUNT__BLK31b, CUNT__BLK32'bは、前述した図12のカウンタ回路部CUNT__BLK31b, CUNT__BLK32bと比較して、Dラッチ回路DLT[21b]の後段にDラッチ回路DLT[22b]が接続された点が異なっている。それ以外の構成は、図12と同様であるため詳細な説明は省略する。

[0094] DLT[22b]は、クロック信号CLKoutの‘L’レベルおよび‘H’レベルで取り込み動作およびラッチ動作を行い、クロック信号CLKct2を出力する。したがって、クロック信号CLKct1がCLKoutの立ち上がりに同期した信号であるのに対して、CLKct2は、CLKct1からCLKoutの1/2サイクル($C1/2$)分遅れて、CLKoutの立ち下がりに同期した信号となる。これによって、図14で述べたように、($C1/2$)を単位とした位相制御を実現可能になる。

[0095] 以上、本実施の形態11のクロック生成回路およびそれを備えた信号再生回路を用いることで、実施の形態9の場合と同様に、代表的には、広範囲な位相制御を低消費電力で実現可能になる。また、広範囲な位相制御を高分解能および高精度で実

現可能になる。さらに、可変遅延回路の面積低減と共に、カウンタ回路部における回路構成および動作の簡素化を図ることも可能になる。

[0096] (実施の形態12)

本実施の形態12では、実施の形態10の図15で説明したクロック生成回路CLK__GEN5の応用例について説明する。図17は、本発明の実施の形態12による信号再生回路において、図2の信号再生回路におけるクロック生成回路CLK__GENの詳細を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の動作原理を示す概念図である。

[0097] 図17(a)に示すクロック生成回路CLK__GEN6は、図15のCLK__GEN5と比較して、位相比較回路PD__CK1が、サンプリング・ホールド回路SH1および電圧比較回路CMP1に置き換わり、位相比較回路PD__CK2が、サンプリング・ホールド回路SH2および電圧比較回路CMP2に置き換わった構成となっている。さらに、図15の可変遅延回路VDLY41, VDLY42が、それぞれ、図17の波形鈍化回路CR1, CR2に置き換わり、図15のコントローラ回路CTL__BLK5が、図17のコントローラ回路CTL__BLK6およびデジタル・アナログ変換回路DACに置き換わって構成となっている。

[0098] CR1は、カウンタ回路部CUNT__BLK31からのクロック信号CLKct1に対して、その立ち上がり時間がクロック信号CLKoutの $1/2$ サイクル($C1/2$)となるように波形を鈍化させる。CR2は、カウンタ回路部CUNT__BLK32'からのクロック信号CLKct2に対して、その立ち下がり時間が($C1/2$)となるように波形を鈍化させる。また、SH1は、クロック信号CLKrefに同期してCR1からのクロック信号CLKfb1をサンプリング・ホールドし、SH2は、CLKrefに同期してCR2からのクロック信号CLKfb2をサンプリング・ホールドする。CMP1は、CTL__BLK6からDACを介して設定された参照電圧Vrefを基準としてSH1の出力電圧を判定する。同様に、CMP2は、Vrefを基準としてSH2の出力電圧を判定する。CMP1およびCMP2の出力は、セクタ回路SEL5を介してロウパスフィルタ回路LPF__CKに出力される。

[0099] このような構成例を用いると、図17(b)に示すように、CLKfb1の立ち上がり波形に対して、Vrefを遷移させることで($C1/2$)分の位相制御を行うことができ、それに続

いて、CLKfb2の立ち下がり波形に対して、Vrefを遷移させることで($C1/2$)分の位相制御を行うことができる。したがって、CLKfb1とCLKfb2を交互に切り換えながら、Vrefを上下に推移させることで、クロック信号CLKoutを回転させることが可能になる。

[0100] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

産業上の利用可能性

[0101] 本実施の形態によるクロック生成回路および信号再生回路は、特に、数十Gbpsを超える通信速度を備えた光通信システムにおいて、その受信部の回路に適用して有効なものである。

請求の範囲

- [1] 第1クロック信号を出力する発振回路と、
前記第1クロック信号から帰還されたフィードバック信号と、外部からの第2クロック信号とを位相比較し、その比較結果に基づいて前記発振回路の発振周波数を制御する第1制御回路と、
前記第1クロック信号の位相を回転させるための遅延量選択信号および位相選択信号を生成する第2制御回路と、
前記第1クロック信号をN分周し、前記位相選択信号に応じた位相の第3クロック信号を出力するカウンタ回路と、
前記第3クロック信号のサイクル時間よりも短い第1時間の遅延量制御幅を持ち、前記第3クロック信号を前記遅延量選択信号に応じた遅延量で遅延させ、前記フィードバック信号を出力する可変遅延回路とを備え、
前記可変遅延回路による遅延量が初期状態から前記第1時間変位した際、前記カウンタ回路は、前記位相選択信号に応じて前記第3クロック信号の位相を前記第1時間の単位で遷移させ、前記可変遅延回路は、前記遅延量制御信号に応じて遅延量を前記初期状態に戻すことを特徴とするクロック生成回路。
- [2] 請求項1記載のクロック生成回路において、
前記カウンタ回路は、
ジョンソンカウンタ回路と、
前記ジョンソンカウンタ回路の各出力位相ノードの中からいずれかの出力位相ノードを選択する第1セクタ回路とを備えることを特徴とするクロック生成回路。
- [3] 請求項2記載のクロック生成回路において、
前記第1時間は、前記第1クロック信号の1サイクル時間であることを特徴とするクロック信号回路。
- [4] 請求項2記載のクロック生成回路において、
前記第1時間は、前記第1クロック信号の $1/2$ サイクル時間であり、
前記カウンタ回路は、前記第1セクタ回路から出力されたクロック信号を対象として、前記第1クロック信号の立ち上がりを用いて同期した信号と、立ち下がりを用いて

同期した信号とを選択することで前記第1時間の単位での位相遷移を行うことを特徴とするクロック生成回路。

- [5] 請求項1記載のクロック生成回路において、
前記カウンタ回路は、前記第1クロック信号をN回カウントするNカウンタ回路に対して、 $(N+1)$ カウンタ回路または $(N-1)$ カウンタ回路を組み合わせることで、前記第1時間の単位での位相遷移を行うことを特徴とするクロック生成回路。
- [6] 請求項5記載のクロック生成回路において、
前記第1時間は、前記第1クロック信号の1サイクル時間であることを特徴とするクロック信号回路。
- [7] 請求項5記載のクロック生成回路において、
前記第1時間は、前記第1クロック信号の $1/2$ サイクル時間であることを特徴とするクロック信号回路。
- [8] 請求項1記載のクロック生成回路において、
前記可変遅延回路は、
順に従続接続された複数のインバータ回路と、
それぞれ、2入力的一方を選択したのち反転出力を行う複数のセレクト回路とを備え、
前記複数のインバータ回路を順に $I[K]$ 、 $I[K+1]$ 、 $I[K+2]$ 、…とし、前記複数のセレクト回路を順に $S[K]$ 、 $S[K+1]$ 、 $S[K+2]$ 、…とした場合、 $S[K]$ 、 $S[K+1]$ 、 $S[K+2]$ の一方の入力は、それぞれ、 $I[K]$ 、 $I[K+1]$ 、 $I[K+2]$ であり、 $S[K]$ の他方の入力は、 $S[K+1]$ の出力であり、 $S[K+1]$ の他方の入力は、 $S[K+2]$ の出力であることを特徴とするクロック生成回路。
- [9] 第1クロック信号を出力する発振回路と、
前記第1クロック信号から帰還されたフィードバック信号と、外部からの第2クロック信号とを位相比較し、その比較結果に基づいて前記発振回路の発振周波数を制御する第1制御回路と、
前記第1クロック信号の位相を回転させるための第1遅延量選択信号、第2遅延量選択信号、第1位相選択信号、および第2位相選択信号を生成する第2制御回路と

、

前記第1クロック信号をN分周し、前記第1位相選択信号に応じた位相の第3クロック信号を出力する第1カウンタ回路と、

前記第3クロック信号のサイクル時間よりも短い第1時間の遅延量制御幅を持ち、前記第3クロック信号を前記第1遅延量選択信号に応じた遅延量で遅延させる第1可変遅延回路と、

前記第1クロック信号をN分周し、前記第2位相選択信号に応じた位相の第4クロック信号を出力する第2カウンタ回路と、

前記第1時間の遅延量制御幅を持ち、前記第4クロック信号を前記第2遅延量選択信号に応じた遅延量で遅延させる第2可変遅延回路と、

前記第1可変遅延回路の出力と前記第2可変遅延回路の出力のいずれかを前記フィードバック信号とする選択手段とを備え、

前記選択手段によって前記第1可変遅延回路の出力が選択され、前記第1可変遅延回路による遅延量が初期状態から前記第1時間よりも小さい第2時間変位した際、前記第2カウンタ回路は、前記第2位相選択信号に応じて前記第3クロック信号との間で前記第1時間の位相差を持つ前記第4クロック信号を生成し、前記第2可変遅延回路は、前記第2遅延量選択信号に応じて遅延量を初期状態に設定し、その後、前記第1可変遅延回路による遅延量の変位が前記第1時間に到達した際には、前記選択手段が、前記第1可変遅延回路の出力に替わって前記第2可変遅延回路の出力を前記フィードバック信号とすることを特徴とするクロック生成回路。

[10] 請求項9記載のクロック生成回路において、

前記第1および前記第2カウンタ回路は、

ジョンソンカウンタ回路と、

前記ジョンソンカウンタ回路の各出力位相ノードに並列接続された第1セクタ回路および第2セクタ回路とを備えることで実現され、

前記第1セクタ回路は、前記第1位相選択信号に基づいて選択動作を行い、

前記第2セクタ回路は、前記第2位相選択信号に基づいて選択動作を行い、

前記第3クロック信号は、前記第1セクタ回路の出力から得られ、

前記第4クロック信号は、前記第2セクタ回路の出力から得られることを特徴とするクロック生成回路。

- [11] 請求項10記載のクロック生成回路において、
前記第1時間は、前記第1クロック信号の1サイクル時間であることを特徴とするクロック信号回路。
- [12] 請求項10記載のクロック生成回路において、
前記第1時間は、前記第1クロック信号の1/2サイクル時間であり、
前記第1および前記第2カウンタ回路は、前記第1セクタ回路の出力を前記第1クロック信号の立ち上がりを用いて同期し、前記第2セクタ回路の出力を前記第1クロック信号の立ち下がりを用いて同期することで前記第1時間の単位での位相遷移を行うことを特徴とするクロック生成回路。
- [13] 請求項9記載のクロック生成回路において、
さらに、前記第1可変遅延回路の出力と前記第2可変遅延回路の出力とを位相比較する第1位相比較回路を備え、
前記選択手段は、前記第1位相比較回路による比較結果に基づいて選択動作を行うことを特徴とするクロック生成回路。
- [14] 請求項9記載のクロック生成回路において、
前記第1制御回路は、
前記第1可変遅延回路の出力と前記第2可変遅延回路の出力のいずれかを選択する第3セクタ回路と、
前記第3セクタ回路の出力と前記第2クロック信号とを位相比較する第2位相比較回路と、
前記第2位相比較回路の比較結果に基づいて前記発振回路の発振周波数を制御する第1ループフィルタ回路とを備え、
前記第3セクタ回路は、前記選択手段によって制御されることを特徴とするクロック生成回路。
- [15] 請求項9記載のクロック生成回路において、
前記第1制御回路は、

前記第1可変遅延回路の出力と前記第2クロック信号とを位相比較する第3位相比較回路と、

前記第2可変遅延回路の出力と前記第2クロック信号とを位相比較する第4位相比較回路と、

前記第3位相比較回路の比較結果と前記第4位相比較回路の比較結果のいずれかを選択する第4セクタ回路と、

前記第4セクタ回路の出力に基づいて前記発振回路の発振周波数を制御する第2ループフィルタ回路とを備え、

前記第4セクタ回路は、前記選択手段によって制御されることを特徴とするクロック生成回路。

[16] クロック生成回路と、

外部からの入力データ信号と前記クロック生成回路からの第1クロック信号とを位相比較し、その比較結果に基づいて前記クロック生成回路に向けて位相制御信号を出力する第1制御回路と、

前記入力データ信号を前記第1クロック信号でラッチし、再生データ信号を出力する符号判定回路とを備え、

前記クロック生成回路は、

前記第1クロック信号を出力する発振回路と、

前記第1クロック信号から帰還されたフィードバック信号と、外部からの第2クロック信号とを位相比較し、その比較結果に基づいて前記発振回路の発振周波数を制御する第2制御回路と、

前記第1制御回路からの前記位相制御信号に応じて、前記第1クロック信号の位相を回転させるための遅延量選択信号および位相選択信号を生成する第3制御回路と、

前記第1クロック信号をN分周し、前記位相選択信号に応じた位相の第3クロック信号を出力するカウンタ回路と、

前記第3クロック信号のサイクル時間よりも短い第1時間の遅延量制御幅を持ち、前記第3クロック信号を前記遅延量選択信号に応じた遅延量で遅延させ、前記フィード

バック信号を出力する可変遅延回路とを備え、

前記可変遅延回路による遅延量が初期状態から前記第1時間変位した際、前記カウンタ回路は、前記位相選択信号に応じて前記第3クロック信号の位相を前記第1時間の単位で遷移させ、前記可変遅延回路は、前記遅延量制御信号に応じて遅延量を前記初期状態に戻すことを特徴とする信号再生回路。

[17] 請求項16記載の信号再生回路において、

前記カウンタ回路は、

ジョンソンカウンタ回路と、

前記ジョンソンカウンタ回路の各出力位相ノードの中からいずれかの出力位相ノードを選択する第1セクタ回路とを備えることを特徴とする信号再生回路。

[18] 請求項17記載の信号再生回路において、

前記第1時間は、前記第1クロック信号の1サイクル時間であることを特徴とする信号再生回路。

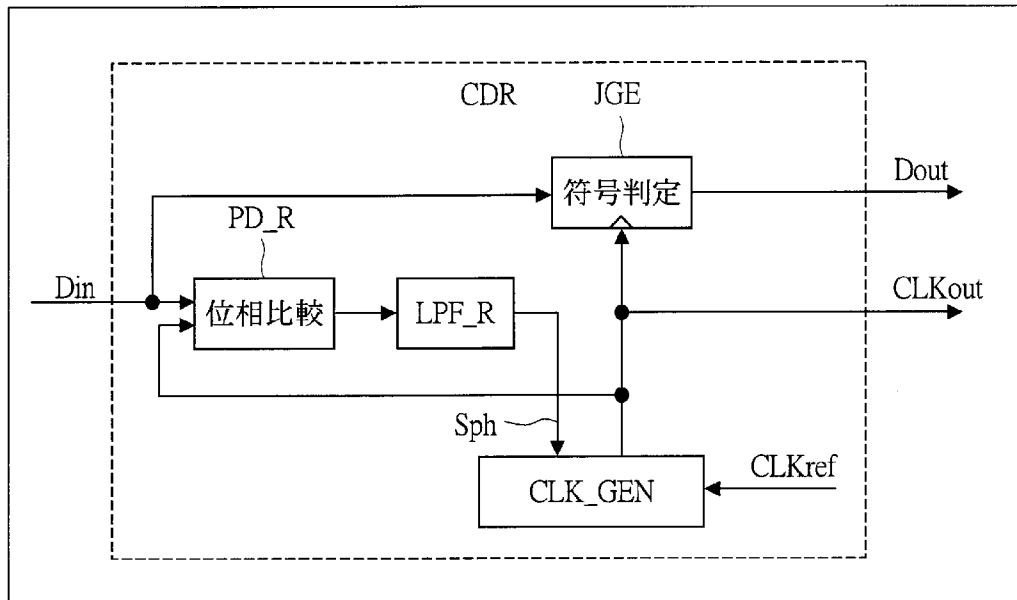
[19] 請求項17記載の信号再生回路において、

前記第1時間は、前記第1クロック信号の $1/2$ サイクル時間であり、

前記カウンタ回路は、前記第1セクタ回路から出力されたクロック信号を対象として、前記第1クロック信号の立ち上がりを用いて同期した信号か、立ち下がりを用いて同期した信号かを選択することで前記第1時間の単位での位相遷移を行うことを特徴とする信号再生回路。

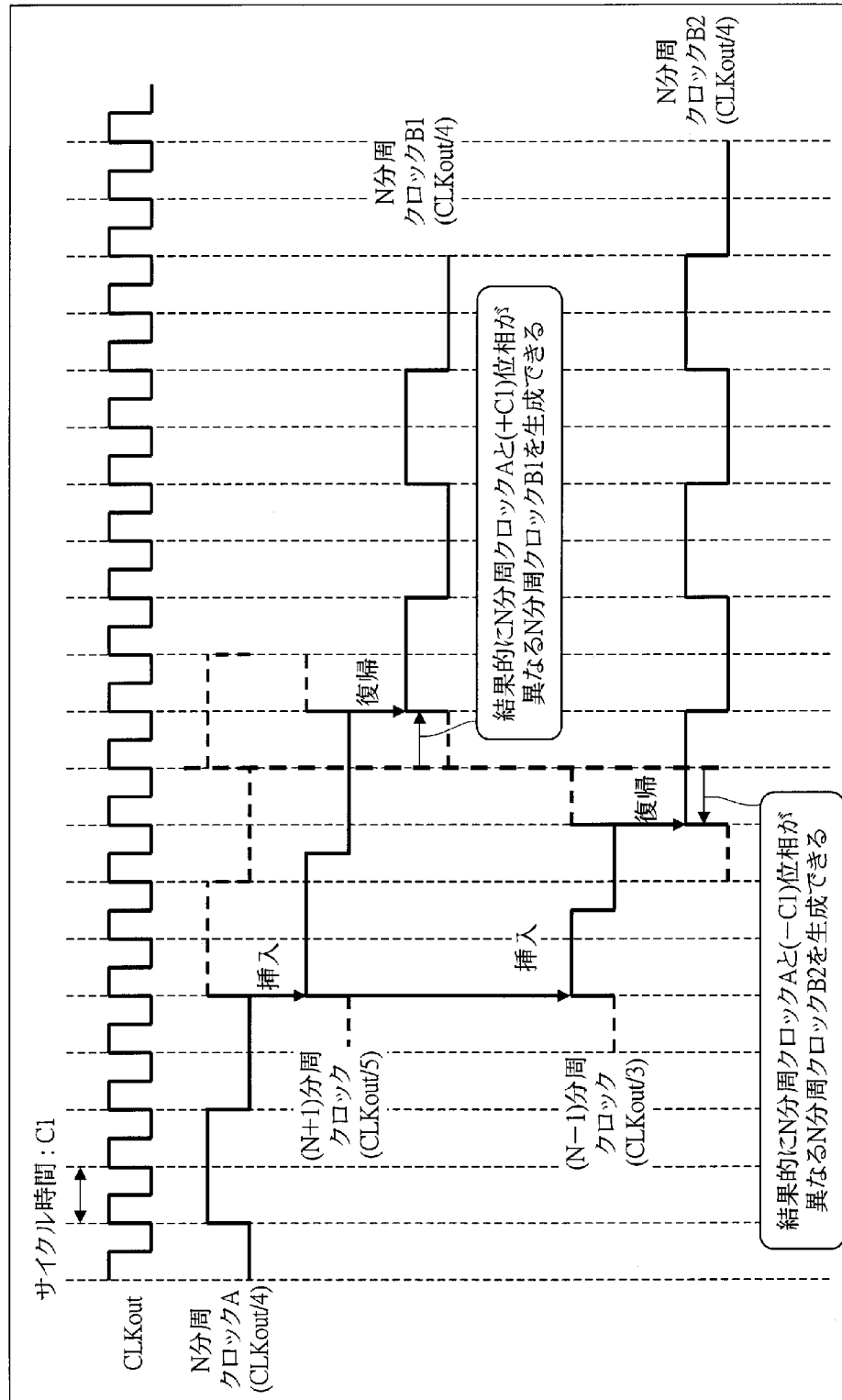
[図2]

図 2



[図4]

図 4



[図5]

5

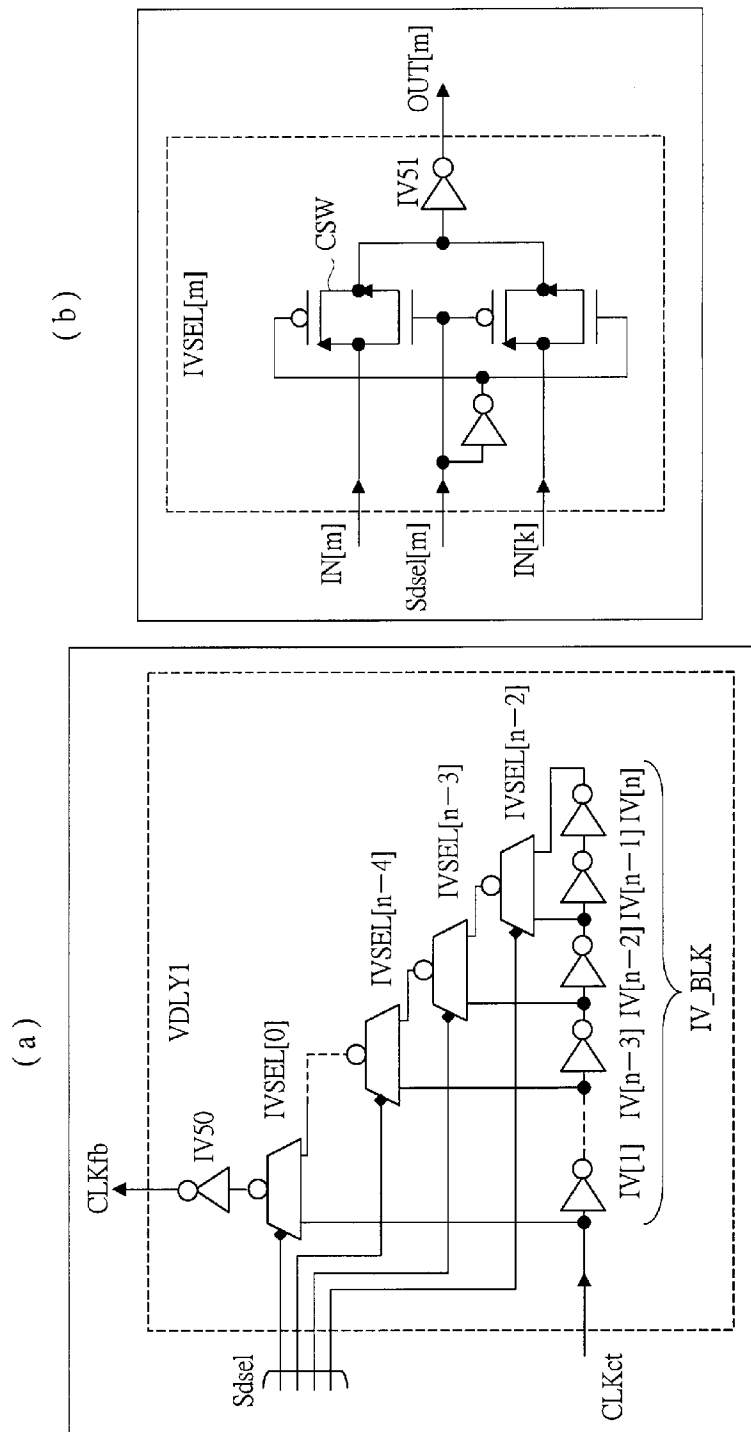


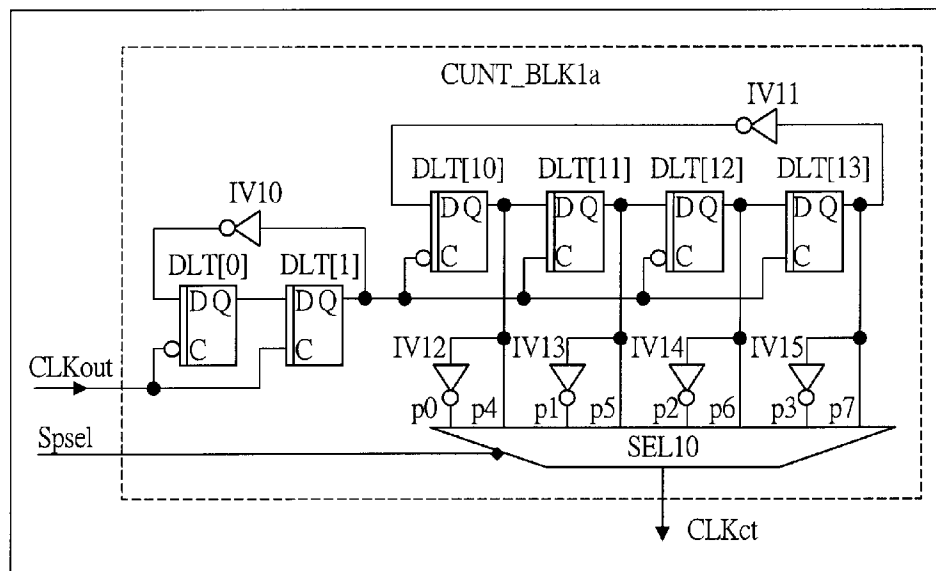
图 6

[illegible]

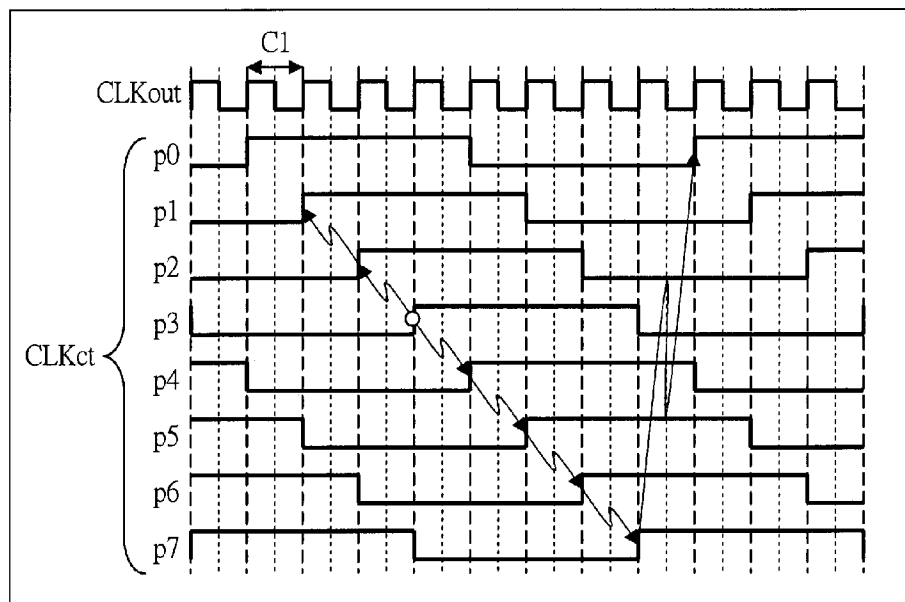
[図7]

図 7

(a)

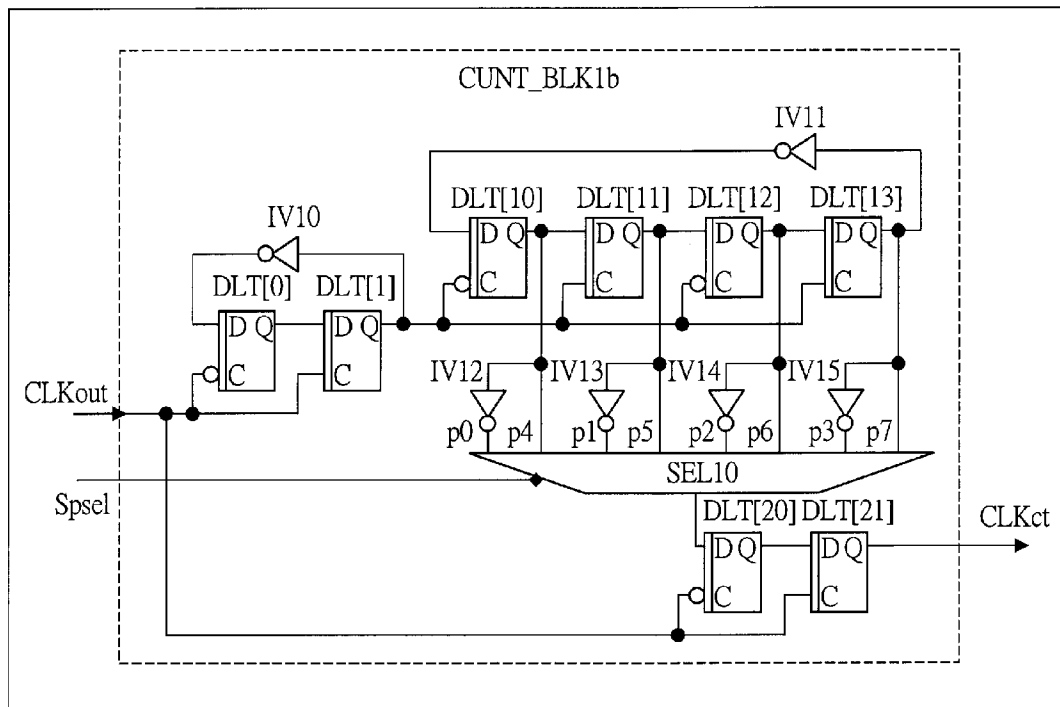


(b)



[図8]

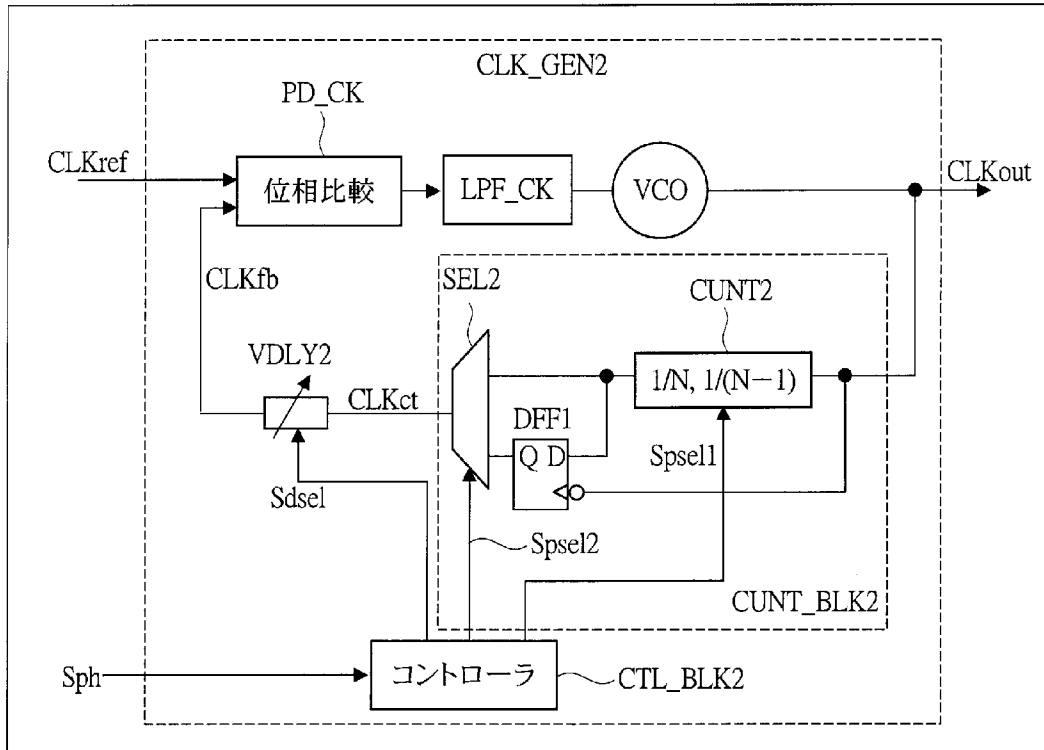
図 8



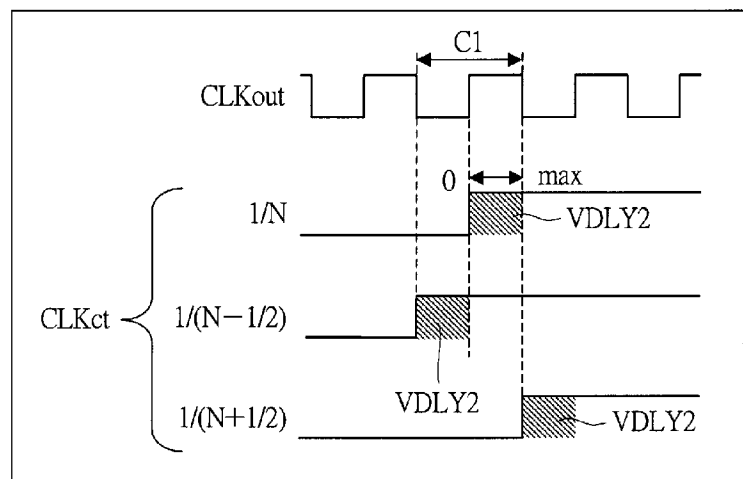
[図9]

図 9

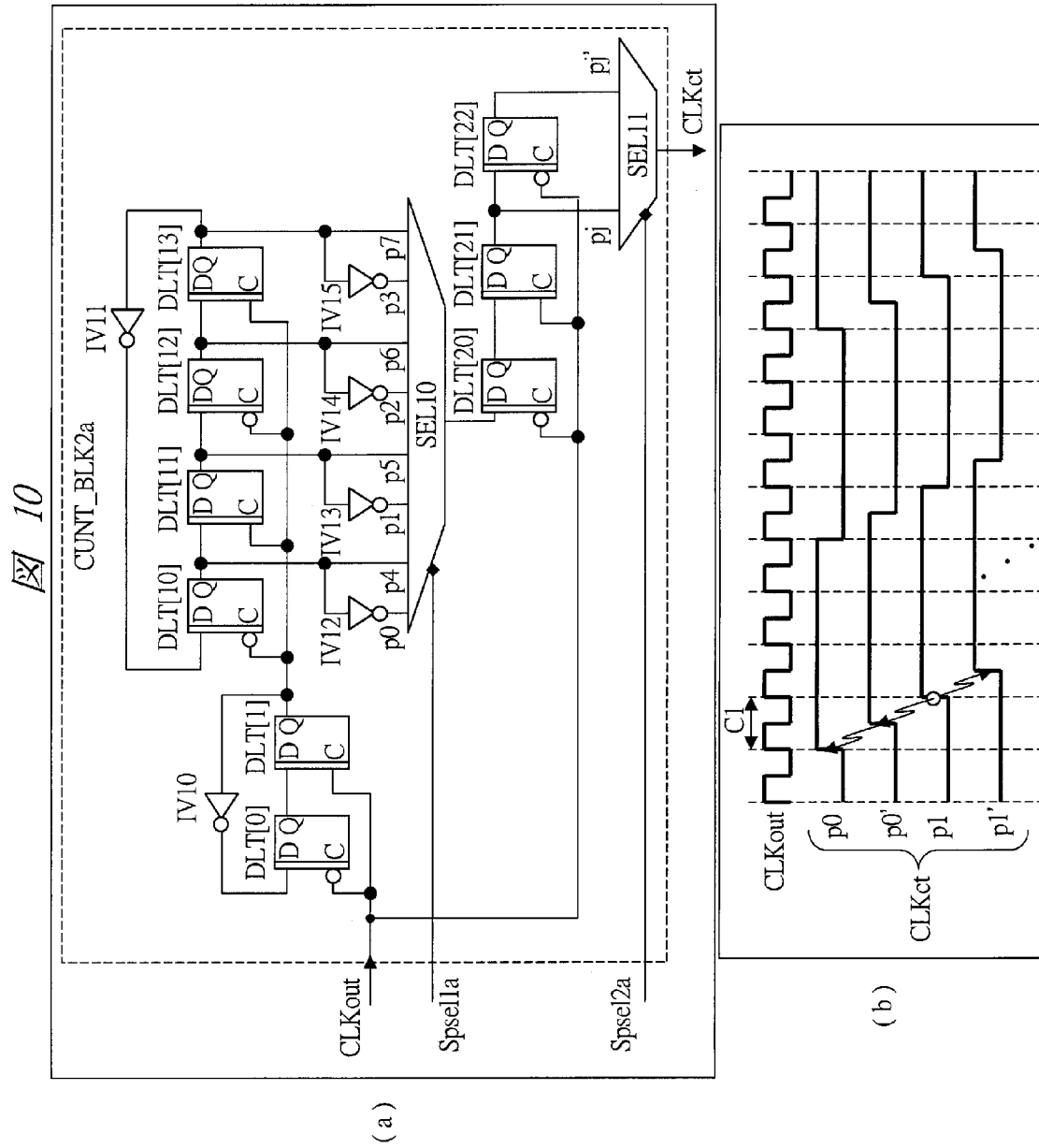
(a)



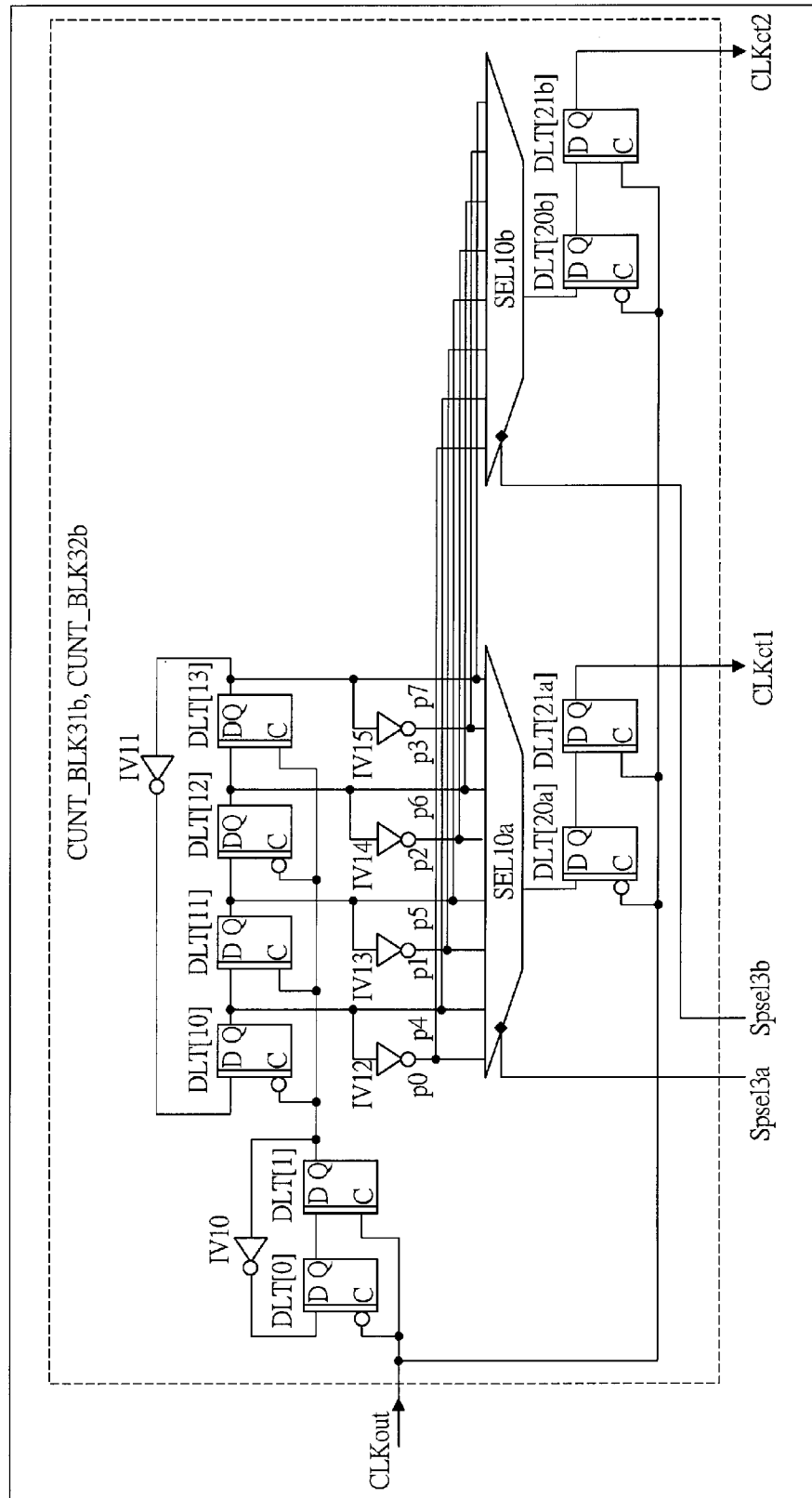
(b)



[図10]

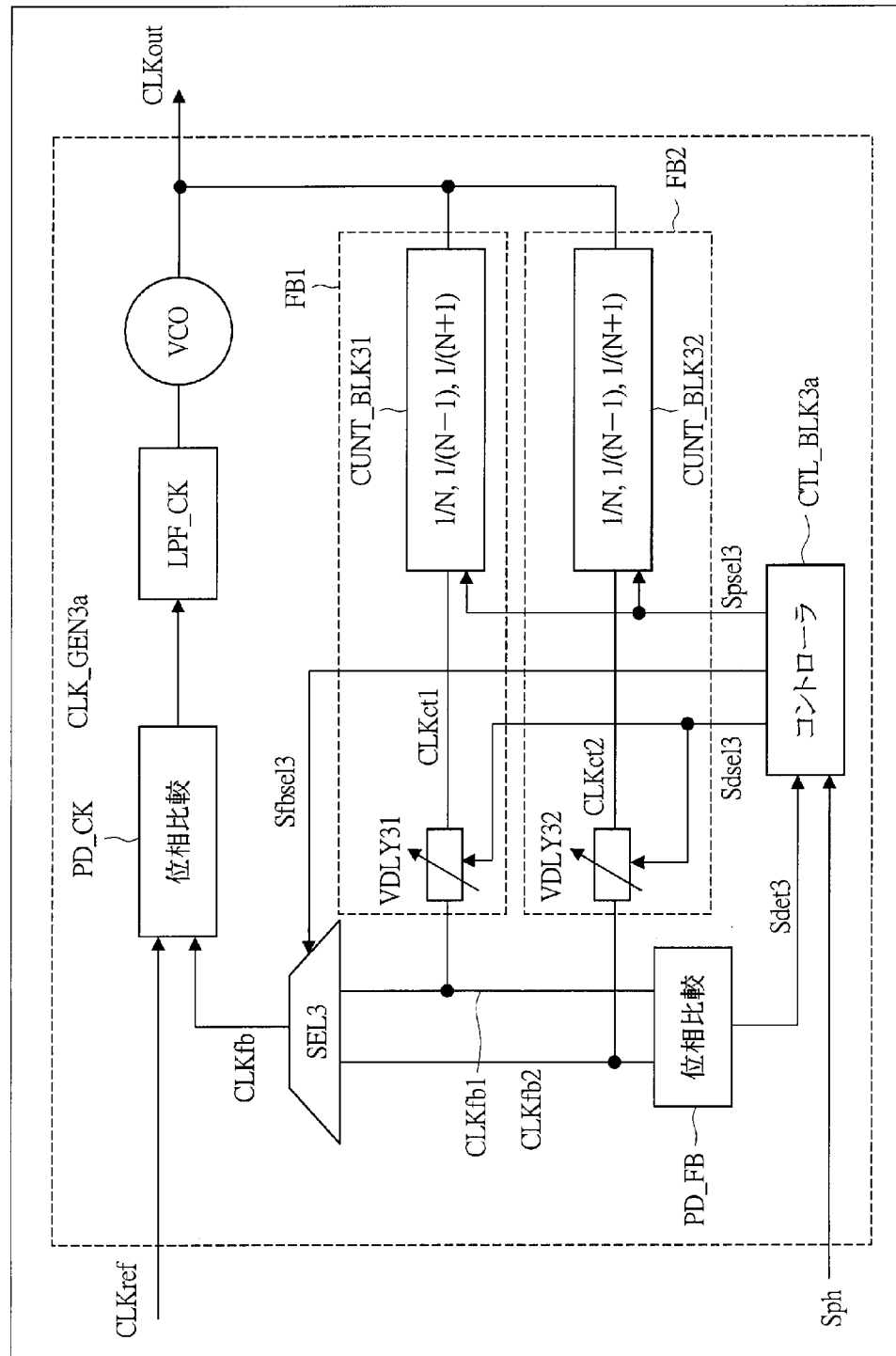


12



[図13]

図 13



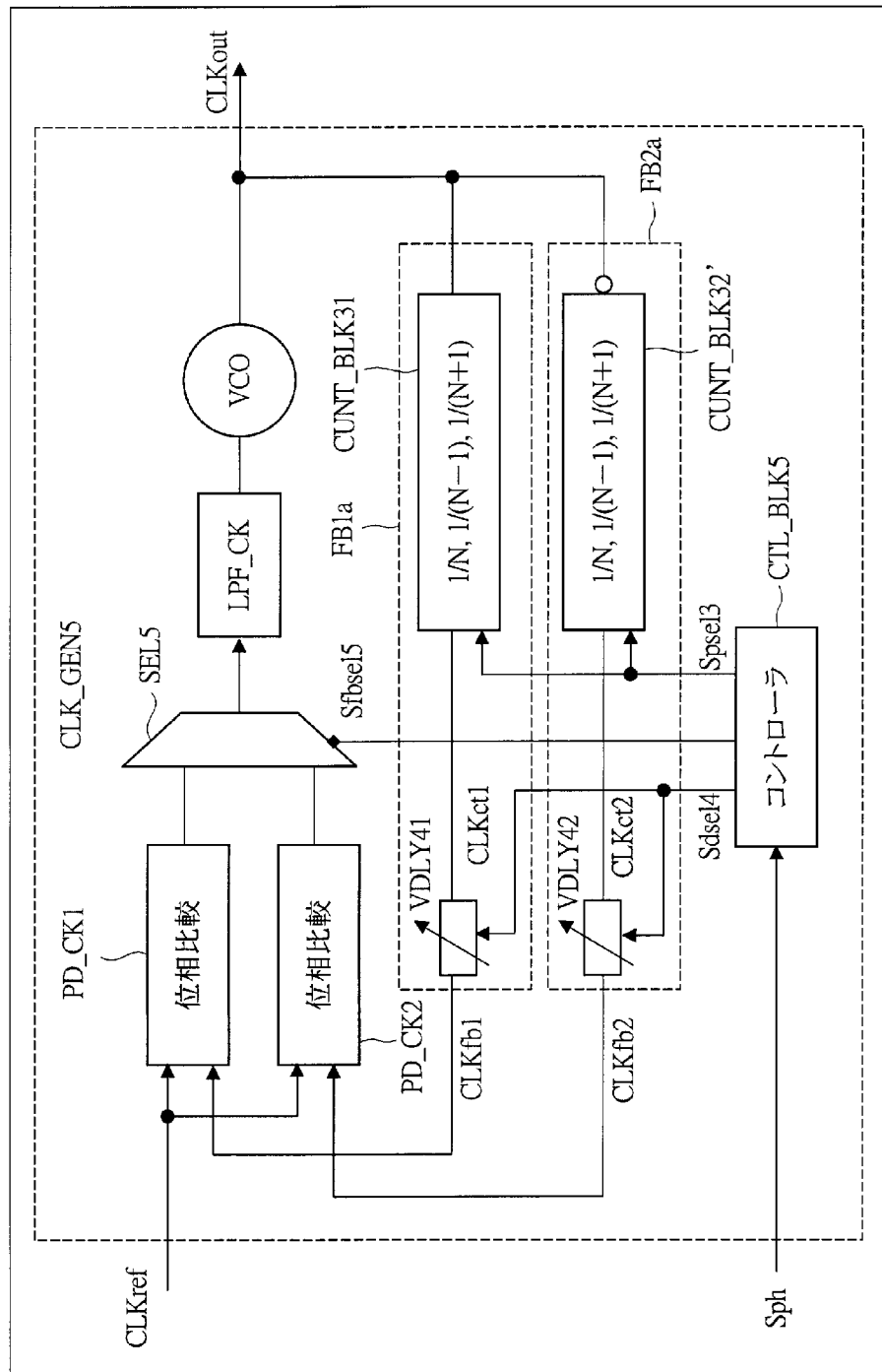
14 ☒



(b)

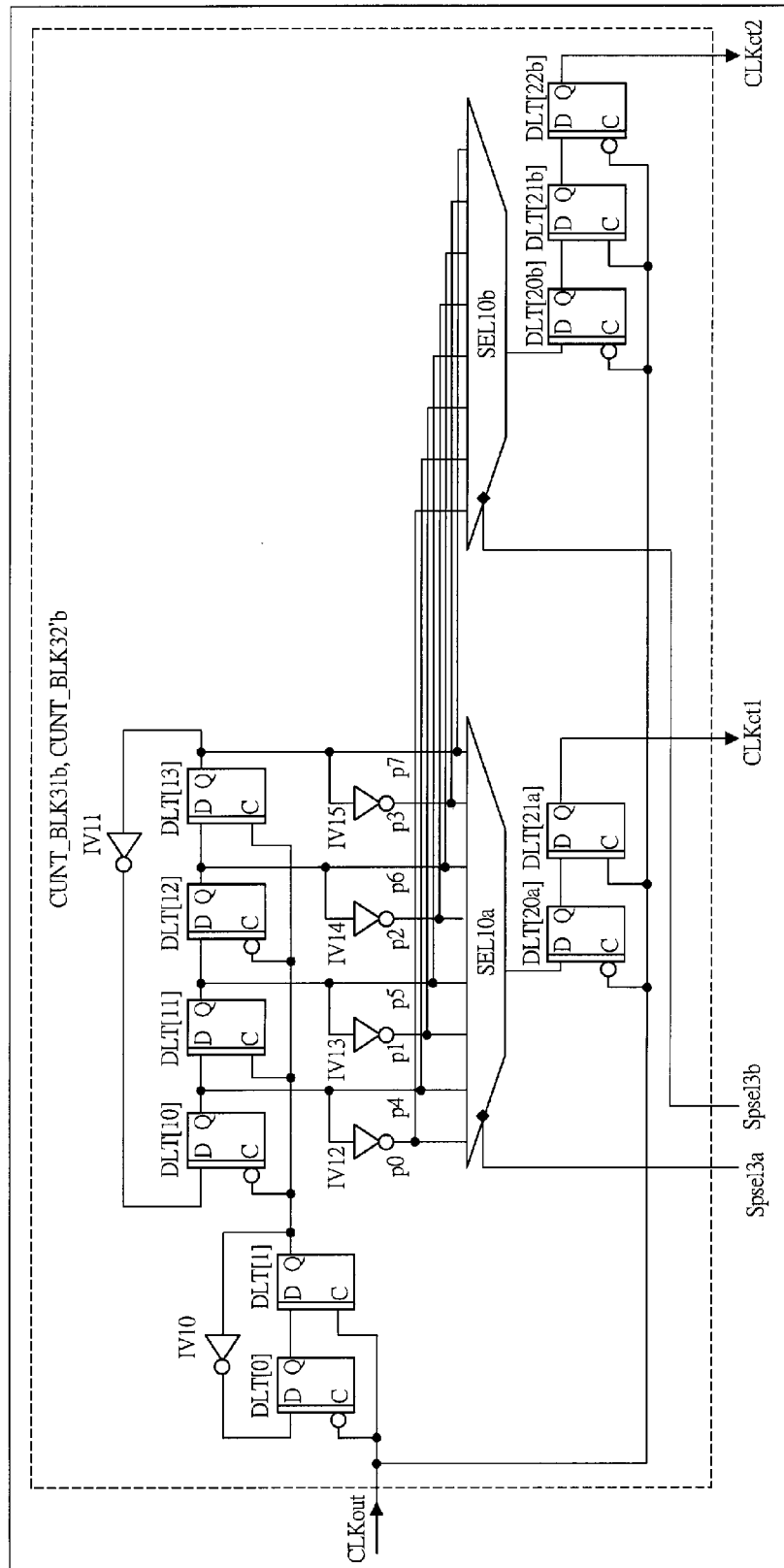
[図15]

図 15



[図16]

図 16

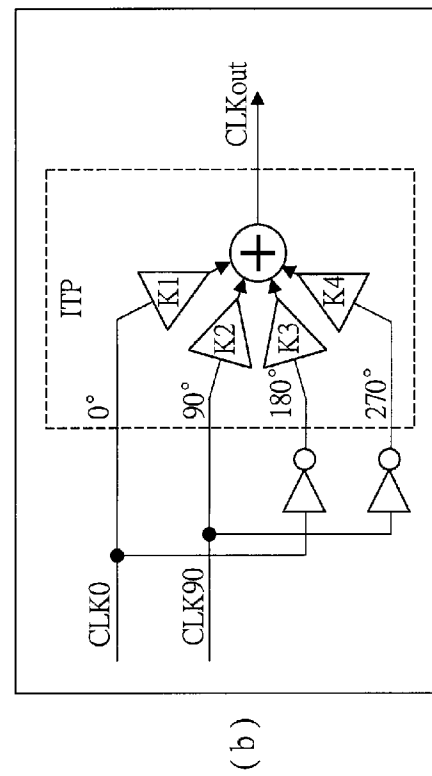
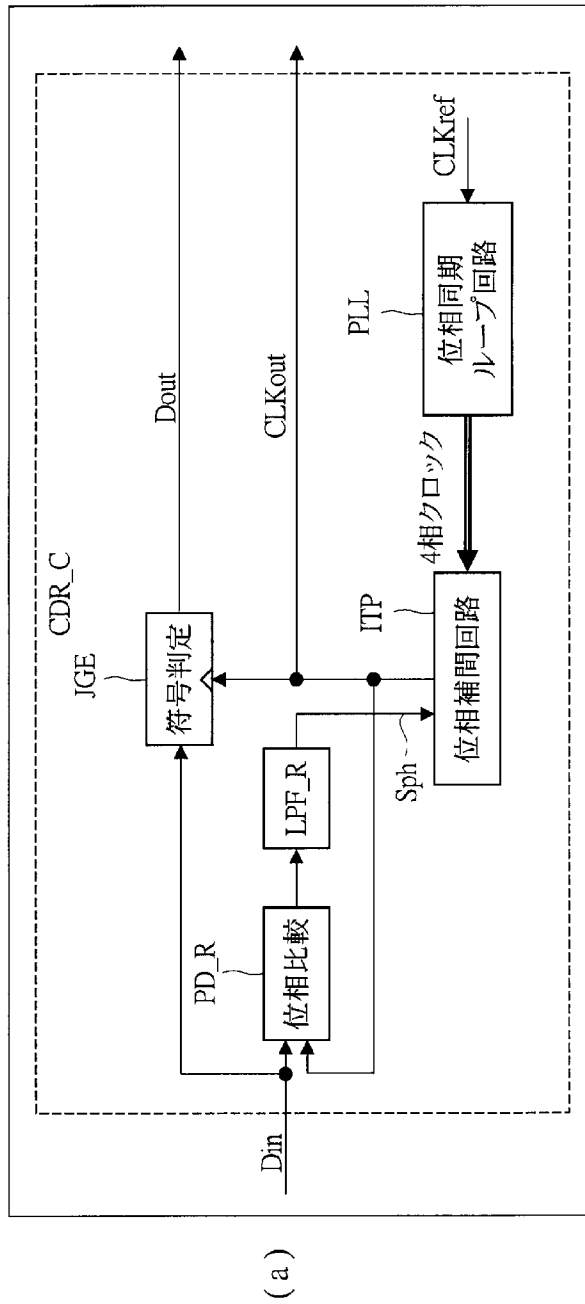


17



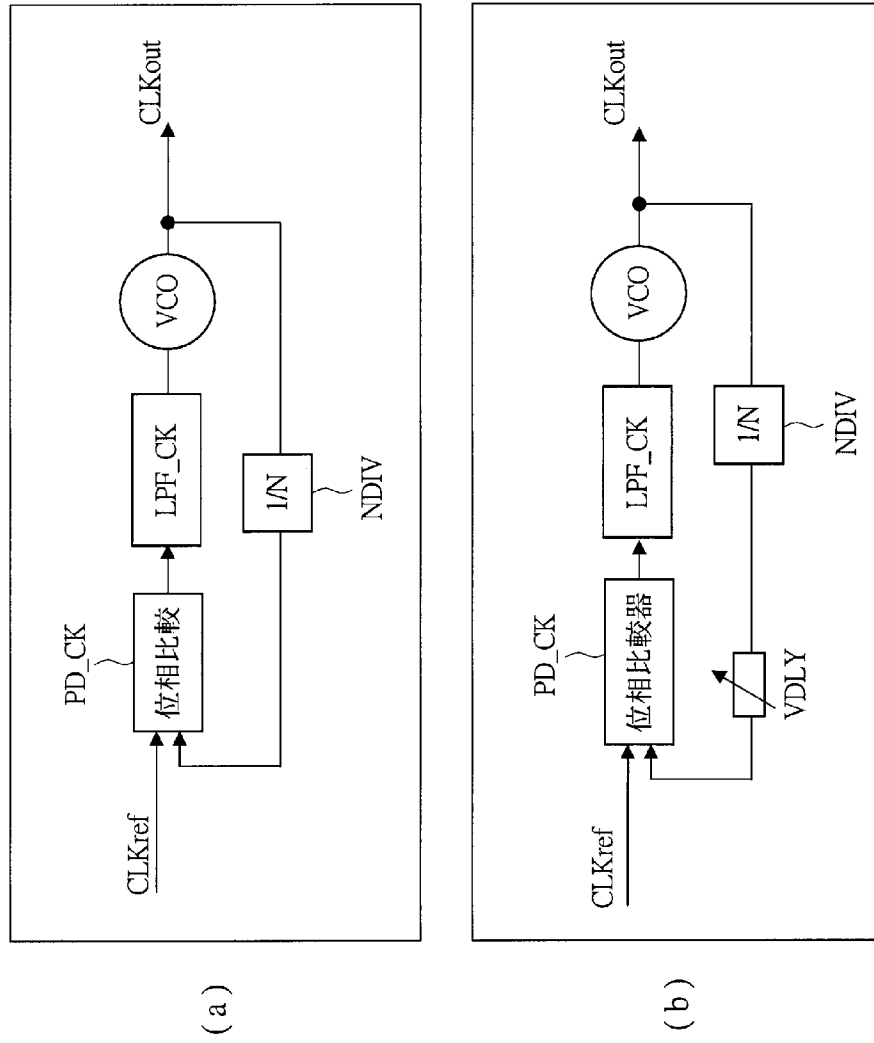
[図18]

図 18



[図19]

図 19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054639

A. CLASSIFICATION OF SUBJECT MATTER

H03L7/00(2006.01) i, H03L7/08(2006.01) i, H03L7/087(2006.01) i, H04L7/033
(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/00, H03L7/06-7/23, H04L7/033

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-57578 A (NEC Corp.), 22 February, 2002 (22.02.02), Full text; Figs. 1, 3, 4 & US 2002/0033738 A1 & US 2003/0112079 A1 & EP 1184988 A2 & DE 60126873 D & DE 60126873 T & TW 226151 B & KR 10-2002-0013738 A & CN 1338823 A	1-8, 16-19
A	JP 10-276083 A (Rohm Co., Ltd.), 13 October, 1998 (13.10.98), Full text; all drawings (Family: none)	2-4, 10-12, 17-19
A	JP 2005-191684 A (Sony Corp.), 14 July, 2005 (14.07.05), Full text; Figs. 1, 2 (Family: none)	9-15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 June, 2009 (02.06.09)Date of mailing of the international search report
16 June, 2009 (16.06.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054639

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-358020 A (Nippon Telegraph And Telephone Corp.), 26 December, 2000 (26.12.00), Full text; Fig. 1 (Family: none)	16-19

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03L7/00(2006.01)i, H03L7/08(2006.01)i, H03L7/087(2006.01)i, H04L7/033(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03L7/00, H03L7/06-7/23, H04L7/033

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-57578 A (日本電気株式会社) 2002.02.22, 全文, 図 1, 3, 4 & US 2002/0033738 A1 & US 2003/0112079 A1 & EP 1184988 A2 & DE 60126873 D & DE 60126873 T & TW 226151 B & KR 10-2002-0013738 A & CN 1338823 A	1-8, 16-19
A	JP 10-276083 A (ローム株式会社) 1998.10.13, 全文, 全図 (ファミリーなし)	2-4, 10-12, 17-19

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 6 . 2 0 0 9

国際調査報告の発送日

1 6 . 0 6 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

上田 智志

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 4

5 W

3 6 6 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-191684 A (ソニー株式会社) 2005. 07. 14, 全文, 図 1, 2 (ファミリーなし)	9-15
A	JP 2000-358020 A (日本電信電話株式会社) 2000. 12. 26, 全文, 図 1 (ファミリーなし)	16-19