

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5570196号
(P5570196)

(45) 発行日 平成26年8月13日(2014. 8. 13)

(24) 登録日 平成26年7月4日(2014. 7. 4)

(51) Int.Cl.

F I

H O 1 F 27/36 (2006.01)

H O 1 F 15/04

H O 1 F 17/00 (2006.01)

H O 1 F 17/00

B

H O 5 K 3/46 (2006.01)

H O 5 K 3/46

Q

H O 5 K 9/00 (2006.01)

H O 5 K 9/00

J

H O 5 K 9/00

Q

請求項の数 4 (全 18 頁)

(21) 出願番号 特願2009-280580 (P2009-280580)
 (22) 出願日 平成21年12月10日(2009.12.10)
 (65) 公開番号 特開2011-124373 (P2011-124373A)
 (43) 公開日 平成23年6月23日(2011.6.23)
 審査請求日 平成24年10月19日(2012.10.19)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 小林 智樹
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 審査官 中野 浩昌

最終頁に続く

(54) 【発明の名称】 インダクタ内蔵部品

(57) 【特許請求の範囲】

【請求項1】

電源回路と、前記電源回路に接続された半導体チップと、前記電源回路と前記半導体チップとを被覆する絶縁層と、を備えた回路基板と、

前記電源回路に含まれ、前記回路基板の絶縁層の上にn層(nは1以上の整数)で形成された平面コイル層と、

前記絶縁層を貫通して形成され、前記平面コイル層と前記電源回路及び前記半導体チップとを電氣的に接続する金属柱と、

凹部に前記回路基板を収容するようにして前記平面コイル層の上方から前記回路基板の側面までを被覆する磁束漏洩防止金属キャップと、を有し、

前記絶縁層上の平面コイル層が、前記金属柱と該金属柱の上の絶縁層の開口部内に形成され、且つ前記平面コイル層と一体的に形成された導電配線材料と、を介して前記電源回路及び前記半導体チップに接続されていることを特徴とするインダクタ内蔵部品。

【請求項2】

回路基板と、

前記回路基板の上にn層(nは1以上の整数)で形成された平面コイル層を含んで構成される電源回路と、

前記回路基板上に形成され、前記電源回路に接続された半導体チップと、

前記電源回路、前記半導体チップ及び前記平面コイル層を被覆する絶縁層と、

凹部に前記回路基板を収容するようにして前記平面コイル層の上方から前記回路基板の

10

20

側面までを被覆する磁束漏洩防止金属キャップと、を有し、

前記平面コイル層は前記回路基板の周縁部に沿って形成され、前記電源回路及び前記半導体チップは前記平面コイル層の内側に実装されていることを特徴とするインダクタ内蔵部品。

【請求項 3】

前記磁束漏洩防止金属キャップは、鉄、コバルト、及びニッケルのいずれか又はそれらの合金からなることを特徴とする請求項 1 又は 2 に記載のインダクタ内蔵部品。

【請求項 4】

前記磁束漏洩防止金属キャップは前記半導体チップの放熱板を兼ねており、前記回路基板と前記磁束漏洩防止金属キャップとの間に熱伝導性樹脂が配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のインダクタ内蔵部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インダクタ内蔵部品に係り、さらに詳しくは、基板に平面コイル層が形成された構造を含むインダクタ内蔵部品に関する。

【背景技術】

【0002】

平滑化回路や各種フィルタ回路等にインダクタ（チョークコイル）が使用されている。従来のインダクタとしては、磁性材料からなるコアの周囲に電線を巻いた巻線型のインダクタや平面状に渦巻状のコイル導体を形成した平面型のインダクタ等がある。

【0003】

特許文献 1 には、回路基板の両面に形成された平面コイル層を磁性膜で挟んだ構造のインダクタが記載されている。

【0004】

また、特許文献 2 には、回路基板の上に、半導体チップ（LSI）、抵抗、キャパシタ及び水晶と共に、コイルを実装部品として搭載し、これらの部品が実装された回路基板の上面が封止体及び金属膜（シールド）で封止されたモジュール部品が記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 5 - 198445 号公報

【特許文献 2】特開 2004 - 56155 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、回路基板に巻線型のインダクタ部品を実装する場合は、高さの実装面積とをある程度確保する必要があるため、小型・薄型化の要求に対応できない。

【0007】

この対策として、電子機器の小型・薄型化を図るべく、回路基板に平面コイル層からなるインダクタ素子を作りこむ方法がある。しかし、平面コイル層のみでは外部の空間に磁束が漏洩するため、高いインダクタンスが得られない。

【0008】

本発明は以上の課題を鑑みて創作されたものであり、小型・薄型化が可能で、かつ十分なインダクタンスが得られるインダクタ素子を内蔵するインダクタ内蔵部品を提供することにある。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明の一観点によれば、電源回路と、前記電源回路に接続された半導体チップと、前記電源回路と前記半導体チップとを被覆する絶縁層と、を備え

10

20

30

40

50

た回路基板と、前記電源回路に含まれ、前記回路基板の絶縁層の上に n 層（ n は1以上の整数）で形成された平面コイル層と、前記絶縁層を貫通して形成され、前記平面コイル層と前記電源回路及び前記半導体チップとを電氣的に接続する金属柱と、凹部に前記回路基板を収容するようにして前記平面コイル層の上方から前記回路基板の側面までを被覆する磁束漏洩防止金属キャップと、を有し、前記絶縁層上の平面コイル層が、前記金属柱と該金属柱の上の絶縁層の開口部内に形成され、且つ前記平面コイル層と一体的に形成された導電配線材料と、を介して前記電源回路及び前記半導体チップに接続されているインダクタ内蔵部品が提供される。

【0010】

上記一観点のインダクタ装置では、平面コイル層の上方から基板の側面までを被覆する磁束漏洩防止金属キャップを設けている。そのため、平面コイル層を流れる電流によって発生した磁束の外部への漏洩が防止され、平面コイル層と磁束との鎖交回数を増加させることができるので、大きなインダクタンスが得られる。

【0011】

このように、平面コイル層でインダクタを構成することにより小型・薄型化が可能になると共に、十分なインダクタンスを得ることができる。

【0012】

これにより、半導体チップと電源回路を構成するインダクタ内蔵部品とを同一の基板上に容易に搭載できるようになる。その結果、電源配線を最短に設定することができるので、電圧低下を防止することができ、半導体チップの安定した動作を実現できるようになる。

【0013】

インダクタ内蔵部品は、インダクタ部品として使用してもよいし、平面コイル層（インダクタ）を含む電源回路とそれに接続される半導体チップを同一基板に配置してインダクタ内蔵部品としてもよい。

【0016】

このように、平面コイル層でインダクタを構成することにより小型・薄型化が可能になると共に、十分なインダクタンスを得ることができる。

【0017】

この発明においても、半導体チップと電源回路を構成するインダクタ内蔵部品を同一の基板上に容易に搭載できるようになる。

【発明の効果】

【0018】

以上説明したように、本発明のインダクタ内蔵部品によれば、小型・薄型化が可能で、かつ十分なインダクタンスを得ることができる。

【図面の簡単な説明】

【0019】

【図1】図1は関連技術に係り、半導体チップ搭載部品の電源の構成を示すブロック図である。

【図2】図2は関連技術の電源配線の等価回路を示す回路図である。

【図3】図3（a）は関連技術において半導体チップ（LSI）の負荷変動（電流変化）を示す図であり、図3（b）は同じく半導体チップの電源電圧の変化を示す図である。

【図4】図4（a）～（b）は本発明の第1実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である。

【図5】図5は図4（a）のI-I線における断面図である。

【図6】図6は本発明の第1実施形態のインダクタ内蔵部品を示す断面図である。

【図7】図7は本発明の第1実施形態のインダクタ内蔵部品の使用時の状態を示す模式図（断面図）である。

【図8】図8は本発明の第2実施形態のインダクタ内蔵部品の製造方法を示す断面図である。

10

20

30

40

50

【図 9】図 9 は図 8 に示す構造を分解した状態で示す斜視図である。

【図 10】図 10 は本発明の第 2 実施形態のインダクタ内蔵部品の製造方法を示す斜視図である。

【図 11】図 11 (a) ~ (c) は本発明の第 3 実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である。

【図 12】図 12 は本発明の第 3 実施形態のインダクタ内蔵部品を示す断面図である。

【図 13】図 13 (a) ~ (c) は本発明の第 4 実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である (その 1) 。

【図 14】図 14 (a) ~ (b) は本発明の第 4 実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である (その 2) 。

【図 15】図 15 は本発明の第 4 実施形態のインダクタ内蔵部品を示す断面図である。

【図 16】図 16 は本発明の第 5 実施形態のインダクタ内蔵部品の製造方法を示す斜視図である (その 1) 。

【図 17】図 17 は本発明の第 5 実施形態のインダクタ内蔵部品の製造方法を示す斜視図である (その 2) 。

【図 18】図 18 は本発明の第 5 実施形態のインダクタ内蔵部品の製造方法を示す断面図である。

【図 19】図 19 は本発明の第 5 実施形態のインダクタ内蔵部品を示す断面図である。

【発明を実施するための形態】

【 0 0 2 0 】

(関連技術)

F P G A (Field Programmable Gate Array) やマイクロプロセッサ等の L S I (Large Scale Integration ; 以下、半導体チップと呼ぶ) の微細化及び演算処理速度向上にともなって、半導体チップには低電圧且つ大電流の電力供給が求められている。

【 0 0 2 1 】

図 1 は関連技術に係る半導体チップ搭載部品の電源の構成を示すブロック図である。図 1 に示すように、半導体チップ 5 の近傍には外部電源電圧を低電圧化して半導体チップ 5 に電力を供給するための電源回路 1 が設けられている。なお、電源回路 1 は P O L (Point of Load) 電源とも呼ばれる。

【 0 0 2 2 】

電源回路 1 は、入力された直流電圧と異なる直流電圧を生成するための D C / D C コンバータ (スイッチング電源) 2 と、チョークコイル 3 及び平滑用キャパシタ 4 とを備えている。チョークコイル 3 及び平滑用キャパシタ 4 は出力用ローパスフィルタを構成し、D C / D C コンバータ 2 で発生するスイッチングノイズ (リップルノイズ) を取り除き、出力電圧を平滑化する。図 1 に示す例において、電源回路 1 は D C / D C コンバータ 2 、チョークコイル 3 及び平滑用キャパシタ 4 を 3 組並列に接続しており、大電流を出力できる。

【 0 0 2 3 】

近年、半導体チップの消費電流の増加に伴って消費電流の変動幅も拡大している。例えば、半導体チップがメモリアクセスを行う場合や高速クロックでの演算処理を行う際には、半導体チップが静止しているときの 2 倍以上の電流が流れ、半導体チップによっては消費電流の変動幅が 2 0 A 以上にも達する場合も想定される。一方で半導体チップの低電圧化に伴い半導体チップの電源電圧の許容電圧範囲が狭くなりつつある。

【 0 0 2 4 】

図 2 は関連技術の電源配線の等価回路を示す回路図である。図 3 (a) は関連技術の半導体チップ (L S I) の負荷変動 (電流変化) を示す図であり、図 3 (b) は同じく半導体チップの電源端子付近の電圧の変化を示す図である。

【 0 0 2 5 】

図 2 に示すように、電源配線には半導体チップ 5 の消費電流の変動に対応するべく複数のデカップリングキャパシタ $C_1 \sim C_3$ が接続される。デカップリングキャパシタ $C_1 \sim C_3$

10

20

30

40

50

は、半導体チップ5の消費電流が増加した場合に、図2の矢印1～3に示すように放電して半導体チップ5に電力を供給する。

【0026】

電源回路1と半導体チップ5との間の電源配線には寄生抵抗 r 及び寄生インダクタンス L (r 及び L を含めて配線インピーダンスとも呼ぶ)が存在する。またデカップリングキャパシタ $C_1 \sim C_3$ にも、符号 $r_{c1} \sim r_{c3}$ に示す等価直列抵抗(ESR)及び符号 $L_{c1} \sim L_{c3}$ に示す等価直列インダクタンス(ESL)が存在する。

【0027】

図3(a)に示すように、半導体チップ5の消費電流が急増した場合には、前述の配線インピーダンスやデカップリングキャパシタのESR及びESLにより、電源回路1やデカップリングキャパシタ $C_1 \sim C_3$ から半導体チップ5への電流供給が遅れる。

10

【0028】

この電流供給の遅れによって、図3(b)に示すように半導体チップ5の電源端子の電圧 V_{CC-INT} が一時的に V_D だけ低下する電圧ディップが生じる。電圧ディップが生じた際の電圧 V_{CC-INT} がLSIが動作可能な最低動作電圧 V_L を下回ると、半導体チップ5が誤動作するおそれがある。

【0029】

一般に電源配線の配線抵抗 r 及びインダクタンス L が大きい場合、すなわち電源配線がより長い場合には、電源回路1から電流供給の遅れが大きくなるので、それだけ半導体チップ5の電源端子の電圧ディップが大きくなる。

20

【0030】

そこで、電圧ディップを抑制するべく、同じ回路基板の上に電源回路1を半導体チップ5のできる限り直近に搭載してモジュール部品化することにより電源配線の長さを短くすることが考えられる。このようなモジュール部品化を実現するためには、電源回路1のチョークコイル3を小型・薄型化する必要がある。

【0031】

しかし、電源回路1の電源平滑化には数100nHから数1000nHのインダクタンスを備えたチョークコイルが必要であり、従来の表面実装タイプの部品を適用すると、チョークコイルだけで占有面積が大きくなり小型化を容易に達成することは困難である。

【0032】

30

一方、回路基板に渦巻状に形成した平面コイル層でインダクタを構成した場合には実装容積が小さくなるものの、電源ノイズの除去に必要とされるインダクタンスが得られない。その理由を下記に説明する。

【0033】

一般に、巻数 N のコイルに電流 I_1 を流したときに作られる磁束がそのコイル自身に対して鎖交する回数を $N \cdot \phi_1$ とすると、下記の(1)に示す比例関係が成立する。

【0034】

$$N \cdot \phi_1 = I_1 \dots (1)$$

ここで、 N はコイルの巻き数、 ϕ_1 はコイルと鎖交する磁束数、 I_1 はコイルを流れる電流である。すなわち、巻数 N のコイルに電流 I_1 を流したときに作られる磁束がそのコイル自身に対して鎖交する回数 $N \cdot \phi_1$ は電流 I_1 に比例する。

40

【0035】

上述の比例関係(1)の比例定数を L_1 とすると(1)式は下記の(2)式のように表わされる。

【0036】

$$N \cdot \phi_1 = L_1 \cdot I_1 \dots (2)$$

ここで、比例定数 L_1 はコイルの自己インダクタンスと定義される。すなわち、比例定数 L_1 は下記(3)の式に示すように、コイルに単位電流を流したとき、その電路に鎖交する磁束数に比例する。

【0037】

50

$$L_1 = N \cdot \Phi_1 / I_1 \dots (3)$$

したがって、コイルに鎖交する磁束する磁束数が増えれば自己インダクタンス L_1 は増加する。

【 0 0 3 8 】

しかし、平面コイル層のみからなるインダクタでは、平面コイル層に流れる電流によって発生した磁束が空間に放射されて漏洩してしまい、平面コイルの中心付近を通る磁束数が減少してしまう。そのため、平面コイル層と磁束との鎖交回数が少なくなり、高い自己インダクタンスが得られない。

【 0 0 3 9 】

そこで、小型・薄型化が可能で、かつ大きなインダクタンスが得られるインダクタ素子を内蔵するインダクタ内蔵部品が切望される。

【 0 0 4 0 】

ところで、永久磁石では、その吸着力を増加させるために、ヨークと呼ばれる金属部材が用いられる。このヨークは、軟鉄等の透磁率の高い材料でできた枠体（ケース）であり、薄板状の永久磁石の上面から側面までの部分を被覆するように配置される。ヨークは永久磁石の上面側の磁極から放出される磁束を集めて、永久磁石の側面に配置されたヨークの端部に磁束を集中させる。

【 0 0 4 1 】

このように、ヨークは、永久磁石の上面側の磁極を永久磁石の下面側に移動させるように（N極とS極とを近づけるように）作用し、永久磁石の下面側の磁束密度を高めて永久磁石の吸着力を増加させる。上述のヨークの作用は永久磁石を電磁石とした場合にも得られる。

【 0 0 4 2 】

以上のような知見に鑑みて本願発明者は以下に説明する実施形態を創作した。

【 0 0 4 3 】

（第1実施形態）

図4（a）～（b）は本発明の第1実施形態のインダクタ内蔵部品の製造方法を示す斜視図、図5は図4（a）のI-I線における断面図、図6は本発明の第1実施形態のインダクタ内蔵部品を示す断面図である。

【 0 0 4 4 】

以下、図4～図6を参照しながら、本発明の第1実施形態のインダクタ内蔵部品について説明する。

【 0 0 4 5 】

図4（a）、図5及び図6に示すように、第1実施形態のインダクタ内蔵部品10では、基板11の上面に平面コイル層12が形成されている。基板11としては、FR4（ガラスエポキシ樹脂基板）、ベークライト、各種有機材料、及びシリコン（Si）等からなる基板を用いることができる。また、平面コイル層12は、例えば銅やアルミニウム等の導電配線材料からなる。なお、図示の例では平面コイル層12は四角形に巻かれているが、本実施形態はこれに限定されるものではなく多角形又は円形に巻いてもよい。コイル層12を銅から形成する場合は、コイル層12はセミアディティブ法等により形成される。

【 0 0 4 6 】

図4（b）及び図6に示すように、基板11及び平面コイル層12は樹脂からなる絶縁層13で被覆されている。絶縁層13は、半硬化状態の樹脂シートの貼着又は液体樹脂の塗布等により形成される。また、基板11の下側には、平面コイル層12の両端に接続される外部接続端子15（図6）が設けられている。

【 0 0 4 7 】

さらに、基板11には、下面側に凹部14aが形成された磁束漏洩防止金属キャップ14が装着されている。磁束漏洩防止金属キャップ14は、鉄（軟鉄）、コバルト及びニッケルのいずれか、又はそれらの合金であって強磁性を示す金属材料（磁束漏洩防止金属）からなる。磁束漏洩防止金属キャップ14は、例えば、磁束漏洩防止金属の薄板をプレス

10

20

30

40

50

加工等で凹状に加工して作製される。磁束漏洩防止金属キャップ 14 は、その凹部 14 a に基板 11、平面コイル層 12 及び絶縁層 13 を収容するようにして、平面コイル層 12 の上方から基板 11 の側面までの部分を被覆している。

【0048】

図7は本発明の第1実施形態のインダクタ内蔵部品の使用時の状態を示す模式図（断面図）である。

【0049】

図7に示すように、第1実施形態のインダクタ内蔵部品10では、接続端子15を介して平面コイル層12に電流を流すと、平面コイル層12の周囲に磁束が発生する。磁束漏洩防止金属キャップ14は、磁束漏洩を防止できる強磁性金属からなるので、平面コイル層12で発生した磁束を集め、磁束漏洩防止金属キャップ14の下端部に磁束を導く。そのため、第1実施形態のインダクタ内蔵部品10によれば、平面コイル層12で発生した磁束の漏洩を防止することにより、平面コイル層12と磁束との鎖交回数を増加させることができ、これにより高いインダクタンスが得られる。

【0050】

また、本発明のインダクタ内蔵部品10では、基板11に薄膜によって平面コイル層12を作りこむので、小型・薄型化を図ることができる。

【0051】

これにより、半導体チップと電源回路を構成するインダクタ内蔵部品10とを同一の基板上に容易に搭載できるようになる。その結果、電源配線を最短に設定することができるので、電圧低下を防止することができ、半導体チップの安定した動作を実現できるようになる。

【0052】

（第2実施形態）

図8は本発明の第2実施形態のインダクタ内蔵部品の製造方法を示す断面図である。図9は図8に示す構造を分解した状態で示す斜視図である。図10は本発明の第2実施形態のインダクタ内蔵部品の製造方法を示す斜視図である。なお、図8は、図9のII-II線に沿った断面に対応している。第2実施形態のインダクタ内蔵部品は、平面コイル層を複数積層した積層平面コイルを有している点を特徴とする。

【0053】

以下、図8～図10を参照しながら第2実施形態のインダクタ内蔵部品についてその製造方法と共に説明する。

【0054】

まず、図8及び図9に示すように、基板21を用意し、この基板21の上面に銅等からなる第1平面コイル層31を形成する。第1平面コイル層31は、セミアディティブ法等で形成される。

【0055】

次に、基板21及び第1平面コイル層31の上に第1絶縁層22を形成する。第1絶縁層22は、半硬化状態の樹脂シートの貼着又は液体樹脂の塗布等で形成される。続いて、第1絶縁層22をレーザ加工することにより、第1平面コイル層31の一端部に到達するビアホール22aを形成する。

【0056】

その後、第1絶縁層22の上及びビアホール22a内に第2平面コイル層32を形成する。これにより、ビアホール22aを介して第1平面コイル層31と接続された第2平面コイル層32が得られる。

【0057】

次に、第1絶縁層22及び第2平面コイル層32の上に第2絶縁層23を形成する。さらに第2絶縁層23にビアホール23aを形成する。その後、ビアホール23aを介して第2平面コイル層32に接続される第3平面コイル層33を第2絶縁層23の上に形成する。

【 0 0 5 8 】

以後、同様の工程を繰り返して、第 3 絶縁層 2 4 及びビアホール 2 4 a と、第 4 平面コイル層 3 4 と、第 4 絶縁層 2 5 及びビアホール 2 5 a と、第 5 平面コイル層 3 5 と、を順次形成する。また、これらの工程はビルドアップ基板を製造する際に用いられるビルドアップ工法に相当する。

【 0 0 5 9 】

その後、第 4 絶縁層 2 5 及び第 5 平面コイル層 3 5 の上に第 5 絶縁層 2 6 を形成する。続いて、基板 2 1 の底面に一对の接続端子 3 6 を接続する。この接続端子 3 6 の一方は、配線（不図示）によって第 1 平面コイル層 3 1 の一端と電氣的に接続され、接続端子 3 6 の他方は、配線（不図示）によって第 5 平面コイル層 3 5 の一端と電氣的に接続される。

10

【 0 0 6 0 】

以上のようにして、基板 2 1 の上に積層された第 1 ～ 第 5 平面コイル層 3 1 ～ 3 5 がビアホール 2 2 a、2 3 a、2 4 a、2 5 a を介して相互接続された積層平面コイル 3 8 が完成する。

【 0 0 6 1 】

次に、図 8 及び図 1 0 に示すように、積層平面コイル 3 8 が形成された基板 1 1 に磁束漏洩防止金属キャップ 3 7 を装着する。磁束漏洩防止金属キャップ 3 7 は下面側に凹部 3 7 a を有し、その凹部 3 7 a に積層平面コイル 3 8 全体を収容するようにして、積層平面コイル 3 8 の上方から側面にかけての部分の被覆して装着される。なお、磁束漏洩防止金属キャップ 3 7 は、図 4 (b) に示す磁束漏洩防止金属キャップ 1 4 と同様の強磁性金属からなる。

20

【 0 0 6 2 】

以上により第 2 実施形態のインダクタ内蔵部品 2 0 が完成する。

【 0 0 6 3 】

第 2 実施形態のインダクタ内蔵部品 2 0 は、積層平面コイル 3 8 と、その上方から側面に配置された磁束漏洩防止金属キャップ 3 7 とを備える。積層平面コイル 3 8 では、基板 2 1 の上に第 1 絶縁層 2 2 ～ 第 4 絶縁層 2 5 を介して第 1 ～ 第 5 平面コイル層 3 1、3 2、3 3、3 4、3 5 が積層されている。第 1 ～ 第 5 平面コイル層 3 1、3 2、3 3、3 4、3 5 は、ビアホール 2 2 a、2 3 a、2 4 a、2 5 a を介して相互接続されている。

【 0 0 6 4 】

磁束漏洩防止金属キャップ 3 7 は、下面側に凹部 3 7 a を有しており、凹部 3 7 a が積層平面コイル 3 8 を収容するようにして、積層平面コイル 3 8 の上方から基板 2 1 の側面までの部分を被覆している。

30

【 0 0 6 5 】

以上のような第 2 実施形態のインダクタ内蔵部品 2 0 においても、前述した図 6 に示すインダクタ内蔵部品 1 0 と同様に、磁束漏洩が防止されて十分なインダクタンスが得られる。

【 0 0 6 6 】

さらに、第 2 実施形態のインダクタ内蔵部品 2 0 では、基板 2 1 の上に薄膜の平面コイル層を積層してインダクタを構成するので、従来の渦巻型のインダクタ部品を実装する場合に比べて小型・薄型化を図ることができる。

40

【 0 0 6 7 】

これにより、半導体チップと電源回路を構成するインダクタ内蔵部品 2 0 とを同一の基板上に容易に搭載できるようになる。その結果、電源配線を最短に設定することができるので、電圧低下を防止することができ、半導体チップの安定した動作を実現できるようになる。

【 0 0 6 8 】

以上の説明では、インダクタ内蔵部品 2 0 の積層平面コイル 3 8 として 5 層の平面コイル層を積層した場合を例示したが、平面コイル層の積層数は 5 層に限定されるものではなく、 n 層 (n は 2 以上の整数) とすることができる。

50

【 0 0 6 9 】

(第 3 実施形態)

図 1 1 (a) ~ (c) は本発明の第 3 実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である。図 1 2 は第 3 実施形態のインダクタ内蔵部品を示す断面図である。なお、図 1 2 に示す断面は、図 1 1 (c) の III - III 線に対応している。第 3 実施形態は、基板上に平面コイル層の他に半導体チップ及び電源回路を配置した点を特徴とする。

【 0 0 7 0 】

以下、第 3 実施形態のインダクタ内蔵部品について説明する。

【 0 0 7 1 】

図 1 1 (a) に示すように、配線基板 4 1 を用意し、その上面に平面コイル層 4 2 を形成する。平面コイル層 4 2 は、配線基板 4 1 の周縁部に沿って形成される。平面コイル層 4 2 を配線基板 4 1 の周縁部に沿って形成することにより、配線基板 4 1 の上面のスペースを有効に利用できる。

10

【 0 0 7 2 】

次に、配線基板 4 1 上の平面コイル層 4 2 の内側に DC / DC コンバータ 4 3、半導体チップ 4 4、及びキャパシタ 4 5 (受動部品) を実装する。平面コイル層 4 2 の一方の端部は配線基板 4 1 の配線 (不図示) を介して DC / DC コンバータ 4 3 の出力端子に接続される。また、平面コイル層 4 2 の他方の端部はキャパシタ 4 5 及び半導体チップ 4 4 の電源入力端子 (不図示) に接続される。上述の平面コイル層 4 2、DC / DC コンバータ 4 3 及びキャパシタ 4 5 は半導体チップ 4 4 に電源供給するための電源回路を構成する。配線基板 4 1 の下面側には、外部接続端子 4 6 が設けられる。

20

【 0 0 7 3 】

次に、図 1 1 (b) に示すように、配線基板 4 1、平面コイル層 4 2、DC / DC コンバータ 4 3、半導体チップ 4 4、及びキャパシタ 4 5 を被覆する絶縁層 4 7 を形成する。絶縁層 4 7 は、樹脂等から形成される。このようにして、配線基板 4 1 の上に、平面コイル層 4 2、DC / DC コンバータ 4 3、半導体チップ 4 4、キャパシタ 4 5 及び絶縁層 4 7 が配置されて、回路基板 4 1 A が得られる。

【 0 0 7 4 】

次に、図 1 1 (c) に示すように、下面側に凹部 4 8 a を備える磁束漏洩防止金属キャップ 4 8 を回路基板 4 1 A に装着する。磁束漏洩防止金属キャップ 4 8 は、鉄 (軟鉄)、コバルト及びニッケルのいずれか、又はそれらの合金であって強磁性を示す金属材料 (磁束漏洩防止金属) からなる。

30

【 0 0 7 5 】

磁束漏洩防止金属キャップ 4 8 と回路基板 4 1 A との間には高い熱伝導率を有するシリコングリス等の熱伝導性樹脂を充填するか、あるいは、熱硬化性の接着剤を塗布して磁束漏洩防止金属キャップ 4 8 を装着する。特に、熱伝導性樹脂を充填する場合には、半導体チップ 4 4 の熱を熱伝導性樹脂を介して磁束漏洩防止金属キャップ 4 8 から外部に十分に放熱することができる。つまり、磁束漏洩防止金属キャップ 4 8 は半導体チップ 4 4 の放熱板として兼用することができる。この場合、磁束漏洩防止金属キャップ 4 8 には熱伝導率の高いニッケルが好適に用いられる。

40

【 0 0 7 6 】

以上により第 3 実施形態のインダクタ内蔵部品 4 0 が完成する。

【 0 0 7 7 】

図 1 1 (c) 及び図 1 2 に示すように、第 3 実施形態のインダクタ内蔵部品 4 0 は、配線基板 4 1 の上に平面コイル層 4 2 が形成され、平面コイル層 4 2 の内側に DC / DC コンバータ 4 3、半導体チップ 4 4 及びキャパシタ 4 5 が実装されている。平面コイル層 4 2、キャパシタ 4 5 及び DC / DC コンバータ 4 3 は半導体チップ 4 4 の電源回路を構成する。さらに、配線基板 4 1、DC / DC コンバータ 4 3、半導体チップ 4 4 及びキャパシタ 4 5 は、絶縁層 4 7 で被覆されている。

【 0 0 7 8 】

50

磁束漏洩防止金属キャップ 48 は、その凹部 48a に回路基板 41A を収容するようにして、平面コイル層 42 の上方から配線基板 41 の側面までを被覆して装着されている。

【0079】

以上のように、第3実施形態のインダクタ内蔵部品 40 では、平面コイル層 42 の上方から配線基板 41 の側面までの部分を磁束漏洩防止金属キャップ 48 で被覆している。これにより、平面コイル層 42 で発生した磁束の漏洩を防止できるので、平面コイル層 42 から高いインダクタンスが得られるようになる。さらに、薄膜の平面コイル層 42 から、インダクタ素子を形成するので薄型化が可能になる。

【0080】

したがって、平面コイル層 42 を含んで構成される電源回路を半導体チップ 44 と同一の配線基板 41 に配置できるようになる。また、平面コイル層 42 を配線基板 41 の周縁部に沿って形成し、その内側に半導体チップ 44 及び電源回路を搭載するので、配線基板 41 上のスペースを有効利用することができ、回路基板 41A をより小型化できる。

【0081】

このようにして、十分なインダクタンスが得られる薄型の平面コイル層 42 (インダクタ素子) を DC / DC コンバータ 43 及びキャパシタ 45 と共に半導体チップ 44 の直近に形成することができる。これにより電源配線の電圧低下を防ぎ、半導体チップ 44 の安定動作を実現できる。

【0082】

(第4実施形態)

図13(a) ~ (c) は本発明の第4実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である(その1)。図14(a) ~ (b) は本発明の第4実施形態のインダクタ内蔵部品の製造方法を工程順に示す斜視図である(その2)。第4実施形態のインダクタ内蔵部品は、半導体チップ及び電源回路の上に絶縁層を介して平面コイル層を設けた点で図12に示したインダクタ内蔵部品 40 と異なる。

【0083】

以下、図13 ~ 図14を参照しながら第4実施形態のインダクタ内蔵部品についてその製造方法と共に説明する。

【0084】

図13(a) に示すように、まず、上面に金属柱 52a、52b が設けられた配線基板 51 を用意する。金属柱 52a は、後述する平面コイル層の内周側の端部に対応する部分に形成され、金属柱 52b は、平面コイル層の外周側の端部に対応する部分に形成されている。

【0085】

次に、配線基板 51 の上面に、DC / DC コンバータ 53、半導体チップ 54、及びキャパシタ 55 (受動部品) 等を実装する。配線基板 51 の下面側には外部接続端子 56 が設けられる。

【0086】

次いで、図13(b) に示すように、配線基板 51、金属柱 52a、52b、DC / DC コンバータ 53、半導体チップ 54、及びキャパシタ 55 の上に樹脂等からなる下側絶縁層 57 を形成する。続いて、下側絶縁層 57 にドリル及びレーザ加工を行うことにより、金属柱 52a、52b の上面に到達する開口部 57a 及び 57b をそれぞれ形成する。

【0087】

その後、図13(c) に示すように、絶縁層 57 及び開口部 57a、57b の上に渦巻状の平面コイル層 58 を形成する。平面コイル層 58 は例えばセミアディティブ法により形成する。平面コイル層 58 の外周側の一端は金属柱 52b を介して DC / DC コンバータ 53 に接続され、平面コイル層 58 の内周側の一端は金属柱 52a を介してキャパシタ 55 及び半導体チップ 54 に接続される。上記の平面コイル層 58、キャパシタ 55 及び DC / DC コンバータ 53 は半導体チップ 54 に電源を供給するための電源回路を構成する。

【 0 0 8 8 】

次いで、図 1 4 (a) に示すように、下側絶縁層 5 7 及び平面コイル層 5 8 の上に上側絶縁層 5 9 を形成する。上側絶縁層 5 9 は、例えばソルダレジスト等の樹脂材料を塗布することにより形成できる。

【 0 0 8 9 】

このようにして、配線基板 5 1 の上に、DC / DC コンバータ 5 3、半導体チップ 5 4 及びキャパシタ 5 5 が実装され、それらの上に、下側絶縁層 5 7 を介して平面コイル層 5 8 及び上側絶縁層 5 9 が形成されることにより回路基板 5 1 A が構成される。

【 0 0 9 0 】

その後、図 1 4 (b) 及び図 1 5 に示すように、下面側に凹部 6 0 a を備える磁束漏洩防止金属キャップ 6 0 を回路基板 5 1 A に装着する。磁束漏洩防止金属キャップ 6 0 は、その凹部 6 0 a に回路基板 5 1 A を収容するようにして、平面コイル層 5 8 の上方から回路基板 5 1 の側面までの部分を被覆して装着される。磁束漏洩防止金属キャップ 6 0 は、鉄 (軟鉄)、コバルト及びニッケルのいずれか、又はそれらの合金であって強磁性を示す金属材料 (磁束漏洩防止金属) からなる。

10

【 0 0 9 1 】

磁束漏洩防止金属キャップ 6 0 と回路基板 5 1 との間には、高い熱伝導率を有するシリコングリス等の熱伝導性樹脂を充填するか、あるいは、熱硬化性の接着剤を塗布して磁束漏洩防止金属キャップ 6 0 を装着する。特に、熱伝導性樹脂を充填する場合には、半導体チップ 5 4 の熱を熱伝導性樹脂を介して磁束漏洩防止金属キャップ 6 0 から外部に十分に放熱することができる。このため、本実施形態においても磁束漏洩防止金属キャップ 6 0 は半導体チップ 5 4 の放熱板として兼用することができる。

20

【 0 0 9 2 】

以上により、第 4 実施形態のインダクタ内蔵部品 5 0 が完成する。

【 0 0 9 3 】

図 1 5 は、第 4 実施形態のインダクタ内蔵部品を示す模式図である。なお、図 1 5 の左側は図 1 4 (b) の I V - I V 線に沿った部分の断面を示し、右側は金属柱と平面コイル層との接続部の断面を示している。

【 0 0 9 4 】

図 1 5 に示すように、第 4 実施形態のインダクタ内蔵部品 5 0 は、回路基板 5 1 A と、その上方及び側方を被覆する磁束漏洩防止金属キャップ 6 0 とを備えている。

30

【 0 0 9 5 】

回路基板 5 1 A では、金属柱 5 2 a、5 2 b が形成された配線基板 5 1 の上に DC / DC コンバータ 5 3、半導体チップ 5 4、及びキャパシタ 5 5 が実装されている。また、配線基板 5 1 の上にはそれらを被覆する下側絶縁層 5 7 が形成されている。さらに、下側絶縁層 5 7 の上に、下側絶縁層 5 7 に形成された開口部 5 7 a、5 7 b を介して金属柱 5 2 a、5 2 b と接続された平面コイル層 5 8 が形成されている。さらに、下側絶縁層 5 7 及び平面コイル層 5 8 を被覆する上側絶縁層 5 9 が形成されている。

【 0 0 9 6 】

磁束漏洩防止金属キャップ 6 0 は、その凹部 6 0 a に回路基板 5 1 A を収容するようにして、平面コイル層 5 8 の上方から回路基板 5 1 A の側面までの部分を被覆している。

40

【 0 0 9 7 】

第 4 実施形態のインダクタ内蔵部品 5 0 は、上述した図 1 2 に示すインダクタ内蔵部品 4 0 と同様に、外部への磁束漏洩を防止できるので、平面コイル層 5 8 のインダクタンスをより高くすることができる。

【 0 0 9 8 】

さらに、インダクタ内蔵部品 5 0 では、平面コイル層 5 8 が下側絶縁層 5 7 を介して半導体チップ 5 4 及び電源回路の上に形成されているので、これらの部品の配置レイアウトに影響されることなく平面コイル層 5 8 を所望の形状に形成できる。

【 0 0 9 9 】

50

また、平面コイル層 5 8 を含んで構成される電源回路を半導体チップ 5 4 と同一の配線基板 5 1 に搭載することができる。このようにして、十分なインダクタンスが得られる薄型の平面コイル層 5 8 (インダクタ素子) を DC / DC コンバータ 5 3 及びキャパシタ 5 5 と共に半導体チップ 5 4 の直近に形成することができる。これにより電源配線の電圧低下を防ぎ、半導体チップ 5 4 の安定動作を実現できる。

【 0 1 0 0 】

なお、本実施形態においても、平面コイル層 5 8 を n 層 (n は 2 以上の整数) 積層してもよい。

【 0 1 0 1 】

(第 5 実施形態)

図 1 6 及び図 1 7 は第 5 実施形態のインダクタ内蔵部品の製造方法を示す斜視図である。図 1 8 は第 5 実施形態のインダクタ内蔵部品の製造方法を示す断面図である。図 1 9 は、第 5 実施形態のインダクタ内蔵部品 7 0 を示す断面図である。なお、図 1 9 は図 1 7 の V - V 線における断面を示している。

【 0 1 0 2 】

第 5 実施形態のインダクタ内蔵部品は、平面コイル層の上下側に配置された磁束漏洩防止金属からなる金属層と、平面コイル層の外側及び内側に配置された磁束漏洩防止金属からなる貫通金属部とで平面コイル層の上下及び周囲を囲んだ構造を有する点を特徴とする。

【 0 1 0 3 】

以下、第 5 実施形態のインダクタ内蔵部品についてその製造方法と共に説明する。

【 0 1 0 4 】

まず、図 1 6 に示すように下面側に第 1 金属層 7 2 を備えた下側基板 7 1 と、上面に平面コイル層 7 5 が形成された中間基板 7 4 と、上面側に第 2 金属層 7 7 を備えた上側基板 7 6 とを用意する。下側基板 7 1、中間基板 7 4 及び上側基板 7 7 には第 1 実施形態の基板 1 1 と同様の材料を用いることができる。

【 0 1 0 5 】

下側基板 7 1 の第 1 金属層 7 2 は、磁束漏洩防止金属から形成される。磁束漏洩防止金属は、鉄 (軟鉄)、コバルト及びニッケルのいずれか又はそれらの合金であって強磁性を示す金属材料からなる。磁束漏洩防止金属をニッケルとする場合には、銅層 (銅箔) が貼着された基板を用意し、その銅層の上にニッケル層を電解めっき法で形成することにより、第 1 金属層 7 2 を得る。

【 0 1 0 6 】

中間基板 7 4 は、中間基板 7 4 の上面にセミアディティブ法等で平面コイル層 7 6 を形成して得られる。

【 0 1 0 7 】

上側基板 7 6 に形成された第 2 金属層 7 7 は、第 1 金属層 7 2 と同一金属から形成される。

【 0 1 0 8 】

なお、上記の説明では、第 1 金属層 7 2 及び第 2 金属層 7 7 を、銅層と銅層上に形成された磁束漏洩防止金属層とで構成する場合を例示したが、本実施形態はこれに限定されるものではなく、第 1 金属層 7 2 及び第 2 金属層 7 7 を磁束漏洩防止金属層のみで構成してもよい。この場合には、第 1 金属層 7 2 を備えた下側基板 7 1 は基板の下面に磁束漏洩防止金属層をスパッタ法等で形成して作製される。第 2 金属層 7 7 を備えた上側基板 7 6 についても同様である。

【 0 1 0 9 】

次に、図 1 7 に示すように、下側基板 7 1、中間基板 7 4 及び上側基板 7 6 を、接着剤を用いて貼り合わせて積層体 8 0 を形成する。その後、第 1 金属層 7 2 の表面及び第 2 金属層 7 7 の表面を被覆するように絶縁層 (不図示) を形成する。

【 0 1 1 0 】

次に、図 17 に示すように、積層体 80 にドリル加工を施すことにより、平面コイル層 75 の外側を囲む部分に下側基板 71 の上面から上側基板 77 の下面まで貫通する複数のスルーホール TH を形成する。さらに、平面コイル層 75 の内側にも下側基板 71 の上面から上側基板 77 の下面まで貫通するスルーホール TH を形成する。

【0111】

次に、図 18 に示すように、スルーホール TH が形成された積層体 80 を、めっき給電材 90 の上に配置し、めっき給電材 90 を給電経路とする電解めっき法により、スルーホール TH 内に例えばニッケル (Ni) 等の強磁性を示す金属 (磁束漏洩防止金属) を形成する。なお、スルーホール TH 内には鉄 (軟鉄) やコバルトを充填してもよい。これにより、平面コイル層 75 の周囲を囲むように配置された複数の外側貫通金属部 78A と、平面コイル層 75 の内側に配置された内側貫通金属部 78B とが形成される。外側貫通金属部 78A 及び内側貫通金属部 78B は、下側基板 71 から上側基板 76 まで貫通して形成されると共に、第 1 金属層 72 及び第 2 金属層 77 と電氣的に接続して形成される。

10

【0112】

その後、図 19 に示すように、積層体 80 の下面に、平面コイル層 75 と電氣的に接続される外部接続端子 79 を形成する。

【0113】

以上により、第 5 実施形態のインダクタ内蔵部品 70 が完成する。

【0114】

図 19 に示すように、第 5 実施形態のインダクタ内蔵部品 70 は、平面コイル層 75 が形成された中間基板 74 の下側に、下面側に第 1 金属層 72 を備えた下側基板 71 が配置されている。また、中間基板 74 の上側には、上面側に第 2 金属層 77 を備えた上側基板 76 が配置されている。

20

【0115】

さらに、平面コイル層 75 の外側には、上側基板 76 から下側基板 71 までを貫通して形成されると共に、第 1、第 2 金属層 72、77 に接続され、かつ平面コイル層 75 の外側を囲むように配置された複数の外側貫通金属部 78A が形成されている。また、平面コイル層 75 の内側には、上側基板 76 から下側基板 71 までを貫通して形成されると共に、第 1、第 2 金属層 72、77 に接続された内側貫通金属部 78B が配置されている。

【0116】

このように、第 5 実施形態のインダクタ内蔵部品 70 では、平面コイル層 75 の上下と外側と内側とを磁束漏洩防止金属 (第 1、第 2 金属層 72、77、外側、内側貫通金属部 78A、78B) で囲んだ構造となっている。外部接続端子 79 を介して平面コイル層 75 に電流を流すと、平面コイル層 75 の周囲に発生した磁束は、第 2 金属層 77 内に集められる。なお、第 2 金属層 77 の銅層部分は常磁性であるため、銅層では磁束が透過する。

30

【0117】

上側の第 2 金属層 77 に集められた磁束は、平面コイル層 75 の外側の外側貫通金属部 78A に導かれ、外側貫通金属部 78A を経て第 1 金属層 72 内に導かれる。さらに、第 1 金属層 72 に導かれた磁束は内側貫通金属部 78B に導かれ、内部貫通金属部 78B を経て再び第 2 金属層 77 に戻る。

40

【0118】

このように、第 5 実施形態のインダクタ内蔵部品 70 によれば、平面コイル層 75 を流れる電流で発生した磁束は、第 1、第 2 金属層 72、77、外側貫通金属部 78A 及び内側貫通金属部 78B によって閉じ込められ、磁束の外部への漏洩が防止される。そのため、平面コイル層 75 と磁束の鎖交回数を増加させることができ、平面コイル層 75 のインダクタンスを高めることができる。

【0119】

また、インダクタ内蔵部品 70 では、中間基板 74 に薄膜の平面コイル層 75 を作り込んでインダクタ素子を構成するので、インダクタ内蔵部品 70 の薄型化を図ることができ

50

る。

【 0 1 2 0 】

これにより、半導体チップと電源回路を構成するインダクタ内蔵部品 7 0 とを同一の基板上に容易に搭載できるようになる。その結果、電源配線を最短に設定することができるので電源配線の電圧低下を防止することができ、半導体チップの安定した動作を実現できるようになる。

【 0 1 2 1 】

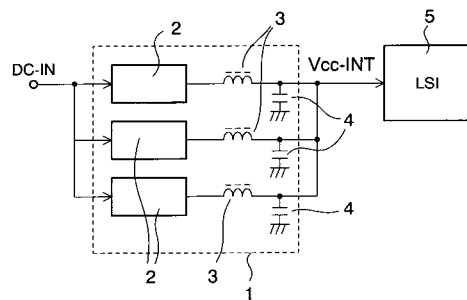
なお、上述の説明では、一層の平面コイル層 7 5 を作りこむ場合を例示したが、本実施形態はこれに限定されるものではなく、平面コイル層 7 5 を n 層 (n は 2 以上の整数) 積層した積層平面コイルとしてもよい。この場合には、平面コイル層 7 5 が形成された中間基板を複数積層するとともに、各平面コイル層 7 5 の端部をビア等で相互接続して積層平面コイルを形成することができる。また、平面コイル層 7 5 が形成された中間基板の上にビルドアップ工法等で絶縁層及び平面コイル層を交互に複数層形成することで積層平面コイルを作製してもよい。

【 符号の説明 】

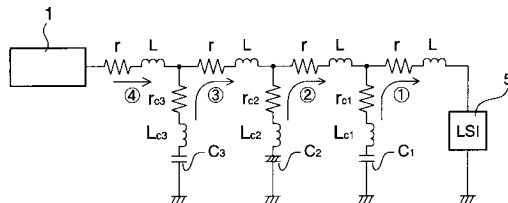
【 0 1 2 2 】

1 0、2 0、4 0、5 0、7 0 ... インダクタ内蔵部品、1 1、2 1 ... 基板、1 1 a、2 2 a、2 3 a、2 4 a、2 5 a ... ビアホール、1 2、3 1、3 2、3 3、3 4、3 5、4 2、5 8、7 5 ... 平面コイル層、1 3、2 2、2 3、2 4、2 5、2 6、4 7、5 7、5 9 ... 絶縁層、1 4、3 7、4 8、6 0 ... 磁束漏洩防止金属キャップ、1 5、3 6、4 6、5 6、7 9 ... 外部接続端子、4 1、5 1 ... 配線基板、4 1 A、5 1 A ... 回路基板、5 2 a、5 2 b ... 金属柱、4 3、5 3 ... DC / DC コンバータ、4 4、5 4 ... 半導体チップ、4 5、5 5 ... 受動部品 (キャパシタ)、5 7 a、5 7 b ... 開口部、7 1 ... 下側基板、7 2 ... 第 1 金属層、7 4 ... 中間基板、7 6 ... 上側基板、7 7 ... 第 2 金属層、7 8 A ... 外側貫通金属部、7 8 B ... 内側貫通金属部、めっき給電材 ... 9 0、T H ... スルーホール。

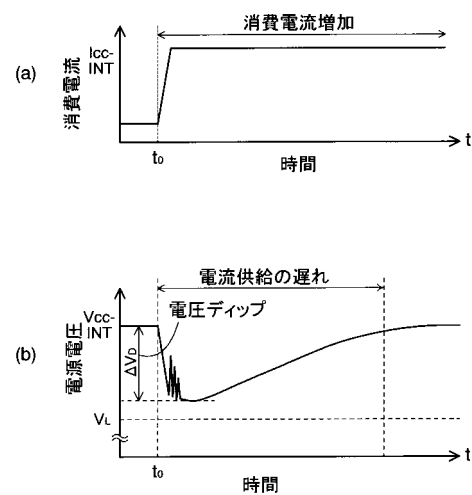
【 図 1 】



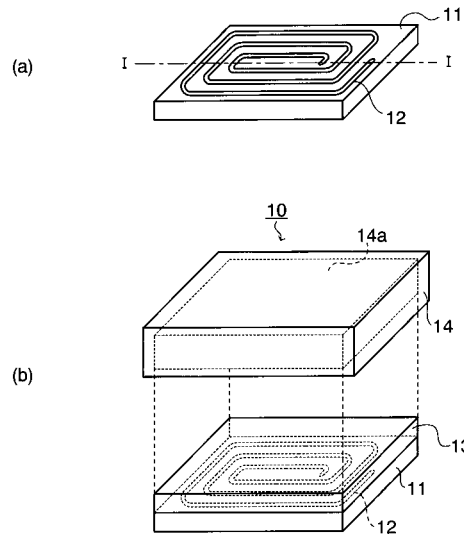
【 図 2 】



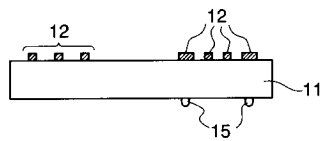
【 図 3 】



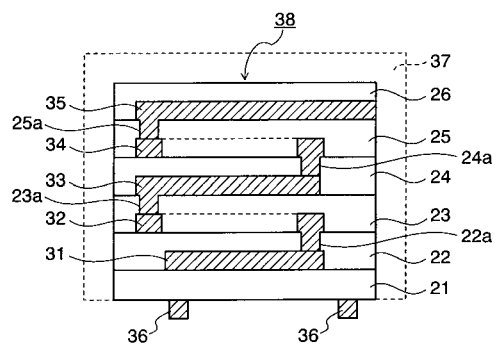
【図 4】



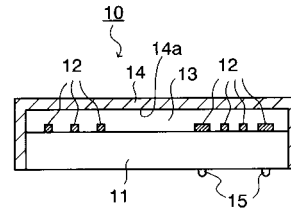
【図 5】



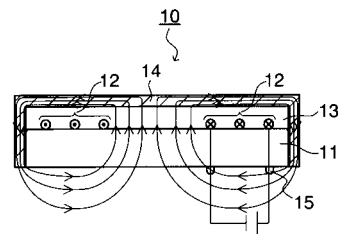
【図 8】



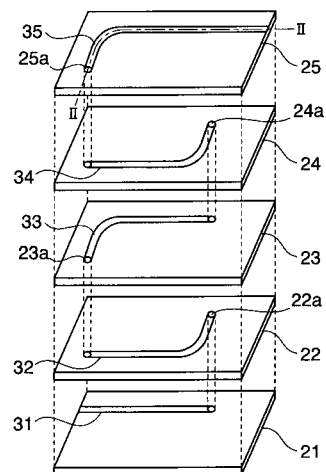
【図 6】



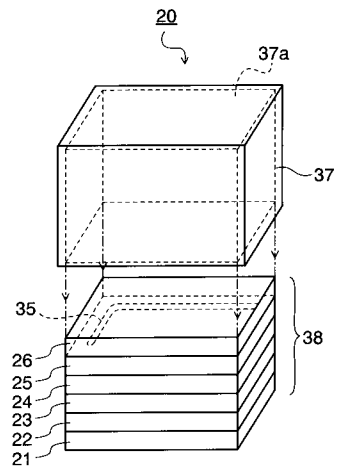
【図 7】



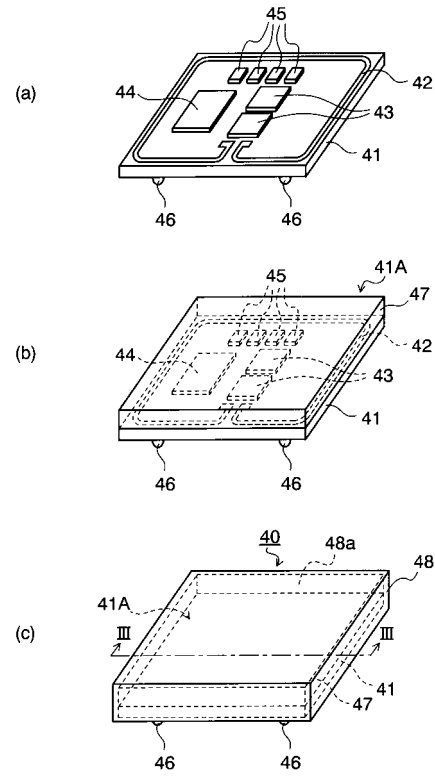
【図 9】



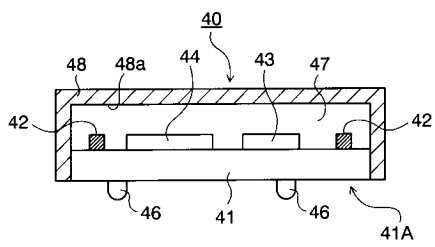
【図 10】



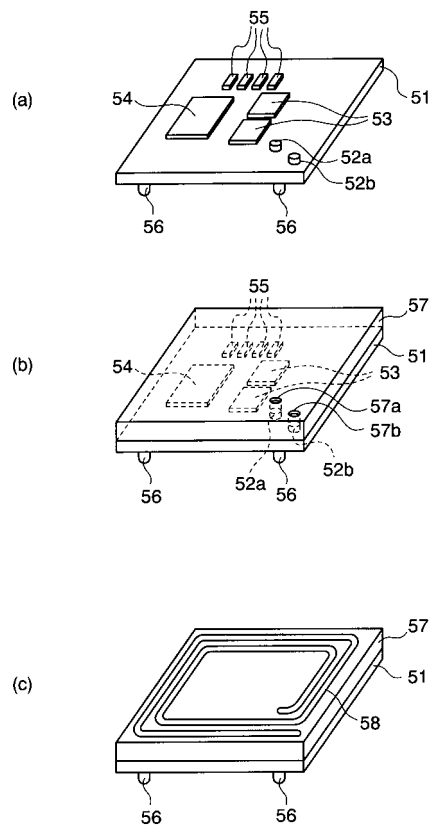
【図 11】



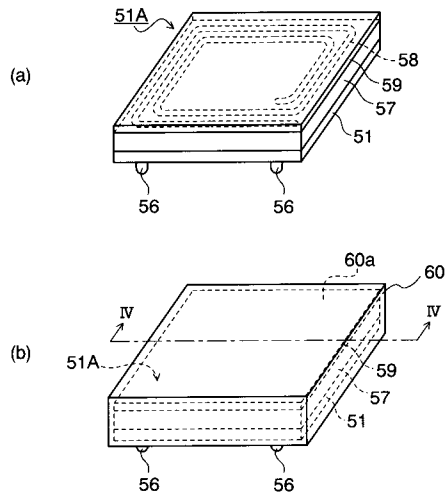
【図 12】



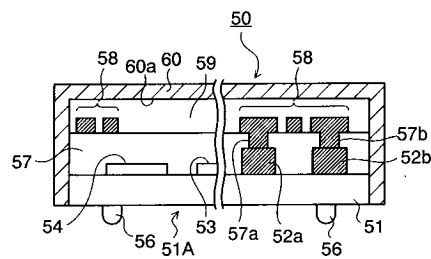
【図 13】



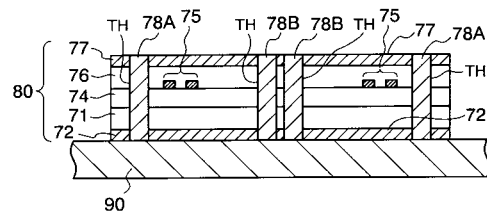
【 図 1 4 】



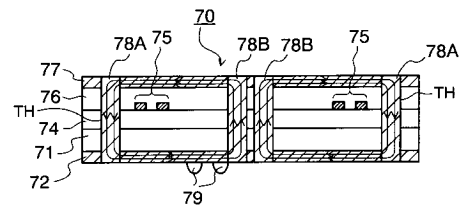
【 図 1 5 】



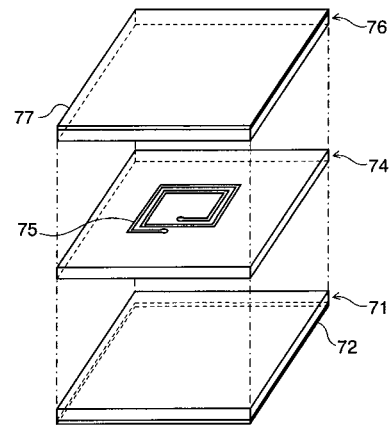
【 図 1 8 】



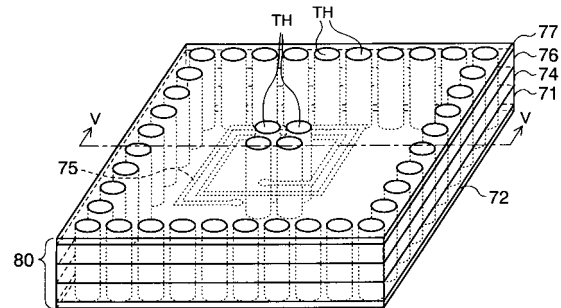
【 図 1 9 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(56)参考文献 特開2005-101417(JP,A)
特開平07-015957(JP,A)
特開平06-260361(JP,A)
特開平06-077053(JP,A)
特開2007-028838(JP,A)
特開平10-125830(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01F	27/36
H01F	17/00
H05K	3/46
H05K	9/00
H02M	3/00 - 3/44