

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>

G11C 7/00

(45) 공고일자 1996년07월16일

(11) 공고번호 특1996-0009246

(24) 등록일자 1996년07월16일

(21) 출원번호 특1993-0004653

(65) 공개번호 특1999-1000001

(22) 출원일자 1993년03월25일

(43) 공개일자 1999년01월01일

(30) 우선권주장 92-67795 1992년03월26일 일본(JP)

(73) 특허권자 낫본덴기 가부시끼가이샤 세끼모또 타다히로  
일본국 도꼬도 미나도꾸 시바 5쪽에 7-1

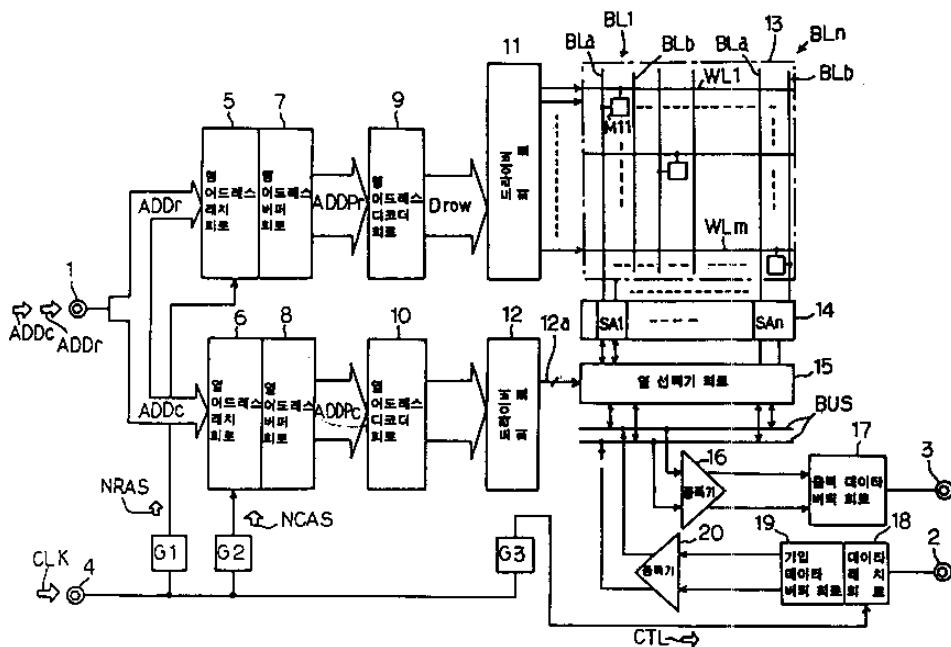
(72) 발명자 후꾸조 유끼오

일본국 도꼬도 미나도꾸 시바 5쪽에 7-1 낫본덴기 가부시끼가이샤 내

(74) 대리인 이상희, 구영창, 주성민

**심사관 : 이해평 (책자공보 제4546호)****(54) 파이프 라인 아키텍처로 배열된 어드레싱부 및 데이터 전송 경로를 갖고 있는 다이나믹 랜덤 액세스 메모리 장치****요약**

내용없음

**대표도****명세서**

## [발명의 명칭]

파이프 라인 아키텍처로 배열된 어드레싱부 및 데이터 전송 경로를 갖고 있는 다이나믹 랜덤 액세스 메모리 장치

## [도면의 간단한 설명]

제1도는 종래 기술의 다이나믹 랜덤 액세스 메모리 장치를 도시한 블럭도.

제2도는 본 발명에 따른 고속 다이나믹 랜덤 액세스 메모리 장치를 도시한 블럭도.

제3도는 고속 다이나믹 랜덤 액세스 메모리 장치에 사용된 타이밍 발생단의 장치를 도시한 회로도.

제4도는 프로그래밍 모드의 시퀀스를 도시한 타이밍차트.

제5도는 상이한 시스템 클럭 신호에서의 동작 시퀀스를 도시한 타이밍챠트.

제6도는 본 발명에 따른 다른 실시예의 고속 다이나믹 랜덤 액세스 메모리 장치를 도시한 블럭도.

\* 도면의 주요부분에 대한 부호의 설명

5, 32a : 행 어드레스 래치 회로	6, 32f : 열 어드레스 래치 회로
7, 32b : 행 어드레스 버퍼 회로	8, 32g : 열 어드레스 버퍼 회로
9, 32c : 행 어드레스 디코더 회로	10, 32h : 열 어드레스 디코더 회로
11, 12, 32e, 32j : 드라이버 회로	15, 32k : 열 선택기 회로
17, 33d : 출력 데이터 버퍼 회로	18, 33e : 데이터 래치 회로
19, 33f : 기입 데이터 버퍼 회로	32d, 32i : 래치 회로
33c : 독출 래치 회로	33g : 기입 래치 회로
34a : 디코더 회로	34b : 레지스터 회로

[발명의 상세한 설명]

본 발명은 다이나믹 랜덤 액세스 메모리(Dynamic Random Access Memory, 이하, DRAM이라 칭함)장치에 관한 것으로, 특히 감소된 명령어 세트를 갖춘 마이크로프로세서와 같은 고속 중앙 처리 장치에 응답하는 DRAM 장치에 관한 것이다.

DRAM의 대표적인 구성예가 제1도에 도시되어 있으며, 예로서 어드레스 포트(1), 입력 데이터 핀(2) 및 출력 데이터 핀(3)을 통해 중앙 처리 장치(도시되지 않음)와 통신 가능하다. 종래 기술의 DRAM은 동작의 독출 모드 및 기입 모드로 선택적으로 들어가서, 클럭 핀(4)에서 시스템 클럭(CLK)와 동기하여 독출 시퀀스 및 기입 시퀀스가 진행한다.

종래 기술의 DRAM이 특출 모드일 때, 중앙 처리 장치는 DRAM내에 저장된 데이터 비트를 액세스할 수 있고, 시분할 다중화 형태로 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDc)를 어드레스 포트(1)에 공급한다. DRAM은 순차적으로 내부 행 어드레스 스트로브 신호(NRAS)를 타이밍 발생단(G1)에서 발생시키고 내부 열 어드레스 신호(NCAS)를 타이밍 발생단(G2)에서 발생시키며, 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDc)는 행 어드레스 래치 회로(5) 및 열 어드레스 래치 회로(6)내에 각각 저장된다. 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDc)가 행 어드레스 래치 회로(5) 및 열 어드레스 래치 회로(6)에서 행 어드레스 버퍼 회로(7) 및 열 어드레스 버퍼 회로(8)로 각각 전송되고, 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDc)가 미리 디코드되어, 행 어드레스 사전 디코드 신호(ADDP) 및 열 어드레스 사전 디코드 신호(ADDPc)는 행 어드레스 디코드 회로(9) 및 열 어드레스 디코드 회로(10)에 각각 공급된다. 행 어드레스 디코드 회로(9) 및 열 어드레스 디코드 회로(10)은 행 어드레스 사전 디코드 신호(ADDP) 및 열 어드레스 사전 디코드 신호(ADDPc)로부터 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dcol)를 각각 발생시키고, 드라이버 회로(11 및 12)는 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dcol)에 응답하여 행 메모리 셀 및 열 베모리 셀을 메모리 셀 어레이(13)으로부터 선택한다.

메모리 셀 어레이(13)은 행 및 열로 배열되고, 워드 라인(WL1 내지 WLm) 및 비트 라인 쌍(BL1 내지 BLn)은 행 및 열과 연관된다. 각각의 비트 라인 쌍(BL1 내지 BLn)은 좌·우측 비트 라인(BLa 및 BLb)로 이루어지고, 열은 좌·우측 비트 라인(BLa 및 BLb)과 선택적으로 결합된다.

행 및 열 어드레스 신호(ADDR 및 ADDc)가 메모리 셀(M11)을 나타내면, 데이터 비트는 메모리 셀(M11)을 포함하는 제1행으로부터 좌측 비트 라인(BLa)로 독출된다. 데이터 비트는 감지기 증폭기 회로(SA1 내지 SAN)의 어레이(14)에 공급되고, 데이터 비트의 논리 레벨을 식별하도록 독출 데이터 비트를 나타내는 작은 차전암이 증가된다.

드라이버 회로(12)는 디코드 신호 라인(12a)들 중의 한 라인을 구동시키고, 열 선택기 회로(15)는 감지 증폭기 회로(SA1 내지 SAN)들 중의 하나를 데이터 버스(BUS)와 결합시킨다. 이러한 결과로서, 메모리 셀(M11)로부터 독출된 데이터 비트는 데이터 버스(BUS)를 통해 독출 증폭기 회로(16)에 공급되고, 독출 증폭기 회로(16)은 다시 메모리 셀(M11)로부터 독출된 데이터 비트를 나타내는 차 전압의 크기를 증가시킨다. 출력 데이터 버퍼 회로(17)은 차 전압으로부터 데이터 비트를 나타내는 출력 데이터 신호를 발생시켜, 출력 데이터 신호를 출력 데이터 핀(3)에 공급한다.

중앙 처리 장치가 새로운 데이터 비트를, 예를 들어 메모리 셀(M11)내에 저장하기 위해 DRAM을 요구하는 경우, DRAM은 기입 모드로 들어가고, 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDc)는 워드 라인(WL1) 및 열 선택기 회로(15)가 독출 모드와 유사한 방식으로 데이터 버스(BUS)에서 메모리 셀(M11)로의 경로를 설정할 수 있게 한다. 새로운 데이터 비트를 나타내는 입력 데이터 신호는 입력 데이터 핀(2)에 공급되고, 시스템 클럭 신호(CLK)에 응답하여 타이밍 제어단(G3)에서 발생된 내부 래치 제어 신호(CTL)과 동기하여 데이터 래치 회로(18)내에 저장된다. 기입 데이터 버퍼 회로(19)는 입력 데이터 신호를 나타내는 차 전압을 발생시키고, 기입 증폭기 회로(20)에 의해 차 전압이 증가된다. 그러므로, 증폭된 차 전압은 데이터 버스(BUS) 및 열 선택기 회로(15)를 통해 감지 증폭기 회로(SA1)에 전송되고, 차 전압의 크기는 감지 증폭기 회로(SA1)에 의해 다시 증가된다. 차 전압은 비트 라인 쌍(BL1)을 통해 전달되고, 높거나 낮은 전압 레벨이 메모리 셀(M11)내에 저장된다.

그러므로, 종래 기술의 DRAM은 독출 모드 동안에 내부 행 어드레스 스트로브 신호(NRAS) 및 내부 열 어드레스 스트로브 신호(NCAS)를 발생시키고, 기입 모드 동안에 내부 래치 제어 신호(CTL)를 발생시키며, 콤포넌트 회로(5 내지 17) 또는 콤포넌트 회로(5 내지 15 및 18 내지 20)은 독출 동작 또는 기입 동작 동안

에 순차적으로 활성화된다.

일반적으로, 중앙 처리 장치는 명령어 코드의 폐지에서 명령에 코드에 의해 표시된 작업의 완료까지 순서대로 전체적으로 관련된다. 그러나, 중앙 처리 장치는 때때로 유휴 상태이고, 유휴 상태의 중앙 처리 장치는 선행 제어에 이용 가능하다[야마시따 히데오에 의해 편집되고 1990년 1월에 일본 유니바크 종합 연구소가 편찬한 공립 종합 컴퓨터 사전(제3편) 706페이지 참조]. 선행 제어를 달성하기 위해, 병행 시스템이 널리 공지되어 있으며, 중앙 처리 장치는 뱅크로서 각각 칭해지는 다수의 메모리 장치와 연관된다. 병행 시스템에 있어서는 중앙 처리 장치와 메모리 장치 사이에 스위칭 어레이가 제공되고, 중앙 처리 장치는 메모리 장치 또는 뱅크를 선택적으로 억세스할 수 있다. 뱅크가 서로 연결되는 경우, 인접한 뱅크는 상이한 어드레스에 할당되는데, 어드레스 할당 방식은 인터리브(Interleave)로서 공지되어 있다(공립 종합 컴퓨터 사전의 714페이지 참조). 선행 제어는 계속하여 개발되고, 이러한 개발 노력의 결과로 슈퍼 컴퓨터 시스템에 실제로 적용되는 파이프 라인이 등장하였다.

시스템 클럭은 초고속으로 향상되고 있다. 실제로, 인텔(Intel)사의 i-486/586과 같은 CISC형 마이크로프로세서는 50MHz 내지 100MHz에서 시스템 클럭에 응답하고, MIPS사의 R4000과 같은 RISC형 마이크로컴퓨터는 기본 캐시로 70MHz 내지 150MHz에서 시스템 클럭에 응답한다.

한편, DRAM은 회로 부품의 미세화에 의해 집적도가 증가되고, 페이지 모드 억세스 기술, 니블(nibble)모드 억세스 기술 또는 정적 열 모드 억세스 기술과 같은 새로운 기술이 DRAM에 적용되어 짧은 억세스 시간에 응답한다. 새로운 기술은 전자 통신 학회가 1984년 편찬한 LSI 핸드북의 492페이지에 기술되어 있다.

감소된 명령어 세트를 갖춘 선행 마이크로프로세서는 100MHz보다 높은 시스템 클럭과 동기하여 작업을 달성하고, DRAM이 10ns 내지 15ns로 억세스되도록 되어 있다. 그러나, 종래 기술의 고속 DRAM의 억세스 시간의 범위는 50ns와 60ns 사이이고, 이렇게 긴 억세스 시간은 고속 마이크로프로세스가 종래 기술의 DRAM을 즉시 억세스할 수 없게 한다. 이러한 차이를 극복하기 위해, 고속 마이크로프로세서는 메모리 계층을 요구하고, 고속 바이플라 트랜지스터로 제조된 캐시 메모리는 고속 마이크로프로세서와, 주 기억 장치와 결합하여 형성하는 종래 기술의 DRAM 사이에 삽입된다. 메모리 계층은 복잡하고 비싸며, 시스템 설계자는 10ns 내지 15ns에서 즉시 억세스할 수 있는 고속 DRAM을 열망한다.

따라서, 본 발명의 주요 목적은 고속 마이크로프로세서가 저장된 데이터를 소정의 캐시 메모리가 없이도 억세스시킬 수 있는 DRAM을 제공하기 위한 것이다.

이러한 목적을 달성하기 위하여, 본 발명은 파이프라인 아키텍처에 따라 어드레싱부 및 데이타 전송 경로를 배열한다.

본 발명의 한 특징에 따르면, 반도체 칩상에 제조된 DRAM 장치는,

- a) 행 어드레스 및 열 어드레스가 행 및 열에 각각 할당되는 행 및 열로 배열된 다수의 메모리 셀을 갖고 있는 메모리 셀 어레이,
- b) 외부 행 어드레스 신호를 일시적으로 저장하기 위해 내부 행 어드레스 스트로브 신호에 응답하는 행 어드레스 래치 회로, 외부 행 어드레스 신호로부터 행 어드레스 디코드 신호를 발생시키기 위한 행 어드레스 디코더 장치, 및 외부 행 어드레스 신호에 의해 나타난 메모리 셀의 한 행을 선택하기 위해 행 어드레스 디코드 신호에 응답하는 워드 라인 드라이버 회로를 갖고 있는 행 어드레싱 수단,
- c) 외부 열 어드레스 신호를 일시적으로 저장하기 위해 내부 열 어드레스 스트로브 신호에 응답하는 열 어드레스 래치 회로, 외부 열 어드레스 신호로부터 열 어드레스 디코드 신호를 발생시키기 위한 열 어드레스 디코더 장치 및 외부 열 어드레스 신호에 의해 나타난 메모리 셀의 한 열을 선택하기 위해 열 어드레스 디코드 신호에 응답하는 열 선택 장치를 갖고 있는 열 어드레싱 수단,
- d) 데이터 입·출력 포트와 메모리 셀 어레이 사이에 삽입되어, 외부 행 어드레스 신호 및 외부 열 어드레스 신호에 의해 나타난 다수의 메모리 셀들중 하나의 셀과 데이터 입·출력포트 사이에 데이터 경로를 제공하고, 데이터 입·출력 포트와 결합되어 외부 데이터 신호를 저장하기 위해 제1제어 신호에 응답하는 제1일시 데이터 저장부, 외부 데이터 신호로부터 발생된 제1차 전압을 저장하기 위해 제2제어 신호에 응답하는 제2일시 데이터 저장부, 및 메모리 셀 어레이로부터 공급된 독출 데이터 비트를 나타내는 제2차전압을 저장하기 위해 제3제어 신호에 응답하는 제3일시 데이터 저장부를 갖고 있는 데이터 전송 수단, 및
- e) 내부 행 어드레스 스트로브 신호, 내부 열 어드레스 스트로브 신호, 제 1제어 신호, 제 2 제어 신호 및 제3제어 신호를 외부 클럭 신호의 발생과 동시에 발생시키도록 동작하는 다수의 다이밍 발생단을 갖고 있는 제어 수단으로 구성되어 있다.

본 발명의 다른 특징에 따르면, 시스템 클럭 신호에 의해 제어된 컴퓨터 시스템은,

- a-1) 행 어드레스 및 열 어드레스가 행 및 열에 각각 할당되는 행 및 열로 배열된 다수의 메모리 셀을 갖고 있는 메모리 셀 어레이,
- a-2) 외부 행 어드레스 신호를 일시적으로 저장하기 위해 내부 행 어드레스 스트로브 신호에 응답하는 행 어드레스 래치 회로, 외부 행 어드레스 신호로부터 행 어드레스 디코드 신호를 발생시키기 위한 행 어드레스 디코더 장치, 행 어드레스 디코드 신호를 저장하기 위해 제1제어 신호에 응답하는 제1일시 어드레스 저장부, 및 외부 행 어드레스 신호에 의해 나타난 메모리 셀의 한 행을 선택하기 위한 행 어드레스 디코드 신호에 응답하는 워드 라인 드라이버 회로를 갖고 있는 행 어드레싱 수단,
- a-3) 외부 열 어드레스 신호를 일시적으로 저장하기 위해 내부 열 어드레스 스트로브 신호에 응답하는 열 어드레스 래치 회로, 외부 열 어드레스 신호로부터 열 어드레스 디코드 신호를 발생시키기 위한 열 어드레스 디코더 장치, 열 어드레스 디코드 신호를 저장하기 위해 제2제어 신호에 응답하는 제2일시 어드레스 저장부, 및 외부 열 어드레스 신호에 의해 나타난 메모리 셀의 한 열을 선택하기 위한 열 어드레스 디코드 신호에 응답하는 열 선택 장치를 갖고 있는 열 어드레싱 수단,
- a-4) 메모리 셀 어레이와 데이터 입·출력 포트 사이에 삽입되어, 외부 행 어드레스 신호 및 외부 열 어

드레스 신호에 나타난 다수의 메모리 셀들 중 하나의 셀과 데이터 사이에 데이터 경로를 제공하고, 데이터 입·출력 포트와 결합되어 외부 데이터 신호를 저장하기 위해 제1제어 신호에 응답하는 제1일시 데이터 저장부, 외부 데이터 신호로부터 발생된 제1차 전압을 저장하기 위해 제2제어 신호에 응답하는 제2일시 데이터 저장부 및 메모리 셀 어레이로부터 공급된 독출 데이터 비트를 나타내는 제2차 전압을 저장하기 위해 제3제어 신호에 응답하는 제3일시 데이터 저장부를 갖고 있는 데이터 전송 수단, 및

a-5) 내부 행 어드레스 스트로브 신호, 내부 열 어드레스 스트로브 신호, 제1제어 신호, 제2제어 신호, 제3제어 신호, 제4제어 신호 및 제5제어 신호를 외부 클럭 신호의 발생과 동시에 발생시키도록 동작하는 다수의 타이밍 발생단, 및 제1 및 제2제어 신호를 발생시키도록 동작하는 타이밍 발생단 또는 제1 내지 제5제어 신호를 발생시키도록 동작하는 타이밍 발생단을 디스에이블시키기 위해 외부 명령 신호에 응답하는 프로그래밍 회로를 포함하는 DRAM, 및

b) DRAM과 통신할 수 있고, 시스템 클럭 신호가 메모리 셀 어레이내에 저장된 데이터 비트를 페치시키기 위한 최소한 하나의 독출 사이클 및 메모리 셀 어레이내에 저장된 데이터 비트를 기록하기 위한 기입 사이클을 정하는 마이크로프로세서로 구성된다.

이하, 첨부 도면을 참조하여 본 발명에 따른 고속 DRAM의 특징과 장점에 보다 상세하게 설명하고자 한다.

제2도를 참조하면, 본 발명을 실현하는 고속 DRAM은 반도체 칩(30)상에 제조되고, 메모리 셀 어레이(31), 어드레싱 수단(32), 데이터 전송 수단(33) 및 제어기(34)를 포함한다. 고속 DRAM은 컴퓨터 시스템의 데이터 저장부를 형성하고, 어드레스 포트(36), 데이터 출력 포트(37), 데이터 입력 포트(38), 제어 신호 포트(39) 및 클럭 포트(40)를 통해, 감소된 명령어 세트를 갖춘 고속 마이크로프로세서(35)와 직접 통신할 수 있다. 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDC)는 시분할 다중화 방식으로 어드레스 포트(36)에 공급되고, 칩 선택 신호 및 기록 엔에이블 신호와 같은 여러가지 외부 제어 신호는 제어 포트(39)에 공급된다. 외부 제어 신호에 의해, 제어기(34)는 고속 DRAM이 기입 모드, 독출 모드, 동작 리프레쉬 모드 및 프로그래밍 모드로 선택적으로 들어갈 수 있게 한다. 독출 모드에 있어서, 출력 데이터 신호(Dout)은 데이터 출력 포트(37)에서 공급되고, 입력 데이터 신호(Din)은 기입 모드에서 데이터 입력 포트(38)에 공급된다. 고속 DRAM이 프로그래밍 모드로 들어간 경우, 어드레싱 수단(32) 및 데이터 전송수단(33)의 시퀀스는 후술될 클럭 포트(40)에서의 시스템 클럭 신호(CLK)의 주파수에 따라 분할할 수 있다. 시스템 클럭 신호(CLK)는 마이크로프로세서(35)의 기입 및 독출 사이클을 정한다. 이 경우에, 시스템 클럭 신호(CLK)는 33.3MHz, 66.6MHz 및 100MHz중의 하나로 조정할 수 있다. 33.3MHz, 66.6MHz 및 100MHz에서의 시스템 클럭 신호는 이후로 CLK(1f), CLK(2f) 및 CLK(3f)로서 각각 표시된다.

메모리 셀 어레이(31)은 다수의 메모리 셀(M11, M1n, M21, M2n, Mij, Mn1 및 Mnn)으로 제조되고, 다수의 메모리 셀(M11 내지 Mnn)은 행 및 열로 배열된다. 각각의 다수의 메모리 셀(M11 내지 Mnn)은 스위칭 트랜지스터와 저장 캐패시터의 직렬 결합에 의해 실행되고, 전기 충전 형태로 데이터 비트를 저장한다.

어드레싱 수단(32)은 메모리 셀을 메모리 셀 어레이(31)로부터 선택하도록 동작하고, 행 선택 서브 시스템 및 열 선택 서브 시스템으로 분류된다. 행 선택 서브 시스템은 메모리 셀을 메모리 셀 어레이(31)로부터 선택하고, 행 어드레스 래치 회로(32a), 행 어드레스 버퍼 회로(32b), 행 어드레스 디코더 회로(32c), 래치 회로(32d), 워드 라인 드라이버 회로(32e) 및 워드 라인(WL1, WL2, WL<sub>i</sub> 및 WL<sub>m</sub>)을 포함한다.

행 어드레스 래치 회로(32a)는 어드레스 포트(36)과 결합되고, 제어기(34)의 타이밍 발생단(G1)로 제어된다. 즉, 행 어드레스 래치 회로(32a)는 시스템 클럭신호(CLK)와 동기하여 변화할 수 있는 내부 행 어드레스 스트로브 신호(NRAS)에 응답하고, 행 어드레스 신호(ADDR)은 내부 행 어드레스 스트로브 신호(NRAS)의 존재시에 행 어드레스 래치 회로(32a)에 의해 래치된다. 행 어드레스 래치 회로(32a)는 행 어드레스 신호(ADDR)를 행 어드레스 버퍼 회로(32b)에 릴레이하고, 행 어드레스 버퍼 회로(32b)는 행 어드레스 사전 디코드 신호(ADDPr)를 발생시킨다. 행 어드레스 사전 디코드 신호(ADDPr)은 행 어드레스 디코더 회로(32c)에 공급되고, 행 어드레스 디코더 회로(32c)는 메모리 셀 어레이(31)의 행들 중 한 행을 나타내는 행 어드레스 디코드 신호(Drow)를 발생시킨다. 행 어드레스 디고드 신호(Drow)는 래치 회로(32d)에 공급된다.

래치 회로(32d)는 본 발명에 따라 행 선택 서브 시스템에 새로 추가되고, 제어기(34)의 타이밍 발생단(G2)에 의해 제어된다. 타이밍 발생단(G2)이 타이밍 제어 신호(CTL1)를 생성한 경우, 래치 회로(32d)는 타이밍 제어 신호(CTL1)에 응답하여 행 어드레스 디코드 신호(Drow)를 일시적으로 저장한다. 그러므로, 래치된 행 어드레스 디코드 신호(Drow)는 워드 라인 드라이버 회로(32e)에 전송되고, 워드 라인 드라이버 회로(32e)는 행 어드레스 신호(ADDR)로 표시된 행 어드레스에 합당된 워드 라인(WL1 내지 WL<sub>m</sub>)들 중 한 워드 라인을 활성 레벨로 구동시킨다. 그러나, 타이밍 발생단(G2)이 소정의 래치 제어 신호(CTL1)를 생성하지 않는 경우, 행 어드레스 디코드 신호(Drow)는 래치 회로(32d)내에 저장하지 않고 워드 라인 드라이버 회로(32e)에 직접 공급된다. 워드 라인(WL1 내지 WL<sub>m</sub>)은 관련 행 내의 스위칭 트랜지스터의 게이트 전극과 결합되고, 선택된 워드 라인과 결합된 행 메모리 셀은 데이터 전송 수단(33)과 결합된다.

열 선택 서브 시스템은 메모리 셀 어레이(31)로부터 열 메모리 셀을 선택하도록 동작하고, 열 어드레스 래치 회로(32f), 열 어드레스 버퍼 회로(32g), 열 어드레스 디코더 회로(32h), 래치 회로(32i), 드라이버 회로(32j) 및 열 선택기 회로(32k)를 포함한다.

상술된 바와 같이, 열 어드레스 신호(ADDC)는 다중화 방식으로 어드레스 포트(36)에 공급되고, 열 어드레스 신호(ADDC)는 제어기(34)의 다이밍 발생단(G3)의 제어하에 열 어드레스 래치 회로(32f)에 의해 래치된다. 즉, 타이밍 발생단(G3)은 시스템 클럭 신호(CLK)와 동기하여 변화할 수 있는 내부 열 어드레스 스트로브 신호(NCAS)를 발생시키고, 열 어드레스 래치 회로(32f)는 내부 열 어드레스 스트로브 신호(NCAS)의 존재시에 열 어드레스 신호(ADDC)를 저장한다. 열 어드레스 래치 회로(32f)는 열 어드레스 신호(ADDc)를 열 어드레스 버퍼 회로(32g)에 릴레이하고, 열 어드레스 버퍼 회로(32g)는 열 어드레스 신호(ADDC)로부터 열 어드레스 사전 디코드 신호(ADDPc)를 발생시킨다. 열 어드레스 사전 디코드 신호(ADDPc)는 열 어드레스 디코더 회로(32h)에 공급되고, 열 어드레스 디코더 회로(32h)는 메모리 셀 어레이(31)의 열들 중 한 열을 나타내는 열 어드레스 디코드 신호(Dco1)를 발생시킨다.

또한, 래치 회로(32i)는 열 선택 서브 시스템에 새로 추가되고, 타이밍 발생단(G4)의 제어 하에 있다.

즉, 다이밍 발생단(G4)가 래치 제어 회로(CTL2)를 발생시키는 경우, 래치 회로(32i)는 래치 제어 신호(CTL2)의 존재시에 열 어드레스 디코드 신호(Dco1)을 저장한다. 그러나, 다이밍 발생단(G4)가 소정의 래치 제어 신호(CTL2)를 발생시키지 않는 경우, 열 어드레스 디코드 신호(Dco1)은 드라이버 회로(32j)에 직접 공급되고, 래치 회로(32i)에 저장되지 않는다. 열 선택기(32k)는 다수의 전송 게이트 장치에 의해 실행되고, 각각의 전송 게이트 장치는 메모리 셀의 모든 2열과 연관된다. 래치 회로(32i)는 열 어드레스 디코드신호(Dco1)을 드라이버 회로(32j)에 릴레이하고, 드라이버 회로(32j)는 전송 게이트 장치들 중의 하나가 턴온할 수 있게 한다.

데이터 전송 수단(33)은 입력 또는 출력 포트(38 또는 37)과 메모리 셀 어레이(31) 사이에서 데이터 비트를 전송하도록 동작하고, 다수의 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>, BL<sub>j</sub>, BL<sub>j+1</sub>, BL<sub>m</sub> 및 BL<sub>n</sub>), 감지 증폭기 어레이(33a), 데이터 버스(DB), 독출 증폭기 회로(33b), 독출 래치 회로(33c), 출력 데이터 버퍼 회로(33d), 입력 데이타 래치 회로(33e), 기입 데이타 버퍼(33f), 기입 래치 회로(33g) 및 기입 증폭기 회로(33h)를 포함한다. 독출 래치 회로(33c) 및 기입 래치 회로(33g)는 데이터 전송 수단(33)에 재로 추가된다.

모든 인접한 2개의 비트 라인은 서로 쌍이 되고, 다수의 비트 라인쌍(BLP1 내지 BLP<sub>y</sub>)은 메모리 셀 어레이(31)의 열에 제공된다. 비트 라인(BL<sub>1</sub> 내지 BL<sub>n</sub>)은 메모리 셀 어레이(31)의 열과 각각 연관되고, 관련 열 내의 스위칭 트랜지스터의 드레인 노드와 결합된다. 예를 들어, 비트 라인(BL<sub>1</sub> 내지 BL<sub>2</sub>)는 열 메모리 셀(M<sub>11</sub> 내지 M<sub>m-11</sub>) 및 열 메모리 셀(M<sub>21</sub> 내지 M<sub>m1</sub>)과 각각 연관되므로, 비트 라인 쌍(BLP1)은 인접한 2개의 열 메모리 셀(31)과 연관된다. 제2도에 도시되지는 않았지만, 비트 라인쌍(BL<sub>1</sub> 내지 BL<sub>y</sub>)은 프리차지 회로와 결합되고, 모든 인접한 2개의 비트 라인은 워드 라인들 중의 한 워드 라인이 활성 레벨로 구동되기 전에 논리 1레벨과 논리 0레벨에 대응하는 고전압과 저전압 레벨 사이의 중간 전압 레벨에서 충전되어 균등해진다. 워드 라인이 활성 레벨로 구동될 때, 그 밖의 다른 비트 라인은 관련 메모리 셀의 저장 캐패시터와 결합되고, 독출 모드에서 비트 라인쌍(BLP1 내지 BLP<sub>y</sub>)상에 작은 차전압이 발생된다. 한편, 각각의 비트 라인쌍(BLP1 내지 BLP<sub>y</sub>)은 기입 모드 및 동작 리프레쉬 모드에서 관련 메모리 셀의 저장 캐패시터에 고전압 또는 저전압 레벨을 공급한다.

감지 증폭기 회로 어레이(33a)는 비트 라인쌍(BL<sub>1</sub> 내지 13LP<sub>y</sub>)과 각각 결합되는 다수의 감지 증폭기 회로(SA<sub>1</sub>, SA<sub>j</sub> 및 SA<sub>n</sub>)를 갖고 있다. 감지 증폭기 회로(SA<sub>1</sub> 내지 SA<sub>n</sub>)은 동시에 활성화되어 작은 차전압이 증폭된다. 상술된 바와 같이, 열 선택기(32k)는 비트 라인쌍(BLP1 내지 BLP<sub>y</sub>)들 중 하나를 데이터 버스(DB)와 연결하고, 차전압은 감지 증폭기 허로 어레이(33a)와 데이터 버스(DB) 사이에 전송된다. 고속 DRAM이 독출 모드일 때, 차전압들 중 한 전압은 열 선택기(32k)로부터 데이터 버스(DB)를 통해 독출 증폭기 회로(33b)에 공급된다. 한편, 고속 DRAM이 기입 모드로 들어가면, 기입 데이터 비트를 나타내는 차전압은 기입 증폭기 회로(33h)로부터 데이터 버스(DB)를 통해 열 선택기(32k)에 공급된다.

독출 증폭기 회로(33b)는 독출 래치 회로(33c)를 통해 출력 데이터 버퍼 회로(33d)에 차전압을 공급하고, 출력 데이터 버퍼 회로(33d)는 독출 모드에서 독출 데이터 비트를 나타내는 출력 데이타 신호(Dout)을 출력 데이터 포트(37)에 공급한다. 한편, 기입 모드에 머물러 있는 동안, 입력 데이터 신호(DIn)은 타이밍 발생단(G5)로부터 공급된 래치 제어 회로(CTL3)에 응답하여 데이터 래치 회로(33e)에 일시적으로 저장되고, 기입 데이터 버퍼 회로(33f)는 입력 데이터 신호(Dm)으로부터 기입 데이터 비트를 나타내는 차전압을 발생시킨다. 기입 데이터 버퍼 회로(33f)는 기입 래치 회로(33g)를 통해 기입 증폭기 회로(33h)에 차전압을 공급한다.

새로 추가된 기입 래치 회로(33g) 및 독출 래치 회로(33c)는 제어기(34)의 타이밍 발생단(G6 및 G7)의 제어하에 있다. 즉, 타이밍 발생단(G6 및 G7)이 래치 제어 신호(CTL4 및 CTL5)를 발생시킨 경우, 기입 래치 회로(33g) 및 독출 래치 회로(33c)는 래치 제어 신호(CTL4 및 CTL5)에 각각 응답하여 기입 데이터 버퍼 회로(33f) 및 독출 증폭기 회로(33b)로부터 차전압을 저장한다. 그러나, 래치 제어 신호(CTL4 및 CTL5)가 발생되지 않는 경우, 기입 래치 회로(33g) 및 독출 래치 회로(33c)는 디스에이블되고, 차전압은 기입 데이터 버퍼 회로(33f)와 기입 증폭기 회로(33h) 사이, 및 독출 증폭기 회로(33b)와 출력 데이터 버퍼 회로(33d) 사이에 직접 전송된다.

요약하면, 래치 회로(32d 및 321), 독출 및 기입 래치 회로(33c 및 33g) 및 타이밍 발생단(G2, G4, G6 및 G7)은 종래 기술의 DRAM 장치에 새로 추가된다. 래치 회로(32d, 321, 33c 및 33g)는 플립 플롭 회로에 의해 실행되고, 각각 선택적으로 엔에이블되어, 어드레싱 수단(32)의 시퀀스 및 데이터 전송 수단(33)의 시퀀스를 분할한다.

제3도는 타이밍 발생단(G2 및 G4 내지 G7)의 등가 회로를 도시한 것으로, 등가 회로는 디코더 회로(34a), 레지스터 회로(34b), 및 3개의 AND 게이트(AD1, AD2 및 AD3)를 포함한다. 디코더 회로(34a)는 프로그램 사이클 신호(EN)으로 엔에이블되고, 프로그래밍 모드에서 어드레스 포트(36)의 선정된 어드레스 핀으로부터 전송된 외부 명령 신호(ADDm 및 ADDn)을 디코드한다.

제4도는 프로그래밍 모드를 도시한 것이다. 외부 모드 신호의 2개의 비트(Phi1 및 Phi2)가 시간(t1)에서 내려가는 경우, ROM 데이블(34a)은 프로그래밍 모드를 인지하고, 프로그램 사이클 신호(EN)를 발생 시킨다. 프로그램 사이클 신호(EN)에 의해, 디코더 회로(34a)는 엔에이블되고, 외부 명령 신호(ADDm 및 ADDn)에 응답한다. 외부 명령 신호(ADDm 및 ADDn)은 디코더 회로(34a)로 디코드되고, 3비트 디코드 신호(DS)는 시간(t2)에서 시스템 클럭 신호(CLK)의 선형 연부에서 래지스터 회로(34b)에 의해 각각 래치된다. 레지스터 회로는 3개의 출력 비트[MODE(3f), MODE(2f) 및 MODE(1f)]를 연속하여 발생시켜서, 이들을 AND 게이트(AD1, AD2 및 AD3)에 공급한다. 시스템 클럭 신호(CLK)가 100MHz로 조정되는 경우, 외부 명령 신호는 레지스터 회로(34b)가 비트[MODE(3f)]를 논리 1레벨로 시프트하게 하고, 래치 제어 신호(CTL1, CTL2, CTL3, CTL4 및 CTL5)는 최고 시스템 클럭 신호[CLK(3f)]와 동기하여 변화된다.

시스템 클럭 신호(CLK)가 66.6MHz로 조정되는 경우, 레지스터 회로(34b)는 비트[MODE(2f)]를 논리 1레벨로 시프트시키고, 래치 제어 신호(CTL3, CTL4 및 CTL5)는 시스템 클럭 신호[CLK(2f)]와 동기하여 변환된다. 시스템 클럭(CLK)가 33.3MHz로 조정되는 경우, 레지스터 회로(34b)는 비트[MODE(1f)]를 논리 '1' 레벨로 시프트시키고, 래치 제어 신호(CTL3, CTL4 및 CTL5)는 시스템 클럭 신호[CLK(2f)]와 동기하여 변환된다. 시스템 클럭(CLK)가 33.3MHz로 조정되는 경우, 레지스터 회로(34b)는 비트[MODE(1f)]를 논리 1레

벨로 시프트시키고, 래치 제어 신호(CTL3)은 시스템 클럭 신호[CLK(1f)]와 동기하여 변화된다.

제5도를 참조하면, 상기한 주파수[CLK(3f), CLK(2f) 및 CLK(1f)]에서의 동작 시퀀스가 도시되어 있다. OP(3f), OP(2f) 및 OP(1f)는 각각 100MHz에서의 동작 시퀀스, 66.6MHz에서의 동작 시퀀스, 및 33.3MHz에서의 동작 시퀀스를 나타낸다.

외부 명령 신호(ADDm 및 ADDn)이 레지스터 회로(34b)가 비트[MODE(1f)]를 발생시키게 하는 경우, 타이밍 발생단(G1, G3 및 G5)은 33.3MHz에서의 시스템 클럭 신호와 동기하여 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL3)을 순차적으로 공급한다. 그러나, 래치 제어 신호(CTL1, CTL2, CTL4 및 CTL5)는 로우 상태로 남는다. 고속 DRAM이 독출모드로 들어가는 동안, 마이크로프로세서(35)는 메모리 셀 어레이(31) 내에 저장된 데이터 비트를 페치할 수 있고, 행 어드레스 신호(APDr) 및 열 어드레스 스트로브 신호(ADDc)는 내부 행 어드레스 스트로브 신호(NRAS) 및 열 어드레스 스트로브 신호(NCAS)의 존재시에 행 열 어드레스 래치 회로(32a 및 32f)에 의해 순차적으로 래치된다. 어드레싱 수단(32)의 회로 성분은 래치 회로(32d 및 32i)를 활성화시키지 않고 행 어드레스 정보와 열 어드레스 정보를 드라이버 회로(32e 및 32j)쪽으로 릴레이하고, 워드라인(WL1 내지 WLm)들 중의 한 워드라인 및 열 선택기(32k)는 메모리 셀(M11 내지 Mn)들 중 한 메모리 셀을 선택한다. 독출 데이터 비트는 관련 깊지 증폭기 회로로부터 열 선택기(32k)를 통해 독출 증폭기 회로(33b)에 전송하고, 독출 증폭기 회로(33b)는 독출 래치 회로(33c)를 활성화시키지 않고 독출 데이터 비트를 나타내는 차전압을 출력해 버퍼 회로(33d)에 릴레이한다. 최종적으로, 출력 데이터 버퍼 회로(33d)는 출력 데이터 신호(Dout)를 발생시키고, 출력 데이터 신호(Dout)은 마이크로프로세서(35)에 공급된다. 독출 사이클의 종료 시에, 마이크로프로세서는 다른 데이터 비트를 억세스하여 행 및 열 어드레스 신호를 변경할 수 있다. 제5도에 있어서, 약어(ADD)는 행 및 열 어드레스 신호(ADDr 및 ADDc)의 공급에서부터 행 및 열 어드레스 디코더 회로(32c 및 34h)에서의 디코딩까지의 시퀀스를 나타내고, 약어(RAMP)는 드라이버 회로(34j)에서부터 독출 모드 증폭기 회로(33b)에서의 증폭까지의 시퀀스를 나타내며, 약어(ROUT)은 독출 동작의 나머지 시퀀스를 나타낸다.

한편, 마이크로프로세서(35)가 DRAM내에서 데이터 비트를 최소화할 필요가 있는 경우, 고속 DRAM은 기입 모드로 들어가고, 타이밍 발생단(G1, G3 및 G5)은 시스템 클럭 신호[CLK(1f)]와 동기하여 내부 행 어드레스 스트로브 신호(NRAS), 내부열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL3)를 발생시킨다. 행 및 열 어드레스 신호(ADDr 및 ADDc)는 마이크로프로세서(35)로부터 순차적으로 공급되고, 행 및 열 어드레스 래치 회로(32a 및 32f)에 의해 래치된다. 더욱이, 입력 데이터 신호(Din)은 래치 제어 신호(33e)에 응답하여 데이터 래치 회로(33e)에 의해 래치된다. 행 어드레스 정보 및 열 어드레스 정보는 래치 회로(32d 및 32i)를 활성화시키지 않고 드라이버 회로(32e 및 32j)에 순차적으로 릴레이되고, 메모리 셀(M11 내지 Mn)들 중의 한 메모리 셀은 메모리 셀 어레이(31)로부터 선택된다. 입력 데이터 신호(Din)으로 표시된 기입 데이터 비트는 기입 래치 회로(33g)를 활성화시키지 않고 데이터 래치 회로(33e)에서 선택된 메모리 셀로 릴레이되어, 선택된 메모리 셀내에 기입된다. 기입 데이터 비트가 선택된 메모리셀내에 저장된 후, 마이크로프로세서(35)는 다시 기입 사이클을 개시할 수 있다. 그러므로, 33.3MHz에서의 동작 시퀀스는 종래 기술의 DRAM의 것과 유사하다. 약어(ADD+DL)은 래치 회로(33e)에서의 시퀀스 ''ADD 및 데이터 래치를 나타내고, 약어(WAMP)는 기입 데이터 버퍼 회로(33f)에서의 차전압의 발생을 나타내며, 약어(WIN)은 나머지 동작을 나타낸다.

마이크로프로세서(35)가 66.6MHz에서 시스템 클럭 신호[CLK(2f)]와 동기하여 고속 DRAM과 통신할 필요가 있는 경우, 마이크로프로세서(35)는 프로그래밍 모드를 요구하고, 레지스터 회로(34b)가 비트[MODE(2f)]를 상술된 외부 명령 신호(ADDm 및 ADDn)으로 논리 1 레벨로 시프트시키게 한다. 그 다음, 타이밍 발생단(G1, G3 및 G5 내지 G7)은 시스템 클럭 신호[CLK(2f)]에 응답하게 된다. 그러나, 타이밍 발생단(G2 및 G4)은 래치 제어 신호(CTL1 및 CTL2)를 로우 상태로 유지한다. 또한, 동작 시퀀스[OP(2f)]는 독출 모드 및 기입 모드로 실행되고, 마이크로프로세서(35)는 독출 사이클을 반복하여 데이터 비트를 순차적으로 페치하고, 기입 사이클을 반복하여 데이터 비트를 메모리 셀 어레이(31)내에 기록한다. 모든 독출 사이클은 시스템 클럭 신호[CLK(2f)]의 단일 펄스 주기내에 완료되고, 모든 기입 사이클도 단일 펄스 주기 동안 완료된다. 타이밍 발생단(G1/G3/G7 또는 G1/G3/G5/G7)은 모드에 따라 변하는 모든 펄스 주기내에 내부 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL5) 또는 신호(CTL3 및 CTL4)를 순차적으로 생성하였지만, 데이터 스트림에 초점을 맞추어 설명하고, 간략화를 위해 볼 필요로 래치 제어 신호에 대한 설명은 무시한다.

마이크로프로세서가 독출 사이클을 반복하는 동안, 행 및 열 어드레스 신호(ADDr 및 ADDc)는 시스템 클럭 신호[CLK(2f)]와 동기하여 순차적으로 변경되고, 독출 데이터 비트는 시스템 클럭 신호[CLK(2f)]와 동기하여 마이크로프로세서(35)에 순차적으로 공급된다. 시스템 클럭 신호[CLK(2f)]의 펄스 주기와 동등한 제1기간(T1)에 있어서, 제1행 어드레스 신호(ADDr) 및 제1열 어드레스 신호(ADDc)는 행 어드레스 래치 회로(32a) 및 열 어드레스 래치 회로(32f)에 의해 각각 래치되고, 제1행 어드레스 및 제1열 어드레스는 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(32h)에 릴레이된다. 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)은 드라이버 회로가 워드 라인 및 비트 라인 쌍을 선택하게 하고, 데이터 비트는 제1행 어드레스 및 제1열 어드레스에 할당된 메모리 셀로부터 독출된다. 그 다음, 제1독출 데이터 비트를 나타내는 차전압은 독출 래치 회로(33c)에 도달한다. 그러므로, 시펜스(ADD 및 RAM P)는 제1기간 이내에 종료된다.

시스템 클럭 신호[CLK(2f)]가 제2기간(T2)에 머물러 있는 동안, 출력 데이터 신호(Dout)은 제1독출 데이터 비트를 나타내는 차전압으로부터 발생되고, 제2독출 데이터 비트는 출력 데이터 신호(Dout)의 발생과 병행하여 제2행 어드레스 및 제2열 어드레스에 할당된 다른 메모리 셀로부터 독출된다. 상세하게 설명하면, 타이밍 발생단(G1, G3 및 G7)은 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL5)를 발생시키고, 제2행 어드레스 신호(ADDr), 제2열 어드레스 신호(ADDc), 및 제1독출 데이터 비트를 나타내는 차전압은 행 어드레스 래치 회로(32a), 열 어드레스 래치 회

로(32f) 및 독출 래치 회로(33c)에 의해 각각 래치된다. 출력 데이터 버퍼 회로(33d)는 제1독출 데이터 비트를 나타내는 출력 데이터 신호(Dout)을 독출 래치 회로(33c)내에 저장된 차전압으로부터 발생시키고, 출력 데이터 신호(Dout)은 데이터 출력 포트(37)에서 마이크로프로세서(35)로 공급된다. 한편, 제2행 어드레스 및 제2열 어드레스는 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(34h)에 릴레이되고, 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)은 드라이버 회로(32e 및 32j)가 제2행 어드레스 및 제2열 어드레스에 할당된 다른 메모리 셀을 메모리 셀 어레이(31)에서 선택하게 한다. 그 다음, 다른 데이터 비트는 메모리 셀로부터 독출되고, 제2독출 데이터 비트를 나타내는 차전압은 독출 래치 회로(33c)에 도달한다. 그러므로, 시퀀스(ROUT)는 시퀀스(ADD 및 RAMP)와 병행되고, 독출 데이터 비트는 시스템 클럭 신호[CLK(2f)]와 동기하여 마이크로프로세서(35)에 순차적으로 공급된다.

마이크로모로세서(35)가 고속 DRAM내에 데이터 비트를 기억시키는 경우, 마이크로프로세서(35)는 기입 사이클을 반복하고, 시퀀스[(ADD+DL) 및 WAMP] 및 시퀀스(WIN)은 병행된 방식으로 순차적으로 실행된다. 상세하게 설명하면, 타이밍 발생단(G1, G3 및 G5)는 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL3)을 제1기간(T1)에 발생시키고, 행 어드레스 신호(ADDR), 열 어드레스 신호(ADDc) 및 입력 데이터 신호(Din)은 행 어드레스 래치 회로(32a), 열 어드레스 래치 회로(34f) 및 데이터 래치 회로(33e)내에 각각 저장된다. 제1행 어드레스 및 제1열 어드레스는 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(32h)에 릴레이되고, 행 어드레스 디코드(Drow) 및 열 어드레스 디코드 신호(Dco1)은 드라이버 회로(32e 및 32j)가 제1행 어드레스 및 제1열 어드레스에 할당된 메모리 셀을 선택하게 한다. 한편, 기입 데이터 버퍼 회로(33f)는 데이터 래치 회로(33e)내에 저장된 입력 데이터 신호(Din)으로부터 제1기입 데이터 비트를 나타내는 차전압을 발생시키고, 차전압은 기입 래치 회로(33g)에 도달한다.

제2기간(T2)에 있어서, 기입 래치 회로(33g)는 래치 제어 신호(CTL4)에 응답하여 제1기입 데이터 비트를 나타내는 차전압을 저장하고, 제1기입 데이터 비트는 선택된 메모리 셀 내에 기억된다. 시스템 클럭 신호[CLK(2f)]가 제2기간(T2)에 머물러 있는 동안, 마이크로프로세서(35)는 제2행 어드레스 및 제2열 어드레스를 나타내는 행 및 열 어드레스 신호(ADDR 및 ADDc), 및 제2기입 데이터 비트를 나타내는 입력 데이터 신호(Dm)을 고속 DRAM에 공급하고, 시퀀스[(ADD±DL) 및 WAME]는 시퀀스(WIN)과 함께 실행된다. 그러므로, 시퀀스[(ADD+DL) 및 WAMP] 시퀀스(WIN)은 병행되고, 기입 데이터 비트는 시스템 클럭 신호[CLK(2f)]와 동기하여 기억된다.

마이크로프로세서(35)가 100MHz에서의 시스템 클럭 신호[CLK(3f)]와 동기하여 고속 DRAM과 통신해야 할 경우, 마이크로프로세서(35)는 프로그래밍 모드를 요청하고, 레지스터 회로(34b)가 비트[MODE(3f)]를 상술된 외부 명령 신호(ADDm 및 ADDn)으로 논리 1 레벨로 시프트시키게 한다. 그 다음, 타이밍 발생단(G1 내지 G7)은 시스템 클럭 신호[CLK(3f)]에 응답하게 된다. 또한, 동작 시펜스[OP(3f)]는 독출 모드 및 기입 모드에서 실행되고, 마이크로프로세서(35)는 독출 사이클을 반복하여 데이터 비트를 순차적으로 페치하고 기입 사이클을 반복하여 데이터 비트를 메모리 셀 어레이(31)내에 기록한다.

마이크로프로세서(35)가 독출 사이클을 반복하는 동안, 행 및 열 어드레스 신호(ADDR 및 ADDc)는 시스템 클럭 신호[CLK(3f)]와 동기하여 순차적으로 변경되고, 또한 독출 데이터 비트는 시스템 클럭 신호[CLK(3f)]와 동기하여 마이크로프로세서(35)에 순차적으로 공급된다. 시스템 클럭 신호[CLK(3f)]의 펄스 주기와 동등한 제1기간(T1)에 있어서, 제1행 어드레스 신호(ADDR) 및 제1열 어드레스 신호(ADDc)로 행 어드레스 래치 회로(32a) 및 열 어드레스 래치 회로(32f)에 의해 각각 래치되고, 제1행 어드레스 및 제1열 어드레스는 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(32h)에 릴레이된다. 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(32h)는 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)를 발생시키고, 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)은 래치 회로(32d 및 32i)에 각각 도달한다.

제2기간(T2)에 있어서, 시퀀스(ADD) 및 시퀀스(RAMP)는 병행된 방식으로 동시에 실행된다. 즉, 래치 회로(32d 및 32i)는 래치 제어 신호(CTL1 및 CTL2)에 응답하여 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)를 저장하고, 제2행 어드레스를 나타내는 제2행 어드레스 신호[ADDR] 및 제2열 어드레스를 나타내는 제2열 어드레스 신호(ADDc)는 행 어드레스 래치 회로(32a) 및 열 어드레스 래치 회로(32f)에 의해 각각 래치된다. 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)은 제1행 어드레스 및 제1열 어드레스에 할당된 메모리셀을 드라이버 회로(32e 및 32j)가 선택하게 하고, 데이터 비트는 메모리 셀로부터 독출된다. 제2행 어드레스를 나타내는 행 어드레스 디코드 신호(Drow) 및 제2열 어드레스를 나타내는 열 어드레스 디코드 신호(Dco1)은 래치 회로(32d 및 32i)에 도달하고, 제1독출 데이터 비트를 나타내는 차전압은 독출 래치 회로(33c)에 도달한다. 그러므로, 시퀀스(ADD 및 RAMP)는 제1기간 이내에 완료된다.

시스템 클럭 신호[CLK(3f)]가 제3기간(T13)에 머물러 있는 동안, 시퀀스(ADD, RAMP 및 ROUT)은 병행된 방식으로 동시에 실행된다. 출력 데이터 신호(Dout)은 래치 제어 신호(CTL5)에 응답하여 독출 래치 회로(33c)내에 저장되고, 출력 데이터 버퍼 회로(33d)는 제1독출 데이터 비트를 나타내는 출력 데이터 신호(Dout)을 독출 래치 회로(33c)내에 저장된 차전압으로부터 발생된다. 래치 회로(32d 및 32i)는 래치 제어 신호(CTL1 및 CTL2)에 응답하여 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)을 저장하고, 드라이버 회로(32e 및 32j)는 제2행 어드레스 및 제2열 어드레스에 할당된 다른 메모리 셀을 선택한다. 그 다음, 제2독출 데이터 비트는 다른 메모리로부터 독출되고, 제2독출 데이터 비트를 나타내는 차전압은 독출 래치 회로(33c)에 도달한다. 더욱이, 마이크로프로세서(35)는 제3행 어드레스를 나타내는 행 어드레스 신호(ADDR), 및 제3열 어드레스를 나타내는 열 어드레스 신호(ADDc)를 공급하고, 행 어드레스 신호(ADDR) 및 열 어드레스 신호(ADDc)는 내부 행 어드레스 스트로브 신호(NRAS) 및 내부 열 어드레스 스트로브 신호(NCAS)에 응답하여 행 어드레스 래치 회로(32a) 및 열 어드레스 래치 회로(32f)에 의해 릴레이된다. 제3행 어드레스 및 제3열 어드레스는 행 어드레스 디코드 신호(32c) 및 열 어드레스 디코드 신호(32h)에 릴레이되고, 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)은 래치 회로(32d

및 32i)에 도달한다. 그러므로, 행 및 열 어드레스 신호(ADDR 및 ADDc)의 공급, 메모리 셀의 선택, 및 출력 데이터 신호(Dout)의 발생은 고속 DRAM에서 동시에 실행되고, 독출 데이터 비트는 시스템 클럭 신호[CLK(3f)]와 동기하여 마이크로프로세서(35)에 순차적으로 공급된다. 우리의 주의를 단일 억세스 상에 집중하면, 단일 억세스는 3개의 기간(T11 내지 T13)을 소모한다. 그러나, 우리의 주의를 데이터 스트림 상에 집중하면, 모든 데이터 비트는 단일 기간(T11, T12 또는 T13)내에 독출된다.

마이크로프로세서(35)가 데이터 비트를 고속 DRAM 내에 기억시키는 경우, 마이크로프로세서(35)는 기입 사이클을 반복하고, 사ensus([ADD+DL], WAMP 및 WIN]은 병행된 방식으로 순차적으로 실행된다. 상세하게 설명하면, 타이밍 발생단(G1, G3 및 G5)은 내부 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL3)를 제1기간(T11)에 생성하고, 제1행 어드레스를 나타내는 행 어드레스 신호(ADDR), 제1열 어드레스를 나타내는 열 어드레스 신호(ADDc) 및 제2기입 데이터 비트를 나타내는 입력 데이터 신호(Din)은 행 어드레스 래치 회로(32a), 열 어드레스 래치 회로(32f) 및 데이터 래치 회로(33e)내에 각각 저장된다. 제1행 어드레스 및 제1열 어드레스는 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(32h)에 릴레이되고, 행 어드레스 디코더 회로(32c) 및 열 어드레스 디코더 회로(32h)는 행 어드레스 디코더 회로(Drow) 및 열 어드레스 디코드 신호(Dco1)을 래치 회로(32d 및 32i)에 공급한다. 기입 데이터 버퍼 회로(33f)는 데이터 래치 회로(33e)내에 저장된 입력 데이터 신호로부터 제1기입 데이터 비트를 나타내는 차전압을 생성한다. 그러나, 행 어드레스 디코드 신호(Drow), 열 어드레스 디코드 신호(Dco1) 및 차전압은 이 단계에서 래치 회로(32d, 32i 및 33g)에 의해 래치되지 않는다.

제2기간(T12)에 머물러 있는 동안, 마이크로프로세서(35)는 제2행 어드레스를 나타내는 행 어드레스 신호(ADDR), 제2열 어드레스를 나타내는 열 어드레스 신호(ADDc) 및 제2기입 데이터 비트를 나타내는 입력 데이터 신호(Din)를 포트(35 및 38)에 공급하고, 타이밍 발생단(G1 내지 G6)은 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS), 및 래치 제어 신호(CTL1 내지 CTL4)를 각각의 래치 회로(32a, 32d, 32f, 32i, 33e 및 33g)에 공급한다. 래치 회로(32d 및 32i)는 래치 제어 신호(CTL1 및 CTL2)에 응답하여 제1행 어드레스를 나타내는 행 어드레스 디코드 신호(Drow), 및 제1열 어드레스를 나타내는 어드레스 디코드 신호(Dco1)를 각각 저장하고, 기입 래치 회로(33g)는 래치 제어 신호(CTL4)에 응답하여 제1기입 데이터 비트를 나타내는 차전압을 저장한다. 더욱이, 행 어드레스 래치 회로(32a), 열 어드레스 래치 회로(32f) 및 데 및 데이터 래치 회로(33e)는 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL3)에 응답하여, 제2행 어드레스를 나타내는 행 어드레스 신호(ADDR), 제2열 어드레스를 나타내는 열 어드레스 신호(ADDc), 및 제2기입 데이터 비트를 나타내는 데이터 입력 신호(Dm)를 각각 저장한다. 행 어드레스 디코드 신호(Drow) 및 어드레스 디코드 신호(Dco1)은 드라이버 회로(32e 및 32j)가 제1행 어드레스 및 제1열 어드레스에 할당된 메모리 셀을 선택하게 한다.

제3기간(T13)에 있어서, 마이크로프로세서(35)는 제3행 어드레스를 나타내는 행 어드레스 신호(ADDR), 제3열 어드레스를 나타내는 열 어드레스 신호(ADDc), 및 제3기입 데이터 비트를 나타내는 입력 데이터 신호(Din)을 포트(36 및 38)에 공급하고, 타이밍 발생단(G1 내지 G6)은 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL1 내지 CTL4)를 각각의 래치 회로(32a, 32d, 32f, 32i, 33e 및 33g)에 다시 공급한다. 드라이버 ghi로(32e 및 32i)는 제1행 어드레스 및 제1열 어드레스에 할당된 메모리 셀을 이미 선택하였고, 제1기입 데이터 비트도 기입 래치 회로(33g)내에 저장되어 있다. 제1기입 데이터 비트를 나타내는 차전압은 기입 증폭기 회로(33h) 및 감지 증폭기 회로에 의해 2배로 증가되고, 제1기입 데이터 비트는 선택된 메모리 셀 내에 기억된다. 래치 회로(32d 및 32i)는 래치 제어 신호(CTL1 및 CTL2)에 각각 응답하여, 제2행 어드레스를 나타내는 행 어드레스 디코드 신호(Drow), 및 제2열 어드레스를 나타내는 열 어드레스 디코드 신호(Dco1)를 저장하고, 기입 래치 회로(33g)는 래치 제어 신호(CTL4)에 응답하여 제2기입 데이터 비트를 나타내는 차전압을 저장한다. 더욱이, 행 어드레스 래치 회로(32a), 열 어드레스 래치 회로(32f) 및 데이터 래치 회로(33e)는 내부 행 어드레스 스트로브 신호(NRAS), 내부 열 어드레스 스트로브 신호(NCAS) 및 래치 제어 신호(CTL3)에 응답하여 제3행 어드레스를 나타내는 행 어드레스 신호(ADDR), 제3열 어드레스를 나타내는 열 어드레스 신호(ADDc) 및 제3기입 데이터 비트를 나타내는 데이터 입력 신호(Din)에 각각 저장한다. 행 어드레스 디코드 신호(Drow) 및 열 어드레스 디코드 신호(Dco1)은 제2행 어드레스 및 제2열 어드레스에 할당된 메모리 셀을 드라이버 회로(32e 및 32j)가 선택하게 한다.

제5도에 도시되지 않았지만, 제2기입 데이터 비트는 선택된 메모리 셀 내에 다음 기간에 기억되고, 제4행 및 열 어드레스, 및 제4기입 데이터 비트는 동일한 기간에 래치 회로(32a, 32f 및 33e) 내에 각각 기억된다. 그러므로, 사ensus([ADD+DL], WAMP 및 WIN]은 모든 기간에 서로 병행되고, 마이크로프로세서(35)는 고속 DRAM이 단일 기간 이내에 모든 기입 데이터 비트를 기억하게 한다.

#### (제2실시예)

제6도를 참조하면, 다른 고속 DRAM이 단일 반도체 칩(40)상에 제조된다. 제6도에 도시된 고속 DRAM을 제1실시예의 것과 비교하면, 기입 래치 회로(33g) 및 타이밍 발생단(G6)이 제어되어 있고, 래치 회로(41g) 및 타이밍 발생단(G16)이 새로이 추가되어 있다. 그러나, 제1실시예와 유사한 다른 회로가 있을 수 있고, 제2실시예의 다른 회로의 대응 회로에는 동일한 참조 번호 및 부호를 붙이고 그 설명을 생략하고자 한다.

이러한 실시예에 있어서, 기입 데이터 비트를 나타내는 차전압은 기입 증폭기 회로(33h)에 의해 발생된 후의 래치 제어 회로(CTL14)에 응답하여 래치 회로(41g)에 의해 래치된다. 이것은 콤팩트 회로가 제1실시예의 것과 속도면에서 상이하게 동작하고, 제어 신호의 발생후의 일시 저장부는 기입 래치 회로(33g)가 아닌 제2실시예의 것이 적합하다.

상술한 실시예에서 알 수 있는 바와 같이, 본 발명에 따른 DRAM 장치는 데이터 전송 경로 및 어드레스 전송 경로내의 일시 저장부에 장착되고, 마이프라인 아키텍처에서와 같은 어드레스 정보 및 데이터 정보를 후속적으로 릴레이하여, 억세스 시간을 효과적으로 감소시킨다.

본 발명의 특정 실시예가 도시되고 설명되었지만, 당해 분야에 통상의 지식을 가진 자라면 본 발명의 범위내에서 본 발명을 여러가지로 변경 및 변형시킬 수 있다. 예를 들어, 래치 회로는 어드레스 및 데이터

전달 속도를 고려하여 어드레스 전송 경로 또는 데이터 전송 경로내의 적절한 위치로 이동시킬 수 있고, 다른 고속 DRAM 장치는 어드레스 전송 경로내의 한개 이상의 일시 어드레스 저장부를 가질 수 있고, 데이터 전송 경로내에 한개 이상의 일시 데이터 저장부를 가질 수도 있다.

### (57) 청구의 범위

#### 청구항 1

a) 행 어드레스 및 열 어드레스가 행 및 열에 각각 할당되는 행 및 열로 배열된 다수의 메모리 셀을 갖고 있는 메모리 셀 어레이, b) 외부 행 어드레스 신호(ADDR)을 일시적으로 저장하기 위해 내부 행 어드레스 스트로브 신호(NARS)에 응답하는 행 어드레스 래치 회로(32a), 상기 외부 행 어드레스 신호로부터 행 어드레스 디코드 신호(Drow)를 발생시키기 위한 행 어드레스 디코더 장치(32b/32c), 및 메모리 셀 어레이(31)로부터의 상기 외부 행 어드레스 신호에 의해 나타난 메모리 셀의 한 행을 선택하기 위해 상기 행 어드레스 디코드 신호에 응답하는 워드 라인 드라이버 회로(32e/WL1 내지 WELm)를 갖고 있는 행 어드레싱 수단, c) 외부 열 어드레스 신호(ADDc)를 일시적으로 저장하기 위해 내부 열 어드레스 스트로브 신호(NCAS)에 응답하는 열 어드레스 래치 회로(32f), 상기 외부 열 어드레스 신호로부터 내부 열 어드레스 디코드 신호(Dco1)를 발생시키기 위한 열 어드레스 디코더 회로(32g/32h) 및 상기 메모리 셀 어레이로부터의 상기 외부 열 어드레스 신호에 의해 나타난 메모리 셀의 한 열을 선택하기 위해 상기 열 어드레스 디코드 신호에 응답하는 열 선택 장치(32j/32k)를 갖고 있는 열 어드레싱 수단, 및 d) 데이터 입·출력 포트(37/38)과 상기 메모리 셀 어레이 사이에 삽입되어, 상기 외부 어드레스 신호 및 상기 외부 열 어드레스 신호에 의해 나타난 상기 다수의 메모리 셀들중 하나의 셀과 상기 데이터 입·출력 포트 사이에 데이터 경로를 제공하고, 상기 데이터 입·출력 포트와 결합되어 외부 데이터 신호(Din)을 저장하기 위해 제1제어 신호(CTL3)에 응답하는 제1일시 메모리 저장부(33e)를 갖고 있는 데이터 전송 수단을 포함하는 반도체 칩(30, 40)상에 제조된 DRAM에 있어서, 상기 데이터 전송 수단이, 상기 외부 데이터 신호로부터 발생된 제1차전압을 저장하기 위해 제2제어 신호(CTL4, CTL14)에 응답하는 제2일시 데이터 저장부(33g, 41g), 및 상기 메모리 셀 어레이로부터 공급된 독출 데이터 비트를 나타내는 제2차전압을 저장하기 위해 제3제어 신호(CTL5)에 응답하는 제3일시 데이터 저장부(33c)를 포함하는 것을 특징으로 하는 DRAM.

#### 청구항 2

제1항에 있어서, 상기 행 어드레싱 수단이 상기 내부 행 어드레스 디코드 신호를 저장하기 위해 제4제어 신호를 저장하기 위해 제4제어 신호(CTL1)에 응답하는 제1일시 어드레스 저장부(32d)를 포함하고, 상기 열 어드레싱 수단이 상기 내부 열 어드레스 디코드 신호를 저장하기 위해 제5제어 신호(CTL2)에 응답하는 제2일시 어드레스 저장부(32l)를 포함하는 것을 특징으로 하는 DRAM.

#### 청구항 3

제2항에 있어서, 상기 내부 행 어드레스 스트로브 신호 및 상기 내부 열 어드레스 스트로브 신호를 외부 클럭 신호(CLK)의 발생과 동시에 발생시키도록 동작하는 다수의 제1타이밍 발생단(G1/G3), 상기 제1제어 신호, 상기 제2제어 신호 및 상기 제3제어 신호를 상기 외부 클럭 신호의 발생과 동시에 발생시키도록 동작하는 다수의 제2타이밍 발생단(G5/G6/G7, G5/G16/G7), 및 상기 외부 클럭 신호의 발생과 동기하여 상기 제4제어 신호 및 상기 제5제어 신호를 발생시키도록 동작하는 다수의 제3타이밍 발생단(G2/G4)를 갖고 있는 제어 수단(34)를 포함하는 것을 특징으로 하는 DRAM.

#### 청구항 4

제3항에 있어서, 상기 제어 수단이, 상기 내부 행 어드레스 스트로브 신호, 상기 내부 열 어드레스 스트로브 신호 및 상기 제1제어 신호를 발생시키도록 동작하는 타이밍 발생단(G1/G3/G5)를 인에이블시키고, 상기 내부 행 어드레스 스트로브 신호, 상기 내부 열 어드레스 스트로브 신호 및 상기 제1내지 제3제어 신호를 발생시키도록 동작하는 타이밍 발생단(G1/G3/G5 내지 G7, GF1/G3/G5/G16/G7)을 엔에이블시키거나, 상기 내부 행 어드레스 스트로브 신호, 상기 내부 열 어드레스 스트로브 신호 및 상기 제1내지 제4제어 신호를 발생시키도록 동작하는 타이밍 발생단(G1 내지 G7, G1/G2/G3/G4/G5/G7/G16)를 포함하는 것을 특징으로 하는 DRAM.

#### 청구항 5

제4항에 있어서, 상기 제2일시 데이터 저장부(33g)가 기입 데이터 버퍼 회로(33f)와 기입 증폭기 회로(33h) 사이에 결합되는 것을 특징으로 하는 DRAM.

#### 청구항 6

제5항에 있어서, 상기 제3일시 데이터 저장부(33c)가 독출 증폭기 회로(33b)와 출력 데이터 버퍼 회로(33d) 사이에 결합되는 것을 특징으로 하는 DRAM.

#### 청구항 7

제4항에 있어서, 상기 제2일시 데이터 저장부(41g)가 기임 중폭기 회로(33h)와 공통 데이터 버스(DB) 사이에 결합되는 것을 특징으로 하는 DRAM.

#### 청구항 8

제7항에 있어서, 상기 제3일시 데이터 저장부(33c)가 독출 증폭기 회로(33b)와 출력 데이터 버퍼 회로(33d) 사이에 결합되는 것을 특징으로 하는 DRAM.

#### 청구항 9

제4항에 있어서, 상기 DRAM이 하나 이상의 기입 사이클 및 독출 사이클을 상기 외부 클럭 신호에 따라 정

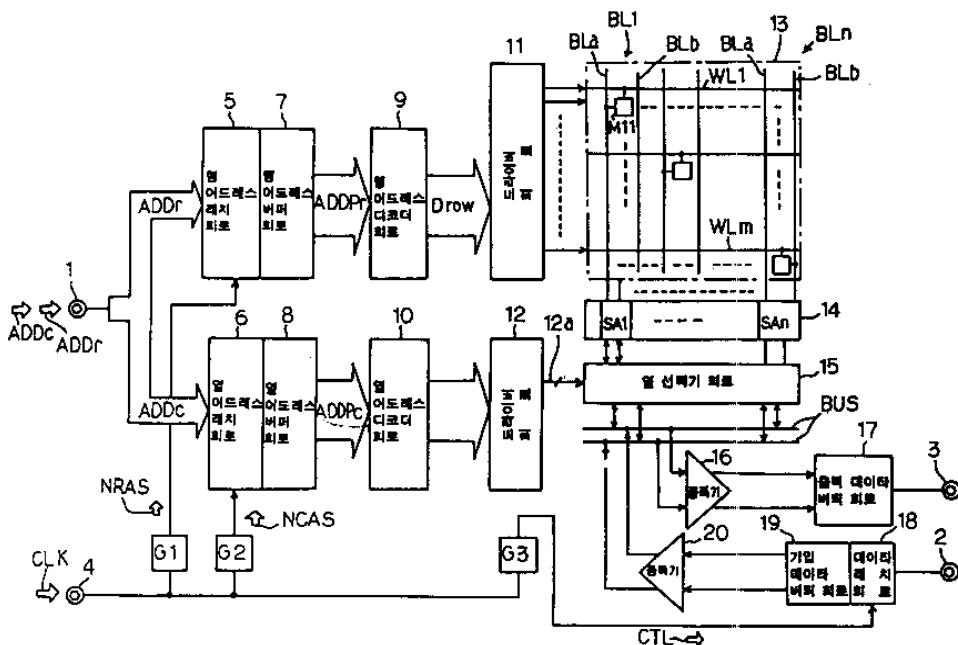
하는 마이크로프로세서(35)와 관련이 있는 것을 특징으로 하는 DRAM.

### 청구항 10

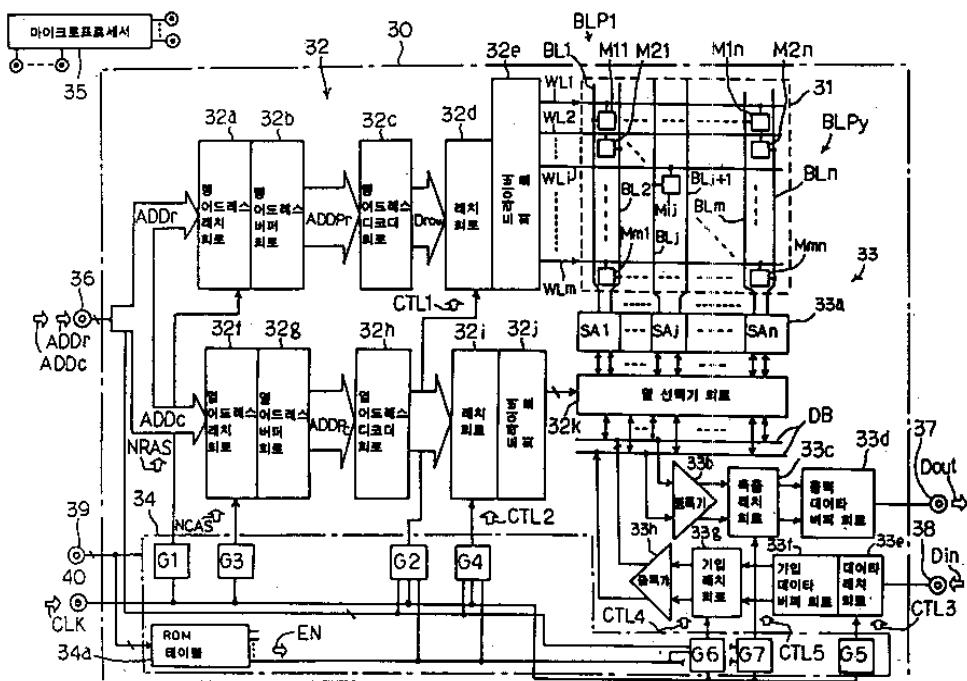
제1항에 있어서, 상기 메모리 셀 어레이가 행 및 열로 배열된 다수의 메모리 셀을 포함하고, 행 어드레스와 열 어드레스가 상기 행 및 상기 열로 각각 배열되는 것을 특징으로 하는 DRAM.

### 도면 1

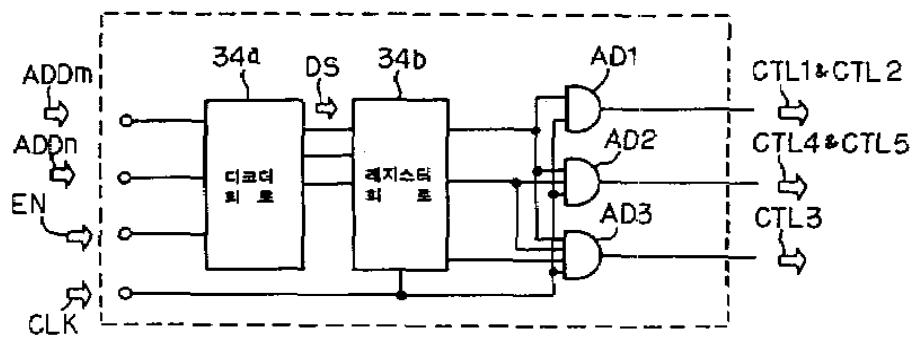
도면 1



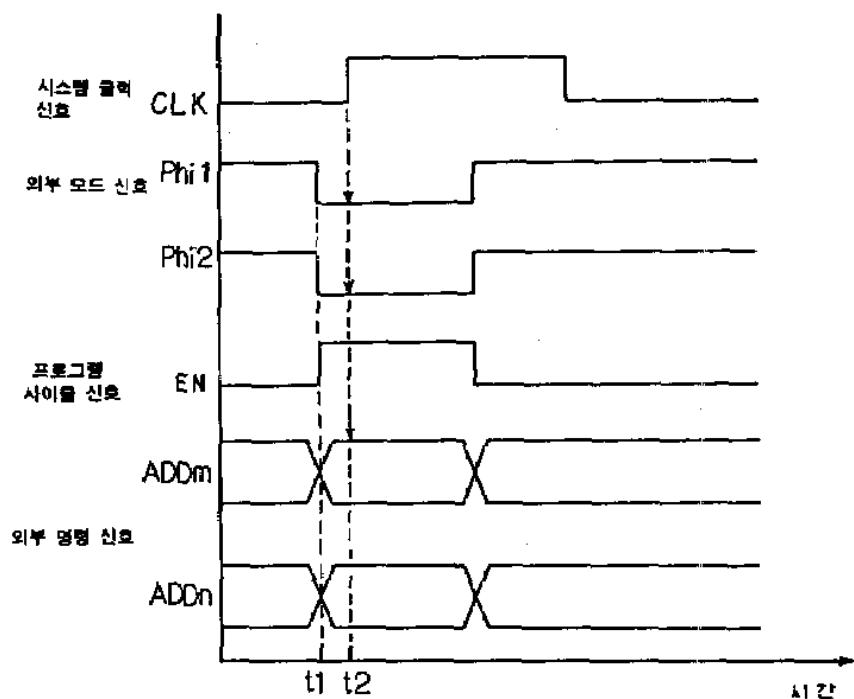
도면 2



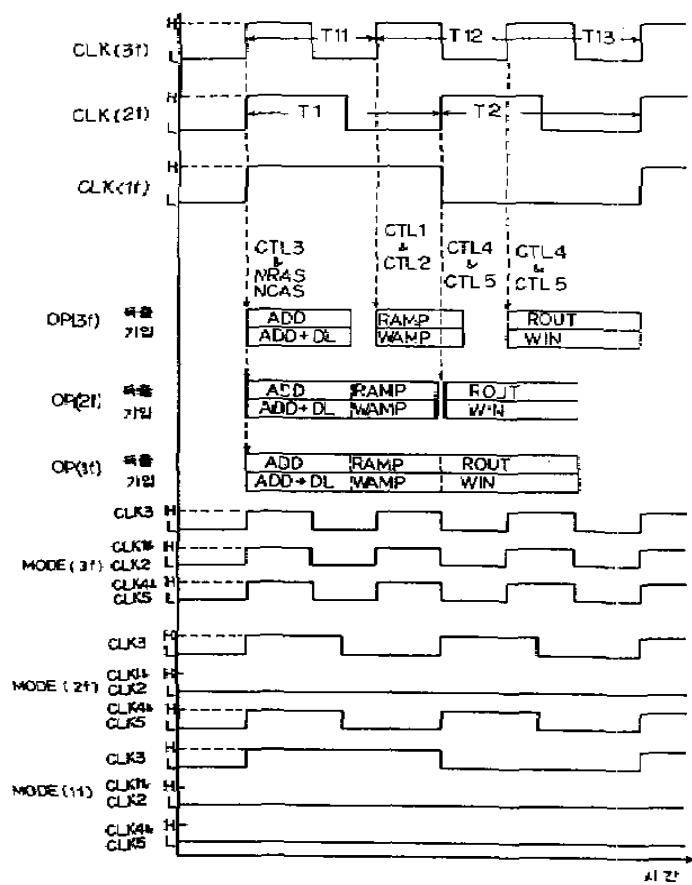
도면3



도면4



도면5



도면6

