



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I525751 B

(45)公告日：中華民國 105 (2016) 年 03 月 11 日

(21)申請案號：100127034

(22)申請日：中華民國 100 (2011) 年 07 月 29 日

(51)Int. Cl. : *H01L21/8239(2006.01)**H01L27/105 (2006.01)**H01L27/12 (2006.01)**H01L21/77 (2006.01)*

(30)優先權：2010/08/04 日本

2010-175280

2011/05/13 日本

2011-108152

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松林大介 MATSUBAYASHI, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6314017B1

US 2006/0097319A1

US 2008/0315200A1

審查人員：修宇鋒

申請專利範圍項數：14 項 圖式數：27 共 113 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

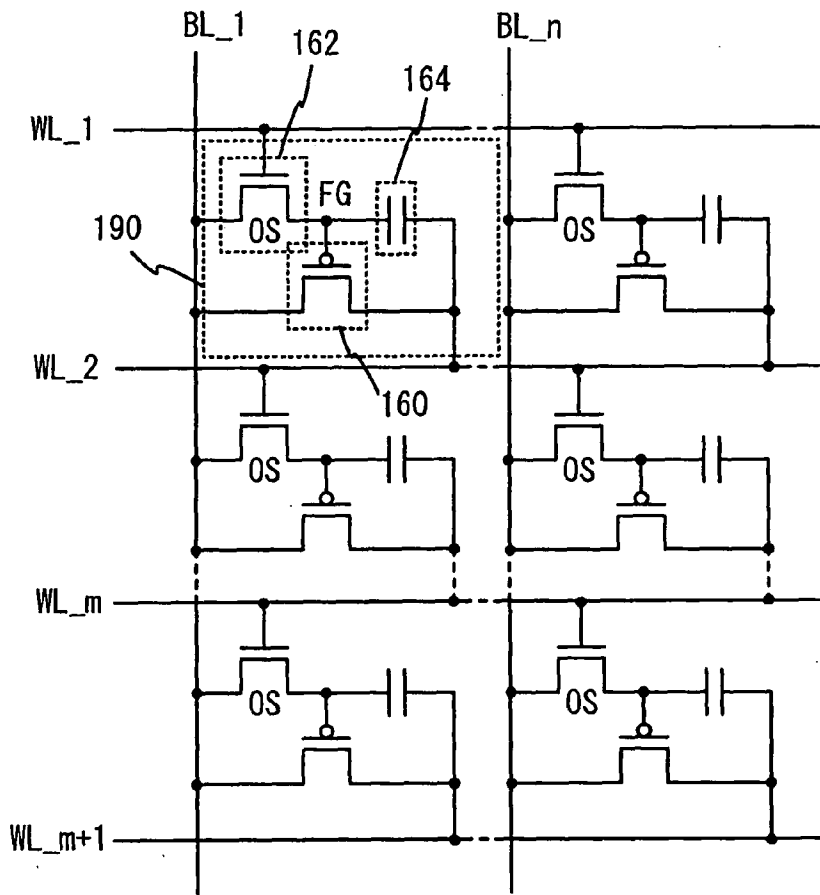
(57)摘要

本發明的一個方式的目的之一在於提供一種當沒有電力供應時也能夠保持儲存內容且藉由減少佈線數來實現高集成化的半導體裝置。使用可以充分降低電晶體的截止電流的材料，例如使用寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用可以充分降低電晶體的截止電流的半導體材料，可以在長時間內保持資訊。另外，藉由使寫入用字線和讀出用字線共同化，並使寫入用位元線和讀出用位元線共同化，來減少佈線數。再者，藉由減少源極線，增大每單位面積的儲存容量。

An object is to provide a semiconductor device which can hold stored data even when not powered and which achieves high integration by reduction of the number of wirings. The semiconductor device is formed using a material which can sufficiently reduce the off-state current of a transistor, e.g., an oxide semiconductor material which is a wide bandgap semiconductor. When a semiconductor material which allows a sufficient reduction in the off-state current of a transistor is used, data can be held for a long period. One line serves as the word line for writing and the word line for reading and one line serves as the bit line for writing and the bit line for reading, whereby the number of wirings is reduced. Further, by reducing the number of source lines, the storage capacity per unit area is increased.

指定代表圖：

圖 1



符號簡單說明：

160 . . . 第一電晶體

162 . . . 第二電晶體

164 . . . 電容元件

190 . . . 儲存單元

782343

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100127034

H·I·L 21/8239 (2006.01)

※申請日：100 年 07 月 29 日

※IPC 分類：

H·I·L 27/105 (2006.01)

H·I·L 27/12 (2006.01)

一、發明名稱：(中文／英文)

H·I·L 21/77 (2006.01)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明的一個方式的目的之一在於提供一種當沒有電力供應時也能夠保持儲存內容且藉由減少佈線數來實現高集成化的半導體裝置。使用可以充分降低電晶體的截止電流的材料，例如使用寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用可以充分降低電晶體的截止電流的半導體材料，可以在長時間內保持資訊。另外，藉由使寫入用字線和讀出用字線共同化，並使寫入用位元線和讀出用位元線共同化，來減少佈線數。再者，藉由減少源極線，增大每單位面積的儲存容量。

三、英文發明摘要：

An object is to provide a semiconductor device which can hold stored data even when not powered and which achieves high integration by reduction of the number of wirings. The semiconductor device is formed using a material which can sufficiently reduce the off-state current of a transistor, e.g., an oxide semiconductor material which is a wide bandgap semiconductor. When a semiconductor material which allows a sufficient reduction in the off-state current of a transistor is used, data can be held for a long period. One line serves as the word line for writing and the word line for reading and one line serves as the bit line for writing and the bit line for reading, whereby the number of wirings is reduced. Further, by reducing the number of source lines, the storage capacity per unit area is increased.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

160：第一電晶體

162：第二電晶體

164：電容元件

190：儲存單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明的一個方式關於一種利用半導體元件的半導體裝置。

【先前技術】

利用半導體元件的儲存裝置大致分為揮發性儲存裝置和非揮發性儲存裝置，揮發性儲存裝置是如果沒有電力供應，儲存內容就消失的儲存裝置，而非揮發性儲存裝置是即使沒有電力供應也保持儲存內容的儲存裝置。

作為揮發性儲存裝置的典型例子，已知 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。DRAM 藉由選擇構成記憶元件的電晶體並將電荷積蓄在電容器內來儲存資訊。

因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。此外，在構成記憶元件的電晶體中，即使在電晶體未被選擇時，也由於截止狀態下的源極與汲極之間的洩漏電流（截止電流）等，電荷流出或流入，所以資料保持期間較短。因此，需要按規定的週期再次進行寫入工作（刷新工作），而難以充分降低耗電量。此外，因為如果沒有電力供應，儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以長期保持儲存內容。

作為揮發性儲存裝置的另一例子，已知 SRAM (

Static Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行刷新工作。在這一點上 SRAM 優越於 DRAM。但是，由於使用正反器等電路，所以有每單位面積的儲存容量小的問題。此外，在如果沒有電力供應儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性儲存裝置的典型例子，已知快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區之間具有浮動閘極，並使該浮動閘極保持電荷來進行儲存，因此，快閃儲存器具有其資料保持期間極長（幾乎永久）並且不需要進行揮發性儲存裝置要進行的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流導致構成記憶元件的閘極絕緣層劣化，從而產生記憶元件因進行規定次數以上的寫入而不能發揮其功能的問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均等的方法，但是，為了採用該方法，需要複雜的週邊電路。另外，即使採用這種方法，也不能從根本上解決劣化問題。總之，快閃記憶體不適合於資訊的重寫頻度高的用途。

此外，為了對浮動閘極注入電荷或從浮動閘極去除該電荷，需要高電壓和用於該目的的電路。再者，還存在當注入電荷或去除電荷時需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭第 57-105889 號

公 報

【發明內容】

鑒於上述問題，本發明的一個方式的目的是在於提供一種當沒有電力供應時也能夠保持儲存內容且藉由減少佈線的數量來實現高集成化的半導體裝置。

在所公開的發明的一個方式中，使用可以充分降低電晶體的截止電流的材料，例如使用寬頻隙半導體的氧化物半導體材料來構成半導體裝置。藉由使用可以充分降低電晶體的截止電流的半導體材料，可以在長期間保持資訊。

本說明書所公開的本發明的一個方式是一種半導體裝置，包括： n （ n 為自然數）個位元線；與位元線電連接的第一至第 m （ m 為自然數）儲存單元；以及 $m+1$ 個字線，其中儲存單元包括：具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及電容元件，第一電晶體設置在含有半導體材料的基板上，第二電晶體包括氧化物半導體層，位元線與第一至第 m 儲存單元的第一汲極電極及第二汲極電極電連接，第一字線與第一儲存單元的第二閘極電極電連接，第 k （ k 為 2 以上且 $m+1$ 以下的自然數）字線與第 k 儲存單元的第二閘極電極電連接，並與第 $k-1$ 儲存單元的第一源極電極及電容元件的電極中的一方電連接，並且第 m 儲存單元的第一閘極電極、第 m 儲存單元的第二源極電極、第 m 儲存單元的

電容元件的電極中的另一方是電連接著的。

另外，本說明書中的“第一”、“第二”、“第三”等的序數詞是爲了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

此外，在採用極性不同的電晶體的情況下或在電路工作中電流方向發生變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書中，可以互相調換使用“源極”和“汲極”。

第一電晶體包括：設置在含有半導體材料的基板中的通道形成區；夾著通道形成區地設置的雜質區；通道形成區上的第一閘極絕緣層；以及與通道形成區重疊且設置在第一閘極絕緣層上的第一閘極電極。

第二電晶體包括：與氧化物半導體層電連接的第二源極電極及第二汲極電極；與氧化物半導體層重疊地設置的第二閘極電極；以及設置在氧化物半導體層和第二閘極電極之間的第二閘極絕緣層。

第一電晶體的導電型與第二電晶體的導電型不同。當使用氧化物半導體層形成的第二電晶體爲 n 通道型時，作爲第一電晶體採用 p 通道型。

含有半導體材料的基板較佳爲單晶半導體基板或 SOI 基板。此外，含有半導體材料的基板的半導體材料較佳爲矽。另外，氧化物半導體層較佳使用含有 In、Ga 以及 Zn 或 In、Sn 及 Zn 的氧化物半導體材料形成。

另外，在上述半導體裝置中，雖然有時使用氧化物半

導體構成電晶體，但是所公開的發明不侷限於此。也可以採用能夠實現與氧化物半導體同等的截止電流特性的材料，例如以碳化矽為代表的寬頻隙材料（更明確而言，例如，能隙 E_g 大於 3eV 的半導體材料）等。

由於使用氧化物半導體的電晶體的截止電流極小，所以藉由採用該使用氧化物半導體的電晶體，能夠極長期地保持儲存內容。也就是說，因為不需要刷新工作或者可以使刷新工作的頻度極低，所以可以充分降低耗電量。此外，即使沒有電力供應（但是，較佳固定電位），也能夠長期保持儲存內容。

此外，由於使用矽等的氧化物半導體以外的材料的電晶體能夠進行足夠高速的工作，因此藉由將該使用矽的電晶體與使用氧化物半導體的電晶體組合使用，可以充分確保半導體裝置的工作（例如，資訊的讀出工作）的高速性。此外，藉由採用使用氧化物半導體以外的材料的電晶體，可以實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

另外，在本發明的一個方式的半導體裝置中，藉由減少佈線的數量，可以縮小電路面積，從而可以增大每單位面積的儲存容量。

【實施方式】

參照圖式對所公開的發明的實施方式的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的

普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

注意，為了便於理解，在圖式等中所示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在xx之上”或“直接在xx之下”。例如，“閘極絕緣層上的閘極電極”不排除閘極絕緣層與閘極電極之間具有其他構成要素的情況。

另外，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，“電連接”也包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

實施方式 1

在本實施方式中，參照圖式對根據所公開的發明的一個方式的半導體裝置的電路結構及工作進行說明。另外，在電路圖中，爲了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

圖 1 示出本發明的一個方式的半導體裝置的電路結構的一個例子。儲存單元 190 包括第一電晶體 160、第二電晶體 162、電容元件 164，圖 1 示出有 n 列的結構的例子，其中每個列都包括 m 個儲存單元 190。在此， m 及 n 爲自然數。

在此，對第一電晶體 160 沒有特別的限制。從提高資訊的讀出速度的觀點來看，例如，較佳採用使用單晶矽的電晶體等的開關速度快的電晶體。

另外，作爲第二電晶體 162，例如，採用使用氧化物半導體的電晶體。使用氧化物半導體的電晶體具有截止電流極少的特徵。由此，藉由使第二電晶體 162 成爲截止狀態，可以在極長時間保持第一電晶體 160 的閘極電極的電位。再者，藉由具有電容元件 164，容易保持施加到第一電晶體 160 的閘極電極的電荷，也容易讀出所保持有的資訊。

第一電晶體 160 的導電型與第二電晶體 162 的導電型不同。當使用氧化物半導體形成的第二電晶體爲 n 通道型時，第一電晶體採用 p 通道型。

在儲存單元 190 中，第一電晶體 160 的閘極電極、第二電晶體 162 的源極電極、電容元件 164 的電極中的一方

是電連接著的。

形成有 $m+1$ 個與位元線 (BL_1 至 BL_n) 正交的字線 (WL_1 至 WL_{m+1}) 。

位元線與第一至第 m 儲存單元的第一電晶體 160 的汲極電極及第二電晶體 162 的汲極電極電連接。

第一字線 (WL_1) 與第一儲存單元的第二電晶體 162 的閘極電極電連接。此外，第 k (k 為 2 以上且 $m+1$ 以下的自然數) 字線與第 k 儲存單元的第二電晶體的閘極電極電連接，並與第 $k-1$ 儲存單元的第一電晶體的源極電極及電容元件的電極中的另一方電連接。在此，第 k 字線 (WL_2 至 WL_{m+1}) 兼用作源極線。

接著，參照圖 2A 和 2B 對儲存單元 190 的基本電路結構及其工作進行說明。注意，在此，作為第一電晶體 160 採用 p 通道型，作為第二電晶體 162 採用 n 通道型。

在圖 2A 所示的半導體裝置中，第一佈線 ($L1$) 與第一電晶體 160 的汲極電極 (或源極電極) 電連接，並且第二佈線 ($L2$) 與第一電晶體 160 的源極電極 (或汲極電極) 電連接。另外，第三佈線 ($L3$) 與第二電晶體 162 的汲極電極 (或源極電極) 電連接，並且第四佈線 ($L4$) 與第二電晶體 162 的閘極電極電連接。再者，第一電晶體 160 的閘極電極及第二電晶體 162 的源極電極 (或汲極電極) 與電容元件 164 的電極中的一方電連接，並且第五佈線 ($L5$) 與電容元件 164 的電極中的另一方電連接。

在圖 2A 所示的半導體裝置中，藉由有效地利用能夠

保持第一電晶體 160 的閘極電極的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入和保持進行說明。首先，將第四佈線的電位設定為使第二電晶體 162 成為導通狀態的電位，來使第二電晶體 162 成為導通狀態。由此，對第一電晶體 160 的閘極電極和電容元件 164 施加第三佈線的電位。也就是說，對第一電晶體 160 的閘極電極施加指定的電荷（寫入）。在此，將施加不同的電位的兩種電荷（以下將施加低電位的電荷稱為電荷 Q_L ，將施加高電位的電荷稱為電荷 Q_H ）中的任一方施加到第一電晶體 160 的閘極電極。另外，也可以使用施加不同電位的三種或三種以上的電荷來提高儲存容量。然後，藉由將第四佈線的電位設定為使第二電晶體 162 成為截止狀態的電位，來使第二電晶體 162 成為截止狀態，而保持對第一電晶體 160 的閘極電極施加的電荷（保持）。

由於使用氧化物半導體形成的第二電晶體 162 的截止電流極小，因此第一電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對第一佈線施加指定的電位（恒電位）的狀態下對第五佈線施加適當的電位（讀出電位）時，根據保持在第一電晶體 160 的閘極電極中的電荷量，第二佈線具有不同的電位。這是因為當第一電晶體 160 為 p 通道型時，對第一電晶體 160 的閘極電極施加 Q_H 時的外觀上的閾值 V_{th_H} 低於對第一電晶體 160

的閘極電極施加 Q_L 時的外觀上的閾值 V_{th_L} 的緣故。在此，外觀上的閾值是指爲了使第一電晶體 160 成爲“導通狀態”所需要的第五佈線的電位。從而，藉由將第五佈線的電位設定爲 V_{th_L} 和 V_{th_H} 的中間電位 V_0 ，可以辨別對第一電晶體 160 的閘極電極施加的電荷。例如，在寫入中，在對第一電晶體 160 的閘極電極施加 Q_H 的情況下，即使第五佈線的電位成爲 V_0 ($>V_{th_H}$)，第一電晶體 160 也成爲“截止狀態”。在對第一電晶體 160 的閘極電極施加 Q_L 的情況下，當第五佈線的電位成爲 V_0 ($<V_{th_L}$) 時，第一電晶體 160 處於“導通狀態”。因此，藉由看第二佈線的電位可以讀出所保持有的資訊。

另外，如圖 1 所示，當將儲存單元配置爲陣列狀而使用時，需要可以唯讀出所希望的儲存單元的資訊。像這樣，當讀出指定的儲存單元的資訊，且不讀出指定的儲存單元以外的儲存單元的資訊時，對讀出的物件之外的儲存單元的第五佈線施加不管閘極電極的狀態如何都使第一電晶體 160 成爲“截止狀態”的電位，也就是大於 V_{th_L} 的電位，即可。或者，對第五佈線施加不管閘極電極的狀態如何都使第一電晶體 160 成爲“導通狀態”的電位，也就是小於 V_{th_H} 的電位。

接著，對資訊的重寫進行說明。資訊的重寫與上述資訊的寫入及保持同樣進行。也就是說，將第四佈線的電位設定爲使第二電晶體 162 成爲導通狀態的電位，而使第二電晶體 162 成爲導通狀態。由此，對第一電晶體 160 的閘

極電極及電容元件 164 施加第三佈線的電位（有關新的資訊的電位）。然後，藉由將第四佈線的電位設定為使第二電晶體 162 成為截止狀態的電位，使第二電晶體 162 成為截止狀態，而使第一電晶體 160 的閘極電極成為施加有關新的資訊的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置藉由再次進行資訊的寫入來可以直接重寫資訊。因此，不需要快閃記憶體等所需要的使用高電壓從浮動閘極抽出電荷的處理，可以抑制起因於擦除工作的工作速度的降低。換言之，可以實現半導體裝置的高速工作。

另外，藉由將第二電晶體 162 的源極電極（或汲極電極）電連接到第一電晶體 160 的閘極電極，該源極電極（或汲極電極）起到與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極同等的作用。下面，有時將第二電晶體 162 的汲極電極（或源極電極）與第一電晶體 160 的閘極電極電連接的部分稱為節點 FG。當第二電晶體 162 處於截止狀態時，可以認為該節點 FG 被埋設在絕緣體中，在節點 FG 中保持有電荷。因為使用氧化物半導體的第二電晶體 162 的截止電流為使用矽半導體形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於第二電晶體 162 的洩漏而導致的儲存在節點 FG 中的電荷的消失。也就是說，藉由利用使用氧化物半導體的第二電晶體 162，可以實現即使沒有電力供給也能夠保持資訊的非揮發性儲存裝置。

例如，當室溫（25℃）下的第二電晶體 162 的截止電流為 10zA（1zA（zeptoampere）是 1×10^{-21} A）以下，並且電容元件 164 的電容值為 10fF 左右時，至少可以保持資料 10^4 秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在所公開的發明的半導體裝置中，不存在現有的浮動閘極型電晶體中被指出的閘極絕緣層（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣層的劣化問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要現在現有的浮動閘極型電晶體中當寫入或擦除數據時所需要的高電壓。

構成圖 2A 所示的半導體裝置的電晶體等的要素包括電阻器和電容器，因此可以將圖 2A 所示的半導體裝置看作如圖 2B 所示的半導體裝置。換言之，在圖 2A 中，可以認為第一電晶體 160 和電容元件 164 分別包括電阻器和電容器。R1 和 C1 分別是電容元件 164 的電阻值和電容值，電阻值 R1 相當於構成電容元件 164 的絕緣層的電阻值。另外，R2 和 C2 分別是第一電晶體 160 的電阻值和電容值，電阻值 R2 相當於第一電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘極電極和源極電極或汲極電極之間的電容、以及形成在閘極電極和通道形成區之間的電容）的電容值。

在第二電晶體 162 處於截止狀態時的源極電極和汲極

電極之間的電阻值（也稱為有效電阻）為 R_{OS} 的情況下，在第二電晶體 162 的閘極洩漏電流充分小的條件下，當 R_1 及 R_2 滿足 $R_1 \geq R_{OS}$ （ R_1 為 R_{OS} 以上）、 $R_2 \geq R_{OS}$ （ R_2 為 R_{OS} 以上）時，電荷的保持期間（也可以稱為資訊的保持期間）主要由第二電晶體 162 的截止電流決定。

反之，當不滿足該條件時，即使第二電晶體 162 的截止電流足夠小也難以充分確保保持期間。這是因為第二電晶體 162 的截止電流之外的洩漏電流（例如，產生在第一電晶體 160 的源極電極和閘極電極之間的洩漏電流等）大。由此，可以說本實施方式所公開的半導體裝置較佳滿足 $R_1 \geq R_{OS}$ （ R_1 為 R_{OS} 以上）及 $R_2 \geq R_{OS}$ （ R_2 為 R_{OS} 以上）的關係。

另一方面， C_1 和 C_2 較佳滿足 $C_1 \geq C_2$ （ C_1 為 C_2 以上）的關係。這是因為藉由增大 C_1 ，當由第五佈線控制節點 FG 的電位時，可以將第五佈線的電位高效地施加到節點 FG，而可以將施加到第五佈線的電位（例如，讀出電位和非讀出電位）間的電位差抑制為小的緣故。

像這樣，藉由滿足上述關係，可以實現更佳的半導體裝置。另外， R_1 和 R_2 可以由第一電晶體 160 的閘極絕緣層和電容元件 164 的絕緣層控制。 C_1 和 C_2 也是同樣的。因此，較佳適當地設定閘極絕緣層的材料或厚度等，以滿足上述關係。

在本實施方式所示的半導體裝置中，節點 FG 起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極同等的作用

，但是，本實施方式的節點 FG 具有根本不同的特徵。

因為在快閃記憶體中施加到控制閘極的電位高，所以為了防止該電位影響到鄰近的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。而這是阻礙半導體裝置的高集成化的主要原因之一。該原因起因於藉由施加高電場來產生穿隧電流的快閃記憶體的根本原理。

另一方面，根據本實施方式的半導體裝置藉由使用氧化物半導體的電晶體的開關工作，而不使用如上所述的藉由穿隧電流進行電荷注入的原理。就是說，不需要快閃記憶體所需要的用於注入電荷的高電場。由此，因為不需要考慮到控制閘極帶給鄰近的單元的高電場的影響，所以容易實現高集成化。

另外，在不需要高電場、不需要大型週邊電路（升壓電路等）這兩點上也優越於快閃記憶體。例如，在寫入兩級（1 位元）的資訊的情況下，在一個儲存單元中，可以將施加到根據本實施方式的儲存單元的電壓（同時施加到儲存單元的各電極的最大電位與最小電位之間的差異）的最大值設定為 5V 以下，較佳設定為 3V 以下。

另外，在使構成電容元件 164 的絕緣層的相對介電常數 ϵ_{r1} 與構成第一電晶體 160 的絕緣層的相對介電常數 ϵ_{r2} 不同的情況下，容易在使構成電容元件 164 的絕緣層的面積 $S1$ 和在第一電晶體 160 中構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ （ $2 \cdot S2$ 為 $S1$ 以上），較佳滿足 $S2 \geq S1$ （ $S2$ 為 $S1$ 以上）的同時，實現 $C1 \geq C2$ （ $C1$ 為 $C2$

以上)。換言之，容易在縮減構成電容元件 164 的絕緣層的面積的同時實現 $C1 \geq C2$ 。明確而言，例如，作為構成電容元件 164 的絕緣層，可以採用由氧化鉛等的 high-k 材料構成的膜或由氧化鉛等的 high-k 材料構成的膜與由氧化物半導體構成的膜的疊層結構，並將 ϵ_{r1} 設定為 10 以上，較佳設定為 15 以上，並且作為構成閘極電容的絕緣層，可以採用氧化矽等，並滿足 $\epsilon_{r2}=3$ 至 4。

藉由並用這種結構，可以進一步實現根據所公開的發明的半導體裝置的高集成化。

另外，為了增大半導體裝置的儲存容量，除了高集成化以外還可以採用多值化的方法。例如，藉由採用對儲存單元之一寫入三級以上的資訊的結構，與寫入兩級（1 位元）的資訊的情況相比，可以增大儲存容量。例如，藉由不僅向第一電晶體的閘極電極供應如上所述的施加低電位的電荷 Q_L 、施加高電位的電荷 Q_H ，而且還供應施加其他電位的電荷 Q ，可以實現多值化。

接著，對將儲存單元配置為陣列狀的半導體裝置的工作進行說明。

首先，對構成儲存單元的電晶體採用 n 通道型時的半導體裝置的工作方法的一個例子進行說明。圖 3 所示的半導體裝置是將儲存單元 191 配置為陣列狀的 NOR 型，其示出儲存單元 191 具有 n 列的結構的例子，其中每個列都包括 m 個儲存單元 191。注意，m 及 n 為自然數。另外，儲存單元 191 的結構與儲存單元 190 的結構相同，其不同

之點僅在於第一電晶體 161 採用 n 通道型。

當使用第一列的第一儲存單元 191 進行說明時，圖 2A 中的第一佈線 (L1) 相當於第一位元線 (BL₁)，第二佈線 (L2) 相當於源極線 (SL₁)，第三佈線 (L3) 相當於第二位元線 (BL_{OS}₁)，第四佈線 (L4) 相當於第二字線 (WL_{OS}₁)，並且第五佈線 (L5) 相當於第一字線 (WL₁)。

另外，雖然在此作為一個例子對節點 FG 施加電位 V2 (低於電源電位 VDD 的電位) 或基準電位 GND (0V) 的情況進行說明，但是對節點 FG 施加的電位不侷限於此。另外，當對節點 FG 施加電位 V2 時保持的資料為資料“1”，當對節點 FG 施加基準電位 GND (0V) 時保持的資料為資料“0”。

首先，將與寫入物件的儲存單元 191 連接的第二字線 (WL_{OS}) 的電位設定為 V3 (高於 V2 的電位，例如 VDD) 並選擇儲存單元 191。

當對儲存單元 191 寫入資料“0”時，對第二位元線 BL_{OS} 施加 GND，當對儲存單元 191 寫入資料“1”時，對第二位元線 BL_{OS} 施加 V2。在此，由於將第二字線 (WL_{OS}) 的電位設定為 V3，因此可以對節點 FG 施加 V2。

藉由將與保持物件的儲存單元 191 連接的第二字線 (WL_{OS}) 的電位設定為 GND 來保持資料。當使第二字線 (WL_{OS}) 的電位固定為 GND 時，節點 FG 的電位被固定為

寫入時的電位。換言之，當對節點 FG 施加有相當於資料“1”的 V_2 時，節點 FG 的電位成為 V_2 ，並當對節點 FG 施加相當於資料“0”的 $GND(0V)$ 時，節點 FG 的電位成為 $GND(0V)$ 。

另外，因為對第二字線 (WL_{OS}) 施加有 $GND(0V)$ ，所以不管寫入資料“1”或資料“0”，第二電晶體 162 都成為截止狀態。因為第二電晶體 162 的截止電流極為小，所以在長時間保持第一電晶體 161 的閘極電極的電荷。

藉由將與讀出物件的儲存單元 191 連接的第一字線 (WL) 的電位設定為 $GND(0V)$ ，且將與讀出物件之外的儲存單元 191 連接的第一字線 (WL) 的電位設定為 V_5 （例如， VDD ），來讀出資料。此外，對第一位元線 (BL) 施加所需要的電位 V_6 （例如， VDD 以下的電位），即可。

在將與讀出物件的儲存單元 191 連接的第一字線 (WL) 的電位設定為 $GND(0V)$ 的情況下，當對讀出物件的儲存單元 191 的節點 FG 施加作為資料“1”的 V_2 時，第一電晶體 161 成為導通狀態。另一方面，當對節點 FG 施加作為資料“0”的 $GND(0V)$ 時，第一電晶體 161 成為截止狀態。

另外，當將與讀出物件之外的儲存單元 191 連接的第一字線 (WL) 的電位設定為 V_5 時，不管對讀出物件之外的儲存單元 191 寫入有資料“1”或資料“0”，第一電晶

體 161 都成為導通狀態。像這樣，可以讀出所保持的資訊。

在此，與上述工作相關的圖 3 的半導體裝置中的佈線的數量是 $2m$ 個字線（WL、WL_OS）、 $2n$ 個位元線（BL、BL_OS）、 n 個源極線（SL），一個儲存單元需要五個佈線。因此，不能縮小電路面積，而難以增加每單位面積的儲存容量。

接著，使用圖 4 的時序圖對本發明的一個方式的圖 1 的半導體裝置的工作進行說明。注意，圖 1 的半導體裝置中的佈線的數量是 $m+1$ 個字線（WL）、 n 個位元線（BL）。換言之，藉由使寫入用字線與讀出用字線共同化，且使寫入用位元線與讀出用位元線共同化，來減少佈線的數量。另外，藉由實際上將字線用作源極線，還可以省略掉源極線。

注意，雖然在此作為一個例子，對節點 FG 施加電位 V1（例如 VDD）或基準電位 GND（0V）的情況進行說明，但是對節點 FG 施加的電位的關係不侷限於此。此外，當對節點 FG 施加電位 V1 時保持的資料為資料“1”，當對節點 FG 施加基準電位 GND（0V）時保持的資料為資料“0”。

在本實施方式中，為了簡化起見，說明對第一行第一列的儲存單元寫入資料“1”，並對第一行第 n 列的儲存單元寫入資料“0”的情況。

首先，將進行寫入的行的字線（WL_1）的電位設定

爲 V_2 ，將進行寫入的行的下一行的字線 (WL_2) 的電位設定爲 $GND(0V)$ ，並且將其他字線的電位都設定爲 V_1 。這時，當第二電晶體 162 的閾值電壓 (V_{th_OS}) 滿足 $V_2 > V_{th_OS} > V_1 > 0V$ 的關係時，第一行的第二電晶體 162 成爲導通狀態，其他行的第二電晶體 162 成爲截止狀態。

在此，藉由將第一列的位元線 (BL_1) 的電位設定爲 V_1 ，並將第 n 列的位元線 (BL_n) 的電位設定爲 $GND(0V)$ ，第一行第一列的節點 FG 的電位成爲 V_1 ，而第一行第 n 列的節點 FG 的電位成爲 $0V$ 。

再者，當將字線 (WL_1) 的電位設定爲 $GND(0V)$ ，且使第一行的第二電晶體 162 成爲截止狀態時，節點 FG 的電位分別被保持。

另外，由於對字線 (WL_1) 施加有 $GND(0V)$ ，所以不管寫入資料 “1” 或資料 “0”，第二電晶體 162 都成爲截止狀態。由於第二電晶體 162 的截止電流極小，由此在長時間保持第一電晶體 160 的閘極電極的電荷。

接著，使用圖 4 的時序圖對讀出第一行的儲存單元的資料的情況進行說明。

首先，將進行讀出的行（第一行）的下一行的字線 (WL_2) 的電位設定爲 $GND(0V)$ ，並將其他的所有字線及位元線的電位都設定爲 V_1 。這時，字線 (WL_2) 實際上用作源極線。其結果，進行讀出的行之外的所有第一電晶體 160 不管儲存單元的資料的狀態如何都成爲截止狀態

。注意，讀出用電晶體為常截止（normally-off：當閘電壓為 0V 時成為截止狀態）的 p 通道型。

另一方面，進行讀出的行中的第一電晶體 160 的工作狀態依賴於保持在儲存單元中的資料。就是說，第一電晶體 160 在保持有資料“0”的第一行第 n 列成為導通狀態，而在保持有資料“1”的第一行第一列成為截止狀態。

其結果，在電位為 0V 的字線（WL₂）和位元線（BL_n）之間通上電流，位元線（BL_n）的電位收斂到 0V。另外，位元線（BL₁）保持電位 V₁。如此，可以讀出所保持的資訊。

在此，假設第一電晶體 160 的閾值電壓與儲存電容器的電位的總和在資料“0”時為 V_{th0}，在資料“1”時為 V_{th1}，於是有 $0V > V_{th0} > (-V_1) > V_{th1}$ 的關係。

藉由上述說明，示出在與圖 3 的結構相比減少了信號線（佈線的數量）的結構中也可以進行利用節點 FG 的資料保持及資料讀出的半導體裝置的工作。因此，藉由使用本發明的半導體裝置的結構，可以減少電路面積，而可以增加每單位面積的儲存容量。

此外，因為在本發明的一個方式的半導體裝置的工作中不使用負電位，所以不需要生成負電位的電壓生成電路。因此，本發明的一個方式的半導體裝置還具有可以縮小電路本身的規模的特徵。

另外，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

在本實施方式中，參照圖式對根據所公開的發明的一個方式的半導體裝置的結構及其製造方法進行說明。

圖 5A 和 5B 示出圖 1 的電路圖所示的半導體裝置（儲存單元 190）的結構的一個例子。圖 5A 示出半導體裝置的剖面，並且圖 5B 示出半導體裝置的平面。在此，圖 5A 相當於沿圖 5B 的 A1-A2、B1-B2 的剖面。另外，為了簡化起見，圖 5B 強調佈線（電極）等，並省略絕緣層等而表示。

圖 5A 和 5B 所示的半導體裝置在其下部具有使用第一半導體材料的第一電晶體 160，並且在其上部具有使用第二半導體材料的第二電晶體 162。

在此，第一半導體材料和第二半導體材料較佳為不同的材料。例如，可以使用氧化物半導體以外的半導體材料（矽等）作為第一半導體材料，並且使用氧化物半導體作為第二半導體材料。使用單晶矽等氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長期保持電荷。

另外，雖然根據圖 1 的電路結構對第一電晶體 160 為 p 通道型且第二電晶體 162 為 n 通道型的情況進行說明，但是也可以作為第一電晶體 160 採用 n 通道型並作為第二電晶體 162 採用 p 通道型。此外，由於所公開的發明的技術特徵在於為了保持資訊將如氧化物半導體那樣能夠充分降低截止電流的半導體材料用於第二電晶體 162，因此不

需要將用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構限定於在此所示的結構。

圖 5A 和 5B 所示的第一電晶體 160 包括：設置在含有半導體材料（例如，矽等）的基板 100 中的通道形成區 116；夾著通道形成區 116 地設置的雜質區 120a 及雜質區 120b；與雜質區 120a 及雜質區 120b 接觸的金屬化合物區 124a 及金屬化合物區 124b；設置在通道形成區 116 上的閘極絕緣層 108；以及設置在閘極絕緣層 108 上的閘極電極 110。

另外，雖然有時在圖式中沒有源極電極或汲極電極，但是為了方便起見，有時將這種狀態也稱作電晶體。此外，在此情況下，為了說明電晶體的連接關係，有時將源極區和汲極區分別稱作源極電極和汲極電極。就是說，在本說明書中，“源極電極”的記載有可能包括源極區，並且“汲極電極”的記載有可能包括汲極區。

另外，在本說明書中，有時將雜質區 120a 和雜質區 120b 總稱為雜質區 120。此外，在本說明書中，有時將金屬化合物區 124a 和金屬化合物區 124b 總稱為金屬化合物區 124。

此外，在基板 100 上圍繞第一電晶體 160 地設置有元件分離絕緣層 106，並且在第一電晶體 160 上以使閘極電極 110 的頂面露出的方式設置有絕緣層 128。另外，為了實現高集成化，較佳採用如圖 5A 和 5B 所示那樣第一電晶體 160 不具有側壁絕緣層的結構。另一方面，在重視第

一電晶體 160 的特性時，也可以在閘極電極 110 側面設置側壁絕緣層，並且設置包括雜質濃度不同的區域的雜質區 120。

在此，絕緣層 128 較佳具有平坦性良好的表面，例如，絕緣層 128 的表面的均方根（RMS）粗糙度較佳為 1nm 以下。

圖 5A 和 5B 所示的第二電晶體 162 包括：形成在絕緣層 128 上的源極電極 142a 及汲極電極 142b；與絕緣層 128、源極電極 142a 及汲極電極 142b 的一部分接觸的氧化物半導體層 144；覆蓋氧化物半導體層 144 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 144 重疊地設置的閘極電極 148。另外，閘極電極 148 用作圖 1 所示的電路圖中的字線 WL。

另外，雖然圖 5A 和 5B 示出第二電晶體 162 為頂閘底接觸型（TGBC 型）的結構，但是不侷限於圖式所示的結構。例如，也可以採用頂閘頂接觸型（TGTC 型）、底閘底接觸型（BGBC 型）、底閘頂接觸型（BGTC 型）等的結構。

另外，雖然未圖示，但是也可以在源極電極 142a 與氧化物半導體層 144 之間以及在汲極電極 142b 與氧化物半導體層 144 之間分別設置具有 n 型導電型的緩衝層。藉由形成該緩衝層，可以降低源極電極 142a 與氧化物半導體層 144 之間以及汲極電極 142b 與氧化物半導體層 144 之間的接觸電阻，而可以增加電晶體的導通電流。

作為可以用於具有 n 型導電型的緩衝層的典型的材料，有氧化銦（In-O 類）、氧化銦錫（In-Sn-O 類）、氧化銦鋅（In-Zn-O 類）、氧化錫（Sn-O 類）、氧化鋅（Zn-O 類）、氧化錫鋅（Sn-Zn-O 類）等的金屬氧化物，其中可以含有選自鋁（Al）、鎵（Ga）、矽（Si）中的一種以上的元素。此外，也可以使用氧化鈦（Ti-O 類）、氧化鈦銱（Ti-Nb-O 類），氧化鉬（Mo-O 類）、氧化鎢（W-O 類）、氧化鎂（Mg-O 類）、氧化鈣（Ca-O 類）、氧化鎵（Ga-O 類）等。另外，上述材料也可以含有氮（N）。

在此，氧化物半導體層 144 較佳藉由充分去除氫等雜質或者供應足夠的氧而被高純度化。明確而言，例如，將氧化物半導體層 144 的氫濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳地設定為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。另外，上述氧化物半導體層 144 中的氫濃度利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測量。如此，在氫濃度被充分降低而被高純度化，並藉由被供給足夠的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，起因於氫等的施體的載子密度低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳的是低於 $1 \times 10^{11} / \text{cm}^3$ ，更佳的是低於 $1.45 \times 10^{10} / \text{cm}^3$ 。另外，例如，室溫（25℃）下的截止電流（在此，每單位通道寬度（1μm）的值）為 100zA（1zA（仄普托安培）為 $1 \times 10^{-21} \text{ A}$ ）以下，較佳為 10zA 以下。像這樣，藉由採用 i 型化（本質化）或實質上 i 型化的氧化物半導體，可以得到截止

電流特性極為優越的電晶體。

此外，較佳絕緣層 128 的表面的與氧化物半導體層 144 接觸的區域的均方根粗糙度（RMS）為 1nm 以下。像這樣，藉由在均方根粗糙度（RMS）為 1nm 以下的極為平坦的區域中設置第二電晶體 162 的通道形成區，即使在將第二電晶體 162 微型化的情況下也防止短通道效應等不良現象的發生，而可以提供具有良好特性的第二電晶體 162。

圖 5A 和 5B 中的電容元件 164 包括源極電極 142a、氧化物半導體層 144、閘極絕緣層 146、閘極絕緣層 146 上的絕緣層 150 以及電極 152。就是說，源極電極 142a 用作電容元件 164 的一方電極，並且電極 152 用作電容元件 164 的另一方電極。另外，電容元件 164 也可以採用不包括閘極絕緣層 146 的結構。因為藉由採用這種結構，電容元件 164 的電介質層由氧化物半導體層 144 及絕緣層 150 構成，所以電介質層的厚度減薄，從而可以增大電容元件 164 的電容量。

在此，由於第 $k-1$ 行（ k 為 2 以上且 m 以下的自然數）上的電容元件 164 的一方電極為第 $k-1$ 行上的第二電晶體 162 的源極電極 142a，所以可以容易使電容元件 164 的平面佈局與第二電晶體 162 的平面佈局重疊，從而可以減小儲存單元 190 所占的面積。此外，藉由在絕緣層 150 上形成電極 152，可以以最小的佈線間隔形成鄰近的儲存單元 190 的閘極電極 148，而且可以在鄰近的儲存單元

190 的閘極電極 148 之間形成電極 152。據此，可以減小儲存單元 190 所占的面積。另外，電極 152 用作圖 1 所示的電路圖中的字線 WL。

在第二電晶體 162 上設置有絕緣層 150，並且在絕緣層 150 及電容元件 164 的電極 152 上設置有絕緣層 154。而且，在形成於閘極絕緣層 146、絕緣層 150 及絕緣層 154 等中的開口中設置有電極 156，並且在絕緣層 154 上形成有與電極 156 連接的佈線 158。在此，佈線 158 用作圖 1 所示的電路中的位元線 BL。

藉由採用上述結構，可以減小包括第一電晶體 160、第二電晶體 162 及電容元件 164 的儲存單元 190 的平面佈局的尺寸。在儲存單元 190 的平面佈局中，可以將其行方向上的長度縮短成用作位元線 BL 的佈線 158 的最小的佈線寬度和最小的佈線間隔的長度左右，並且可以將其列方向上的長度縮短成閘極電極 148 的最小的佈線寬度、佈線間隔及一個接觸孔形成區左右的長度。藉由採用這種平面佈局，可以實現圖 1 所示的電路的高集成化。例如，當將最小加工尺寸設為 F 時，可以將儲存單元所占的面積設定為 $6F^2$ 至 $18F^2$ 。因此，可以增大半導體裝置的每單位面積的儲存容量。

另外，根據所公開的發明的半導體裝置的結構不侷限於圖 5A 和 5B 所示的結構。所公開的發明的一個方式的技術特徵在於形成使用氧化物半導體和氧化物半導體以外的材料的疊層結構。因此，可以適當地改變電極的連接關

係等的詳細結構。另外，至於第二電晶體 162，雖然對圖 5A 和圖 5B 所示的結構的 TGBC 型的製造方法進行說明，但是藉由使用同樣的材料且調換製程的順序來也可以製造其他結構的電晶體。

下面，對上述半導體裝置的製造方法的一個例子進行說明。在下文中，首先對下部的第一電晶體 160 的製造方法進行說明，然後，對上部的第二電晶體 162 及電容元件 164 的製造方法進行說明。

首先，準備含有半導體材料的基板 100。作為含有半導體材料的基板 100，可以採用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。這裏示出作為含有半導體材料的基板 100 使用單晶矽基板時的一個例子。另外，一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體層的基板，而在本說明書等中，“SOI 基板”這一詞的概念還包括在絕緣表面上設置有含有矽以外的材料的半導體層的基板。也就是說，“SOI 基板”所包括的半導體層不侷限於矽半導體層。此外，SOI 基板還包括在玻璃基板等絕緣基板上隔著絕緣層設置有半導體層的基板。

作為含有半導體材料的基板 100，特別較佳使用矽等的單晶半導體基板，因為這樣可以使半導體裝置的讀出工作高速化。

另外，為了控制電晶體的閾值電壓，也可以對後面成為第一電晶體 160 的通道形成區 116 的區域添加雜質元素

。在此，添加使 p 通道型的第一電晶體 160 的閾值電壓成為負值的導電型的雜質元素。當半導體材料為矽時，作為該賦予導電性的雜質，例如有磷、砷、銻等。另外，較佳在添加雜質元素後進行加熱處理，來實現雜質元素的活化、或改善當添加雜質元素時產生的缺陷等。

在基板 100 上形成保護層 102，該保護層 102 成為用來形成元件分離絕緣層的掩模（參照圖 6A）。作為保護層 102，例如可以使用以氧化矽、氮化矽、氧氮化矽等為材料的絕緣層。

接下來，將上述保護層 102 用作掩模進行蝕刻來去除基板 100 的的一部分的不被保護層 102 覆蓋的區域（露出的區域）。據此，形成與其他半導體區分離的半導體區 104（參照圖 6B）。作為該蝕刻較佳採用乾蝕刻法，但是也可以採用濕蝕刻法。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。

接下來，藉由覆蓋基板 100 地形成絕緣層，並選擇性地去除與半導體區 104 重疊的區域的絕緣層，來形成元件分離絕緣層 106。該絕緣層使用氧化矽、氮化矽、氧氮化矽等形成。作為絕緣層的去方法，有 CMP（化學機械拋光）處理等的拋光處理或蝕刻處理等，而可以使用其中任何方法。另外，在形成半導體區 104 之後或在形成元件分離絕緣層 106 之後去除上述保護層 102。

接下來，在半導體區 104 的表面上形成絕緣層，並且在該絕緣層上形成含有導電材料的層。

該絕緣層在後面成爲閘極絕緣層，例如可以藉由對半導體區 104 的表面進行熱處理（熱氧化處理或熱氮化處理等）形成。也可以採用高密度電漿處理代替熱處理。例如可以使用氦、氬、氦、氙等稀有氣體、氧、氧化氮、氮、氮、氬等的混合氣體進行高密度電漿處理。當然，也可以利用 CVD 法或濺射法等形成絕緣層。該絕緣層較佳採用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、氧化鎳、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等的單層結構或疊層結構。此外，例如可以將絕緣層的厚度設定爲 1nm 以上且 100nm 以下，較佳設定爲 10nm 以上且 50nm 以下。

含有導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。另外，在本實施方式中示出使用金屬材料形成含有導電材料的層時的一個例子。

然後，對絕緣層及含有導電材料的層選擇性地進行蝕刻，形成閘極絕緣層 108（參照圖 6C）。

接下來，對半導體區 104 添加硼（B）或鋁（Al）等形成通道形成區 116 及雜質區 120（雜質區 120a、雜質區 120b）（參照圖 6D）。另外，雖然這裏爲了形成 p 型電

晶體添加硼或鋁，但在形成 n 型電晶體時添加磷（P）或砷（As）等雜質元素即可。在此，可以適當地設定所添加的雜質的濃度，並且當將半導體元件高度微型化時，較佳提高其濃度。

另外，也可以在閘極電極 110 的周圍形成側壁絕緣層，並形成以不同濃度添加有雜質元素的多個雜質區。

接下來，覆蓋閘極電極 110 及雜質區 120 等地形成金屬層 122。金屬層 122 可以利用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。金屬層 122 較佳使用與構成半導體區 104 的半導體材料起反應而成為低電阻金屬化合物的金屬材料形成。作為這種金屬材料，例如有鈦、鉭、鎢、鎳、鈷、鉑等。

接下來，進行熱處理來使金屬層 122 與半導體材料起反應。據此，形成與雜質區 120（雜質區 120a、雜質區 120b）接觸的金屬化合物區 124（金屬化合物區 124a、金屬化合物區 124b）（參照圖 7A）。另外，當使用多晶矽等作為閘極電極 110 時，還在閘極電極 110 的與金屬層 122 接觸的部分中形成金屬化合物區。

作為上述熱處理，例如可以採用利用閃光燈的照射的熱處理。當然，也可以採用其他熱處理方法，但是，為了提高形成金屬化合物時的化學反應的控制性，較佳採用可以在極短時間內完成熱處理的方法。另外，上述金屬化合物區是因金屬材料與半導體材料起反應而形成的區域，因此是導電性充分得到提高的區域。藉由形成該金屬化合物

區，可以充分降低電阻，而可以提高元件特性。另外，在形成金屬化合物區 124 之後，去除金屬層 122。

接下來，以與第一電晶體 160 的金屬化合物區 124a、124b 接觸的方式形成電極 126a、126b。電極 126a、126b 藉由在使用如濺射法等 PVD 法、電漿 CVD 法等 CVD 法形成導電層之後對該導電層選擇性地進行蝕刻來形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹、釷、釷中的一種或多種材料。詳細內容與後述的源極電極 142a、汲極電極 142b 等相同。

藉由上述步驟形成使用含有半導體材料的基板 100 的第一電晶體 160（參照圖 7B）。這種第一電晶體 160 具有能夠進行高速工作的特徵。因此，藉由作為讀出用電晶體使用該電晶體，可以高速進行資訊的讀出。

接下來，覆蓋藉由上述步驟形成的各構成要素地形成絕緣層 128（參照圖 7C）。絕緣層 128 可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鋁等的無機絕緣材料形成。尤其是，較佳將低介電常數（low-k）材料用於絕緣層 128，因為這樣可以充分降低由於各種電極或佈線重疊而產生的電容。另外，作為絕緣層 128 也可以採用使用上述材料的多孔絕緣層。因為多孔絕緣層的介電常數比高密度的絕緣層的介電常數低，所以若採用多孔絕緣層，則可以進一步降低起因於電極或佈線的電容。此外，絕緣

層 128 也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成。另外，雖然這裏採用單層結構的絕緣層 128，但是所公開的發明的一個方式不侷限於此。也可以作為絕緣層 128 採用兩層以上的疊層結構。

然後，作為形成第二電晶體 162 及電容元件 164 之前的處理，對絕緣層 128 進行 CMP 處理，以使閘極電極 110 及電極 126 的頂面露出（參照圖 7D）。作為使閘極電極 110 的頂面露出的處理，除了 CMP 處理以外還可以採用蝕刻處理等，但是為了提高第二電晶體 162 的特性，較佳使絕緣層 128 的表面盡可能地平坦。例如，較佳使絕緣層 128 的表面的均方根粗糙度（RMS）為 1nm 以下。

另外，也可以在上述各步驟前後還包括形成電極、佈線、半導體層、絕緣層等的步驟。例如，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構作為佈線的結構，來實現高度集成化的半導體裝置。

下面，在閘極電極 110、電極 126 及絕緣層 128 等上形成導電層，並且選擇性地對該導電層進行蝕刻，來形成源極電極 142a 以及汲極電極 142b（參照圖 8A）。

導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬、鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹、鈳、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊

層結構。例如，可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作爲導電層採用鈦膜或氮化鈦膜的單層結構時，有容易將該導電層加工成具有錐形形狀的源極電極 142a、汲極電極 142b 的優點。

此外，導電層也可以使用導電金屬氧化物形成。作爲導電金屬氧化物，可以採用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫爲 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者藉由在這些金屬氧化物材料中含有矽或氧化矽而形成的金屬氧化物。

另外，雖然可以採用乾蝕刻或濕蝕刻進行導電層的蝕刻，但是爲了微型化，較佳採用控制性良好的乾蝕刻。此外，也可以以使所形成的源極電極 142a 及汲極電極 142b 具有錐形形狀的方式進行導電層的蝕刻。例如可以將錐形角設定爲 30° 以上且 60° 以下。

上部的第二電晶體 162 的通道長度（L）取決於源極電極 142a 的上端部與汲極電極 142b 的上端部之間的間隔。另外，在形成通道長度（L）短於 25nm 的電晶體的情況下，較佳利用波長短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且景深大。因此，可以將後面形成的電晶體的通道長度（L）設定爲短於 $2\mu\text{m}$ ，較佳設定爲

10nm 以上且 350nm (0.35 μ m) 以下，而可以提高電路的工作速度。

另外，也可以在絕緣層 128 上設置用作基底絕緣層的絕緣層。該絕緣層可以利用 PVD 法或 CVD 法等形式。

接下來，在以與源極電極 142a 的頂面、汲極電極 142b 的頂面及絕緣層 128 的頂面中的一部分接觸的方式形成氧化物半導體層之後，對該氧化物半導體層選擇性地進行蝕刻來形成氧化物半導體層 144 (參照圖 8B)。

這裏使用的氧化物半導體較佳至少包含銦 (In) 或鋅 (Zn)。尤其是，較佳包含 In 和 Zn。另外，除了上述元素以外，較佳還具有鎵 (Ga) 作為穩定劑 (stabilizer)，該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。另外，作為穩定劑較佳具有錫 (Sn)。另外，作為穩定劑較佳具有鈦 (Hf)。另外，作為穩定劑較佳具有鋁 (Al)。

另外，作為其他穩定劑，可以具有鐳系元素的鐳 (La)、鈰 (Ce)、鐨 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、鈷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、銲 (Er)、釷 (Tm)、鐳 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧

化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

In-Ga-Zn 類的氧化物半導體材料具有無電場時的電阻足夠高而可以充分降低截止電流且場效應遷移率高的特徵。另外，使用 In-Sn-Zn 類氧化物半導體材料的電晶體的場效應遷移率可以成為使用 In-Ga-Zn 類氧化物半導體材料的電晶體的場效應遷移率的 3 倍以上，並且使用 In-Sn-Zn 類氧化物半導體材料的電晶體具有容易實現正值閾值電壓的特徵。這些半導體材料是可以用於構成本發明的一個方式中的半導體裝置的電晶體的較佳的材料之一。

這裏，例如 In-Ga-Zn 類氧化物是指作為主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，可以使用由 $\text{InMO}_3(\text{ZnO})_m$

($m > 0$ 且 m 不是整數) 表示的材料。這裏， M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 表示的材料。例如，可以使用其原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) 的 In-Ga-Zn 類氧化物或具有與其類似的組成的氧化物。或者，也可以使用其原子數比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) 或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) 的 In-Sn-Zn 類氧化物或具有與其類似的組成的氧化物。

但是，不侷限於上述材料，根據所需要的半導體特性（遷移率、閾值、偏差等）可以使用適當的組成的材料。另外，為了獲得所需要的半導體特性，較佳適當地設定載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間接合距離、密度等的條件。

例如，使用 In-Sn-Zn 類氧化物可以較容易獲得較高的遷移率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由減小塊內缺陷密度來提高遷移率。

在此，例如 In、Ga、Zn 的原子數比為 $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a+b+c=1$) 的氧化物的組成在原子數比為 $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A+B+C=1$) 的氧化物的組成的近旁是指 a 、 b 、 c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的狀態， r 例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體既可以為單晶又可以為非單晶。在後一種的情況下，可以為非晶或多晶。另外，也可以利用在非晶體中含有具有結晶性的部分的結構或非晶結構。

非晶態的氧化物半導體可以較容易形成平坦的表面，因此當使用該非晶態的氧化物半導體形成電晶體時，可以減小介面散射而較容易實現較高的遷移率。

另外，當利用具有結晶性的氧化物半導體時，可以進一步減小塊內缺陷，並藉由提高表面的平坦性可以獲得比非晶態的氧化物半導體更高的遷移率。為了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體。具體來說，較佳在平均面粗糙度（Ra）為 1nm 以下，較佳為 0.3nm 以下，更佳地為 0.1nm 以下的表面上形成氧化物半導體。

在此，Ra 是為為了可以應用於面而將在 JIS B0601 中定義的中心線平均粗糙度擴大為三維來得到的值，可以將 Ra 表示為“將從基準面到指定面的偏差的絕對值平均來得到的值”，並且 Ra 以如下數式定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

另外，在上述式中， S_0 表示測定面（由座標（ x_1, y_1 ）（ x_1, y_2 ）（ x_2, y_1 ）（ x_2, y_2 ）表示的四個點圍繞的長方形的區域）的面積， Z_0 表示測定面的平均高度。藉由利用原子力顯微鏡（AFM：Atomic Force Microscope）可以評價 Ra。

作為用來藉由濺射法製造氧化物半導體層 144 的靶材，例如使用組成比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [莫耳數比]的氧化物靶材。另外，也可以使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳數比]的氧化物靶材。

另外，當作為氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定為原子數比為 $\text{In} : \text{Zn} = 50 : 1$ 至 $1 : 2$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 至 $1 : 4$ ），較佳為 $\text{In} : \text{Zn} = 20 : 1$ 至 $1 : 1$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 至 $1 : 2$ ），更佳地為 $\text{In} : \text{Zn} = 15 : 1$ 至 $1.5 : 1$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$ 至 $3 : 4$ ）。例如，作為用來形成 In-Zn 類氧化物半導體的靶材，當原子數比為 $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ 時，滿足 $Z > 1.5X + Y$ 。

另外，可以將 In-Sn-Zn 類氧化物稱為 ITZO，並且 In-Sn-Zn 類氧化物使用 $\text{In} : \text{Sn} : \text{Zn}$ 的原子數比為 $1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 或 $20 : 45 : 35$ 等的氧化物靶材。

這裏，作為氧化物半導體具有結晶性的情況，說明包含一種結晶（CAAC：C Axis Aligned Crystal：c 軸取向結晶）的氧化物，該結晶進行 c 軸取向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心回轉）。

從更廣義來理解，含有 CAAC 的氧化物是指非單晶，

並是指包括如下相的氧化物，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶，但是也不只由非晶形成。另外，雖然 CAAC 包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

當 CAAC 包含氧時，也可以用氮取代氧的一部分。另外，構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）一致。或者，構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）。

CAAC 根據其組成等而成為導體、半導體或絕緣體。另外，CAAC 根據其組成等而呈現對可見光的透明性或不透明性。

作為上述 CAAC 的例子，也可以舉出一種結晶，該結晶被形成為膜狀，並且在該結晶中在從垂直於膜表面或所支撐的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 11A 至圖 13C 詳細說明包括在 CAAC 中的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 11A 至圖 13C 中，以垂直方向為 c 軸方向，並以與 c

軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 11A 至 11E 中，使用圓圈圈上的 O 示出四配位 O ，而使用雙重圓圈圈上的 O 示出三配位 O 。

圖 11A 示出具有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 11A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 11A 的上一半及下一半中分別具有三個四配位 O 。圖 11A 所示的小組的電荷為 0。

圖 11B 示出具有一個五配位 Ga 、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O ）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 11B 的上一半及下一半分別具有一個四配位 O 。另外，因為 In 也採用五配位，所以也有可能採用圖 11B 所示的結構。圖 11B 所示的小組的電荷為 0。

圖 11C 示出具有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 11C 的上一半具有一個四配位 O ，並且在下一半具有三個四配位 O 。或者，也可以在圖 11C 的上一半具有三個四配位 O ，並且在下一半具有一個四配位 O 。圖 11C 所示的小組的電荷為 0。

圖 11D 示出具有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 11D 的上一半具有三個四配位 O ，並且在下一半具有三個四配位 O 。圖 11D 所示的小組的

電荷爲 +1。

圖 11E 示出包括兩個 Zn 的小組。在圖 11E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 11E 所示的小組的電荷爲 -1。

在此，將多個小組的集合體稱爲中組，而將多個中組的集合體稱爲大組（也稱爲單元元件）。

這裏，說明這些小組彼此接合的規則。圖 11A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因爲 O 爲四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子（In 或 Sn）藉由下一半的四配位 O 接合時，因爲四配位 O 的個數爲 3

，所以其與五配位金屬原子（Ga 或 In）和四配位金屬原子（Zn）中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合構成中組。

圖 12A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 12B 示出由三個中組構成的大組。另外，圖 12C 示出從 c 軸方向上觀察圖 12B 的層結構時的原子排列。

在圖 12A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 12A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 12A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 12A 中，構成 In-Sn-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構

成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作為具有電荷 -1 的結構，可以舉出圖 11E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 12B 所示的大組來可以得到 In-Sn-Zn-O 類結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （ m 是 0 或自然數）表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也表示為 IGZO）、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn

類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 13A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 13A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 13B 示出由三個中組構成的大組。另外，圖 13C 示出從 c 軸方向上觀察圖 13B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 13A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

在本實施方式中，利用使用 In-Ga-Zn 類金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 144。此外，其厚度為 1nm 以上且 50nm 以下，較佳為 2nm 以上且

20nm 以下，更佳地為 3nm 以上且 15nm 以下。

金屬氧化物靶材中的金屬氧化物的相對密度為 80% 以上，較佳為 95% 以上，更佳地為 99.9% 以上。藉由使用相對密度高的金屬氧化物靶材，可以形成結構緻密的氧化物半導體層。

作為形成氧化物半導體層 144 時的氣圍，較佳採用稀有氣體（典型為氬）氣圍、氧氣圍、或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，較佳採用氬、水、羥基、氫化物等雜質被去除到 1ppm 以下的濃度（較佳為 10ppb 以下的濃度）的高純度氣體氣圍。

當形成氧化物半導體層 144 時，例如在保持為減壓狀態的處理室內固定被處理物，並且以使被處理物的溫度成為 100℃ 以上且低於 550℃，較佳成為 200℃ 以上且 400℃ 以下的方式加熱被處理物。或者，也可以將形成氧化物半導體層 144 時的被處理物的溫度設定為室溫（15℃ 以上且 35℃ 以下）。然後，一邊去除處理室內的水分一邊將氬及水等被去除了的濺射氣體引入到該處理室內，並且使用上述靶材，從而形成氧化物半導體層 144。藉由一邊加熱被處理物一邊形成氧化物半導體層 144，可以降低包含在氧化物半導體層 144 中的雜質。此外，可以減輕因濺射而造成的損傷。為了去除處理室內的水分，較佳使用吸附式真空泵。例如，可以使用低溫泵、離子泵、鈦昇華泵等。此外，也可以使用具備冷阱的渦輪泵。由於藉由使用低溫泵等排氣來可以從處理室去除氬及水等，所以可以降低氧化

物半導體層中的雜質濃度。

作為氧化物半導體層 144 的形成條件，例如可以採用如下條件：被處理物與靶材之間的距離為 170mm；壓力為 0.4Pa；直流（DC）功率為 0.5kW；氣圍為氧（氧 100%）氣圍、氬（氬 100%）氣圍或氧和氬的混合氣圍。另外，當利用脈衝直流（DC）電源時，可以減少塵屑（成膜時產生的粉狀物質等）並且膜厚分佈也變得均勻，所以脈衝直流（DC）電源是較佳的。將氧化物半導體層 144 的厚度設定為 1nm 以上且 50nm 以下，較佳設定為 2nm 以上且 20nm 以下，更佳地設定為 3nm 以上且 15nm 以下。藉由採用根據所公開的發明的結構，即使在使用上述厚度的氧化物半導體層 144 的情況下，也可以抑制因微型化而導致的短通道效應。但是，由於氧化物半導體層的適當的厚度根據所採用的氧化物半導體材料及半導體裝置的用途等不同，所以也可以根據所使用的材料及用途等設定其厚度。此外，如圖 8B 所示，較佳將相當於氧化物半導體層 144 的通道形成區的部分的剖面形狀形成為平坦的形狀。與氧化物半導體層 144 的剖面形狀不平坦的情況相比，藉由將相當於氧化物半導體層 144 的通道形成區的部分的剖面形狀形成為平坦的形狀，可以減少洩漏電流。

另外，也可以在藉由濺射法形成氧化物半導體層 144 之前進行引入氬氣體產生電漿的反濺射，來去除附著在形成表面的附著物。在通常的濺射中使離子碰撞到濺射靶材，而這裏的反濺射與其相反，反濺射是指藉由使離子碰撞

到基板的處理表面來進行表面改性的方法。作為使離子碰撞到處理表面的方法，有藉由在氬氣圍下對處理表面一側施加高頻電壓，而在被處理物附近產生電漿的方法等。另外，也可以採用氮、氦、氧等氣圍代替氬氣圍。

在形成氧化物半導體層 144 之後，較佳對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層 144 中的過剩的氫（包括水、羥基），改善氧化物半導體層 144 的結構，從而可以降低能隙中的施體能階。將第一熱處理的溫度例如設定為 300℃ 以上且低於 550℃，較佳設定為 400℃ 以上且 500℃ 以下。

作為熱處理，例如，可以將被處理物放在使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 進行 1 小時的加熱。在此期間，不使氧化物半導體層接觸大氣，以防止水及氫混入到氧化物半導體層中。

熱處理裝置不侷限於電爐，還可以使用利用來自被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal Anneal，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行熱處理的裝置。作

為氣體，使用即使進行熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為第一熱處理也可以進行 GRTA 處理，其中將被處理物放在被加熱的惰性氣體氣圍中，在加熱幾分鐘後，將被處理物從該惰性氣體氣圍中取出。藉由採用 GRTA 處理，可以在短時間內進行高溫熱處理。此外，即使溫度超過被處理物的耐熱溫度，也可以採用 GRTA 處理。另外，較佳在處理中將惰性氣體換為含有氧的氣體。這是因為如下緣故：藉由在含有氧的氣圍下進行第一熱處理，可以使氧化物半導體層成為過氧化狀態，而可以降低因氧缺損而產生的能隙中的施體能階。

另外，作為惰性氣體氣圍，較佳採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不含有水、氫等的氣圍。例如，將引入熱處理裝置中的氮或如氮、氦、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，更佳地設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下）。

如上所述，藉由進行熱處理降低雜質，並使氧化物半導體層成為過氧化狀態，可以形成 i 型（本質半導體）或無限趨近於 i 型的氧化物半導體層，而可以得到具有極為優良的特性的電晶體。

另外，因為上述熱處理（第一熱處理）具有去除氫及水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。該脫水化處理、脫氫化處理、以及含有氧的

氣圍下的熱處理也可以在形成氧化物半導體層 144 之後、在形成後面形成的閘極絕緣層 146 之後或在形成閘極電極之後等時機進行。此外，這種脫水化處理、脫氫化處理、含有氧的氣圍下的熱處理不限於一次，也可以進行多次。

氧化物半導體層 144 的蝕刻可以在上述熱處理之前或上述熱處理之後進行。此外，從元件的微型化的觀點來看，較佳採用乾蝕刻法，但是也可以採用濕蝕刻法。可以根據被蝕刻材料適當地選擇蝕刻氣體及蝕刻液。另外，當元件中的洩漏等不成為問題時，也可以不將氧化物半導體層加工為島狀。

接下來，覆蓋氧化物半導體層 144 地形成閘極絕緣層 146。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。此外，閘極絕緣層 146 較佳含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉭、氧化鉛、氧化釷、氧化鎵、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等。閘極絕緣層 146 既可以採用單層結構又可以採用疊層結構。此外，雖然對閘極絕緣層 146 的厚度沒有特別的限制，但是當將半導體裝置微型化時，較佳將閘極絕緣層 146 形成為較薄，以確保電晶體的工作。例如，當使用氧化矽時，可以將閘極絕緣層 146 形成為 1nm 以上且 100nm 以下，較佳形成為 10nm 以上且 50nm 以下。

但是，當如上所述那樣將閘極絕緣層形成爲較薄時，有發生因隧道效應等而引起的閘極洩漏的問題。爲瞭解決閘極洩漏的問題，較佳作爲閘極絕緣層 146 使用氧化鉛、氧化鋇、氧化釷、氧化鎳、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等高介電常數（high-k）材料。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且還可以將閘極絕緣層 146 形成爲較厚以抑制閘極洩漏。例如，氧化鉛的相對介電常數爲 15 左右，該值比氧化矽的相對介電常數的 3 至 4 大得多。藉由採用這種材料，容易得到換算爲氧化矽時薄於 15nm，較佳爲 2nm 以上且 10nm 以下的閘極絕緣層。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的任一種的膜的疊層結構。

較佳在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或在氧氣圍下進行第二熱處理。熱處理的溫度爲 200℃ 以上且 450℃ 以下，較佳爲 250℃ 以上且 350℃ 以下。例如，在氮氣圍下以 250℃ 進行 1 小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的偏差。此外，當閘極絕緣層 146 含有氧時，可以向氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而形成 i 型（本質半導體）或無限趨近於 i 型的氧化物半導體層。

另外，雖然在本實施方式中在形成閘極絕緣層 146 後進行第二熱處理，但是進行第二熱處理的時機不侷限於此。例如，也可以在形成閘極電極後進行第二熱處理。此外，既可以在第一熱處理結束後接著進行第二熱處理，又可以在第一熱處理中兼併第二熱處理或在第二熱處理中兼併第一熱處理。

如上那樣，藉由採用第一熱處理和第二熱處理中的至少一方，可以以使氧化物半導體層 144 儘量不含有其主要成分以外的雜質的方式實現高純度化。

接下來，在閘極絕緣層 146 上形成閘極電極 148（參照圖 8C）。

閘極電極 148 可以在閘極絕緣層 146 上形成導電層後對該導電層選擇性地進行蝕刻來形成。成為閘極電極 148 的導電層可以利用如濺射法等的 PVD 法或如電漿 CVD 法等等的 CVD 法形成。詳細內容與形成源極電極 142a 或汲極電極 142b 等的情況相同，可以參照有關內容。

藉由上述步驟，完成使用高純度化的氧化物半導體層 144 的第二電晶體 162。這種電晶體具有截止電流被充分降低的特徵。因此，藉由將該電晶體用作寫入用電晶體，可以長期保持電荷。

接下來，在閘極絕緣層 146 及閘極電極 148 上形成絕緣層 150。絕緣層 150 可以利用 PVD 法或 CVD 法等形式。此外，絕緣層 150 還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鋁、或由 $Ga_xAl_{2-x}O_{3+y}$ ($0 \leq x \leq 2$, $0 < y < 1$)

， x 為 0 以上且 2 以下的值， y 為大於 0 且小於 1 的值）表示的氧化鋁、氧化鎵、氧化鎵鋁等無機絕緣材料的材料的單層或疊層形成。

另外，較佳將低介電常數的材料或低介電常數的結構（多孔結構等）用於絕緣層 150。藉由降低絕緣層 150 的介電常數，可以降低產生在佈線或電極等之間的電容而實現工作的高速化。

另外，當採用電容元件 164 不包括閘極絕緣層 146 的結構時，在形成絕緣層 150 之前去除源極電極 142a 上的形成電容元件 164 的區域的閘極絕緣層 146 即可。

接下來，在絕緣層 150 上與源極電極 142a 重疊地形成電極 152（參照圖 8D）。由於可以採用與閘極電極 148 相同的方法及材料形成電極 152，所以作為詳細內容可以參照上述閘極電極 148 的記載。藉由上述步驟完成電容元件 164。

接下來，在絕緣層 150 及電極 152 上形成絕緣層 154（參照圖 9A）。與絕緣層 150 同樣可以採用 PVD 法或 CVD 法等形成絕緣層 154。此外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁等無機絕緣材料的材料的單層或疊層形成絕緣層 154。

另外，較佳將低介電常數的材料或低介電常數的結構（多孔結構等）用於絕緣層 154。藉由降低絕緣層 154 的介電常數，可以降低產生在佈線或電極等之間的電容而實現工作的高速化。

另外，較佳將上述絕緣層 154 的表面形成為平坦。這是因為如下緣故：藉由將絕緣層 154 的表面形成為平坦，即使在將半導體裝置微型化的情況等下，也可以在絕緣層 154 上適當地形成電極或佈線等。另外，絕緣層 154 的平坦化可以利用 CMP（化學機械拋光）等的方法進行。

接下來，在閘極絕緣層 146、絕緣層 150 以及絕緣層 154 中形成到達汲極電極 142b 的開口（參照圖 9B）。再者，在該開口中形成電極 156，並且在絕緣層 154 上形成與電極 156 接觸的佈線 158（參照圖 9C）。該開口藉由使用掩模等的選擇性蝕刻形成。

電極 156 例如可以在利用 PVD 法或 CVD 法等包括開口的區域中形成導電層之後，利用蝕刻處理或 CMP 等方法去除上述導電層的一部分來形成。

更明確而言，例如可以採用如下方法：在包括開口的區域中藉由 PVD 法形成薄的鈦膜，並且藉由 CVD 法形成薄的氮化鈦膜，然後填充開口地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有將被形成面的氧化膜（自然氧化膜等）還原而降低與下部電極等（這裏，汲極電極 142b）之間的接觸電阻的功能。此外，後面形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。此外，也可以在形成使用鈦或氮化鈦等的障壁膜之後，藉由鍍敷法形成銅膜。

佈線 158 藉由在利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成導電層之後對該導電層選擇性地進行蝕刻而形成。此外，作為導電層的材料，可以使用選

自鋁、鉻、銅、鉭、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。作為導電層的材料，還可以使用選自錳、鎂、鋅、鈹、釹、釷中的一種或組合這些的多種的材料。詳細條件與源極電極 142a 等相同。

另外，在上述步驟結束後，還可以形成各種佈線或電極等。佈線或電極可以採用所謂鑲嵌法、雙鑲嵌法等方法形成。

藉由上述步驟可以製造具有圖 5A 和 5B 所示的結構的半導體裝置。

在本實施方式所示的第二電晶體 162 中，由於氧化物半導體層 144 被高純度化，所以其氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳地為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。此外，氧化物半導體層 144 的載子密度比一般矽晶片的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）小得多（例如，小於 $1 \times 10^{12} / \text{cm}^3$ ，更佳地為小於 $1.45 \times 10^{10} / \text{cm}^3$ ）。並且，第二電晶體 162 的截止電流也足夠小。例如，室溫（ 25°C ）下的第二電晶體 162 的截止電流（在此，每單位通道寬度（ $1 \mu\text{m}$ ）的值）為 100 zA （ 1 zA （仄普托安培）為 $1 \times 10^{-21} \text{ A}$ ）以下，較佳為 10 zA 以下。

藉由使用這樣高純度化且本質化的氧化物半導體層 144，容易充分降低第二電晶體 162 的截止電流。並且，藉由使用這種電晶體，可以製造能夠極為長期保持儲存內容的半導體裝置。

本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合來實施。

實施方式 3

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。作為使遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的介面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式表示其關係。

[算式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此， E 是位能障壁的高度， k 是玻爾茲曼常數， T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式表示其關係。

[算式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， e 是元電荷， N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數， n 是包括在每單位面

積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘電壓， t 是通道的厚度。注意，在採用厚度為 30 nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。線性區中的汲極電流 I_d 可以由下述算式表示。

[算式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10 \mu m$ 。此外， V_d 是汲極電壓。當用 V_g 除上述算式的兩邊，且對兩邊取對數時，成為下述算式。

[算式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8 k T \epsilon C_{ox} V_g}$$

算式 5 的右邊是 V_g 的函數。由上述算式可知，可以根據以縱軸為 $\ln(I_d/V_g)$ 以橫軸為 $1/V_g$ 來標繪出測量值而得到的圖表的直線的傾斜度求得缺陷密度 N 。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦 (In)、錫 (Sn)、鋅 (Zn) 的比率為 $In:Sn:Zn=1:1:1$ 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/cm^2$ 左右。

基於如上所述那樣求得的缺陷密度等且根據藉由算式 2 及算式 3 可以導出 $\mu_0=120 cm^2/Vs$ 。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為 $40 cm^2/Vs$ 左右。但是，可以預測到沒有半導體內部及半導體和絕緣膜之間的界面的

缺陷的氧化物半導體的遷移率 μ_0 成爲 $120\text{cm}^2/\text{Vs}$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道和閘極絕緣層之間的介面中的散射的影響。換言之，離閘極絕緣層介面有 x 的距離的位置上的遷移率 μ_1 可以由下述算式表示。

[算式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在此， D 是閘極方向上的電場，且 B 、 l 是常數。 B 及 l 可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{cm/s}$ ， $l=10\text{nm}$ （介面散射到達的深度）。可知當 D 增加（即，閘電壓增高）時，算式 6 的第二項也增加，所以遷移率 μ_1 降低。

圖 14 示出計算一種電晶體的遷移率 μ_2 而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且作為氧化物半導體，將能隙設定為 2.8 電子伏特，將電子親和力設定為 4.7 電子伏特，將相對介電常數設定為 15，並將厚度設定為 15nm。上述值藉由測定以濺射法形成的薄膜來得到。

再者，將閘極的功函數設定為 5.5 電子伏特，將源極的功函數設定為 4.6 電子伏特，並且將汲極的功函數設定為 4.6 電子伏特。另外，將閘極絕緣層的厚度設定為

100nm，並將相對介電常數設定為 4.1。通道長度和通道幅度都為 10 μ m，而汲極電壓 V_d 為 0.1V。

如圖 14 所示，雖然當閘電壓為 1V 多時遷移率示出 100cm²/Vs 以上的峰值，但是當閘電壓更高時，介面散亂變大，並遷移率降低。另外，為了降低介面散亂，較佳在原子級上將半導體層表面設定為平坦 (Atomic Layer Flatness)。

圖 15A 至圖 17C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 18A 和 18B 示出用於計算的電晶體的剖面結構。圖 18A 和 18B 所示的電晶體在氧化物半導體層中具有呈現 n⁺導電型的半導體區 953a 及半導體區 953c。半導體區 953a 及半導體區 953c 的電阻率為 2 $\times 10^{-3}$ Ω cm。

圖 18A 所示的電晶體形成在基底絕緣層 951 和以埋入在基底絕緣層 951 中的方式形成的由氧化鋁形成的埋入絕緣物 952 上。電晶體包括半導體區 953a、半導體區 953c、夾在它們之間且成為通道形成區的本質半導體區 953b、閘極 955。閘極 955 的幅度為 33nm。

在閘極 955 和半導體區 953b 之間具有閘極絕緣層 954，在閘極 955 的雙側面具有側壁絕緣層 956a 及側壁絕緣層 956b，並且在閘極 955 的上部具有用來防止閘極 955 與其他佈線的短路的絕緣物 957。側壁絕緣層的幅度為 5nm。另外，以接觸於半導體區 953a 及半導體區 953c 的方式具有源極 958a 及汲極 958b。另外，該電晶體的通道

幅度為 40nm。

圖 18B 所示的電晶體與圖 18A 所示的電晶體的相同之處為：形成在基底絕緣層 951 和由氧化鋁形成的埋入絕緣物 952 上；並且包括半導體區 953a、半導體區 953c、夾在它們之間的本質半導體區 953b、幅度為 33nm 的閘極 955、閘極絕緣層 954、側壁絕緣層 956a 及側壁絕緣層 956b、絕緣物 957 以及源極 958a 及汲極 958b。

圖 18A 所示的電晶體與圖 18B 所示的電晶體的不同之處為側壁絕緣層 956a 及側壁絕緣層 956b 下的半導體區的導電型。在圖 18A 所示的電晶體中側壁絕緣層 956a 及側壁絕緣層 956b 下的半導體區為呈現 n^+ 導電型的半導體區 953a 及半導體區 953c，而在圖 18B 所示的電晶體中側壁絕緣層 956a 及側壁絕緣層 956b 下的半導體區為本質的半導體區 953b。換言之，在圖 18B 所示的半導體層中具有既不與半導體區 953a（半導體區 953c）重疊也不與閘極 955 重疊的寬度為 L_{off} 的區域。將該區域稱為偏置（offset）區，並且將其幅度稱為偏置長度。如圖式所示，偏置長度與側壁絕緣層 956a（側壁絕緣層 956b）的幅度相同。

用於計算的其他參數為如上所述的參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 15A 至 15C 示出圖 18A 所示的結構的電晶體的汲極電流（ I_d ，實線）及遷移率（ μ ，虛線）的閘電壓（ V_g ，閘極與源極的電位差）依賴性。將汲極電壓（汲極與源極

的電位差) 設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。

圖 15A 為閘極絕緣層的厚度為 15nm 時的圖，圖 15B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 15C 為閘極絕緣層的厚度為 5nm 時的圖。閘極絕緣層越薄，尤其是截止狀態下的汲極電流 I_d (截止電流) 越顯著降低。另一方面，遷移率 μ 的峰值或導通狀態時的汲極電流 I_d (導通電流) 沒有顯著的變化。可知當閘電壓為 1V 前後時汲極電流超過記憶元件等所需要的 $10\mu A$ 。

圖 16A 至 16C 示出在圖 18B 所示的結構的電晶體中當偏置長度 L_{off} 為 5nm 時的汲極電流 I_d (實線) 及遷移率 μ (虛線) 的閘電壓 V_g 依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 16A 為閘極絕緣層的厚度為 15nm 時的圖，圖 16B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 16C 為閘極絕緣層的厚度為 5nm 時的圖。

另外，圖 17A 至 17C 示出在圖 18B 所示的結構的電晶體中當偏置長度 L_{off} 為 15nm 時的汲極電流 I_d (實線) 及遷移率 μ (虛線) 的閘電壓依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 17A 為閘極絕緣層的厚度為 15nm 時的圖，圖 17B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 17C 為閘極絕緣層的厚度為 5nm 時的圖。

無論在圖 16A 至 16C 中還是在圖 17A 至 17C 中，都

是閘極絕緣層越薄，截止電流越顯著降低，但是遷移率 μ 的峰值或導通電流沒有顯著的變化。

另外，在圖 15A 至 15C 中遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$ 左右，而在圖 16A 至 16C 中遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，且在圖 17A 至 17C 中遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ 左右，並且偏置長度 L_{off} 越增加，遷移率 μ 的峰值越降低。另外，截止電流也有同樣的趨勢。另一方面，雖然導通電流也隨著偏置長度 L_{off} 的增加而減少，但是該減少與截止電流的降低相比則要平緩得多。另外，可知當閘電壓為 1V 前後時汲極電流超過記憶元件等所需要的 $10\mu\text{A}$ 。

將以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體層之後進行熱處理來可以得到良好的特性。另外，主要成分是指占組成比 5atomic% 以上的元素。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體層之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。另外，藉由使電晶體的閾值電壓向正方向漂移來可以實現常關閉化。

例如，圖 19A 至 19C 示出使用以 In、Sn、Zn 為主要成分且通道長度 L 為 $3\mu\text{m}$ 且通道寬度 W 為 $10\mu\text{m}$ 的氧化物半導體層以及厚度為 100nm 的閘極絕緣層的電晶體的特性。另外， V_d 為 10V。

圖 19A 示出意圖性地不加熱基板藉由濺射法形成以

In、Sn、Zn 為主要成分的氧化物半導體層時的電晶體特性。此時場效應遷移率為 $18.8\text{cm}^2/\text{Vsec}$ 。另一方面，藉由意圖性地加熱基板形成以 In、Sn、Zn 為主要成分的氧化物半導體層，可以提高場效應遷移率。圖 19B 示出將基板加熱為 200°C 來形成以 In、Sn、Zn 為主要成分的氧化物半導體層時的電晶體特性，此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體層之後進行熱處理，可以進一步提高場效應遷移率。圖 19C 示出在 200°C 下藉由濺射形成以 In、Sn、Zn 為主要成分的氧化物半導體層之後進行 650°C 的熱處理時的電晶體特性。此時場效應遷移率為 $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待降低濺射成膜中的水分被引入到氧化物半導體層中的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體層中釋放而去除氫、羥基或水分，如上述那樣可以提高場效應遷移率。上述場效應遷移率的提高可以認為不僅是因為藉由脫水化、脫氫化去除雜質，而且因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。可以預測到像這樣被高純度化的非單晶氧化物半導體會能夠實現理想的超過 $100\text{cm}^2/\text{Vsec}$ 的場效應遷移率。

也可以對以 In、Sn、Zn 為主要成分的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫

、羥基或水分，在該熱處理同時或藉由在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行熱處理，不僅可以提高場效應遷移率，而且還有助於實現電晶體的常截止化。將不意圖性地加熱基板來形成的以In、Sn、Zn為主要成分的氧化物半導體層用作通道形成區的電晶體有閾值電壓漂移到負一側的傾向。然而，在採用藉由意圖性地加熱基板來形成的氧化物半導體層時，可以解決該閾值電壓的負漂移化的問題。換言之，閾值電壓向電晶體成為常截止的方向漂移，並且從圖19A和圖19B的對比也可以確認到該傾向。

另外，也可以藉由改變In、Sn及Zn的比率來控制閾值電壓，作為組成比採用 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ 來可以實現電晶體的常截止化。另外，藉由作為靶材的組成比採用 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ，可以獲得結晶性高的氧化物半導體層。

將意圖性的基板加熱溫度或熱處理溫度設定為 150°C 以上，較佳設定為 200°C 以上，更佳地設定為 400°C 以上。藉由在更高的溫度下進行成膜或進行熱處理，可以實現電晶體的常截止化。

另外，藉由意圖性地加熱基板來形成膜及/或在成膜後進行熱處理，可以提高對於閘極偏壓應力的穩定性。例如，在 $2\text{MV}/\text{cm}$ ， 150°C 且一個小時施加的條件下，可

以使漂移分別為小於 $\pm 1.5\text{V}$ ，較佳為小於 1.0V 。

實際上，對在形成氧化物半導體層後不進行加熱處理的樣品 1 和進行了 650°C 的加熱處理的樣品 2 的電晶體進行 BT 測試。

首先，將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，而對電晶體的 V_g-I_d 特性進行測量。另外， V_{ds} 示出汲極電壓（汲極和源極的電位差）。接著，將基板溫度設定為 150°C ，將 V_{ds} 設定為 0.1V 。然後，以使施加到閘極絕緣層的電場強度成為 2MV/cm 的方式將 V_g 設定為 20V ，一直保持該狀態一個小時。接著，將 V_g 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，而進行電晶體的 V_g-I_d 測量。將該測試稱為正 BT 測試。

與此同樣，首先將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，對電晶體的 V_g-I_d 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_{ds} 設定為 0.1V 。然後，以使施加到閘極絕緣層的電場強度成為 -2MV/cm 的方式將 V_g 設定為 -20V ，一直保持該狀態一個小時。接著，將 V_g 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，對電晶體的 V_g-I_d 進行測量。將該測試稱為負 BT 測試。

圖 20A 示出樣品 1 的正 BT 測試的結果，而圖 20B 示出負 BT 測試的結果。另外，圖 21A 示出樣品 2 的正 BT 測試的結果，而圖 21B 示出負 BT 測試的結果。

樣品 1 的因正 BT 測試及負 BT 測試而發生的閾值電壓變動分別為 1.80V 及 -0.42V 。另外，樣品 2 的因正 BT

測試及負 BT 測試而發生的閾值電壓變動分別為 0.79V 及 0.76V。樣品 1 及樣品 2 的 BT 測試前後的閾值電壓變動都小，由此可知其可靠性高。

熱處理可以在氧氣圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理之後在含有氧的氣圍中進行熱處理。藉由在首先進行脫水化·脫氫化之後將氧添加到氧化物半導體，可以進一步提高熱處理的效果。此外，作為後面添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體層中的方法。

雖然在氧化物半導體中及該氧化物半導體與接觸於該氧化物半導體的膜的介面容易產生由氧缺陷導致的缺陷，但是藉由該熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺陷。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16} / \text{cm}^3$ 以上且 $2 \times 10^{20} / \text{cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化物半導體中含有氧。

此外，藉由熱處理至少在氧化物半導體的一部分中含有結晶，可以獲得更穩定的氧化物半導體層。例如，在使用組成比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 的靶材，意圖性地不加熱基板而進行濺射成膜來形成的氧化物半導體層中，藉由利用 X 線衍射 (XRD: X-Ray Diffraction) 觀察到光暈圖案 (halo pattern)。藉由對該所形成的氧化物半導體層進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行 650°C 的熱處理，可以利用 X 線

衍射觀察到明確的衍射峰值。

實際進行 In-Sn-Zn-O 膜的 XRD 分析。作為 XRD 衍射，使用 Bruker AXS 公司製造的 X 線衍射裝置 D8 ADVANCE 並利用平面外（Out-of-Plane）法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。以下說明樣品 A 及樣品 B 的製造方法。

在完成了脫氫化處理的石英基板上形成厚度為 100 nm 的 In-Sn-Zn-O 膜。

在氧氣圍下使用濺射裝置以 100 W（DC）的功率來形成 In-Sn-Zn-O 膜。作為靶材使用原子數比為 In：Sn：Zn=1：1：1 的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為 200℃。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 相同的方法製造的樣品以 650℃ 的溫度進行加熱處理。首先，在氮氣圍下進行一個小時的加熱處理，然後不降低溫度地在氧氣圍下再進行一個小時的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 22 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀測到起因於結晶的峰值，但是在樣品 B 中當 2θ 為 35deg 近旁及 37deg 至 38deg 時觀察到起因於結晶的峰值。

像這樣，藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體時意圖性地進行加熱及/或在成膜後進行加熱

處理，可以提高電晶體特性。

該基板加熱或熱處理起到不使膜中含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來可以實現高純度化，由此可以實現電晶體的常截止化，並且藉由氧化物半導體被高純度化來可以使截止電流為 $1\text{ aA}/\mu\text{m}$ 以下。在此，上述截止電流值的每單位示出每通道寬度 $1\mu\text{m}$ 的電流值。

圖 23 示出電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

明確而言，如圖 23 所示那樣，當基板溫度為 125°C 時可以將截止電流設定為 $1\text{ aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{ A}/\mu\text{m}$ ）以下，當 85°C 時設定為 $100\text{ zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{ A}/\mu\text{m}$ ）以下，當室溫（ 27°C ）時設定為 $1\text{ zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{ A}/\mu\text{m}$ ）以下。較佳地，當 125°C 時可以將其設定為 $0.1\text{ aA}/\mu\text{m}$ （ $1\times 10^{-19}\text{ A}/\mu\text{m}$ ）以下，當 85°C 時設定為 $10\text{ zA}/\mu\text{m}$ （ $1\times 10^{-20}\text{ A}/\mu\text{m}$ ）以下，當室溫時設定為 $0.1\text{ zA}/\mu\text{m}$ （ $1\times 10^{-22}\text{ A}/\mu\text{m}$ ）以下。

當然，為了防止當形成氧化物半導體層時氫或水分混入到膜中，較佳充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止水分被包含在膜中，作為濺射氣體較佳使用其露點為 -70°C 以下的氣體。另外，較佳使用靶材本身不含有氫

或水分等雜質的被高純度化的靶材。以 In、Sn、Zn 爲主要成分的氧化物半導體可以藉由熱處理去除膜中的水分，但是與以 In、Ga、Zn 爲主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳形成原本就不含有水分的膜。

另外，在使用形成氧化物半導體層之後進行 650℃ 的加熱處理的樣品 B 的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度 L 爲 $3\mu\text{m}$ ，通道寬度 W 爲 $10\mu\text{m}$ ， L_{ov} 爲 $0\mu\text{m}$ ， dW 爲 $0\mu\text{m}$ 。另外，將 V_{ds} 設定爲 10V。此外，在基板溫度爲 -40°C ， -25°C ， 25°C ， 75°C ， 125°C 及 150°C 下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的部分的寬度稱爲 L_{ov} ，並且將一對電極的從氧化物半導體層超出的部分的寬度稱爲 dW 。

圖 24 示出 I_d （實線）及場效應遷移率（虛線）的 V_g 依賴性。另外，圖 25A 示出基板溫度與閾值電壓的關係，而圖 25B 示出基板溫度與場效應遷移率的關係。

根據圖 25A 可知基板溫度越高閾值電壓越低。另外，作爲其範圍，在 -40°C 至 150°C 的基板溫度下閾值電壓爲 1.09V 至 -0.23V。

此外，根據圖 25B 可知基板溫度越高場效應遷移率越低。另外，作爲其範圍，在 -40°C 至 150°C 的基板溫度下，場效應遷移率爲 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的以 In、Sn、Zn 爲主要成分的氧化物

半導體用於通道形成區的電晶體中，可以在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，將場效應遷移率設定為 $30\text{cm}^2/\text{Vsec}$ 以上，較佳設定為 $40\text{cm}^2/\text{Vsec}$ 以上，更佳地設定為 $60\text{cm}^2/\text{Vsec}$ 以上，而滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘電壓為 2.7V ，汲極電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。另外，在電晶體的工作所需要的溫度範圍內也可以確保足夠的電特性。當具有這種特性時，即使在使用 Si 半導體製造的積體電路中混裝有使用氧化物半導體形成的電晶體，也可以實現具有新的功能的積體電路而不用犧牲工作速度。

如上所述，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 4

在本實施方式中，參照圖 26A 和圖 26B 等對將 In-Sn-Zn-O 膜用於氧化物半導體層的電晶體的一個例子進行說明。

圖 26A 和圖 26B 是共面型的頂閘頂接觸結構的電晶體的俯視圖以及剖面圖。圖 26A 示出電晶體的俯視圖。另外，圖 26B 示出對應於圖 26A 的鏈式線 A-B 的剖面 A-B。

圖 26B 所示的電晶體包括：基板 960；設置在基板 960 上的基底絕緣層 961；設置在基底絕緣層 961 附近的

保護絕緣膜 962；設置在基底絕緣層 961 及保護絕緣膜 962 上的具有高電阻區 963a 及低電阻區 963b 的氧化物半導體層 963；設置在氧化物半導體層 963 上的閘極絕緣層 964；以隔著閘極絕緣層 964 與氧化物半導體層 963 重疊的方式設置的閘極電極 965；與閘極電極 965 的側面接觸地設置的側壁絕緣層 966；至少與低電阻區 963b 接觸地設置的一對電極 967；以至少覆蓋氧化物半導體層 963、閘極電極 965 及一對電極 967 的方式設置的層間絕緣層 968；以及以藉由設置在層間絕緣層 968 中的開口部至少與一對電極 967 中的一方連接的方式設置的佈線 969。

另外，雖然未圖示，但是還可以包括覆蓋層間絕緣層 968 及佈線 969 地設置的保護膜。藉由設置該保護膜，可以降低因層間絕緣層 968 的表面傳導而產生的微小洩漏電流，而可以降低電晶體的截止電流。

如上所述，本實施方式所示的電晶體可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 5

在本實施方式中，示出與上述不同的將 In-Sn-Zn-O 膜用於氧化物半導體層的電晶體的另一個例子。

圖 27A 和圖 27B 是示出在本實施方式中製造的電晶體的結構的俯視圖以及剖面圖。圖 27A 是電晶體的俯視圖。另外，圖 27B 是對應於圖 27A 的鏈式線 A-B 的剖面圖。

圖 27B 所示的電晶體包括：基板 970；設置在基板 970 上的基底絕緣層 971；設置在基底絕緣層 971 上的氧化物半導體層 973；與氧化物半導體層 973 接觸的一對電極 976；設置在氧化物半導體層 973 及一對電極 976 上的閘極絕緣層 974；以隔著閘極絕緣層 974 與氧化物半導體層 973 重疊的方式設置的閘極電極 975；覆蓋閘極絕緣層 974 及閘極電極 975 地設置的層間絕緣層 977；藉由設置在層間絕緣層 977 中的開口部與一對電極 976 連接的佈線 978；以及以覆蓋層間絕緣層 977 及佈線 978 的方式設置的保護膜 979。

作為基板 970 使用玻璃基板，作為基底絕緣層 971 使用氧化矽膜，作為氧化物半導體層 973 使用 In-Sn-Zn-O 膜，作為一對電極 976 使用鎢膜，作為閘極絕緣層 974 使用氧化矽膜，作為閘極電極 975 使用氮化鉭膜和鎢膜的疊層結構，作為層間絕緣層 977 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作為佈線 978 使用按順序層疊有鈦膜、鋁膜、鈦膜的疊層結構，作為保護膜 979 使用聚醯亞胺膜。

另外，在具有圖 27A 所示的結構的電晶體中，將閘極電極 975 與一對電極 976 重疊的部分的寬度稱為 L_{ov} 。同樣地，將一對電極 976 的從氧化物半導體層 973 超出的部分的寬度稱為 dW 。

如上所述，本實施方式所示的電晶體可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 6

在本實施方式中，使用圖 10A 至 10F 說明將上述實施方式所說明的半導體裝置應用於電子裝置的情況。在本實施方式中，對將上述半導體裝置應用於電腦、行動電話機、可攜式資訊終端（也包括可攜式遊戲機、聲音再現裝置等）、數位相機、數碼攝像機、電子紙、電視裝置等電子裝置的情況進行說明。

圖 10A 示出筆記本電腦，該筆記本電腦包括外殼 701、外殼 702、顯示部 703、鍵盤 704 等。至少在外殼 701 和外殼 702 中的一方中設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入及讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的筆記本電腦。

圖 10B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 及操作按鈕 714 等。此外，它還包括用來操作可攜式資訊終端的觸摸筆 712 等。在主體 711 中設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的可攜式資訊終端。

圖 10C 示出安裝有電子紙的電子書閱讀器，該電子書閱讀器 720 包括兩個外殼，即外殼 721 和外殼 723。外殼 721 設置有顯示部 725，並且外殼 723 設置有顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。此外，外殼 721 包括電源 731、操作鍵 733 及揚聲器 735 等。在外殼 721 和外殼

723 中的至少一方中設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的電子書閱讀器。

圖 10D 示出行動電話機，該行動電話機包括兩個外殼，即外殼 740 和外殼 741。再者，滑動外殼 740 和外殼 741 而可以從如圖 10D 所示那樣的展開狀態變成重疊狀態，因此可以實現適於攜帶的小型化。此外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相 747 以及外部連接電極 748 等。此外，外殼 740 包括對行動電話機進行充電的太陽能電池 749 和外部記憶體插槽 750 等。此外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一方設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的行動電話機。

圖 10E 示出數位相機，該數位相機包括主體 761、顯示部 767、取景器部 763、操作開關 764、顯示部 765 以及電池 766 等。在主體 761 內設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的數位相機。

圖 10F 示出電視裝置，該電視裝置包括外殼 771、顯示部 773 以及支架 775 等。可以使用外殼 771 所具有的開關、遙控操作機 780 來進行電視裝置 770 的操作。外殼

771 及遙控操作機 780 設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的電視裝置。

如上所述，根據本實施方式的電子裝置安裝有根據上述實施方式的半導體裝置。因此，可以實現耗電量被降低了的電子裝置。

【圖式簡單說明】

在圖式中：

圖 1 是半導體裝置的電路圖；

圖 2A 和 2B 是半導體裝置的電路圖；

圖 3 是半導體裝置的電路圖；

圖 4 是時序圖；

圖 5A 和 5B 是半導體裝置的剖面圖及俯視圖；

圖 6A 至 6D 是根據半導體裝置的製造製程的剖面圖

；

圖 7A 至 7D 是根據半導體裝置的製造製程的剖面圖

；

圖 8A 至 8D 是根據半導體裝置的製造製程的剖面圖

；

圖 9A 至 9C 是根據半導體裝置的製造製程的剖面圖

；

圖 10A 至 10F 是用來說明使用半導體裝置的電子裝置的圖；

圖 11A 至 11E 是說明氧化物材料的結晶結構的圖；

圖 12A 至 12C 是說明氧化物材料的結晶結構的圖；

圖 13A 至 13C 是說明氧化物材料的結晶結構的圖；

圖 14 是說明藉由計算獲得的遷移率的閘電壓依賴性的圖；

圖 15A 至 15C 是說明藉由計算獲得的汲極電流和遷移率的閘電壓依賴性的圖；

圖 16A 至 16C 是說明藉由計算獲得的汲極電流和遷移率的閘電壓依賴性的圖；

圖 17A 至 17C 是說明藉由計算獲得的汲極電流和遷移率的閘電壓依賴性的圖；

圖 18A 和 18B 是說明用於計算的電晶體的剖面結構的圖；

圖 19A 至 19C 是說明電晶體的特性的圖；

圖 20A 和 20B 是示出樣品 1 的電晶體的 BT 測試後的 V_g-I_d 特性的圖；

圖 21A 和 21B 是示出樣品 2 的電晶體的 BT 測試後的 V_g-I_d 特性的圖；

圖 22 是說明 XRD 光譜的圖；

圖 23 是說明電晶體的截止電流的圖；

圖 24 是 I_d (實線) 及場效應遷移率 (虛線) 的 V_g 依賴性的圖；

圖 25A 和 25B 是說明基板溫度和閾值電壓的關係以及基板溫度和場效應遷移率的關係的圖；

圖 26A 和 26B 是說明電晶體的結構的圖；

圖 27A 和 27B 是說明電晶體的結構的圖。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區

106：元件分離絕緣層

108：閘極絕緣層

110：閘極電極

116：通道形成區

120：雜質區

120a：雜質區

120b：雜質區

122：金屬層

124：金屬化合物區

124a：金屬化合物區

124b：金屬化合物區

126：電極

126a：電極

126b：電極

128：絕緣層

142a：源極電極

142b：汲極電極

144：氧化物半導體層

146：閘極絕緣層

148：閘極電極

150：絕緣層

152：電極

154：絕緣層

156：電極

158：佈線

160：第一電晶體

161：第一電晶體

162：第二電晶體

164：電容元件

190：儲存單元

191：儲存單元

701：外殼

702：外殼

703：顯示部

704：鍵盤

711：主體

712：觸摸筆

713：顯示部

714：操作按鈕

715：外部介面

720：電子書閱讀器

721 : 外 殼
723 : 外 殼
725 : 顯 示 部
727 : 顯 示 部
731 : 電 源
733 : 操 作 鍵
735 : 揚 聲 器
737 : 軸 部
740 : 外 殼
741 : 外 殼
742 : 顯 示 面 板
743 : 揚 聲 器
744 : 麥 克 風
745 : 操 作 鍵
746 : 指 向 裝 置
747 : 照 相
748 : 外 部 連 接 電 極
749 : 太 陽 能 電 池
750 : 外 部 記 憶 體 插 槽
761 : 主 體
763 : 取 景 器 部
764 : 操 作 開 關
765 : 顯 示 部
766 : 電 池

767：顯示部

770：電視裝置

771：外殼

773：顯示部

775：支架

780：遙控操作機

照4)

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包括：

n 個位元線， n 為自然數；

與該 n 個位元線之其中一個位元線電連接的 m 個儲存單元， m 為自然數；以及

$m+1$ 個字線，

其中，該等儲存單元各自包括：

包括第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；

包括第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及

電容元件，

其中，該第二電晶體包括氧化物半導體層，

其中，該 n 個位元線之該其中一個位元線與第 $(k-1)$ 個儲存單元的該第一汲極電極及該第二汲極電極電連接，

其中，第 k 個字線與第 k 個儲存單元的第二閘極電極電連接，並與該第 $(k-1)$ 個儲存單元的該第一源極電極以及該電容元件的一個電極電連接， k 為 2 以上且 m 以下的自然數，並且

其中，該第 $(k-1)$ 個儲存單元的該第一閘極電極、該第 $(k-1)$ 個儲存單元的該第二源極電極、及該第 $(k-1)$ 個儲存單元的該電容元件的另一個電極是電連接著的。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中，該第一電晶體包括：

設置在含有半導體材料的基板中的第一通道形成區；

夾著該第一通道形成區的雜質區；

該第一通道形成區上的第一閘極絕緣層；以及

以與該第一通道形成區重疊的方式設置在該第一閘極絕緣層上的該第一閘極電極。

3.根據申請專利範圍第 1 項之半導體裝置，

其中，該第二電晶體包括：

與該氧化物半導體層電連接的該第二源極電極及該第二汲極電極；

與該氧化物半導體層重疊的該第二閘極電極；以及

該氧化物半導體層和該第二閘極電極之間的第二閘極絕緣層。

4.根據申請專利範圍第 1 項之半導體裝置，其中，該第一電晶體為 p 通道型電晶體。

5.根據申請專利範圍第 1 項之半導體裝置，其中，含有半導體材料的該基板為單晶半導體基板、多晶半導體基板、化合物半導體基板或 SOI 基板。

6.根據申請專利範圍第 2 項之半導體裝置，其中，該半導體材料為矽。

7.根據申請專利範圍第 1 項之半導體裝置，其中，該氧化物半導體為含有 c 軸取向結晶的非單晶氧化物。

8.根據申請專利範圍第 1 項之半導體裝置，其中，緩

衝層係設置在該第二源極電極和該氧化物半導體層之間以及該第二汲極電極和該氧化物半導體層之間。

9. 一種半導體裝置，包括：

第一佈線；

第二佈線；

第三佈線；

第一儲存單元，該第一儲存單元包括：

第一電晶體，該第一電晶體包括：

第一閘極；

第一源極；及

第一汲極

第二電晶體，該第二電晶體包括：

第二閘極；

第二源極；及

第二汲極；以及

第一電容元件；以及

第二儲存單元，該第二儲存單元包括：

第三電晶體，該第三電晶體包括：

第三閘極；

第三源極；及

第三汲極；以及

第四電晶體，該第四電晶體包括：

第四閘極；

第四源極；及

第四汲極，

其中，該第二電晶體和該第四電晶體都包含氧化物半導體層，

其中，該第一佈線係電連接至該第一源極和該第一汲極的其中一者，該第二源極和該第二汲極的其中一者，該第三源極和該第三汲極的其中一者，及該第四源極和該第四汲極的其中一者，

其中，該第二佈線係電連接至該第二閘極，

其中，該第三佈線係電連接至該第一電容元件之電極的其中一者，及該第一源極和該第一汲極的另一者，

其中，該第三佈線係電連接至該第四閘極，

其中，該第一閘極係電連接至該第二源極和該第二汲極的另一者，及該第一電容元件之該等電極的另一者，並且

其中，該第三閘極係電連接至該第四源極和該第四汲極的另一者。

10.根據申請專利範圍第 9 項之半導體裝置，其中，該第一電晶體和該第三電晶體為 p 通道型電晶體。

11.根據申請專利範圍第 9 項之半導體裝置，其中，該第一電晶體和該第三電晶體包括矽。

12.根據申請專利範圍第 1 或 9 項之半導體裝置，其中，該第二電晶體具有與該第一電晶體之導電型不同的導電型。

13.根據申請專利範圍第 1 或 9 項之半導體裝置，其

中，該氧化物半導體層包含含有 In、Ga 及 Zn 的氧化物半導體材料或含有 In、Sn 及 Zn 的氧化物半導體材料。

14. 根據申請專利範圍第 1 或 9 項之半導體裝置，其中，該氧化物半導體層包括結晶。

圖 1

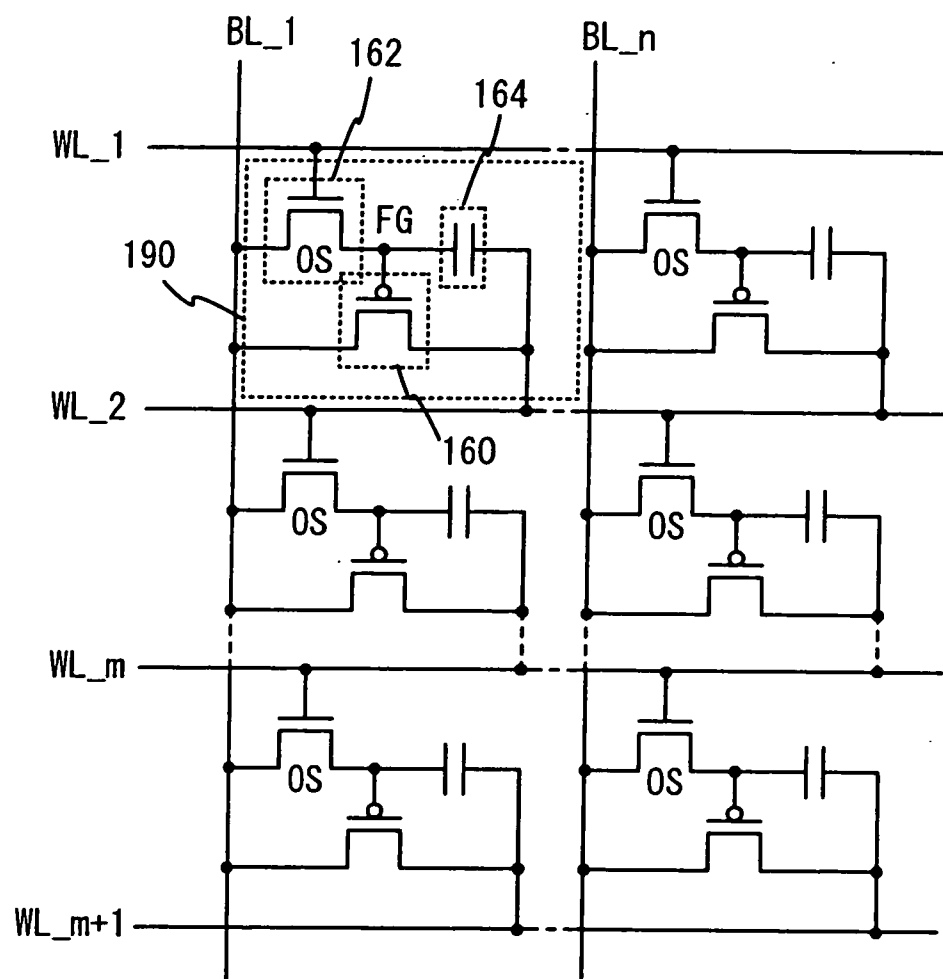


圖2A

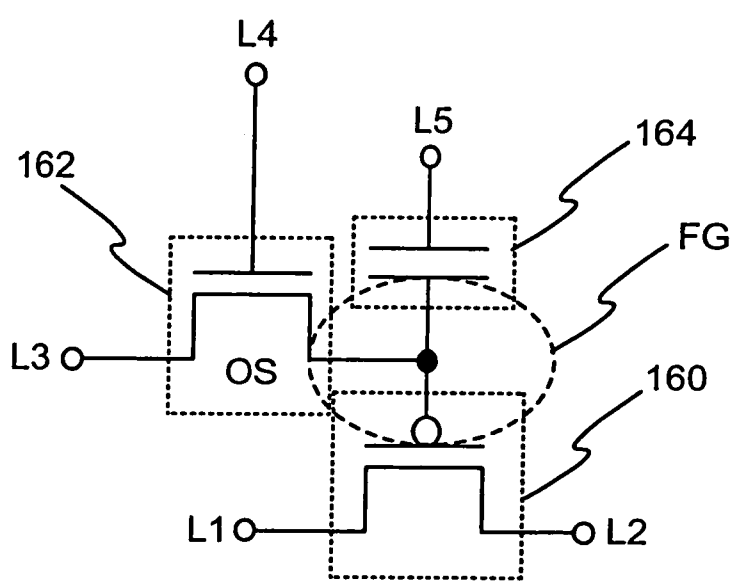


圖2B

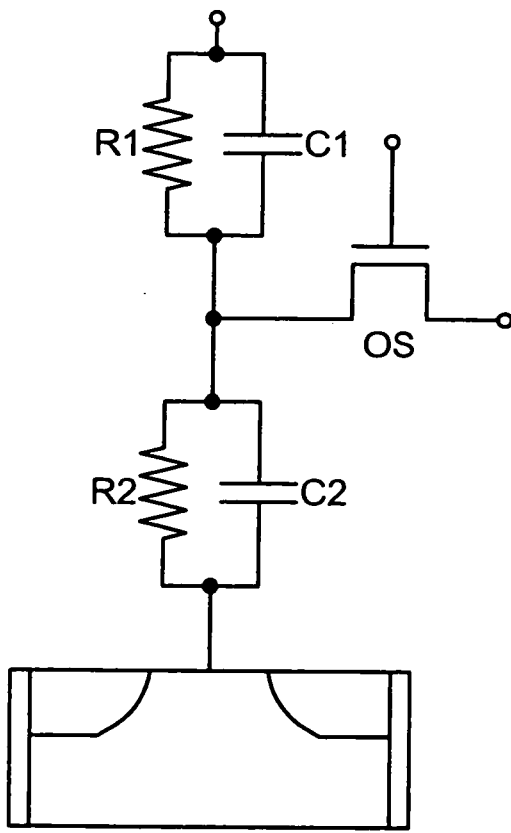


圖3

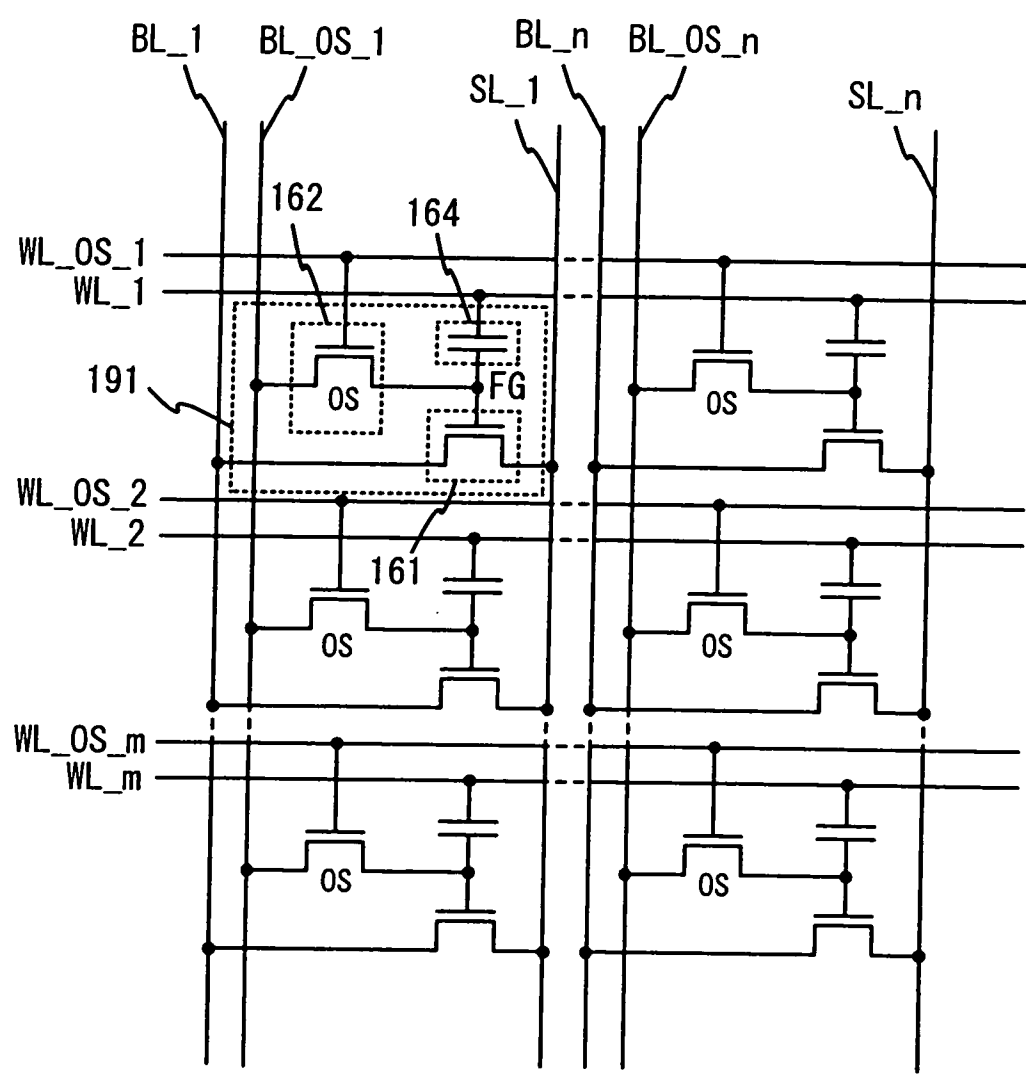


圖 4

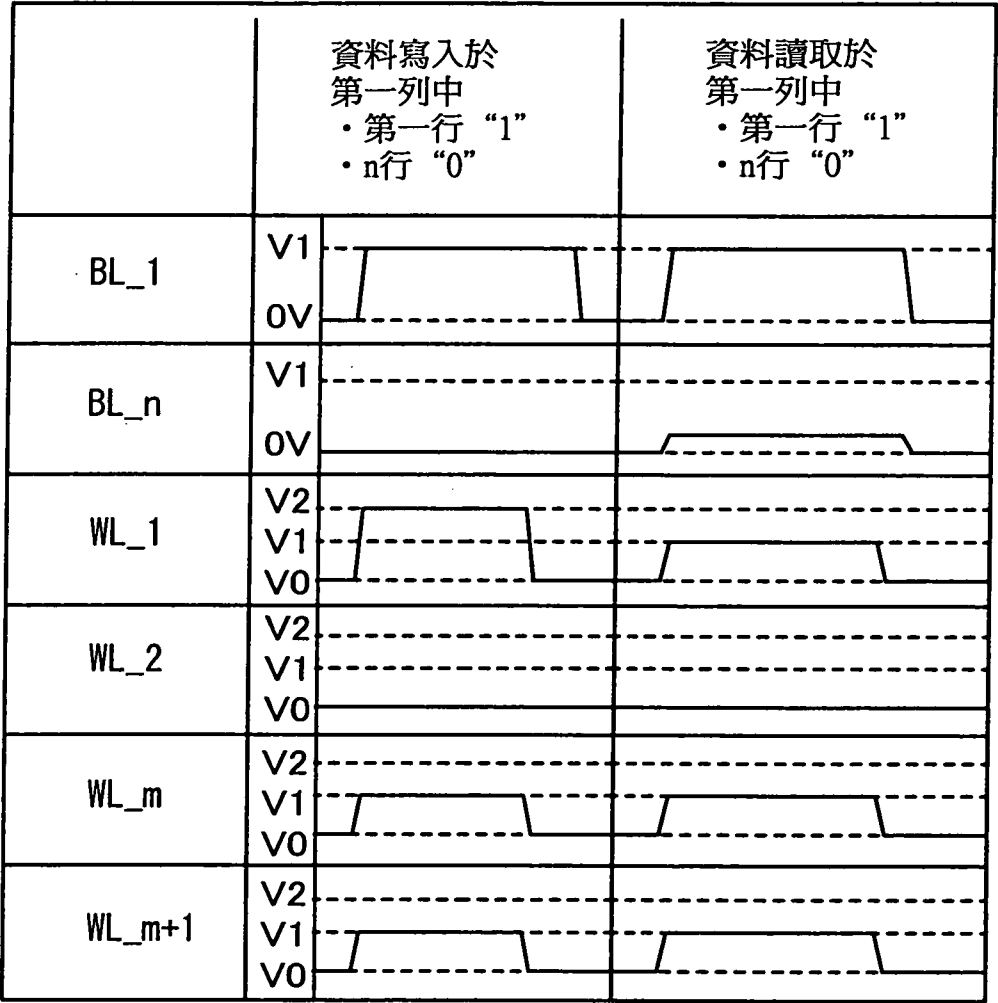


圖 5B

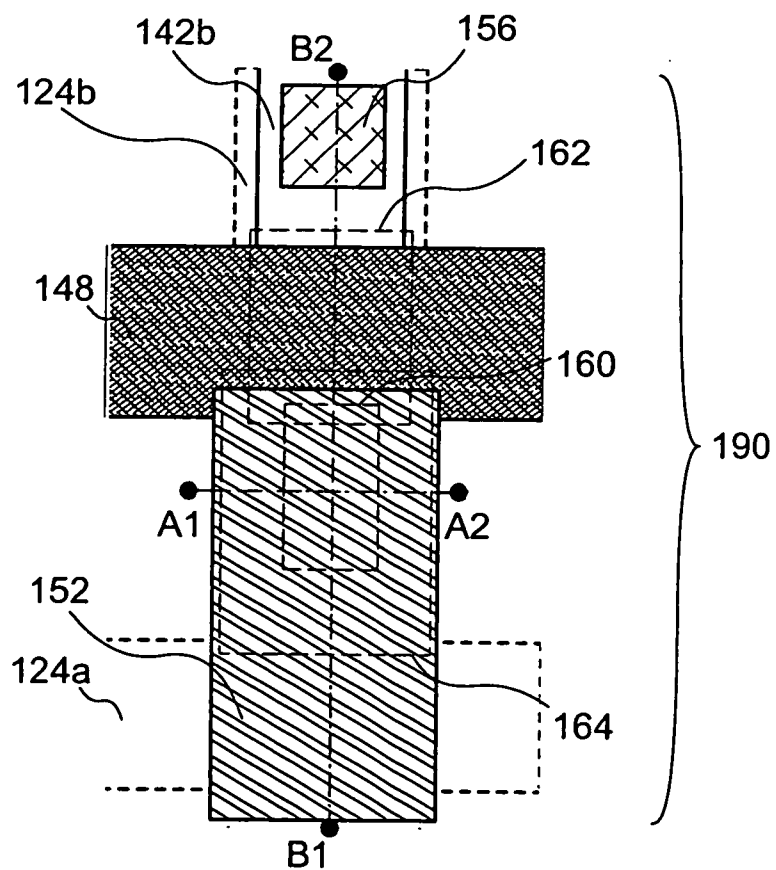


圖 6A

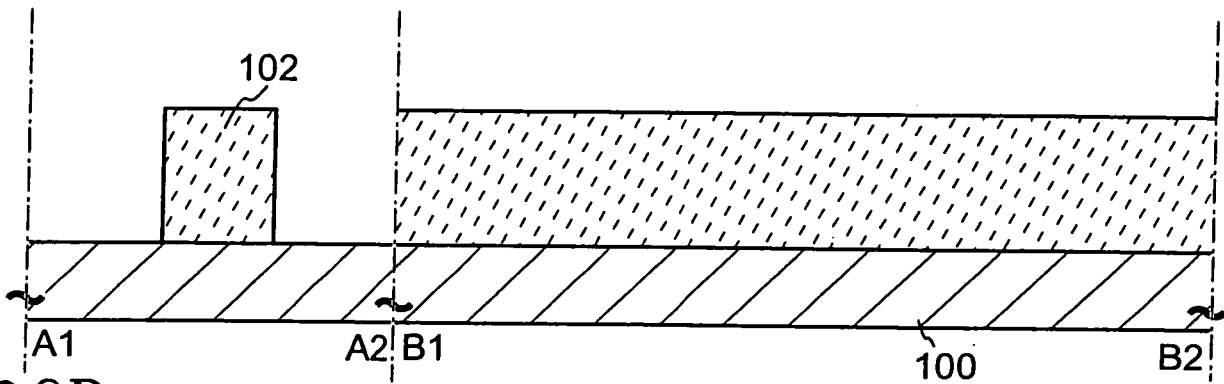


圖 6B

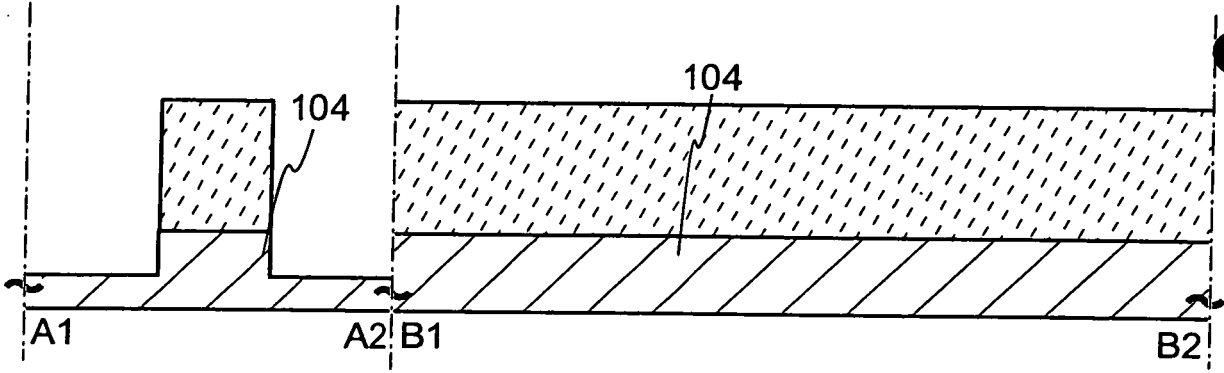


圖 6C

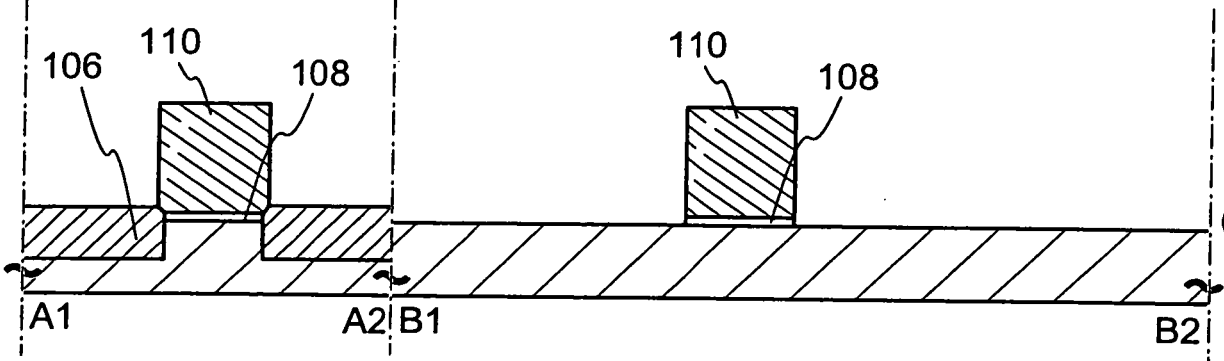


圖 6D

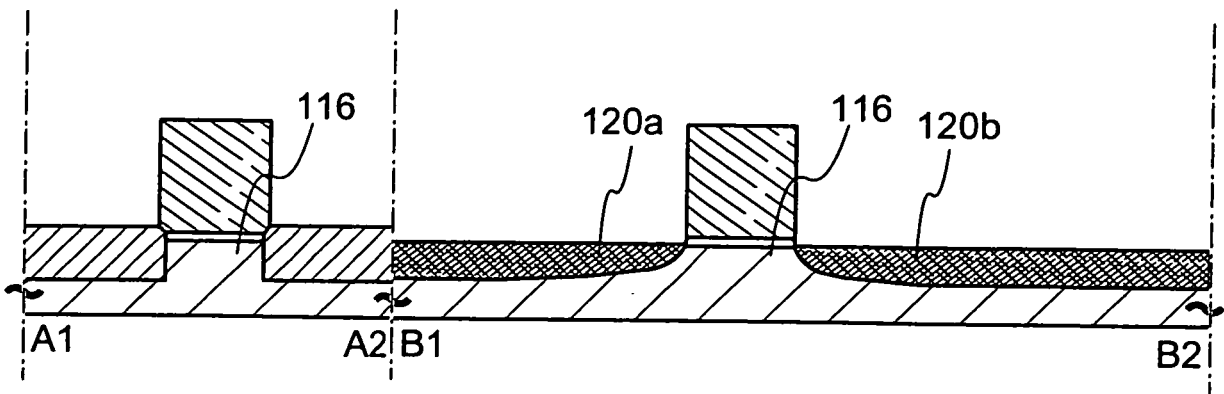


圖 7A

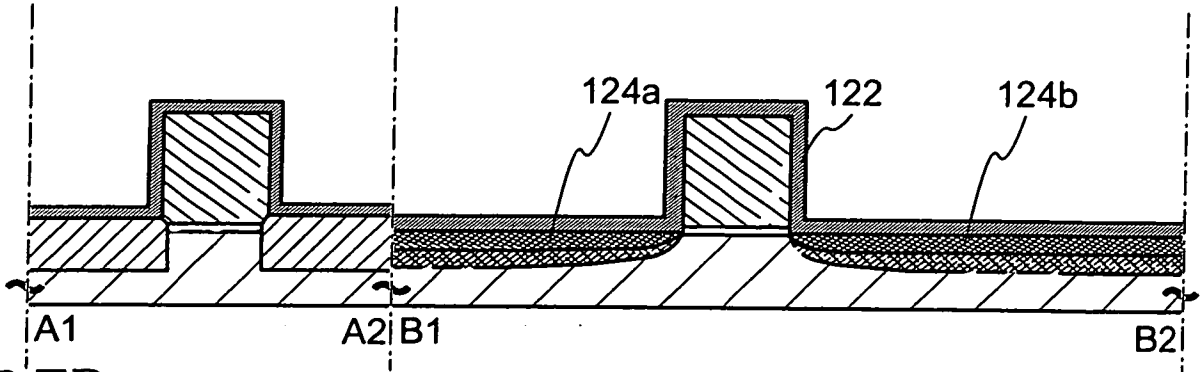


圖 7B

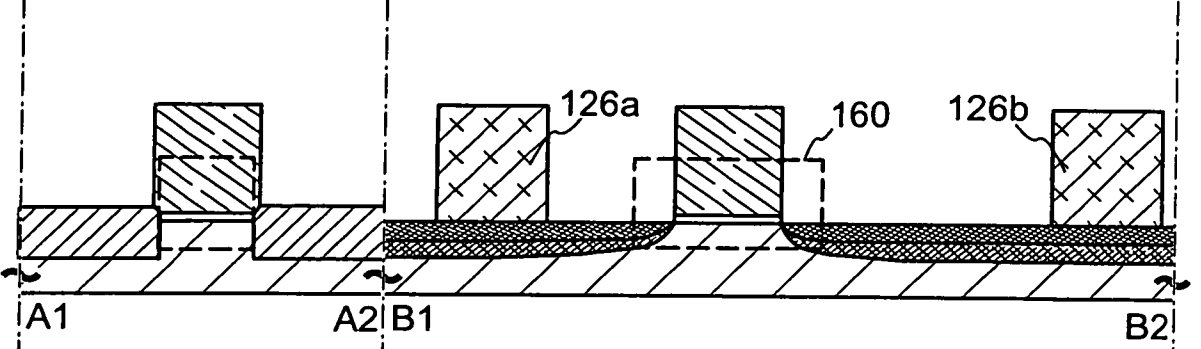


圖 7C

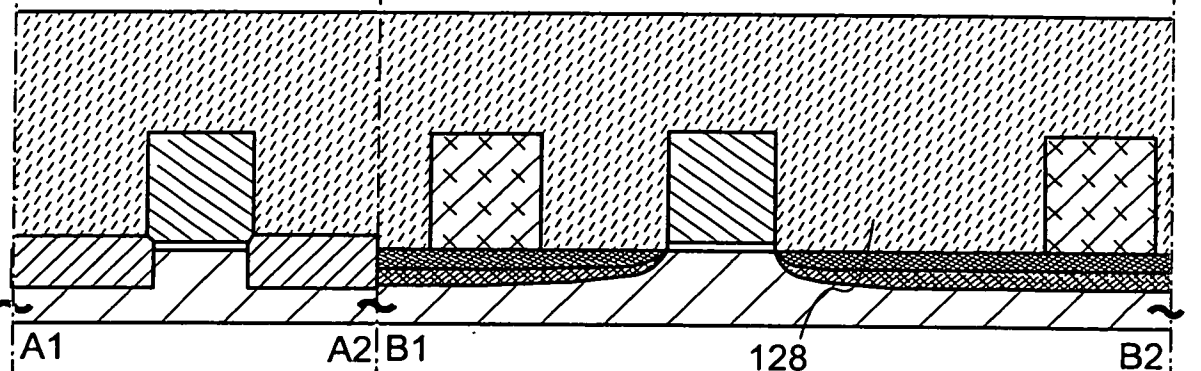


圖 7D

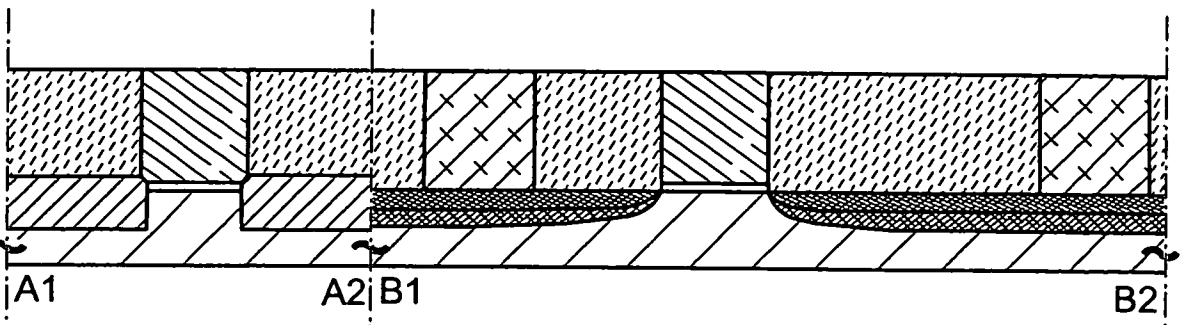


圖 8A

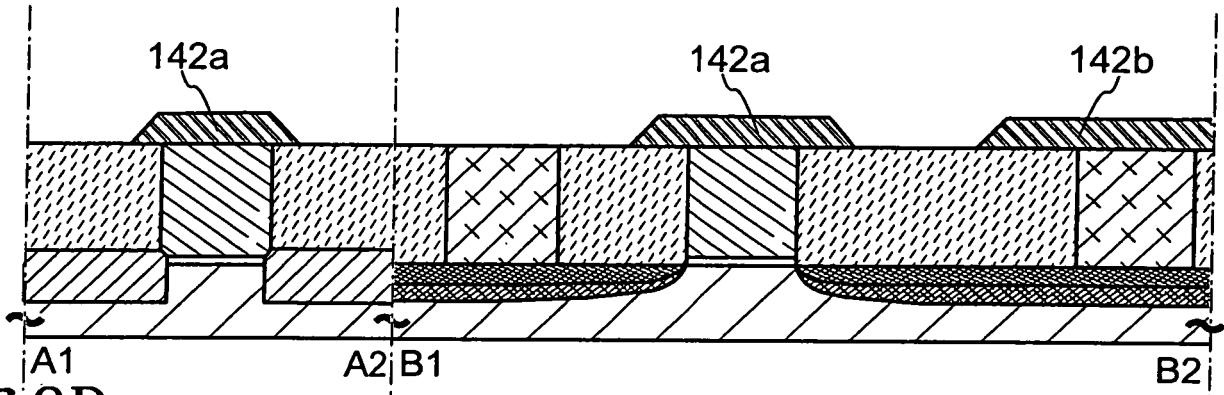


圖 8B

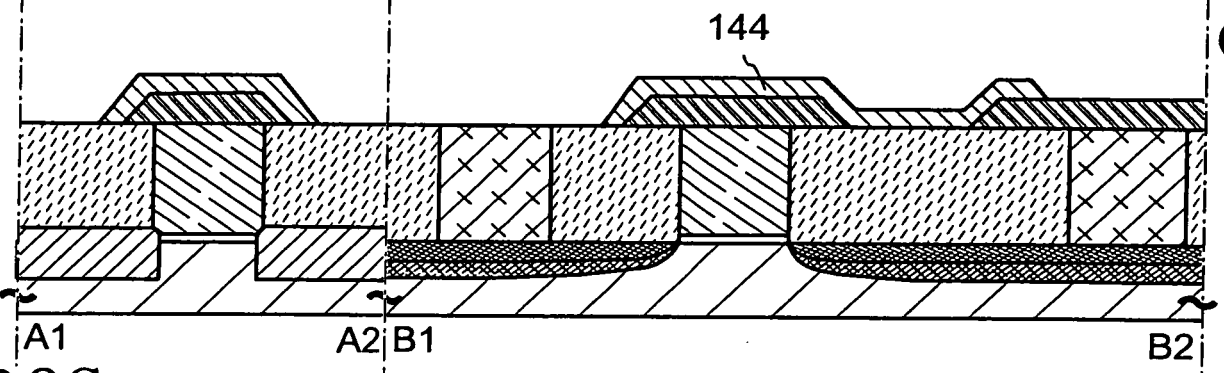


圖 8C

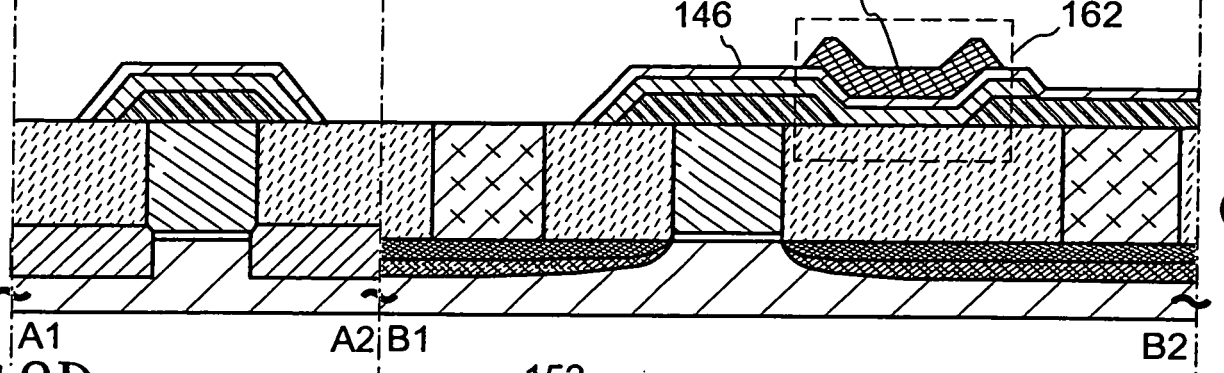


圖 8D

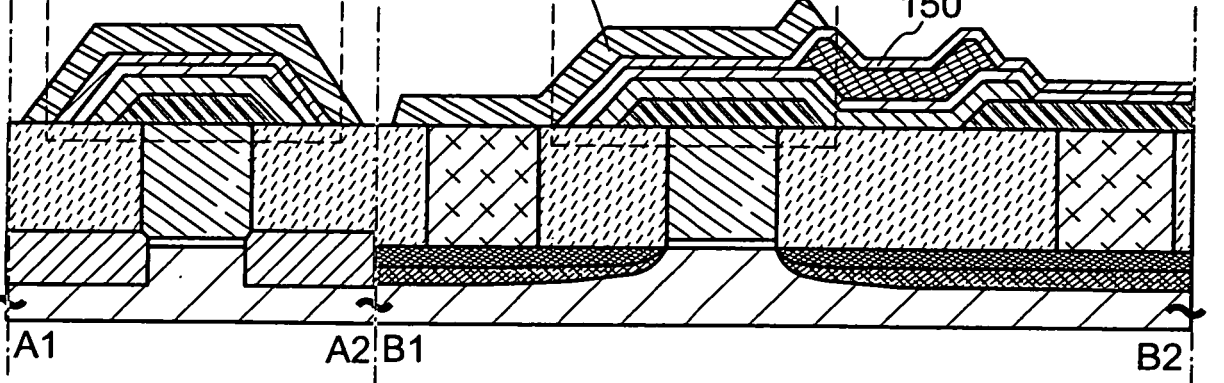


圖 9A

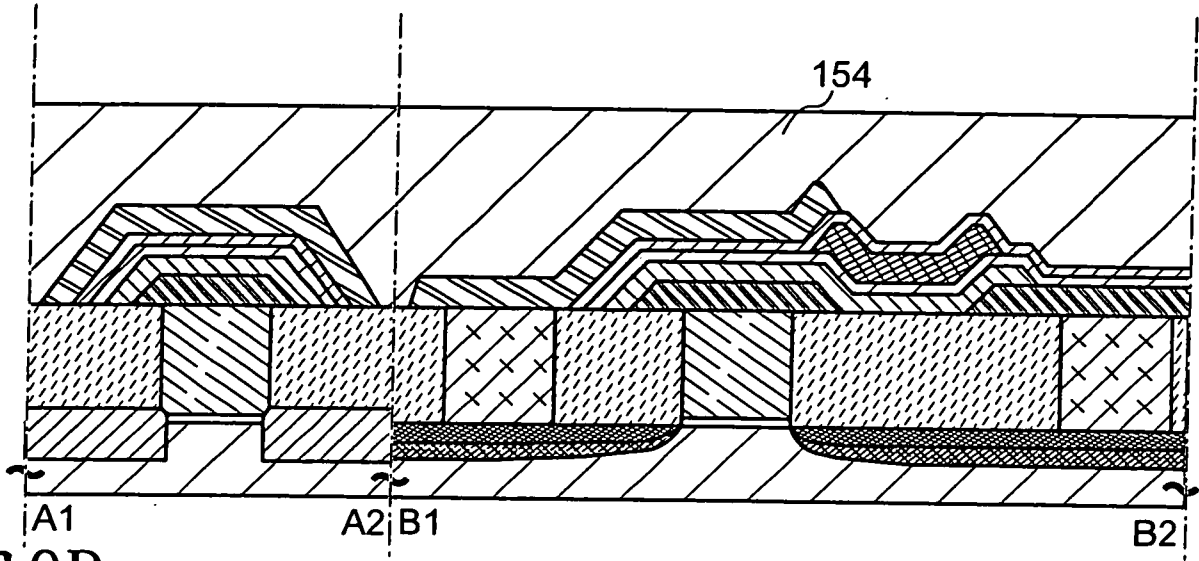


圖 9B

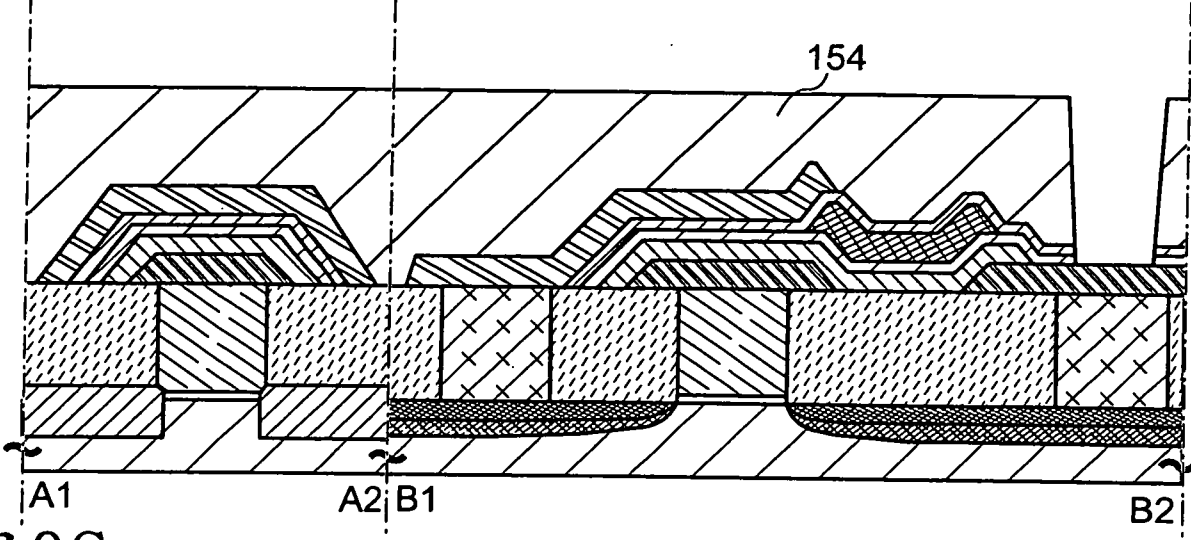


圖 9C

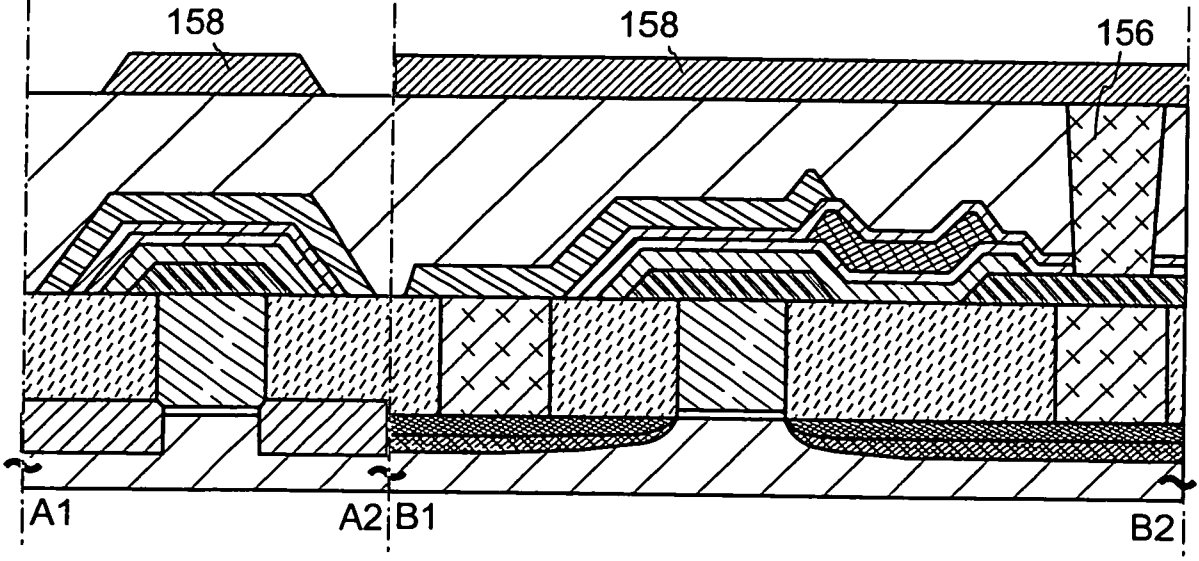


圖 10A

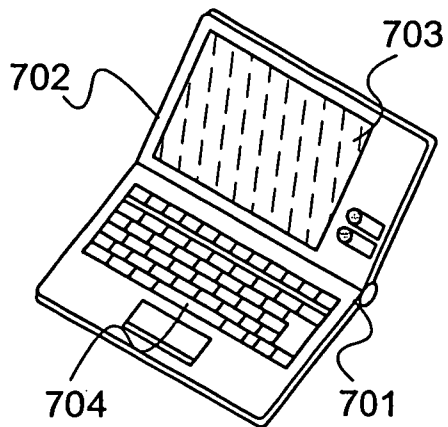


圖 10D

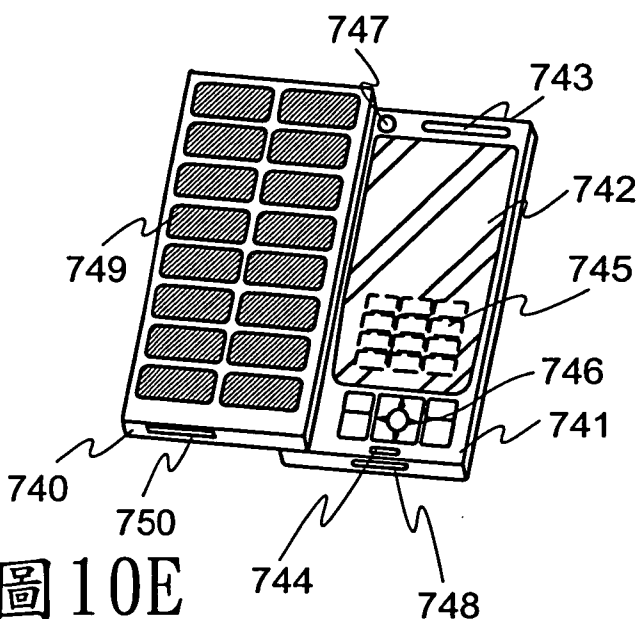


圖 10B

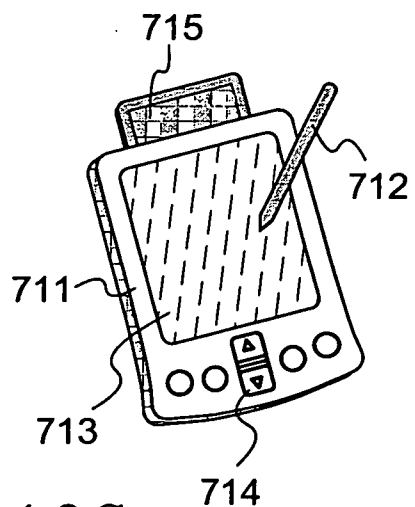


圖 10E

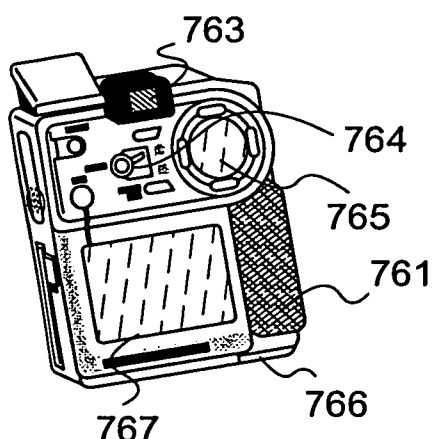


圖 10C

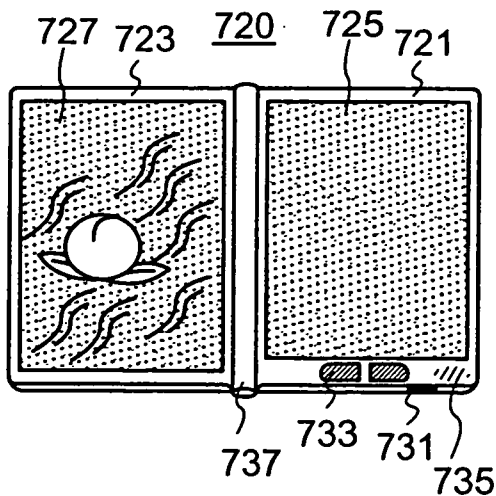


圖 10F

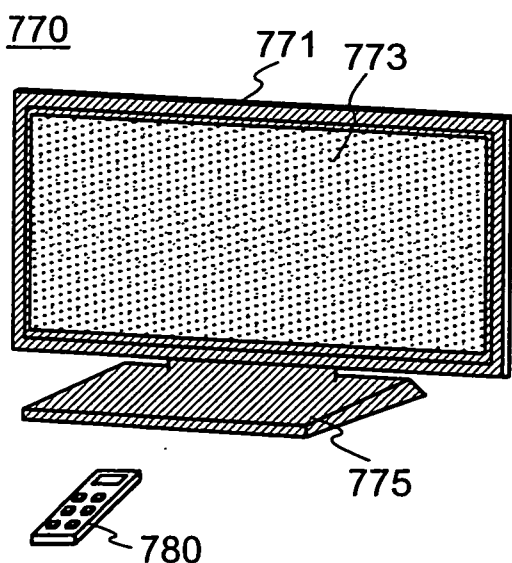


圖 11A

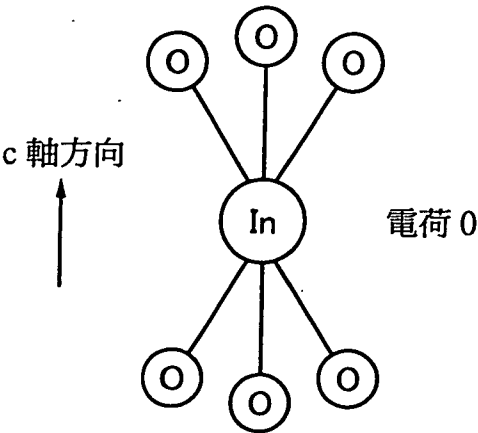


圖 11D

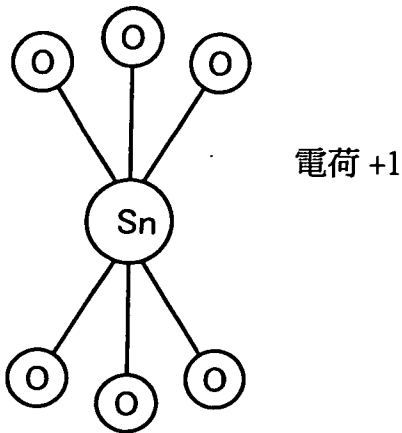


圖 11B

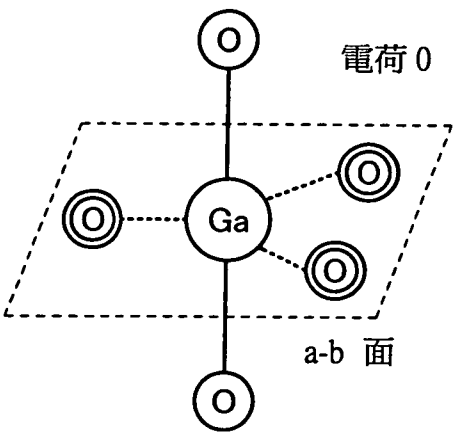


圖 11E

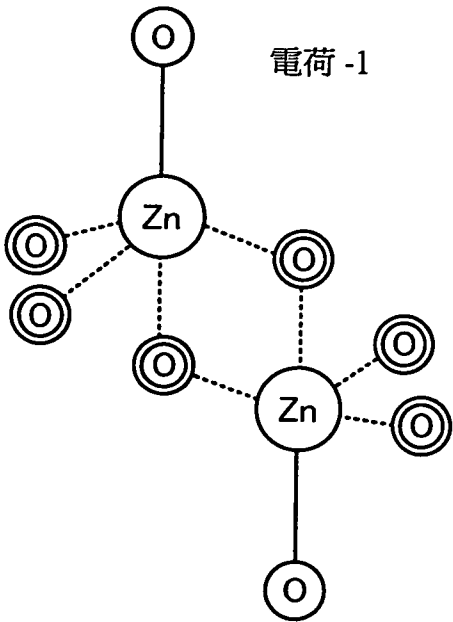


圖 11C

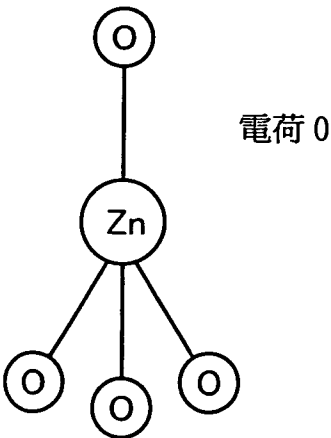


圖 12A

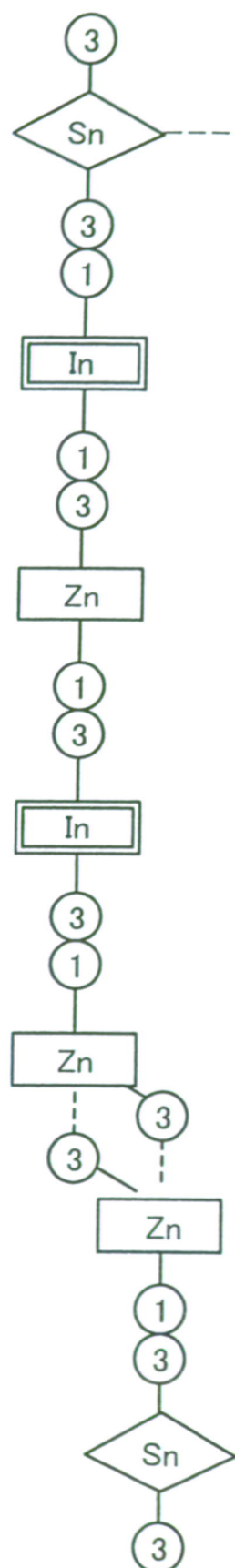
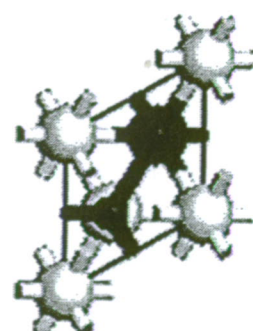


圖 12B



圖 12C



- In
- Sn
- Zn
- O

圖 13A

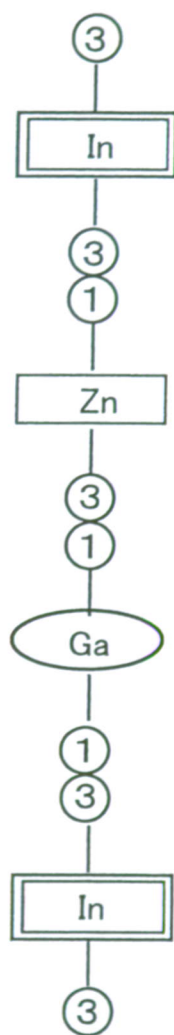


圖 13B

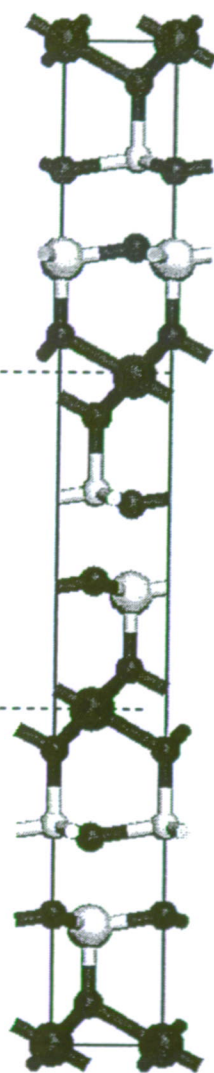


圖 13C

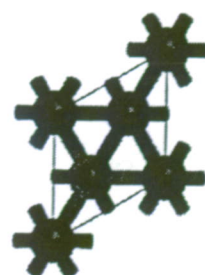


圖14

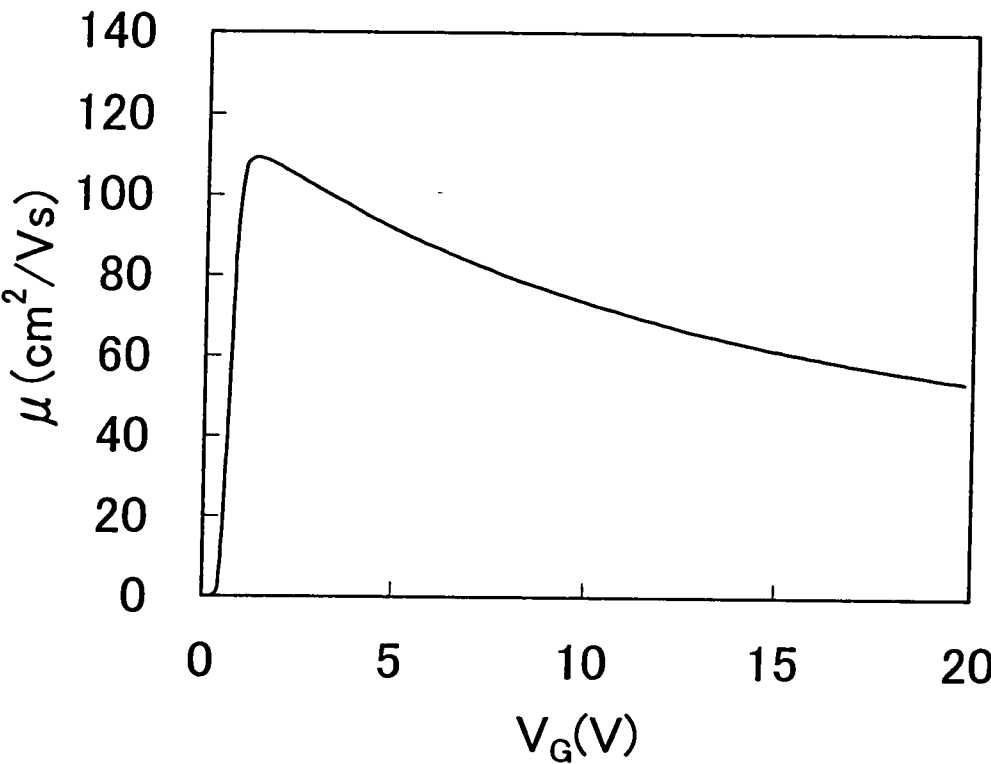


圖 15A

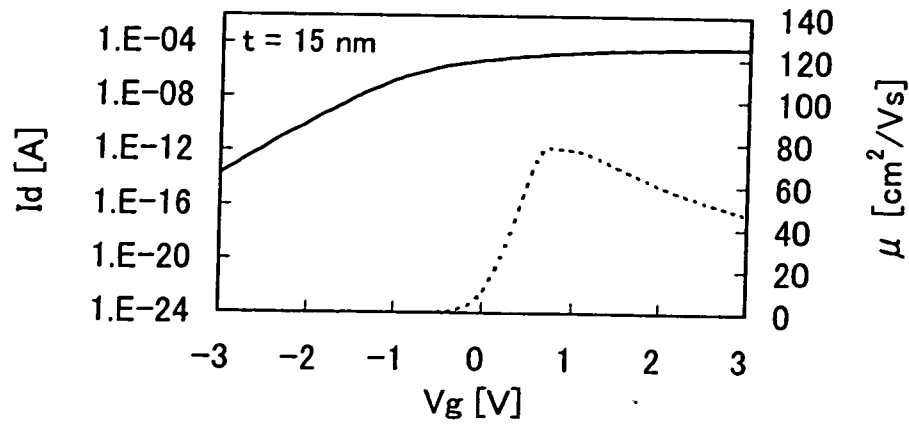


圖 15B

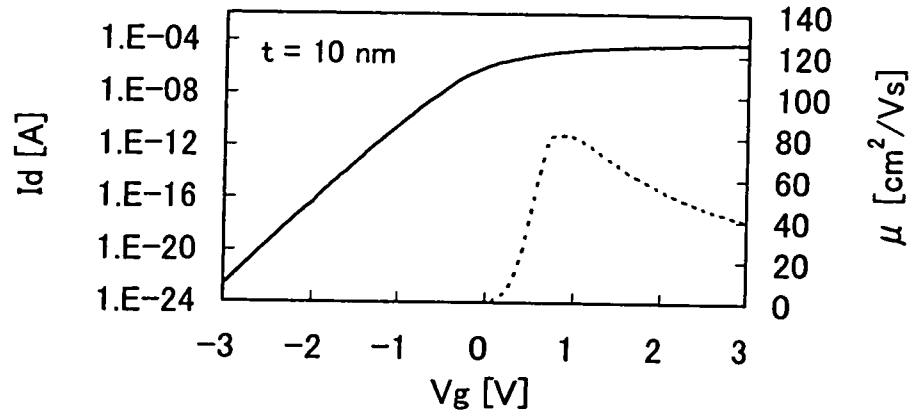


圖 15C

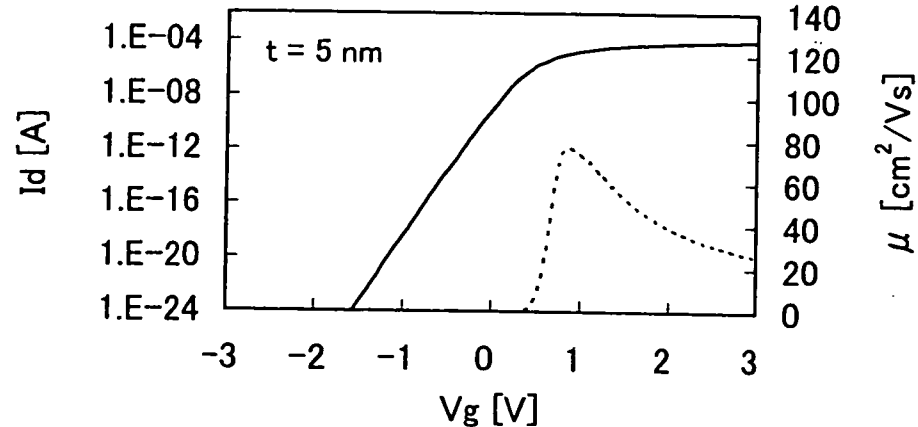


圖 16A

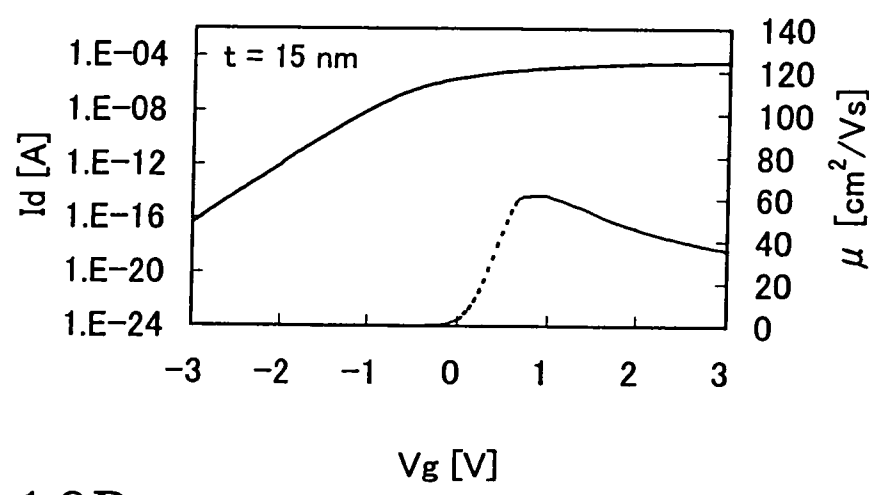


圖 16B

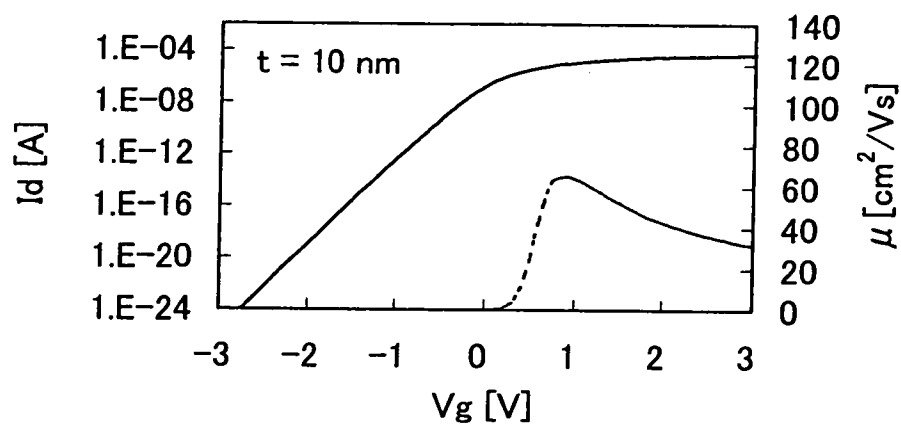


圖 16C

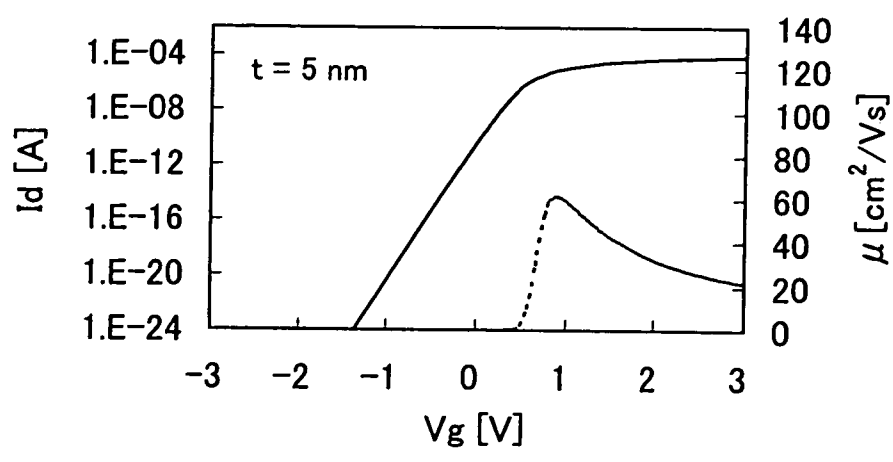


圖17A

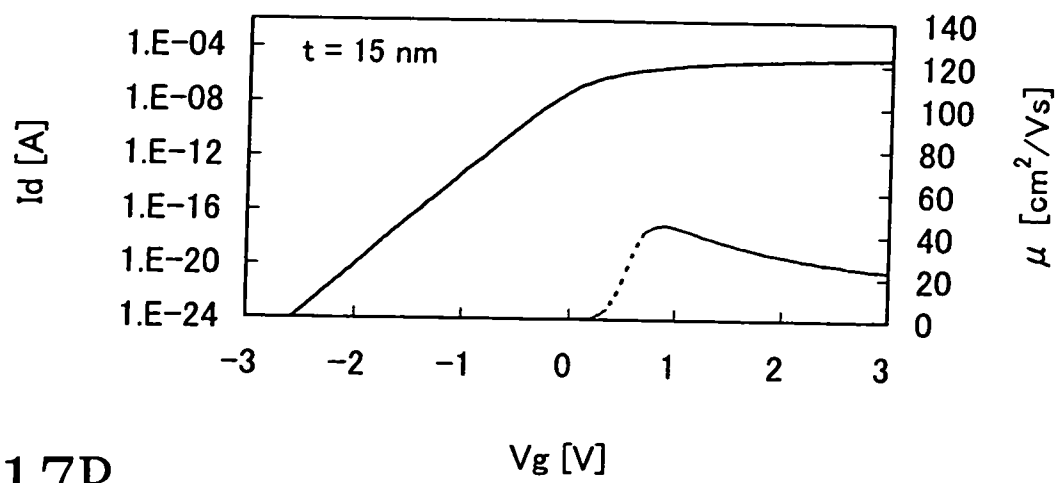


圖17B

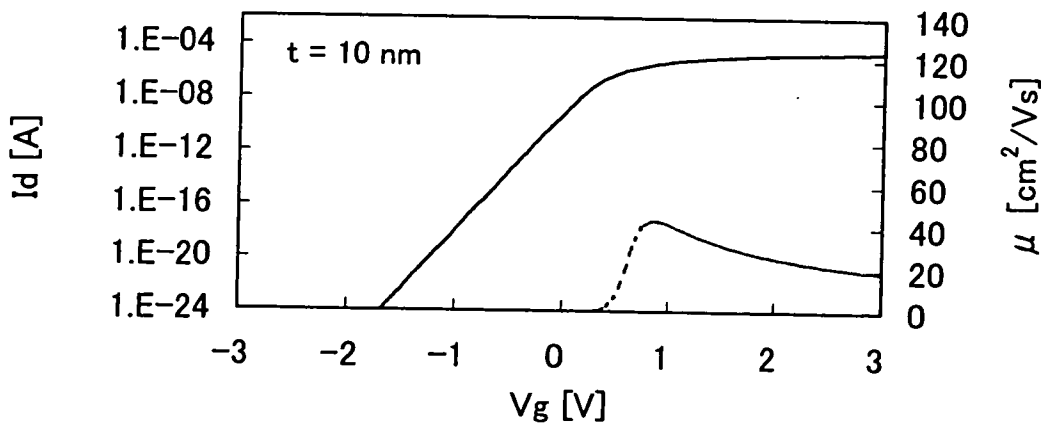


圖17C

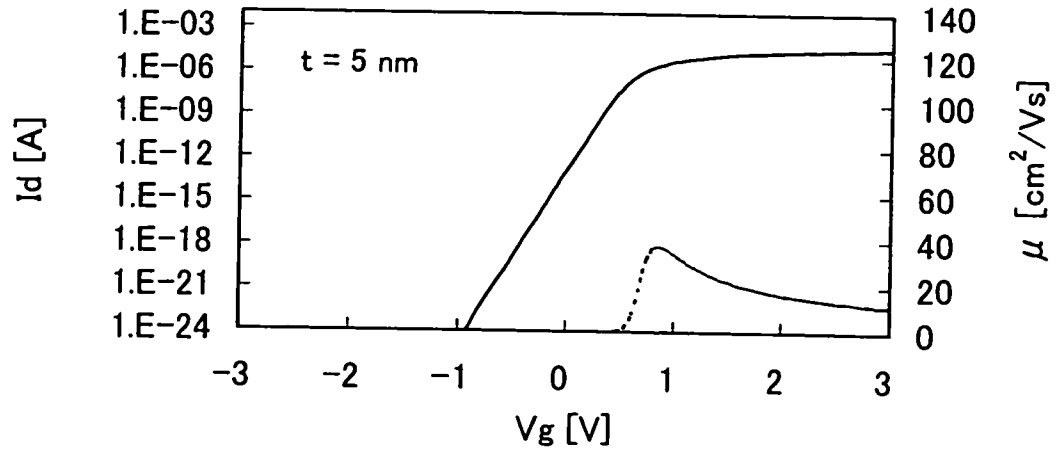


圖 18A

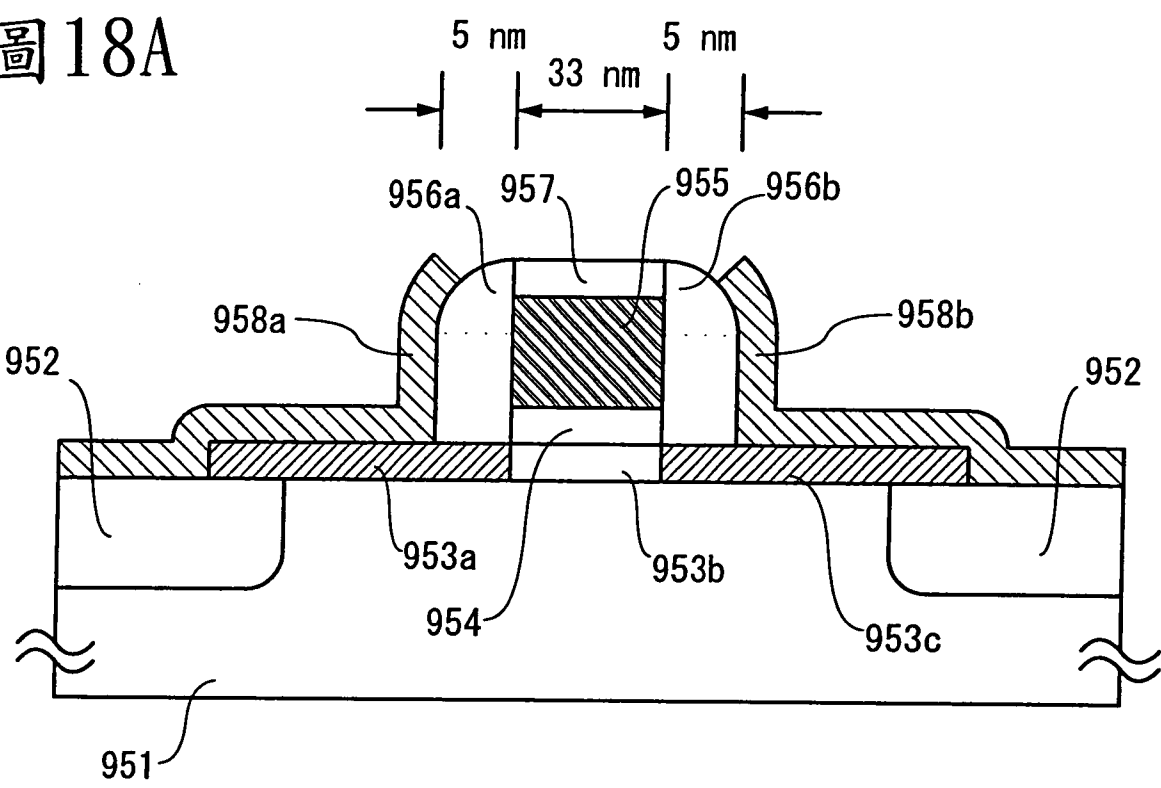


圖 18B

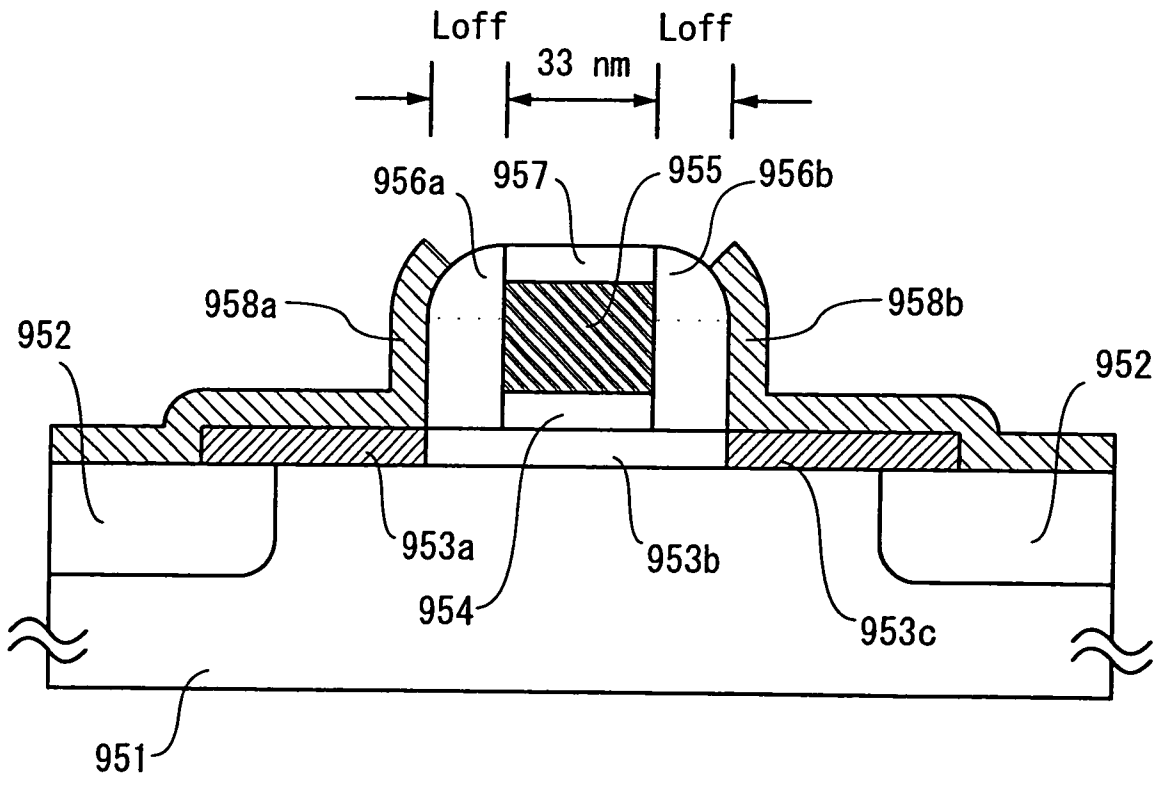


圖 19A

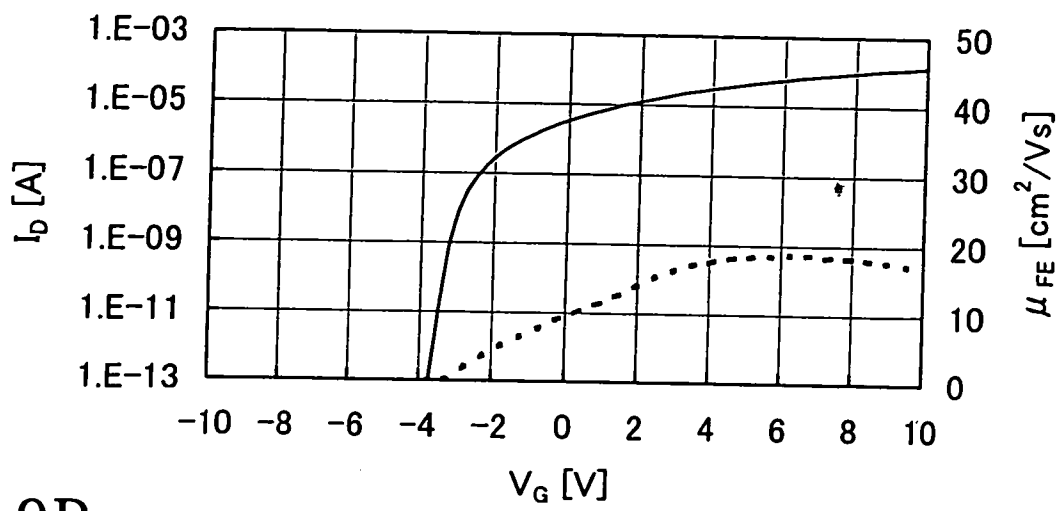


圖 19B

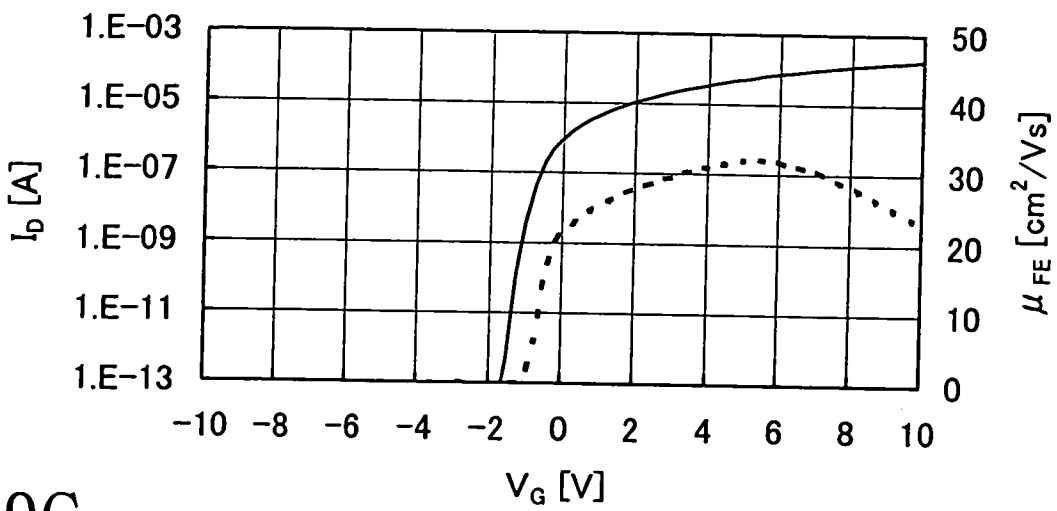


圖 19C

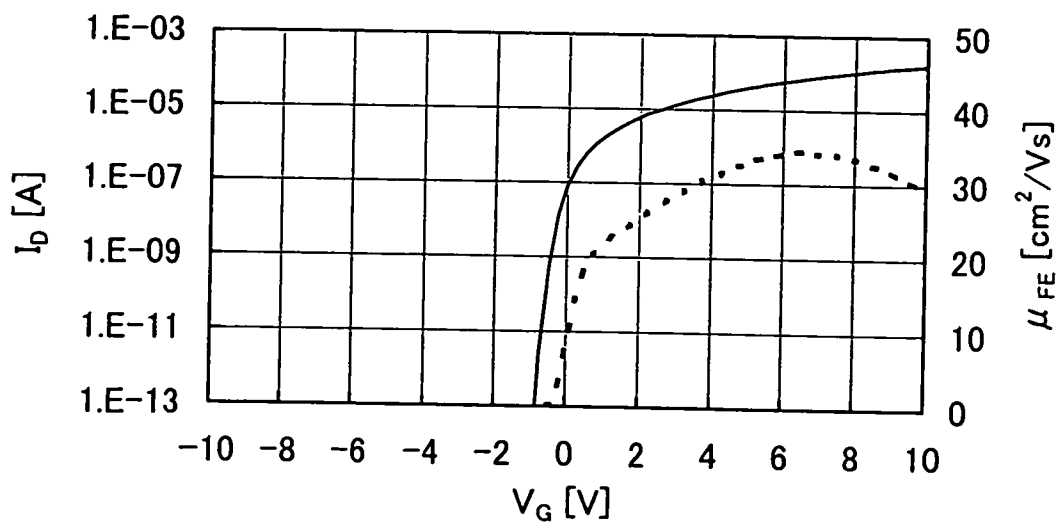


圖 20A

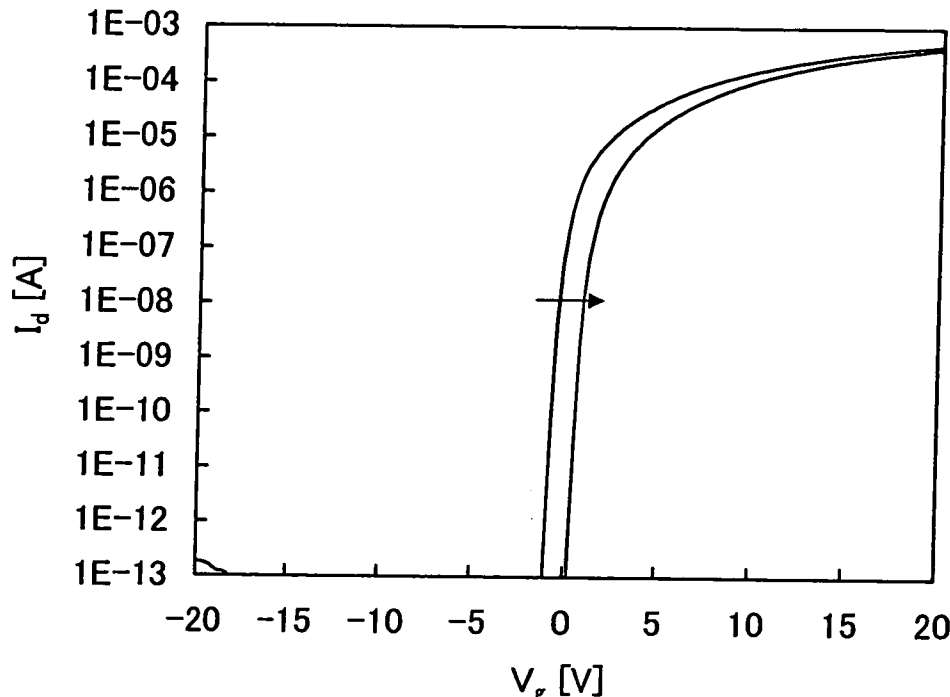


圖 20B

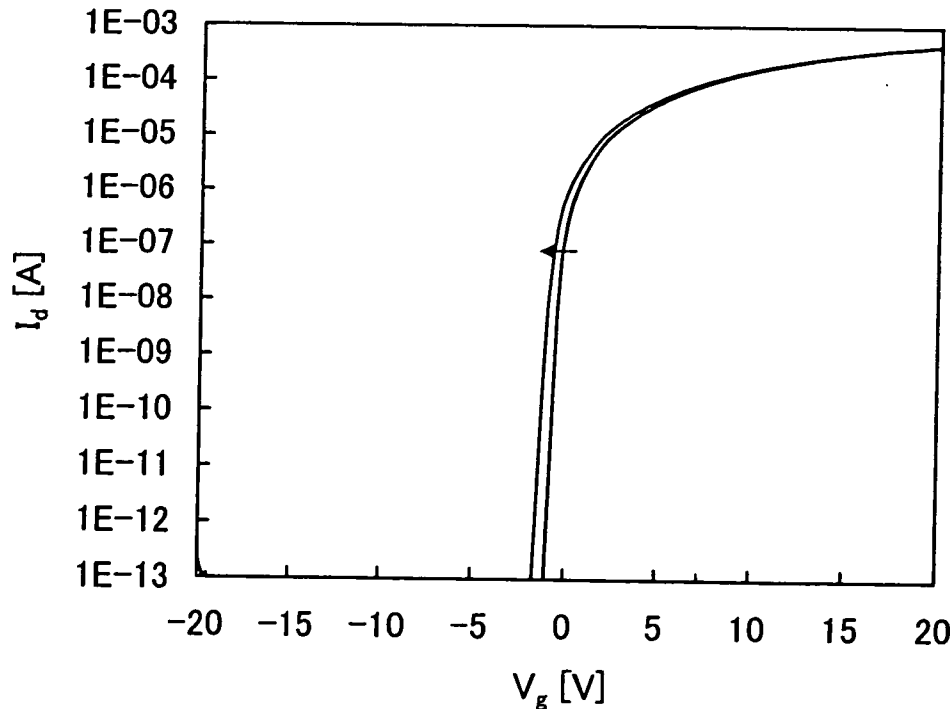


圖21A

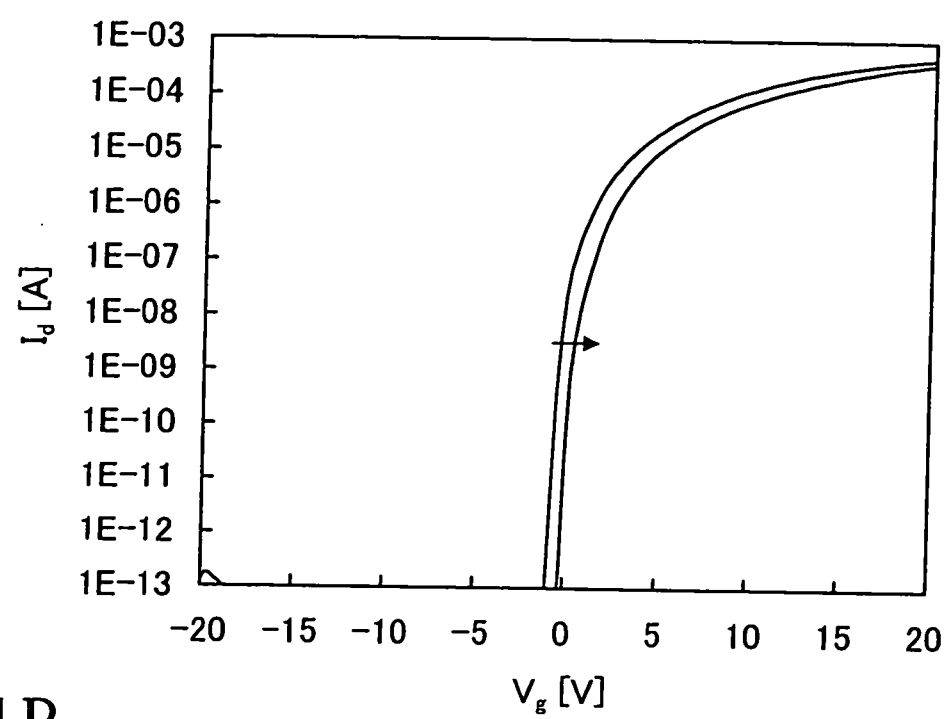


圖21B

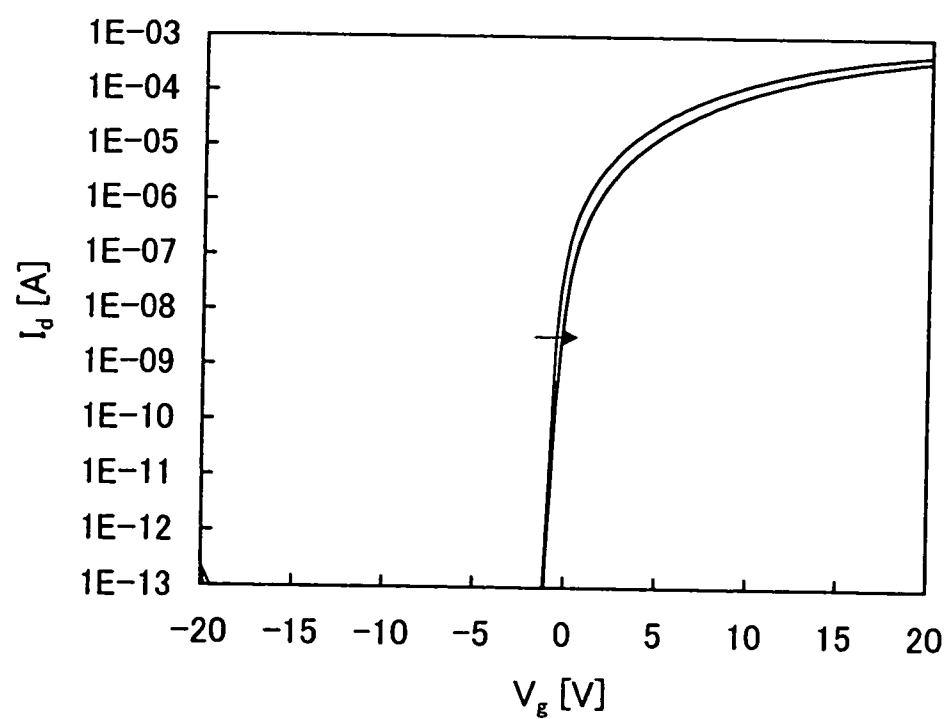


圖 22

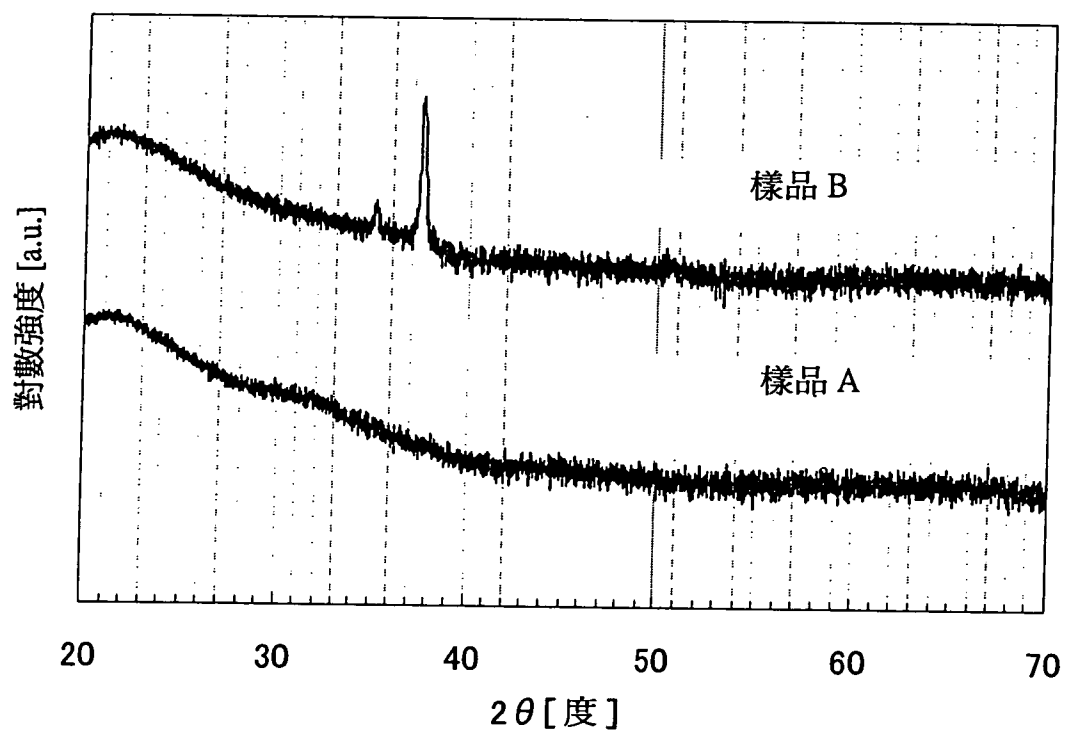


圖23

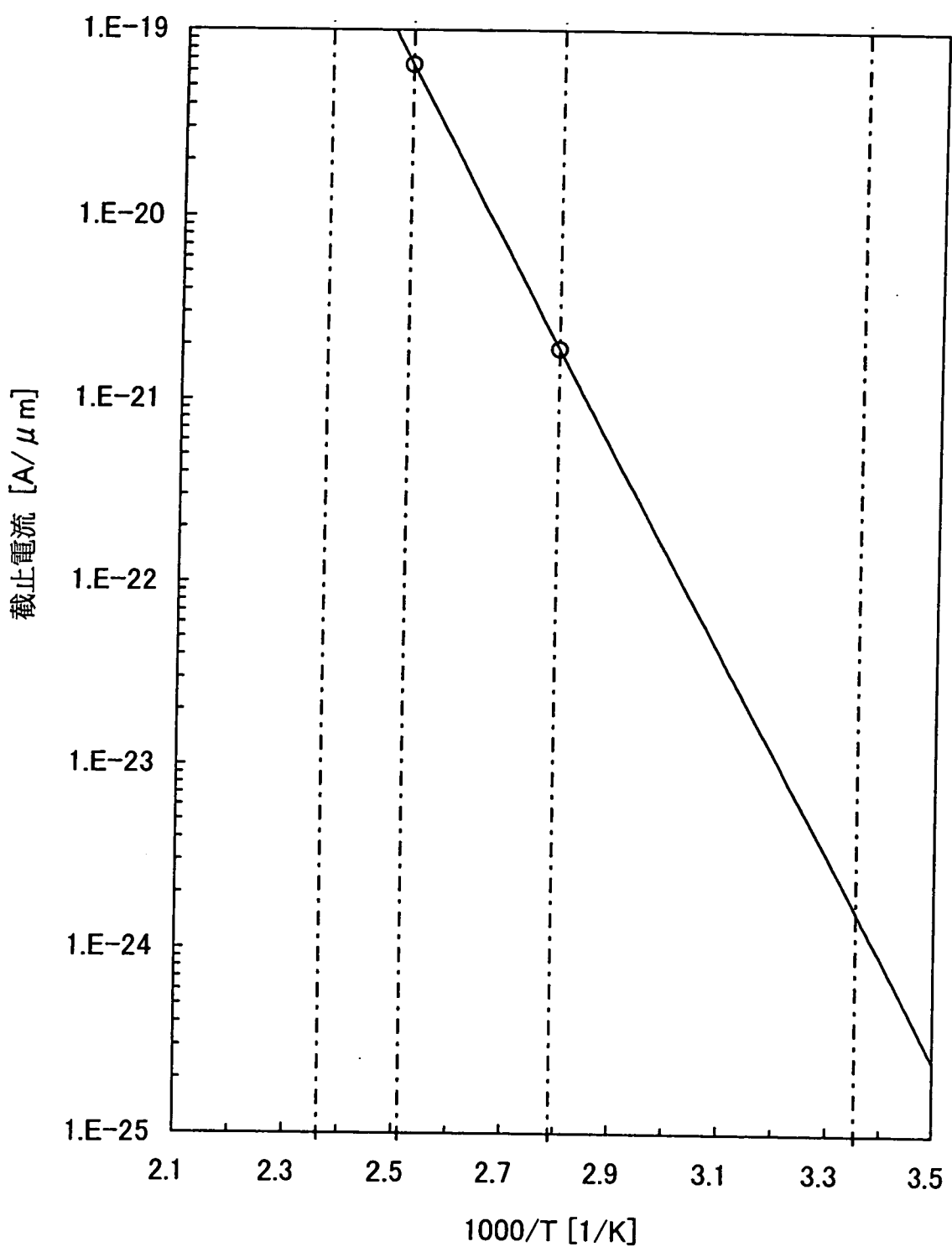


圖 24

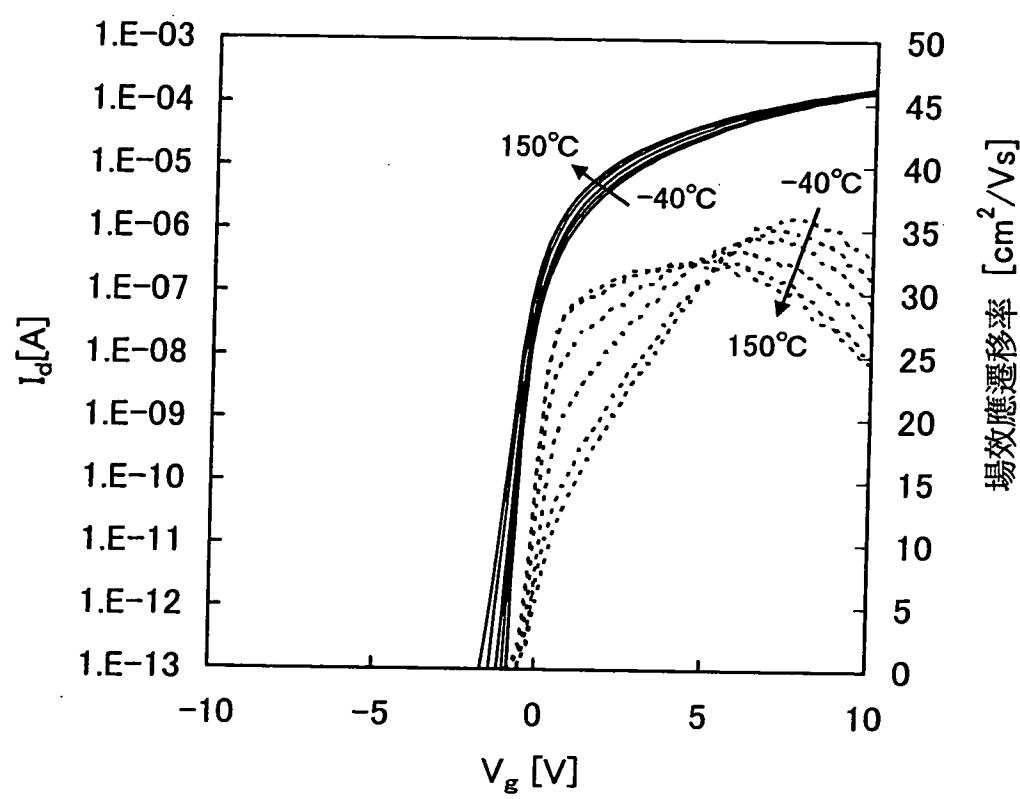


圖 25A

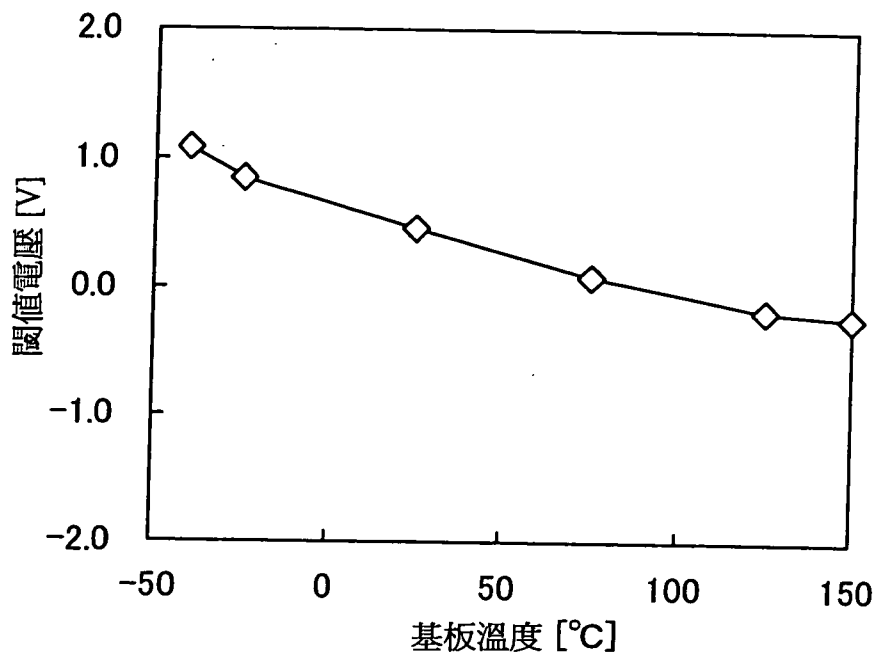


圖 25B

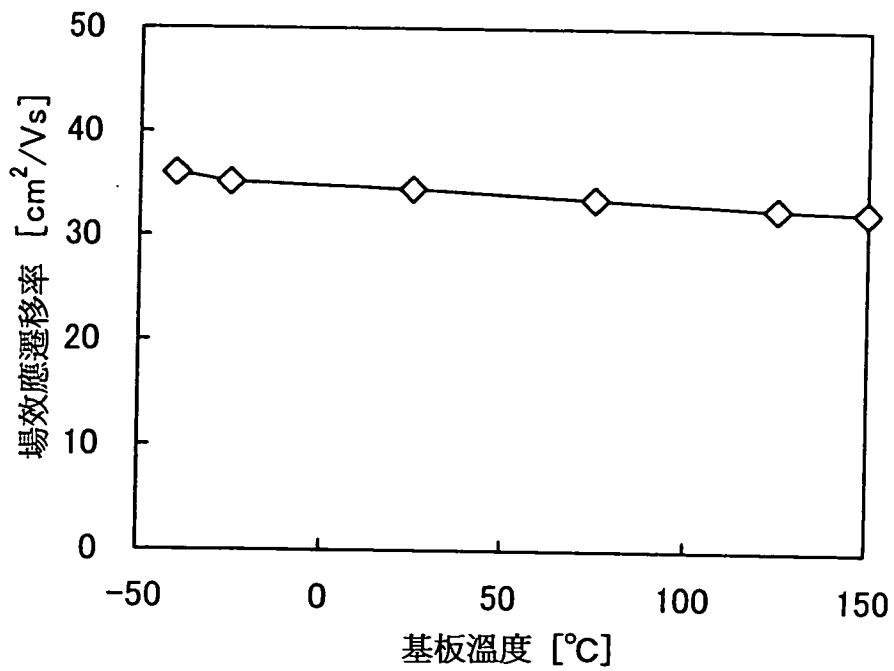


圖 26A

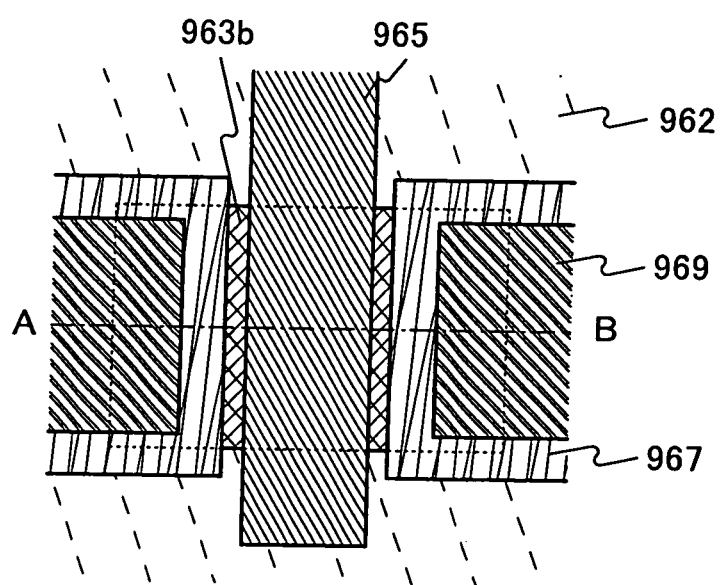


圖 26B

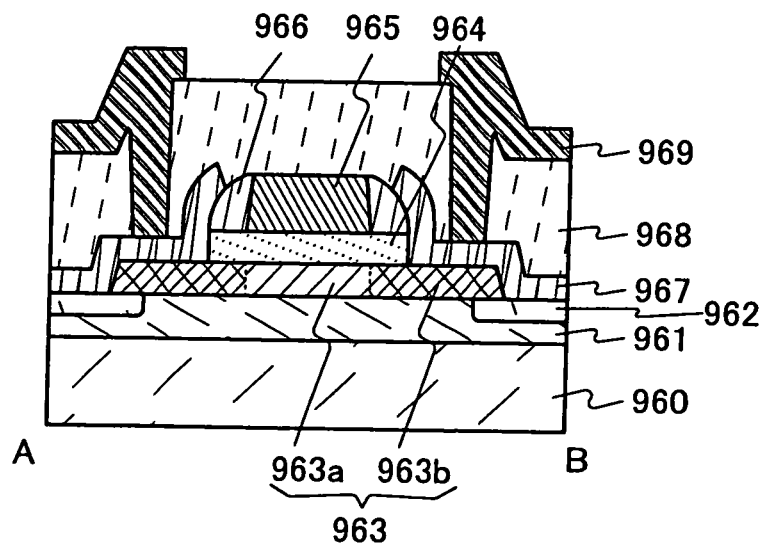


圖 27A

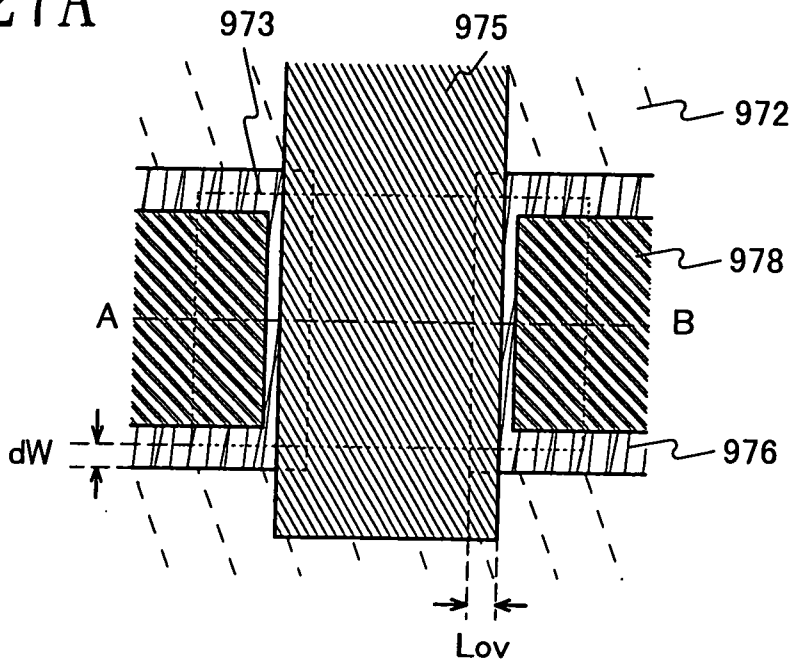


圖 27B

