

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

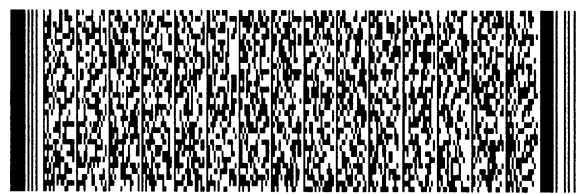
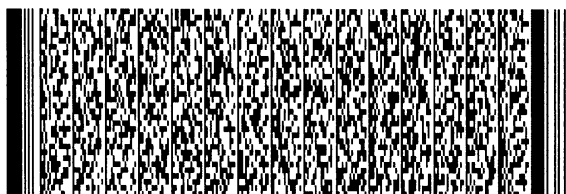
五、發明說明 (1)

發明領域

本發明係關於一種測試電子裝置電性反應及功能之裝置與方法。特別是關於一種測試晶圓上一個或多個積體電路晶粒 (Die) 之裝置與方法。

發明背景

在積體電路工業中，測試積體電路的功能特性及其可靠性是其工業中不可或缺的一環。因為所有出廠的積體電路都必須符合設計上所要求之功能特性，但製造過程無法保證每個製成的積體電路都能達到要求，即使在同一晶圓上生成之個別積體電路晶粒也會有良窳不齊之情形，因此每個個別積體電路均需通過測試方能淘汰不良品以保障出貨產品之品質。測試既為同時積體電路工業中不可或缺的一環，隨著半導體製程之進步，積體電路晶粒之微小化提高、集積度增加且工作頻率提高，積體電路測試之技術及設備也必須跟著進步：包括測試卡之探針其數目及密度必須追上受測積體電路之輸出入接點之數目及密度；以及從受測積體電路之輸出入接點一直到自動化測試設備 (ATE) 上之信號產生及處理電路間之所有線路及接點必須能在更高的頻率下工作而保持低失真，以便能得到準確的測試結果。如果積體電路測試技術進步的程度落後半導體製程之發展，那麼最先進之半導體製程技術仍將無法落實於量產上。由此可見測試技術在之積體電路工業中之重要性。此

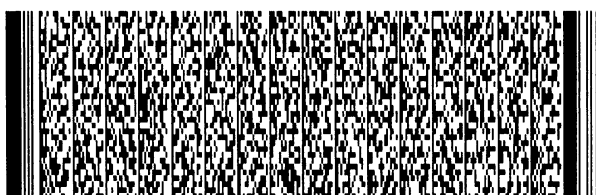


五、發明說明 (2)

外，當前測試所費成本佔了整體生產成本相當大的比率。故而如何降低測試成本也是一極重要之課題。

傳統上對積體電路實施功能特性測試是在晶粒經過封裝後，通過其露出於封裝外之接腳而對其傳送及讀取測試信號。此種先封裝再測試的方式由於無法在封裝前完全淘汰不良晶粒，會將資源及時間浪費在封裝不良晶粒上。又由於晶圓製作為積體電路成品製造之主要時間因素，若不能盡早預知其良窳以便生產足夠之晶圓以配合需求，而須延後到封裝後再測試，則由於交貨時間因素，通常無法等到完成測試並篩檢出良品晶片後再回頭補製作晶圓，而必須事先即製造較多之晶圓，如此當然增加了庫存壓力及成本。

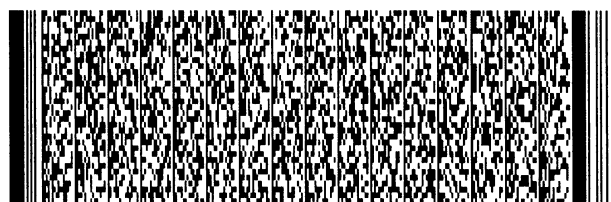
此外由於封裝技術的提升以致封裝時不再局限於單一晶粒封裝成為一個積體電路，而出現了多晶粒封裝模組 (Multi Chip Module)。當模組中之任一晶粒不良會造成整個積體電路模組被棄置，如此將導致成本上更多無謂的浪費。特別是以多晶粒封裝模組而言，傳統之生產方式因所有晶粒在封裝時均未驗證過速度特性，封裝成多晶粒封裝模組後將提高測試的複雜度並降低故障檢測率，如此將增加退貨風險、研究開發成本、測試成本等並延長研究開發週期。如能確保晶粒於封裝前均已驗證過頻率特性，如此多晶粒封裝模組於封裝後，僅須測試封裝可能產生之損壞特性，而使得上述所有風險、成本均可迎刃而解。



五、發明說明 (3)

為了解決上述傳統測試方式之種種缺點，晶圓測試 (Wafer Sort) 技術乃應運而生。晶圓測試係指於晶圓加工完成後且未封裝前，對晶圓上之積體電路實施之檢測作業。圖 1a 與圖 1b 所示係目前最常見用於晶圓測試之懸臂式針測卡 (Probe Card) 形式。圖 1a 所見者於實際安裝時係朝向下方。針測卡 (Probe Card) 10 具有一基板 11，基板 11 之正面 (安裝時朝向下方) 上裝有多個探針 12，該多個探針 12 之一端 121 係固定於一中央開口之樹脂板 13 上，形成內窄外寬之扇形探針排，樹脂板 13 係利用接著劑固裝於基板 11 上。探針 12 之排列則需與置於其下方受測之積體電路 20 之結合墊 21 之位置相互配合，探針 12 之另一端 122 於測試時須對準結合墊 21 之位置並與之接觸。基板 11 之正面上另設有多條導線 14，其一端 141 與探針 12 伸入樹脂板 13 之末端 121 連接，並由此向外延伸，其另一端 142 則焊接於基板 11 上較遠離於中心處。基板 11 之背面設有多個電極 (未在圖上示出) 以便與測試電路連接，該多個電極藉由基板 11 表面及內部之線路與導線 14 之末端 142 有電性連接。實務上亦有探針 12 與導線 14 一體成形之設計。

上述之針測卡設計具有多項缺點。其一是作為受測晶粒輸出入接點之結合墊 (Bonding Pad) 受限在晶粒四周圍。其二是由於懸臂式探針強度上之要求，探針不能做得太細，因而相鄰探針之間的距離 (pitch) 不能太小，如此就限制了晶粒的輸出入接點數目或強制晶粒的面積變大。第



五、發明說明 (4)

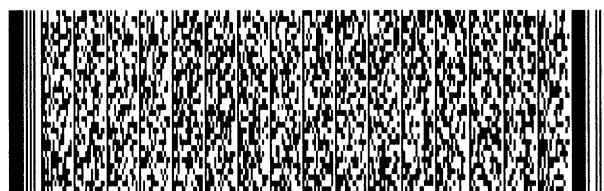
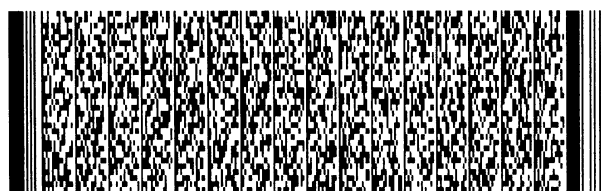
三個缺點是此種針測卡不適用於做高頻測試。工作頻率是半導體的重要特性或者評比重點，加工完成後，半導體須經高頻測試以確保產品應用時能達到規格要求。此種針測卡之探針 12 之長度加上其相連導線 14 之長度大約在 1 至 3 吋之間，該段線路完全無接地層之屏蔽，且彼此相鄰極近，電磁干擾之問題不易解決。又探針長度的變異導致了特性阻抗不匹配 (impedance mismatch) 的問題，由於特性阻抗不匹配的問題，此設備不適用於進行高頻率存取時間測試。

除了上述之較常見之懸臂式針測卡外，其他形式之晶圓測試針測卡亦被提出討論，其中某些並有少量的應用。其中一種薄膜探針卡技術係以薄膜上形成之凸起探測點取代了探針，其主要缺點是薄膜凸起探測點因溫度升高而產生之變形量較大，當其變形至某一程度後即無法維持接觸性能。另外，由於薄膜探針卡的介電常數較高，故材料不利於高頻應用。其他某些被提出討論之針測卡設計之缺點將在以下的說明中詳加討論。

本發明目的之一在於提供一種成本較低的測試晶圓上製成且未封裝之積體電路之裝置與方法。

本發明之另一目的在於提供一種能獲得較準確之測試結果之上述裝置與方法。

本發明之又一目的在於提供一種能測試使用覆晶技術而將輸出入接點安排成包括週邊部分及中央部分之矩陣樣



五、發明說明 (5)

式的積體電路之裝置與方法。

本發明之又一目的在於提供一種能測試更微小且其輸出入接點密度更高樣式的積體電路之裝置與方法。

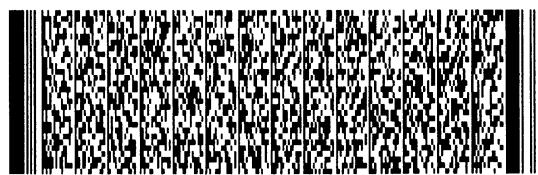
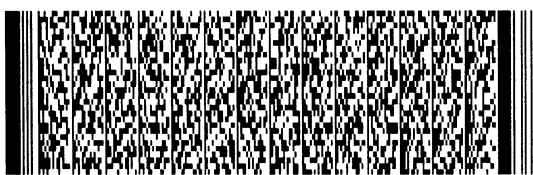
本發明之又一目的在於提供一種能在極高頻之測試信號條件下，準確地測試積體電路之裝置與方法。

下列之文字敘述及圖例將闡述本發明之裝置與方法如何達到上述及其他之目的。

較佳實施例之詳細說明

圖 2a 所示係本發明之垂直測試卡 30 之正面投影圖，該正面於實際安裝時係朝向下方面對受測晶圓。測試卡 30 包括一負載板 31，靠近負載板 31 中央部位上方設有一多層陶瓷基板 32，多層陶瓷基板 32 之正面表面上設有多數成矩陣排列之垂直剛性微探針 321。請參見圖 2b 垂直測試卡 30 之立體爆炸圖，多層陶瓷基板 32 於其背面利用表面黏著技術透過多數之焊墊 33 與黏著於其上之多數錫球 34 與負載板 31 焊接在一起。圖 2c 所示係多層陶瓷基板 32 與設於其正面表面上之垂直剛性微探針 321 之立體放大圖。

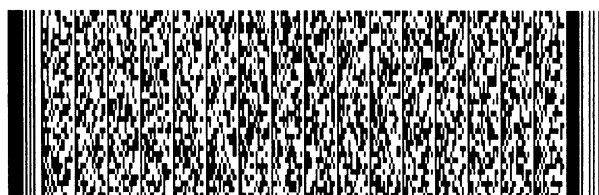
現在請參閱圖 3a，上述多數之焊墊 33 與錫球 34 係成組



五、發明說明 (6)

地各別接著於設於多層陶瓷基板 32 背面之輸出入接點 322 之表面，使輸出入之電氣訊號得以經由錫球 34 之傳導在負載板 31 與設於多層陶瓷基板 32 內部之線路 323 及其表面之微探針 321 之間傳輸；而微探針 321 之針尖（接觸端）則與受測積體電路 20 之結合墊 21 上利用表面黏著技術粘著之錫球 22 接觸，而完成整個測試電氣迴路。

圖 3b 係多層陶瓷基板 32 內部構造之示意圖。陶瓷基板 32 包括了多層的陶瓷板 324。每層陶瓷板 324 係各自先經穿孔加工及電路製作後，以低溫共燒陶瓷（Low Temperature Co-fired Ceramic ; LTCC）技術，將全部多層的陶瓷板 324 堆疊起來在攝氏 900 多度的燒結爐中燒結形成整合式陶瓷元件。成型後，多層陶瓷基板 32 內部具有水平線路 325 及成型於各層陶瓷板 324 之穿孔（via）中的垂直線路 326。為了補償各層陶瓷板 324 穿孔之誤差，於各層陶瓷板 324 之間各穿孔即垂直線路 326 之周圍設有較穿孔直徑更大的水平導體銜接墊 327，以便將各層陶瓷板 324 中同一位置之垂直線路 326 確實導通起來。通常各微探針 321 並非直接設於多層陶瓷基板 32 表面各垂直穿孔位置上方，這是由於該穿孔係由機械加工而得，各穿孔間之間距無法達到以晶圓製程製作的受測積體電路的輸出入接點之間距般的微小，而本發明之多個微探針 321 係同樣利用製作晶圓之技術製作，因此完全可以跟上現在或將來因晶圓製程之進步而導致的輸出入接點密度的提高。由於各微探針 321 之間距與各穿孔之間距不同，因此在多層陶瓷基板 32 之正面表面同樣以晶圓技術製



五、發明說明 (7)

作了水平重分配線路 (redistribution) 以便連接微探針 321 之根部與垂直線路 326 露出多層陶瓷基板 32 表面之一端。至於各水平線路 325 之作用則在於將各微探針 321 之間較小之間距放大至多層陶瓷基板 32 背面的各輸出入接點 322 之間較大之間距，以便與尺寸等級較大的測試電路連接。當然，一般而言，基於成本及機械特性的考量，採取以負載板 31 做電路接點間距的第二次放大較為適當。另外，在各水平線路 325 之上下及周圍設有電壓源線路 328 及接地電壓線路 (ground) 329 以便將作為測試訊號傳輸線路之水平線路 325 與垂直線路 326 所產生之電磁效應濾除掉。低溫共燒陶瓷技術由於是業界已知技術，在此即不加贅述。

設於多層陶瓷基板 32 正面上之多數個微探針 321 係利用晶圓製程中之微影技術及電鍍技術製成，因此其水平剖面、高度與各微探針 321 之間距可以達到極微小。根據本發明之針測卡其所有未屏蔽的線路只有微探針 321 之高度 (長度) 及水平重分配線路之長度，由於微探針 321 之高度極小可做到 100 微米以下，加上該水平重分配線路之長度很短，因為各微探針 321 之間距與各穿孔之間距的差異並非很大，因此整體線路所產生之電磁干擾極低。故本發明之針測卡在高頻測試有極高的適用性。

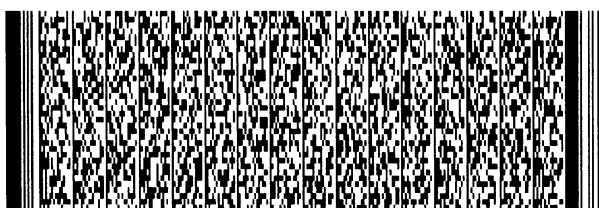
又，由於多個微探針 321 係利用製作晶圓之技術製作，且每個微探針 321 之根部均固定於同一之陶瓷基板表面並由該處垂直伸出，因此本發明之針測卡極適於用來測試新一



五、發明說明 (8)

代集積度較高的積體電路，受測之積體電路其輸出入接點之間距僅受到晶圓製作技術之限制，尤其是該輸出入接點可以排列成具有許多列及許多行的矩陣樣式，不似傳統懸臂式針測卡只能測試輸出入接點設在晶粒週邊且間距較大之積體電路。這項優點在目前及將來更顯重要，因為半導體的技術發展的趨勢已經由 0.25 微米發展至現今的 0.13 微米，其積體電路中的電晶體越做越小，數量越來越多，且其功能亦朝多功能發展，所以積體電路的輸出入接點即越來越多。故傳統晶圓將所有輸出入接點設計於晶粒四周圍或中間兩排等都無法迎合半導體的趨勢，故覆晶技術的趨勢即孕育而生。封裝技術日新月異及電子產品輕薄短小的需求，由以往的 QFP、BGA、鎢 GA 進而晶圓級封裝 (WLP) 的大行其道。因而輸出入接點不能再侷限於晶粒四周圍，因而矩陣式輸出入接點之需求更加急迫。而因為速度的增加，傳統的打線技術因為連線太長，會產生電磁干擾效應 (EMI)，而無法符合需求，故而將積體電路的輸出入接點安排於晶粒之整個表面成具有許多列及許多行的矩陣樣式並於其上植上錫球 (Bump)，而於應用時將該晶粒直接粘著 (焊接) 於電路板上之覆晶技術將成為未來的主流。

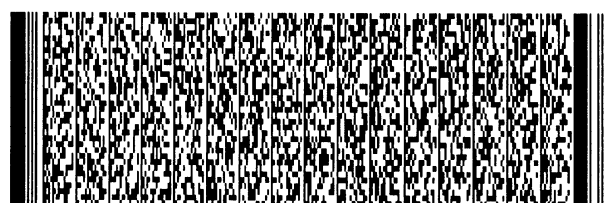
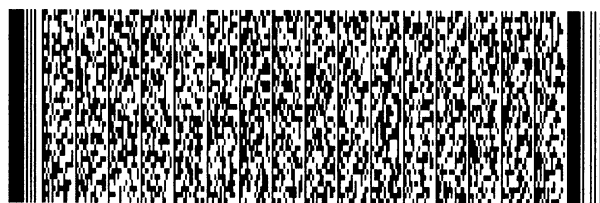
本發明之針測卡特別適於用測試應用覆晶技術之積體電路。其他形式的晶圓測試針測卡為了讓各個探針末端能適應受測晶粒各輸出入接點在高度上的差異，大多包括有至少一彈性結構。圖 4a 所示為一種根部固定在一彈性體 41 之探針 42 構造。當探針 42 被施予壓力以接觸受測積體電路



五、發明說明 (9)

之輸出入接點 21 時其末端將偏擺而產生如圖 4b 所示之水平位移 t 。水平位移 t 之產生均有可能導致某些探針 42 末端與對應之受測積體電路輸出入接點位置不對準，造成接觸不良，從而將符合允收特性之受測積體電路誤判為不良品。圖 5a 描繪了另一種具有彈性之探針 50 構造。探針 50 在其中段具有一水平橫樑 51，其原理和懸臂式探針擁有彈性之原理相同，皆是利用水平橫樑 51 之彎曲變量轉化為探針 50 末端之垂直位移。彈性探針 50 之設計不但具有上述探針 42 之所有缺點，更有不必要地擴大各探針 50 間距之缺點；此外其因受壓而承受之扭力容易使探針 50 之根部與其所固著之基材脫落。圖 5b 所示者為本發明之針測卡其一系列微探針 321 之排列側視圖。比較圖 5a 與圖 5b 可知各彈性探針 50 之最小間距比本發明之各微探針 321 之最小間距 p 至少大了水平橫樑 51 之水平長度 w 。本發明之針測卡可以測試的結合墊距離 (pad pitch) 即輸出入接點 21 間距可以小到為 50-500 微米。

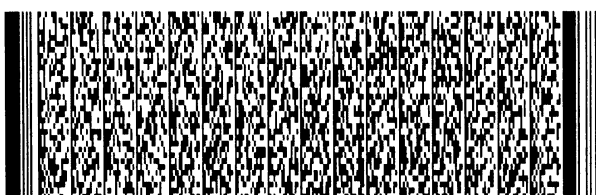
本發明之針測卡使用多層陶瓷基板 32 作為多個微探針 321 之基座及水平導線路 325 之容器相對於其他材質有多項優點：其一是陶瓷的物理性質與矽極相近，可耐高溫而不易變形，尤其因其膨脹係數與矽極接近故可確保高溫測試時微探針 321 與受測積體電路之輸出入接點 21 之位置仍能維持一致；其次是陶瓷的介電常數較低比較不會產生不必要的電容效應；再者是陶瓷的剛性極高，即使經過長期使用及反覆被施予高溫亦能維持良好的平坦度，這個特性配



五、發明說明 (10)

合上微探針 321採用較堅硬之金屬而且微探針 321完全直立於多層陶瓷基板 32之上且長度極短使得微探針 321之結構強度極高不易變形，其結果是經過長期使用各微探針 321不易變型或轉向，其末端之水平及垂直位置仍能保持極高之精確度。相較之下，使用其他剛性較低較不耐溫材料之基材或使用具有彈性構造之探針，由於潛變及疲勞因素均不能耐久。

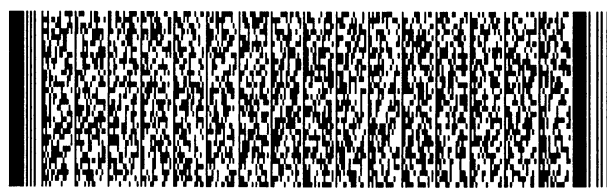
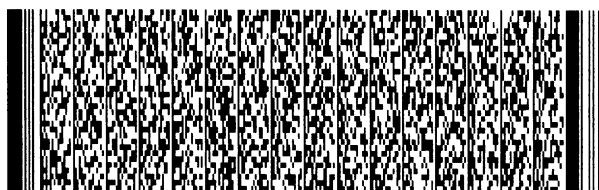
本發明之針測卡由於其構造上均為高剛性，為了確保各微探針 321之末端與受測積體電路之輸出入接點 21有良好之接觸，採用的策略是使受測端之材料具有較微探針 321硬度或剛性低一定程度之特性。該受測端之材料在受力接觸微探針 321時能夠產生一塑性變形或彈性變形以適應微探針 321之位置。以目前半導體製造技術之現狀，在積體電路之結合墊 (Bonding Pad)上植上錫球 (Bump)之技術已有廣泛的應用，以此錫球作為受測端接觸微探針 321之材料正好能夠形成一良好之塑性變形以適應微探針 321末端之位置甚至形狀。圖 6a所示為錫球 60與微探針 321接觸時之情況，錫球 60接近中央表面部分被探針 321末端擠壓而形成一凹陷，此凹陷一般而言與微探針 321末端之外形能有相當程度之契合。圖 6a所示為微探針 321與錫球 60之水平位置略有偏差，微探針 321並非接觸到錫球 60之中央表面，即使如此，兩者間由於形狀的契合仍形成良好的接觸面。微探針 321之形狀最好是根部較粗以便得到較佳之結構強度，而末端較細以利於插入錫球 60內部。



五、發明說明 (11)

操作上係將本發明之針測卡 30 裝設在針測機上該當位置，以自動輸送裝置將待測積體電路 20 所在之晶圓輸送至本發明之針測卡 30 下方，藉著光學對正儀校準待測積體電路 20 和針測卡 30 之水平 (x, y 軸) 相對位置，再將該待測晶圓向上頂起使待測積體電路 20 之多個輸出入接點 21 接觸針測卡 30 表面上之多個微探針 321。本處理程序之特徵在於待測積體電路 20 之多個輸出入接點 21 之材質較微探針 321 之材質有較低之硬度或較易產生彈性變形，以及在於將待測晶圓向上頂起定位時將待測晶圓之垂直 (z 軸) 位置停止在一適當的區間內，在該區間內待測積體電路 20 之多個輸出入接點 21 之最高點的平均初始位置高於多個微探針 321 之末端的平均位置一定的高度，此處所指之初始位置係指在輸出入接點 21 尚未受微探針 321 之擠壓而變形之初始狀態時量測所得來。以待測積體電路 20 之多個輸出入接點 21 為錫球 60 的情形而言，錫球 60 之最高點的初始平均位置最好高於多個微探針 321 之末端的平均位置 5 ~ 25 微米，請參考圖 6b，其中前述兩者之高度差表示為 d。

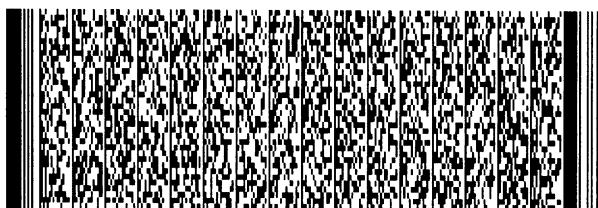
本發明之特點在於將必須經常重複測試難以數計之待測積體電路之針測卡設計得既精密 (接點及線路密度高且位置精確、表面平坦度高) 且耐用 (全體剛性高、力學結構無脆弱點、耐高溫)，配合以僅需經數個測試程序之待測積體電路其接點較柔軟或具彈性。其結果可在不影響受測積體電路之堪用性的條件下，提高針測卡之壽命與功能。此外



五、發明說明 (12)

本發明之針測卡還具有最適於測試覆晶技術之積體電路、電磁效應小、最適於執行高頻測試、測試結果準確性高、容易製造一次成形極容易清潔等好處。又，本發明之應用範圍實際上不限於測試晶圓上之積體電路，其他如印刷電路板、液晶顯示器 (LCD screen) 之驅動電路 (driver) 的導電膜等均可透過本發明之裝置與方法加以測試。故本發明之垂直式探針測試卡值得大力推廣應用。

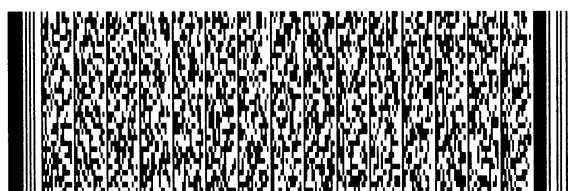
本發明既經上述較佳實施例詳加說明，惟其內涵並不限於上述之實施例。各種具體型態之替換與改良在不脫本發明之特徵的範圍內，其權利仍為本申請人所主張。



四、中文發明摘要 (發明名稱：一種測試電子裝置電性反應及功能之裝置與方法)

一種測試電子裝置電性反應及功能之裝置與方法。該測試裝置包含一負載板、一多層陶瓷基板及設於該多層陶瓷基板表面上排成矩陣樣式之多個垂直剛性微探針。利用該裝置測試電子裝置之方法係將待測電子裝置輸送至本裝置下方，校準待測電子裝置和本裝置之水平相對位置，再將該待測電子裝置向上頂起使該電子裝置之多個輸出入接點在產生塑性變形或彈性變形之狀況下接觸該多個微探針，以便自動化測試設備透過本裝置對受測電子裝置發送測試訊號及拾取結果訊號。

六、英文發明摘要 (發明名稱：Probe card and method for testing the proceed function or speed of electronic devices)



六、申請專利範圍

1. 一種測試電子裝置電性反應及功能之裝置，包含：

一內含多層電路之多層陶瓷基板，該多層陶瓷基板包含一第一平面係面向受測電子裝置，以及一第二平面係平行且背對於該第一平面；以及

多個對應受測電子裝置之輸出入接點位置而排列成特定樣式之剛性導電微探針，該多個微探針係應用與半導體製程相同之微影製程製做在該多層陶瓷基板之該第一平面上並垂直於該第一平面，並由該第一平面向外筆直伸出；以及

多個電氣接點位於該第二平面上；以及

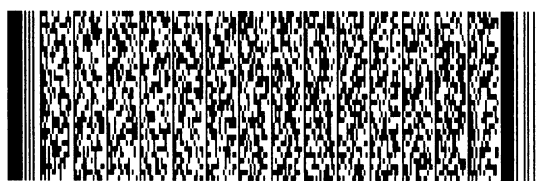
多個垂直線路係埋設在該多層陶瓷基板之穿孔中；以及

多個水平線路係埋設在該多層陶瓷基板之各層陶瓷板之間，其中至少有一水平線路為接地線；

每個該微探針係藉由該垂直線路及該水平線路與對應之該電氣接點電性連接；

測試時將受測電子裝置之各輸出入接點對準其各別對應之該微探針，而將該受測電子裝置朝向該多層陶瓷基板接近並使該多個微探針每個都與其各自對應之該受測電子裝置之各該輸出入接點接觸到；其後並繼續將該受測電子裝置朝向該多層陶瓷基板推進一特定安全距離而停止；保持該受測電子裝置在該停止位置直到此段測試程序完成。

2. 如申請專利範圍第1項之測試電子裝置電性反應及功能



六、申請專利範圍

之裝置，其中認定該全部微探針都與該受測電子裝置之該全部輸出入接點接觸到之方式係根據兩者尚未接觸時，該受測電子裝置之全部該輸出入接點之平均凸起高度與該微探針之平均高度以及它們的平均公差而估算；該特定安全距離理想上係大到足以確保該全部微探針都與該受測電子裝置之該全部輸出入接點形成良好接觸並且小到不至於對該受測電子裝置之任何該輸出入接點造成功能上的損害。

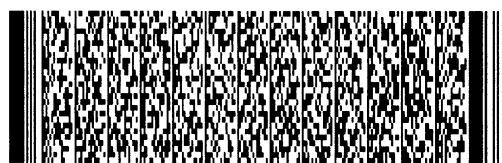
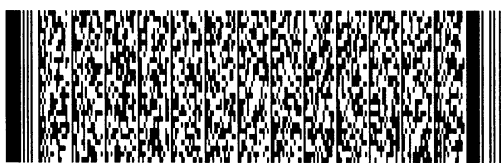
3. 如申請專利範圍第1項之測試電子裝置電性反應及功能之裝置，其中該微探針之材質係採用如鎢、鉍、鉻、鉭、鎳、銻等硬度較高之金屬。

4. 如申請專利範圍第1項之測試電子裝置電性反應及功能之裝置，其中該微探針之形狀係根部較粗末端較細。

5. 如申請專利範圍第1項之測試電子裝置電性反應及功能之裝置，其中該微探針之排列樣式係包含一週邊部分及一中央部分之矩陣。

6. 如申請專利範圍第1項之測試電子裝置電性反應及功能之裝置，其中該微探針材質採硬度較該受測電子裝置之輸出入接點材質之硬度為高者。

7. 如申請專利範圍第6項之測試電子裝置電性反應及功能



六、申請專利範圍

之裝置，其中該受測電子裝置之該輸出入接點係焊料球。

8. 如申請專利範圍第7項之測試電子裝置電性反應及功能之裝置，其中該特定安全距離為認定該全部微探針都與該受測電子裝置之該全部輸出入接點接觸到之位置起算5~25微米。

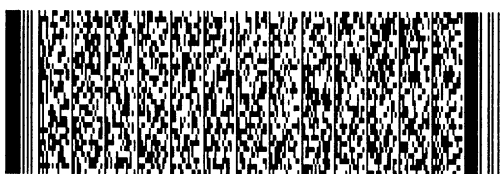
9. 如申請專利範圍第1項之測試電子裝置電性反應及功能之裝置，其中該裝置另包含了一負載板以便與自動化測試設備做機構上及電氣上的連接，該負載板包含多個連接點以便與位於該多層陶瓷基板之該第二平面上之該多個電氣接點作電性連接。

10. 如申請專利範圍第9項之測試電子裝置電性反應及功能之裝置，其中該多層陶瓷基板係利用表面黏著技術使該多個電氣接點焊接於該負載板之該多個連接點上。

11. 一種測試電子裝置電性反應及功能之方法，包含：

提供一測試頭，該測試頭包含一內含多層電路之多層陶瓷基板，以及

多個對應受測電子裝置之輸出入接點位置而排列成特定樣式之剛性導電探針，該多個探針係設於該多層陶瓷基板之第一平面上並垂直於該第一平面，並由該第一平面向外筆直伸出，以及



六、申請專利範圍

多個垂直線路係埋設在該多層陶瓷基板之穿孔中，以及多個水平線路係埋設在該多層陶瓷基板之各層陶瓷板之間，其中至少有一水平線路為接地線；

提供受測試之電子裝置，該電子裝置之輸出入接點係設計成當其受力與該測試頭之該探針接觸時會在該測試頭之該探針大致上不發生變形之情況下產生塑性變形；

將該測試頭與該電子裝置相互靠近，使該測試頭之每個該探針接觸該電子裝置之對應的該輸出入接點，致使每個該電子裝置之該輸出入接點產生若干程度之塑性變形而停止；

維持該測試頭與該電子裝置在該停止位置，透過該測試頭對該電子裝置輸送測試訊號及拾取結果訊號。

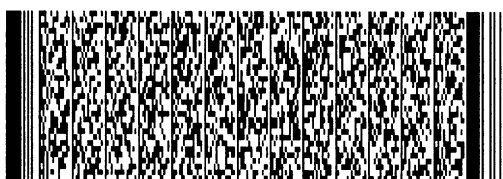
12.一種測試電子裝置電性反應及功能之方法，包含：

提供一測試頭，該測試頭包含一內含多層電路之多層陶瓷基板，以及

多個對應受測電子裝置之輸出入接點位置而排列成特定樣式之剛性導電探針，該多個探針係設於該多層陶瓷基板之第一平面上並垂直於該第一平面，並由該第一平面向外筆直伸出，以及

多個垂直線路係埋設在該多層陶瓷基板之穿孔中，以及

}



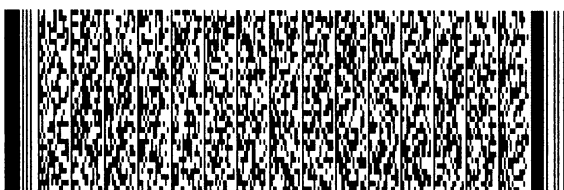
六、申請專利範圍

多個水平線路係埋設在該多層陶瓷基板之各層陶瓷板之間，其中至少有一水平線路為接地線；

提供受測試之電子裝置，該電子裝置之輸出入接點係設計成當其受力與該測試頭之該探針接觸時會在該測試頭之該探針大致上不發生變形之情況下產生彈性變形；

將該測試頭與該電子裝置相互靠近，使該測試頭之每個該探針接觸該電子裝置之對應的該輸出入接點，致使每個該電子裝置之該輸出入接點產生若干程度之彈性變形而停止；

維持該測試頭與該電子裝置在該停止位置，透過該測試頭對該電子裝置輸送測試訊號及拾取結果訊號。



圖式

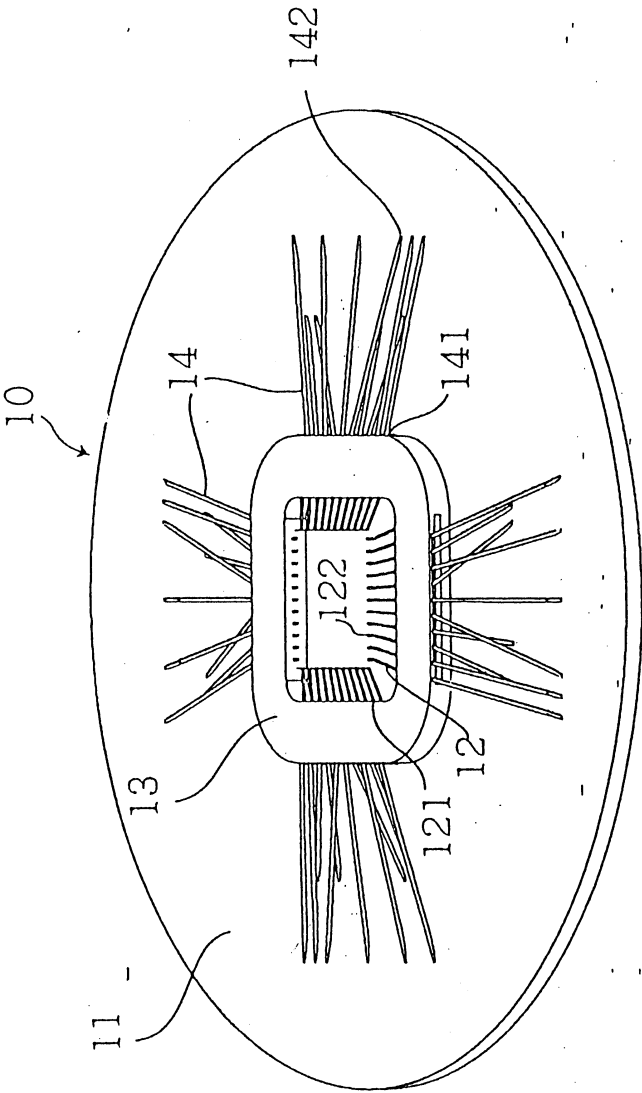


圖1a

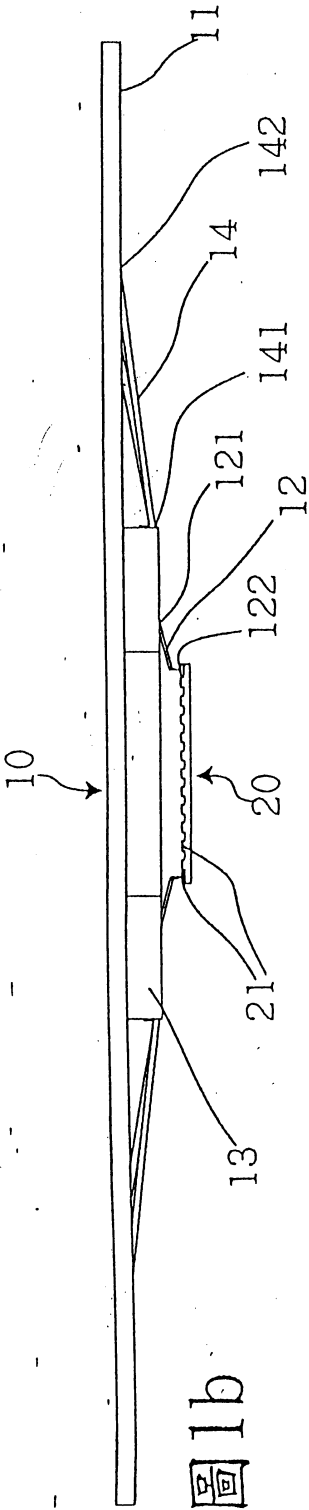
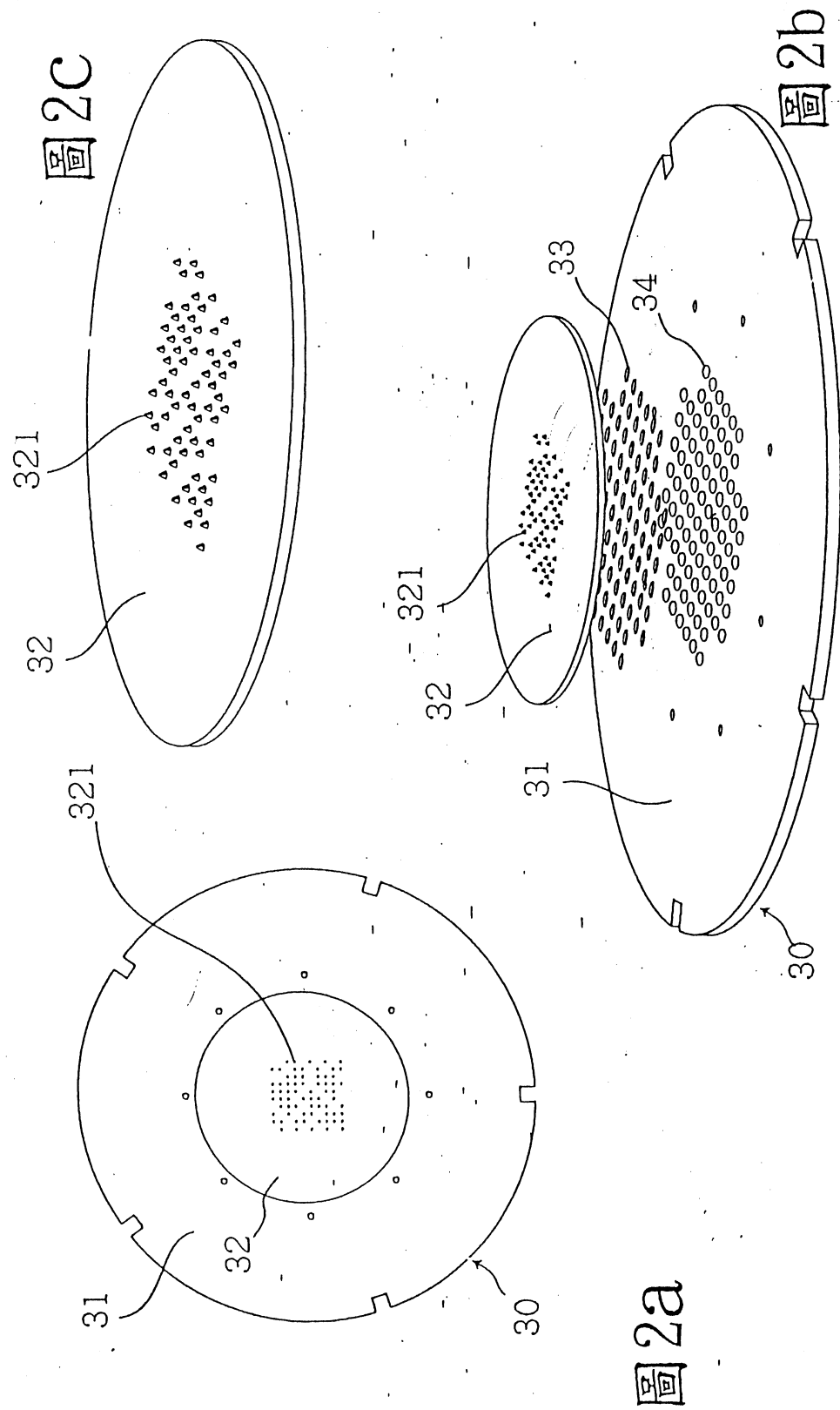
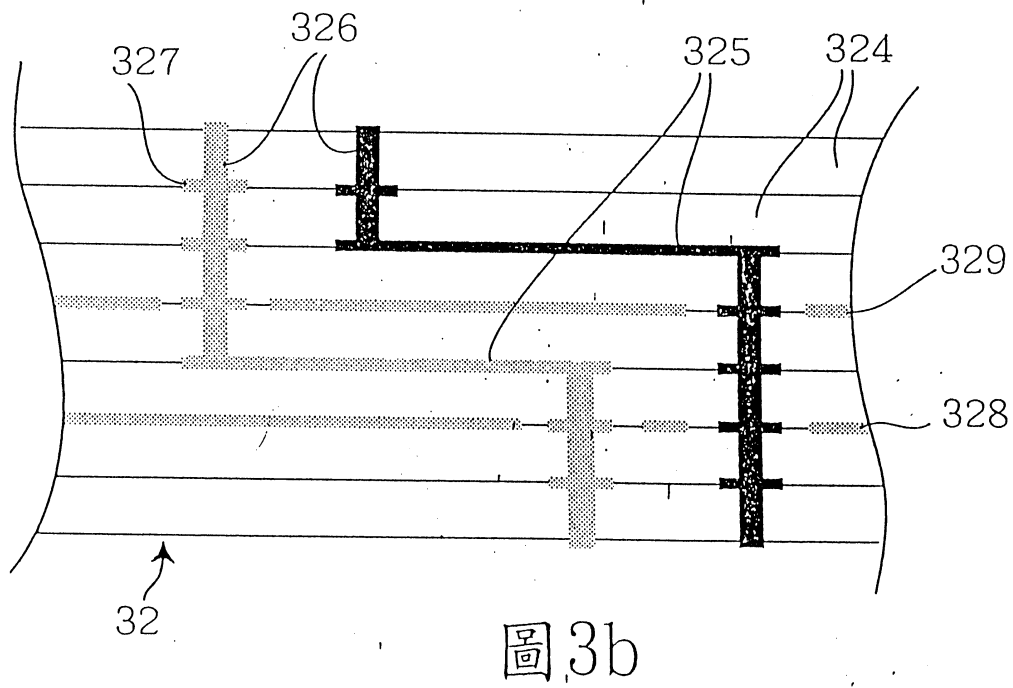
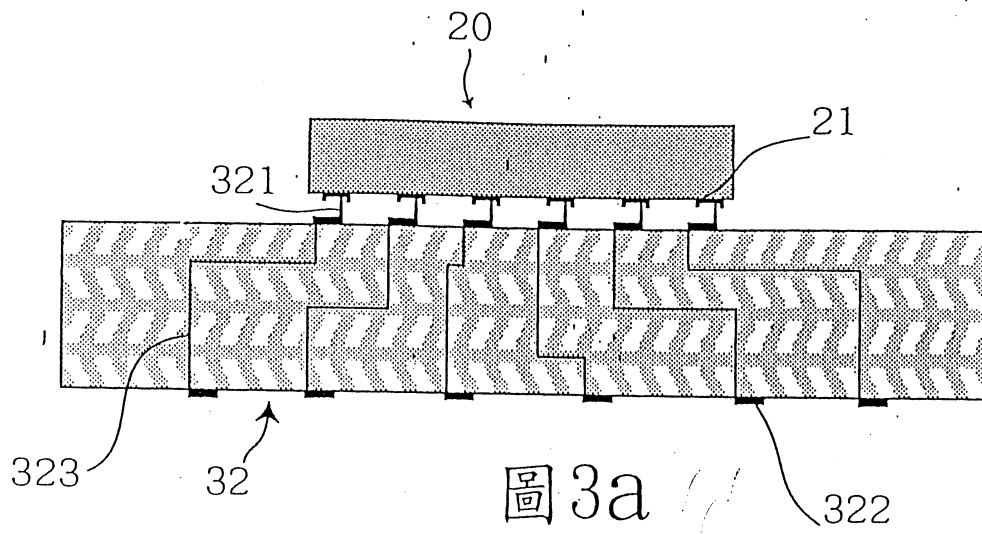


圖1b

圖式



圖式



圖式

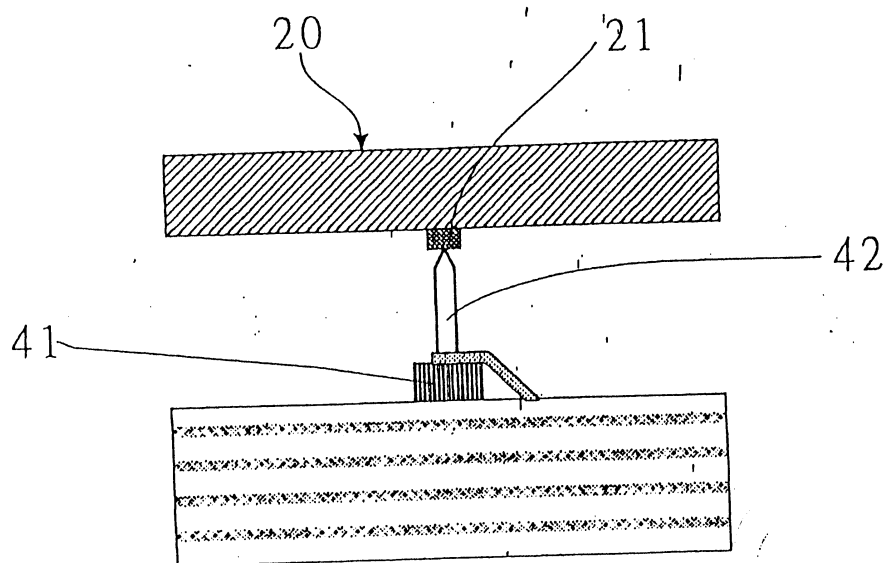


圖4a

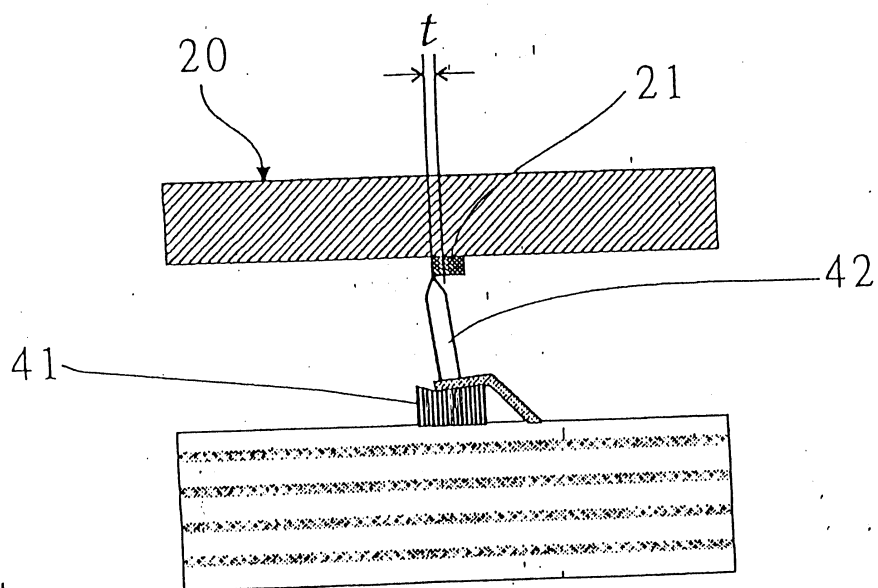


圖4b

圖式

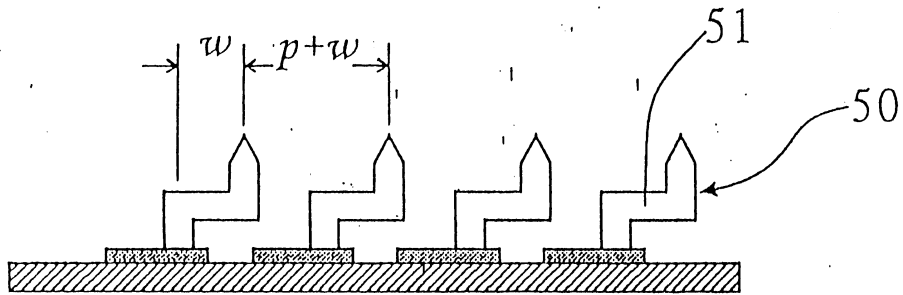


圖 5a

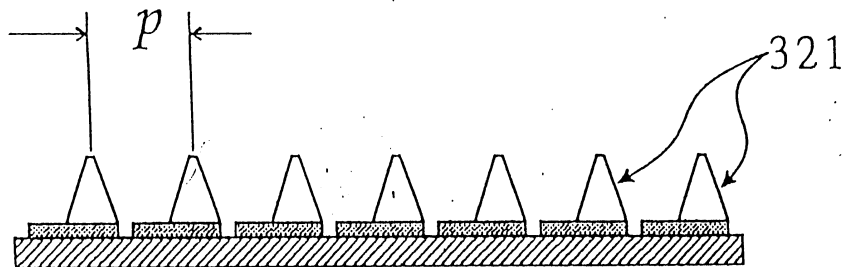


圖 5b

圖式

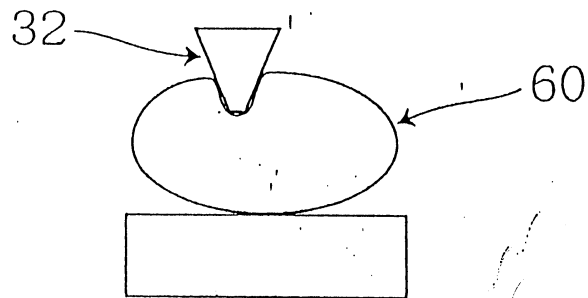


圖 6a

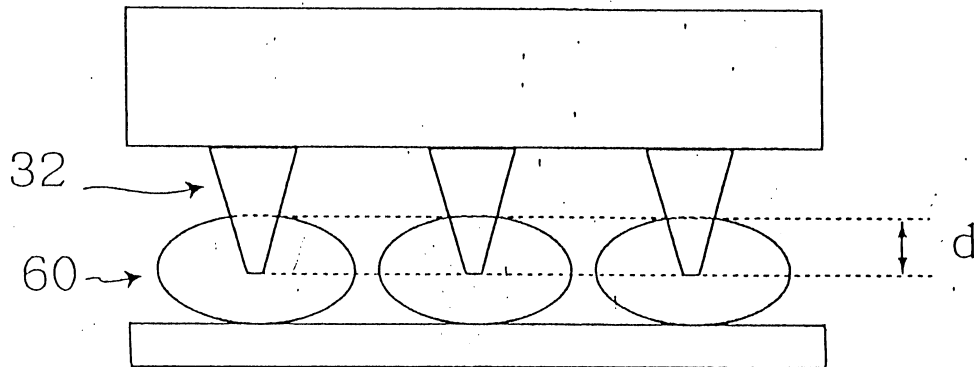


圖 6b

修正
補充
2005年1月6日

年 月 日 修正

公告本

申請日期： 91. 1. 24
申請案號： 91101112

IPC分類

B81B 3/00

(以上各欄由本局填註)

發明專利說明書

565529

一、 發明名稱	中 文	一種測試電子裝置電性反應及功能之裝置與方法
	英 文	Probe card and method for testing the proceed function or speed of electronic devices
二、 發明人 (共2人)	姓 名 (中文)	1. 陳新欣 2. 徐福嘉
	姓 名 (英文)	1. 2.
	國 籍 (中英文)	1. 中國民國 2. 美國 US
	住居所 (中 文)	1. 220 台北縣板橋市三民路一段216號十二樓 2. 95129 美國 加州 聖荷西 灰木路 1423號
	住居所 (英 文)	1. 2. 1423 Graywood Dr. San Jose, CA 95129
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽晶源高科股份有限公司
	名稱或 姓 名 (英文)	1. SCS Hightech. Inc.
	國 籍 (中英文)	1. 中華民國
	住居所 (營業所) (中 文)	1. 220 台北縣板橋市三民路一段216號十二樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李厚政
	代表人 (英文)	1.



2003.05.16.001

圖式簡單說明

圖 1a與圖 1b所示係習知技藝之懸臂式針測卡立體圖與側面剖視圖。

圖 2a、圖 2b及圖 2c所示係本發明之垂直測試卡之示意圖。

圖 3a與圖 3b所示係本發明之垂直測試卡中之多層陶瓷基板之剖面示意圖。

圖 4a、圖 4b所示係一種具有彈性構造之探針設計之示意圖。

圖 5a所示係另一種具有彈性構造之探針設計之側視圖。

圖 5b所示係本發明之垂直測試卡之微探針排列情形之側視圖。

圖 6a所示係本發明之垂直測試卡之微探針與受測積體電路之結合墊上之錫球接觸時之放大示意圖。

圖 6b係表示本發明之垂直測試卡之全部微探針與對應之受測積體電路之結合墊上之錫球接觸時兩者之相對位置關係。

