



# (12)发明专利

(10)授权公告号 CN 105900321 B

(45)授权公告日 2019.04.12

(21)申请号 201580004383.2

C·哈特拉普

(22)申请日 2015.01.08

(74)专利代理机构 北京市金杜律师事务所

11256

(65)同一申请的已公布的文献号

代理人 郑立柱

申请公布号 CN 105900321 A

(43)申请公布日 2016.08.24

(51)Int.Cl.

H02M 1/42(2006.01)

(30)优先权数据

14150883.8 2014.01.13 EP

(56)对比文件

CN 102244955 A, 2011.11.16, 说明书第42, 44-46, 48段, 图2, 4.

(85)PCT国际申请进入国家阶段日

2016.07.12

CN 102652464 A, 2012.08.29, 说明书第42, 65段, 图1, 2.

(86)PCT国际申请的申请数据

PCT/EP2015/050263 2015.01.08

Toshio Watanabe等. Vector Controlled Induction Motor Drives with Electrical Double Layer Capacitor. 《2004 35th Annual IEEE Power Electronics Specialists Conference》. 2006, 第1359-1364.

(87)PCT国际申请的公布数据

W02015/104337 EN 2015.07.16

(73)专利权人 飞利浦照明控股有限公司

地址 荷兰艾恩德霍芬市

审查员 孙建萍

(72)发明人 G·L·P·德博特 G·索尔兰德

权利要求书2页 说明书5页 附图3页

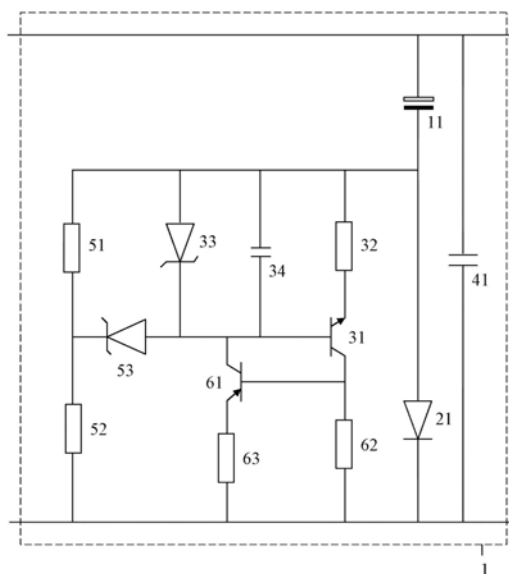
## (54)发明名称

具有受控放电电流的用于二极管桥式整流器的缓冲电容器

## (57)摘要

用于缓冲能量的装置(1)包括具有一个或多个缓冲电容器(11)的缓冲电容器电路(10)、用于引导用于给缓冲电容器电路(10)充电的充电电流的第一电路(20)和具有用于限定用于将缓冲电容器电路(10)放电的放电电流的幅值的电流源电路(31至34)以更好控制缓冲电容器电路(10)的放电的第二电路(30)。第二电路(30)可以进一步包括用于使电流源电路(31至34)进入激活模式的触发电路(51至53), 和用于锁存电流源电路(31至34)的锁存电路(61至63)。装置(1)可以进一步包括具有一个或多个平滑电容器(41)的平滑电容器电路(40)。缓冲电容器电路(10)可以被串联耦合至第一电路(20), 并且第一和第二电路(20, 30)可以彼此并联耦合。

CN 105900321 B



1. 一种用于缓冲能量的装置(1),所述装置(1)包括
  - 输入,
  - 缓冲电容器电路(10),包括一个或多个缓冲电容器(11),
  - 与所述输入并联的平滑电容器电路(40),包括一个或多个平滑电容器(41),
  - 第一电路(20),用于引导充电电流,所述缓冲电容器电路(10)被布置成经由所述充电电流被充电,和
  - 第二电路(30),包括用于限定放电电流的幅值的电流源电路(31-34),所述缓冲电容器电路(10)被布置成经由所述放电电流被放电,其中,
  - 所述缓冲电容器电路(10)被串联耦合至所述第一电路(20),并且所述第二电路(30)被并联耦合至所述第一电路(20)
  - 所述平滑电容器电路(40)与所述缓冲电容器电路(10)和所述第一电路的组合并联耦合,所述第二电路(30)包括触发电路(51-53),以检测跨所述缓冲电容器电路存在的电压的幅值和输入电压的幅值之间的差异,并且一旦所述差异的幅值达到和/或超过阈值幅值,就使所述电流源电路(31-34)进入激活模式,和
  - 所述缓冲电容器电路(10)的电容大于所述平滑电容器电路(40)的电容。
2. 根据权利要求1所述的装置(1),所述电流源电路(31-34)被布置成限定在所述激活模式中所述放电电流的幅值。
3. 根据权利要求2所述的装置(1),所述第二电路(30)进一步包括用于锁存所述电流源电路(31-34)的锁存电路(61-63)。
4. 根据权利要求2所述的装置(1),所述第二电路(30)被布置成在所述电流源电路(31-34)的去激活模式中引导泄漏电流,所述泄漏电流的幅值至多是所述放电电流的幅值的十分之一。
5. 根据权利要求1所述的装置(1),所述平滑电容器电路(40)被配置成与负载(4)并联耦合,并且所述缓冲电容器电路(10)被布置成通过包括所述平滑电容器电路(40)和/或所述负载(4)的回路经由放电电流被放电。
6. 根据权利要求1所述的装置(1),所述第二电路(30)包括被耦合至所述第一电路(20)的第一端子和第二端子的第一端子和第二端子,并且所述第二电路(30)包括第一晶体管(31)、一个或多个齐纳二极管(33,53)以及一个或多个电阻器(32,51,52)。
7. 根据权利要求6所述的装置(1),所述第二电路(30)进一步包括第二晶体管(61)以及一个或多个另外的电阻器(62,63)。
8. 根据权利要求6所述的装置(1),所述第二电路(30)进一步包括电容(34)。
9. 根据权利要求1所述的装置(1),所述第一电路(20)包括二极管(21)。
10. 一种包括根据权利要求1所述的装置(1)的设备,并且进一步包括用于将第一功率供给至所述装置(1)的整流电路(2)。
11. 根据权利要求10所述的设备,所述整流电路(2)包括用于接收来自电源(3)的交流电压的输入和用于将具有波动幅值的直流电压提供至所述装置(1)的输出。
12. 根据权利要求10所述的设备,所述整流电路(2)被布置成引导所述充电电流并且阻止所述放电电流。

13. 根据权利要求10所述的设备,所述整流电路(2)包括在二极管桥中的四个二极管。

14. 一种包括如权利要求1所述的装置(1)的设备,并且进一步包括用于接收来自所述装置(1)的第二功率的负载(4)。

15. 根据权利要求14所述的设备,所述平滑电容器电路(40)被配置成与负载(4)并联耦合,并且所述缓冲电容器电路(10)被布置成通过包括所述平滑电容器电路(40)和/或所述负载(4)的回路经由放电电流被放电。

## 具有受控放电电流的用于二极管桥式整流器的缓冲电容器

### 技术领域

[0001] 本发明涉及用于缓冲能量的装置。本发明进一步涉及包括该装置并且进一步包括用于将第一功率供给至该装置的整流电路的设备。本发明还进一步涉及包括该装置并且进一步包括用于接收来自该装置的第二功率的负载的装置。

[0002] 这样的装置的示例是填谷式电路 (valley-fill-in circuit) 与电容器电路的组合。这样的装置的示例是诸如灯等的负载。

### 背景技术

[0003] FR 2 742 010公开了一种填谷式电路与电容器电路的组合。该填谷式电路基于晶闸管。

[0004] US2013/0049618公开了一种用于驱动负载的适配电路。适配电路包括具有两个缓冲电容器的缓冲电容器电路。第一电路引导用于缓冲电容器的充电电流并且第二电路限定其中的一个缓冲电容器的放电电流。

[0005] US2013/0043910公开一种用于驱动负载电路的驱动器电路。驱动器电路包括具有一个缓冲电容器的缓冲电容器电路。第一电路引导用于缓冲电容器的充电电流,并且第二电路限定用于缓冲电容器的放电电路。

[0006] 本发明内容

[0007] 本发明的目的是提供一种改进的装置。本发明的进一步的目的是提供一种设备和装置。

[0008] 根据第一方面,提供一种用于缓冲能量的装置,装置包括

[0009] -缓冲电容器电路,包括一个或多个缓冲电容器,

[0010] -平滑电容器电路,包括一个或多个平滑电容器,

[0011] -第一电路,用于引导充电电流,缓冲电容器电路被布置成经由充电电流被充电,和

[0012] -第二电路,包括用于限定放电电流的幅值的电流源电路,缓冲电容器电路被布置成经由放电电流被放电,

[0013] 其中,

[0014] -平滑电容器电路被配置成与负载并联耦合,并且缓冲电容器电路被布置成通过包括平滑电容器电路和/或负载的回路经由放电电流被放电,

[0015] -平滑电容器电路与缓冲电容器电路和第一电路的组合并联耦合,和

[0016] -缓冲电容器电路的电容大于平滑电容器电路的电容。

[0017] 平滑电容器电路包括串联连接的一个或多个平滑电容器或者并联连接的两个平滑电容器或者无论串联和/或并联连接的三个或多个平滑电容器。缓冲电容器电路的电容应该大于平滑电容器电路的电容、优选地至少两倍大、更优选地至少五倍大等。缓冲电容器电路包括一个缓冲电容器或者串联连接的两个缓冲电容器或者并联连接的两个缓冲电容器或者无论串联和/或并联连接的三个或多个缓冲电容器。经由流过第一电路的充电电流,

缓冲电容器电路被充电。经由流过第二电路的放电电流,缓冲电容器电路被放电。第二电路中的电流源电路限定该放电电流的幅值。作为结果,与如FR 2 742 010中已知的晶闸管的使用相比,放电电流的幅值被更好地限定,并且缓冲电容器电路的放电可以被更好地控制。这是很大的优点。

[0018] 缓冲电容器电路和第一电路的串联连接以及第一和第二电路的并联连接允许第一和第二电路通过简单且低成本且稳健的实施例来实现。

[0019] 装置的实施例由如下限定:第二电路进一步包括用于使电流源电路进入激活模式的触发电路,电流源电路被布置成在激活模式中限定放电电流的幅值。触发电路例如包括用于检测在跨缓冲电容器电路存在的电压的幅值与如例如通过电源经由整流电路供给的输入电压的幅值之间的差异幅值的电压检测器。一旦该差异幅值达到和/或超过了阈值幅值,就使电流源电路进入用于限定放电电流的幅值的激活模式。不排除其他种类的触发电路和其他种类的信号。

[0020] 装置的实施例由如下限定:第二电路进一步包括用于锁存电流源电路的锁存(latch)电路。锁存电路可以使第二电路的操作稳定。

[0021] 装置的实施例由如下限定:第二电路被布置成在电流源电路的去激活模式中引导泄漏电流,泄漏电流的幅值是放电电流的幅值至多十分之一。在电流源电路的去激活模式中,泄漏电流可以流过第二电路。泄漏电流的幅值应该是放电电流的幅值的至多十分之一、优选地至多五十分之一、更优选地至多一百分之一等。

[0022] 换言之,在去激活模式期间,当电流源电路未引导放电电流时,仅小得多的泄漏电流可以在相反方向上流过第二电路。类似地,当第一电路未引导充电电流时,仅小得多的进一步的泄漏电流可以在相反方向上流过第一电路。进一步的泄漏电流的幅值应该是充电电流的幅值的至多十分之一、优选地至多五十分之一、更优选地至多一百分之一等。

[0023] 可替代地,平滑电容器电路可以形成被耦合至装置的负载的一部分。

[0024] 装置的实施例由如下限定:平滑电容器电路被配置成与负载并联耦合,并且缓冲电容器电路被布置成通过包括平滑电容器电路和/或负载的回路经由放电电流被放电。

[0025] 装置的实施例由如下限定:第二电路包括被耦合至第一电路的第一和第二端子的第一和第二端子,并且第二电路包括第一晶体管、一个或多个齐纳二极管以及一个或多个电阻器。仅作为示例,第一晶体管的第一主电极可以经由第一电阻器被耦合至第二电路的第一端子,第二和第三电阻器的串联连接可以被耦合至第二电路的第一和第二端子,第二和第三电阻器之间的连接点可以经由第二齐纳二极管被耦合至第一晶体的控制电极,并且第一晶体的控制电极可以经由第一齐纳二极管被耦合至第二电路的第一端子。电流源电路可以基于第一晶体管和第一电阻器和第一齐纳二极管。触发电路可以基于第二和第三电阻器以及第二齐纳二极管。第一齐纳二极管与第一晶体管和第一电阻器组合可以限定放电电流的幅值。第二齐纳二极管与第二和第三电阻器组合可以限定阈值幅值。

[0026] 齐纳二极管可以是真实的齐纳二极管或者可以包括一个或多个正常二极管或者可以经由晶体管电路来实现等。

[0027] 装置的实施例由如下限定:第二电路进一步包括第二晶体管以及一个或多个进一步的电阻器。仅作为示例,第二晶体的控制电极可以被耦合至第一晶体的第二主电极并且经由第四电阻器被耦合至第二电路的第二端子,第二晶体的第一主电极可以经由第

五电阻器被耦合至第二电路的第二端子,并且第二晶体管的第二主电极可以被耦合至第一晶体管的控制电极。锁存电路可以基于第二晶体管以及第四和第五电阻器。

[0028] 装置的实施例由如下限定:第二电路进一步包括电容。仅作为示例,电容可以被耦合至第二电路的第一端子并且被耦合至第一晶体管的控制电极。电容可以使电流源电路的操作平滑。

[0029] 装置的实施例由如下限定:第一电路包括二极管。呈二极管形式的第一电路将形成针对充电电流的相对低的阻抗并且将形成针对放电电流的相对高的阻抗。

[0030] 根据第二方面,提供一种设备,包括如上面所限定的装置并且进一步包括用于将第一功率供给至装置的整流电路。来自整流电路的第一功率可以被用于给缓冲电容器电路和平滑电容器电路充电。整流电路可以将进一步的功率直接供给至被耦合至装置的负载。

[0031] 设备的实施例由如下限定:整流电路包括用于接收来自电源的交流电压的输入和用于将具有波动幅值的直流电压提供至装置的输出。尤其是在具有波动幅值的直流电压被供给至负载的情况下,装置可以对于填谷式目的是有用的。

[0032] 设备的实施例由如下限定:整流电路被布置成引导充电电流并且阻止放电电流。

[0033] 设备的实施例由如下限定:整流电路包括在二极管桥中的四个二极管。

[0034] 根据第三方面,提供一种设备,包括如上面所限定的装置并且进一步包括用于接收来自装置的第二功率的负载。第二功率可以由缓冲电容器电路和平滑电容器电路提供。负载可以很可能经由整流电路接收直接来自电源的进一步的功率。

[0035] 设备的实施例由如下限定:平滑电容器电路被配置成与负载并联耦合,并且缓冲电容器电路被布置成通过包括平滑电容器电路和/或负载的回路经由放电电流被放电。

[0036] 基本思想在于缓冲电容器电路经由充电电流被充电并且经由具有很好限定的幅值的放电电流被放电。

[0037] 解决了提供改进的装置的问题。利用改进的装置,缓冲电容器电路的放电可以被更好地控制。电流源电路与晶闸管相比允许放电电流的幅值及其定时被更精确地限定。进一步的优点在于提高了功率因数。

[0038] 本发明的这些及其他方面将从下文中描述的实施例中显而易见并参照这些实施例得以阐述。

## 附图说明

[0039] 在附图中:

[0040] 图1示出系统的实施例,

[0041] 图2装置的实施例,

[0042] 图3示出现有技术的波形,和

[0043] 图4示出改进的波形。

## 具体实施方式

[0044] 在图1中,示出了一种系统。系统包括电源3,用于将交流电压经由整流电路2提供至装置1和负载4的并联连接。整流电路2例如包括在整流桥中的四个二极管并且将交流电压转换成具有波动幅值的直流电压。负载4包括例如包括开关模式电源的消费产品,诸如包

括驱动器的灯等。不排除其他种类的整流电路2和其他种类的负载4。

[0045] 装置1被布置成缓冲能量并且包括缓冲电容器电路10,其包括图2中示出的一个或多个缓冲电容器11。装置1进一步包括用于引导用向下箭头指示出的充电电流的第一电路20。缓冲电容器电路10被布置成利用经由整流电路2与电源3组合实现的回路经由充电电流被充电。装置1进一步包括用于限定由向上箭头指示出的放电电流的幅值的具有图2中示出的电流源电路31至34的第二电路30。缓冲电容器电路10被布置成利用经由负载4和/或经由包括图2中示出的一个或多个平滑电容器41的平滑电容器电路40实现的回路经由放电电流被放电。优选地,缓冲电容器电路10的电容将大于平滑电容器电路40的电容。

[0046] 第二电路30可以进一步包括用于使电流源电路31至34进入激活模式的图2中示出的触发电路51至53。电流源电路31至34被布置成在激活模式中限定放电电流的幅值。第二电路30被布置成在电流源电路31至34的去激活模式中引导泄漏电流。通常,泄漏电流的幅值将比放电电流的幅值至多十分之一。第二电路30可以进一步包括用于锁存电流源电路31至34的图2中示出的锁存电路61至63。

[0047] 优选地,缓冲电容器电路10被串联耦合至第一电路20,并且第二电路30被并联耦合至第一电路20。

[0048] 在图2中,示出了装置1的实施例。图1中示出的缓冲电容器电路10在这里包括被耦合至装置1的第一(上)端子的一个缓冲电容器11。图1中示出的第一电路20在这里包括用于引导充电电流的二极管21。二极管21的阳极被耦合至缓冲电容器11并且二极管21的阴极被耦合至装置1的第二(下)端子。图1中示出的第二电路30包括用于限定放电电流的幅值的电流源电路31至34,并且可以进一步包括用于使电流源电路31至34进入激活模式的触发电路51至53,并且可以进一步包括用于锁存电流源电路31至34的锁存电路61至63。

[0049] 第二电路30包括被耦合至二极管21的阳极和阴极的第一和第二端子。电流源电路31至34包括第一晶体管31、第一齐纳二极管33、第一电阻器32和电容34。触发电路51至53包括第二和第三电阻器51、52以及第二齐纳二极管53。锁存电路61至63包括第二晶体管61以及第四和第五电阻器62、63。第一晶体管31的第一主电极经由第一电阻器32被耦合至第二电路30的第一端子。第二和第三电阻器51、52的串联连接被耦合至第二电路30的第一和第二端子。第二和第三电阻器51、52之间的连接点经由第二齐纳二极管53被耦合至第一晶体管31的控制电极。第一晶体管31的控制电极经由第一齐纳二极管33和电容34的并联连接被耦合至第二电路30的第一端子。第二晶体管61的控制电极被耦合至第一晶体管31的第二主电极并且经由第四电阻器61被耦合至第二电路30的第二端子。第二晶体管61的第一主电极经由第五电阻器63被耦合至第二电路30的第二端子。第二晶体管61的第二主电极被耦合至第一晶体管31的控制电极。

[0050] 图2中示出的装置1如下工作。整流电路2将来自电源3的交流电压转换成直流电压并且将该直流电压提供至装置1和负载4的并联连接。该直流电压是整流正弦波电压。从过零开始到整流正弦波电压的顶峰,缓冲电容器11基本上被充电直到直流电压的峰值。充电电流流过缓冲电容器11和二极管21。由于二极管21处于导通模式的事实,跨二极管21存在具有例如0.6伏或0.7伏的幅值的电压。相同的电压跨第二电路30存在,并且作为结果电流源电路31至34和触发电路51至53不能作出反应。

[0051] 从整流正弦波的顶峰下降,缓冲电容器11将首先(试图)保持其电压幅值。作为第

一结果,缓冲电容器11与二极管21之间的连接点将鉴于装置1的第二(下)端子而得到负电压电位。作为第二结果,二极管21将得到非导通模式。作为第三结果,从第二电路30的第二端子(或二极管21的阴极)到第二电路30的第一端子(或二极管21的阳极)存在的电压的幅值将变成越来越大。只要该幅值达到由第二和第三电阻器51、52以及第二齐纳二极管53限定的充分的大小,触发电路51至53就会激活电流源电路31至34,并且由第一齐纳二极管33和第一晶体管31以及第一电阻器32限定的放电电流就会开始流过第二电路30并流过缓冲电容器11并流过平滑电容器41(用于给其充电)和/或流过负载4(用于向其馈送)。虽然整流正弦波电压从顶峰下降至过零,但从这一刻起跨负载4的电压将上升,并且整流电路2将进入非导通模式。所有这一切直到达到整流正弦波电压上的过零为止,接着循环将再次开始。

[0052] 锁存电路61至63可以被引入用于使电流源电路31至34稳定并且用于防止电流源电路31至34被不必要地关断和接通。

[0053] 在图3中,示出了针对没有填谷式的情况的现有技术的波形。其中A是整流正弦波、B1是跨负载4的电压、C1是流过缓冲电容器11的电流并且D1是流过电源3的电流。

[0054] 在图4中,示出了针对包括装置1的情况的改进的波形,其中A是整流正弦波、B2是跨负载4的电压、C2是流过缓冲电容器11的电流并且D2是流过电源3的电流。显然,在将D1和D2进行比较时,导通角(流过电源3的输出的电流不等于零的时间)增加了,这意味着功率因数通过增加了装置1而增加。

[0055] 与公开了填谷式电路与电容器电路的组合的FR 2 742 010相比,其中该填谷式电路是基于晶闸管,通过引入装置1,放电电流的幅值及其定时可以被更好地限定,并且缓冲电容器电路10的放电可以被更好地控制,这是很大的改进。

[0056] 代替整流正弦波电源,具有波动幅值的其他种类的电压是可能的。针对电流源电路、针对触发电路和针对锁存电路的很多其他种类的实施例也将是可能的。第一和第二元件可以经由第三元件间接耦合并且可以在其间没有第三元件的情况下直接耦合。

[0057] 总之,用于缓冲能量的装置1包括具有一个或多个缓冲电容器11的缓冲电容器电路10、用于引导用于给缓冲电容器电路10充电的充电电流的第一电路20和具有用于限定用于将缓冲电容器电路10放电的放电电流的幅值以更好地控制缓冲电容器电路10的放电的电流源电路31至34的第二电路30。第二电路30可以进一步包括用于使电流源电路31至34进入激活模式的触发电路51至53,和用于锁存电流源电路31至34的锁存电路61至63。装置1可以进一步包括具有一个或多个平滑电容器41的平滑电容器电路40。缓冲电容器电路10可以被串联耦合至第一电路20,并且第一和第二电路20、30可以彼此并联耦合。

[0058] 虽然已在附图和上述描述中详细地图示出并描述了本发明,但是这样的图示和描述应该被视为说明性或示例性的并且不是限制性的,本发明不限于所公开的实施例。可以由本领域技术人员在实践所要求保护的本发明时从对附图、公开和从属权利要求的研究中理解并实现对所公开的实施例做出的其他变化。在权利要求中,词语“包括”不排除其他元件或步骤,并且不定冠词“一”或“一个”不排除多个。相互不同的从属权利要求中记载了某些措施这个纯粹的事实不表明这些措施的组合不能有利地使用。权利要求中的任何附图标记都不应该解释为限制权利要求的范围。

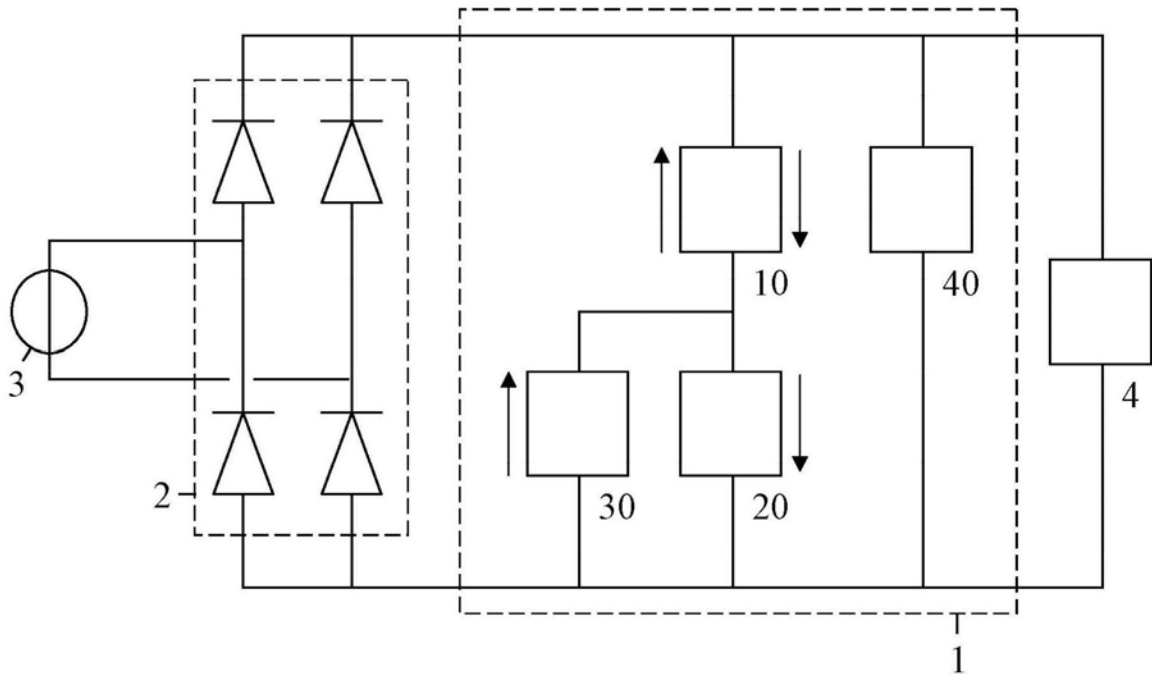


图1

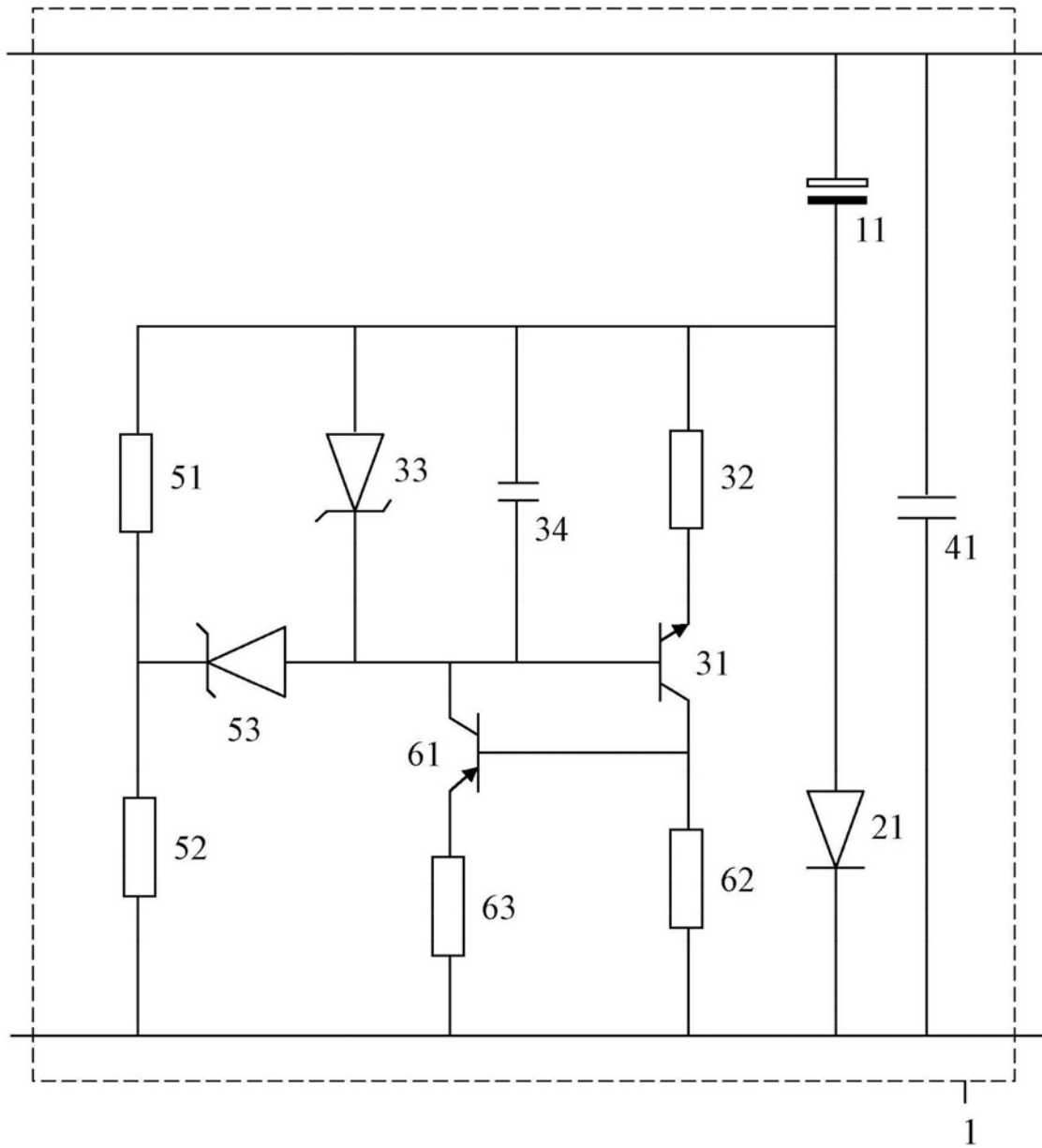
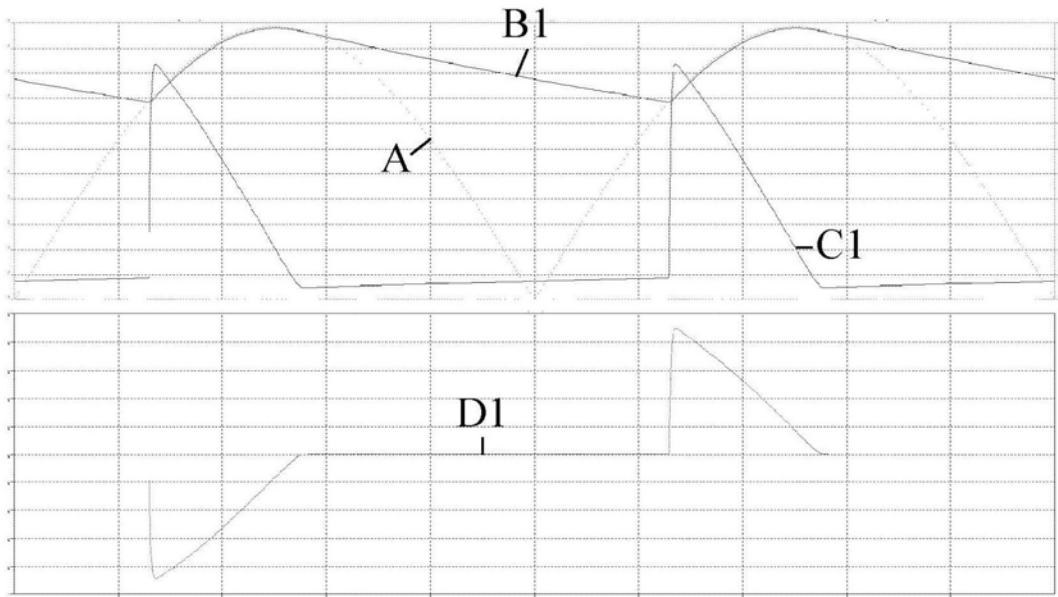


图2



(现有技术)

图3

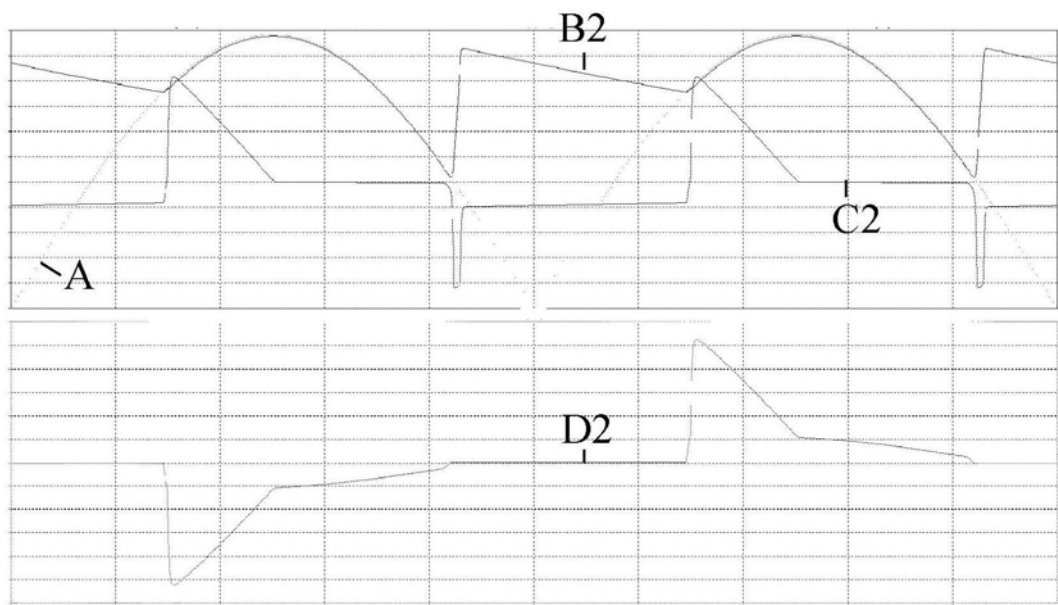


图4