



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0036290  
(43) 공개일자 2020년04월07일

- |  |   |
|--|---|
| (51) 국제특허분류(Int. Cl.)<br>G09G 3/20 (2006.01) HO1L 27/12 (2006.01)<br>HO1L 27/15 (2006.01)<br>(52) CPC특허분류<br>G09G 3/20 (2013.01)<br>HO1L 27/124 (2013.01)<br>(21) 출원번호 10-2018-0115752<br>(22) 출원일자 2018년09월28일<br>심사청구일자 없음 | (71) 출원인<br>엘지디스플레이 주식회사<br>서울특별시 영등포구 여의대로 128(여의도동)<br>(72) 발명자<br>이승현<br>경기도 파주시 월롱면 엘지로 245<br>(74) 대리인<br>특허법인인벤싱크 |
|--|---|

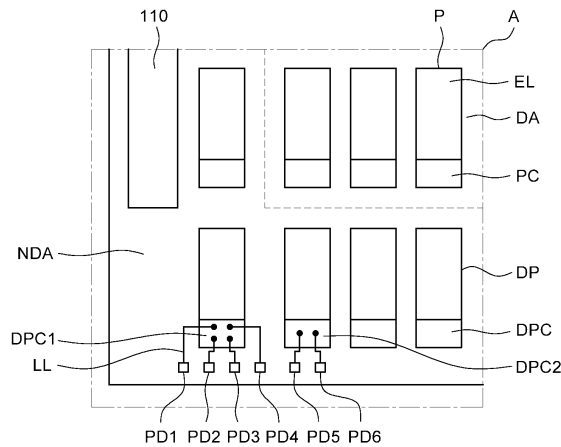
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **모니터링용 패드 및 이를 이용한 표시패널**

(57) 요약

본 명세서의 실시예에 따른 표시패널은 표시 영역에 배치된 복수의 화소 및 표시 영역의 외곽에 있는 비표시 영역에 배치된 복수의 더미 화소를 포함하고, 복수의 더미 화소 중 적어도 하나 이상의 더미 화소는 제1 더미 화소 회로 및 제2 더미 화소 회로를 포함하며, 제1 더미 화소 회로는 복수의 노드를 포함하고, 적어도 하나의 노드는 제1 패드부와 연결되고, 제2 더미 화소 회로는 발광소자의 애노드와 단락되어 오픈된 노드를 포함하고, 오픈된 노드는 제2 패드부에 연결된다. 이에 따라, 더미 화소 회로에 연결된 제1 패드부 및 제2 패드부를 통해 더미 화소 회로의 각 노드에 인가되는 전압 또는 전류를 측정할 수 있고, 에이징시 더미 화소 회로를 구성하는 소자가 받는 스트레스를 측정할 수 있다.

대표도 - 도4



(52) CPC특허분류

**H01L 27/156** (2013.01)

G09G 2300/0413 (2013.01)

G09G 2320/029 (2013.01)

G09G 2320/043 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시 영역에 배치된 복수의 화소 및 상기 표시 영역의 외곽에 있는 비표시 영역에 배치된 복수의 더미 화소를 포함하고,

상기 복수의 더미 화소 중 적어도 하나 이상의 더미 화소는 제1 더미 화소 회로 및 제2 더미 화소 회로를 포함하며,

상기 제1 더미 화소 회로는 복수의 노드를 포함하고, 적어도 하나의 노드는 제1 패드부와 연결되고,

상기 제2 더미 화소 회로는 발광소자의 애노드와 단락되어 오프된 노드를 포함하고, 상기 오프된 노드는 제2 패드부에 연결된, 표시패널.

#### 청구항 2

제1 항에 있어서,

상기 제1 더미 화소 회로 및 상기 제2 더미 화소 회로는 각각 적어도 하나 이상의 트랜지스터를 포함하고,

상기 트랜지스터는 액티브층, 게이트 전극, 및 소스드레인 전극을 포함하며,

상기 제1 패드부 및 상기 제2 패드부를 구성하는 최상위 층은 상기 소스드레인 전극과 동일층 상에 배치되고, 상기 소스드레인 전극을 이루는 전극 물질과 동일한 전극 물질로 이루어진, 표시패널.

#### 청구항 3

제1 항에 있어서,

상기 제1 패드부 및 상기 제2 패드부는 상기 제1 더미 화소 회로 및 상기 제2 더미 화소 회로를 구성하는 금속층 중 어느 한 층으로 형성되고,

상기 금속층의 상부는 외부로 노출된, 표시패널.

#### 청구항 4

제1 항에 있어서,

상기 제1 더미 화소 회로는,

제1 스캔 신호에 의해 제어되고 제1 노드 및 데이터 전압 라인에 연결된 제1 트랜지스터;

제2 노드에 연결된 게이트 전극에 의해 제어되고 고전위 전원 라인 및 제3 노드에 연결된 구동 트랜지스터;

상기 제1 노드 및 상기 제2 노드에 연결된 커패시터;

상기 제2 노드 및 상기 제3 노드에 연결된 제2 트랜지스터;

상기 제1 노드 및 기준 전압 라인에 연결된 제3 트랜지스터;

상기 제3 노드 및 제4 노드에 연결된 제4 트랜지스터; 및

상기 제4 노드 및 상기 기준 전압 라인에 연결된 제5 트랜지스터를 포함하고,

상기 제4 노드는 발광소자에 연결된, 표시패널.

#### 청구항 5

제4 항에 있어서,

상기 제1 패드부는 복수의 패드를 포함하고,

상기 복수의 패드 각각은 상기 제1 노드, 상기 제2 노드, 상기 제3 노드, 및 상기 제4 노드에 각각 연결된, 표시패널.

**청구항 6**

제4 항에 있어서,  
 상기 제1 트랜지스터는 제1 스캔 라인에 연결되고,  
 상기 제2 트랜지스터 및 상기 제5 트랜지스터는 제2 스캔 라인에 연결된, 표시패널.

**청구항 7**

제4 항에 있어서,  
 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제5 트랜지스터는 스캔 라인에 연결된, 표시패널.

**청구항 8**

제1 항에 있어서,  
 상기 제2 터미 화소 회로는,  
 제1 노드 및 데이터 전압 라인에 연결된 제1 트랜지스터;  
 제2 노드에 연결된 게이트 전극에 의해 제어되고 고전위 전원 라인 및 제3 노드에 연결된 구동 트랜지스터;  
 상기 제1 노드 및 상기 제2 노드에 연결된 커패시터;  
 상기 제2 노드 및 상기 제3 노드에 연결된 제2 트랜지스터;  
 상기 제1 노드 및 기준 전압 라인에 연결된 제3 트랜지스터;  
 상기 제3 노드 및 제5 노드에 연결된 제4 트랜지스터; 및  
 상기 제5 노드 및 상기 기준 전압 라인에 연결된 제5 트랜지스터를 포함하고,  
 상기 제2 터미 화소 회로에 포함된 발광소자는 상기 제5 노드와 전기적으로 연결되지 않은 제6 노드에 연결된,  
 표시패널.

**청구항 9**

제8 항에 있어서,  
 상기 제2 패드부는 복수의 패드를 포함하고,  
 상기 복수의 패드 각각은 상기 제5 노드 및 상기 제6 노드에 각각 연결된, 표시패널.

**청구항 10**

제8 항에 있어서,  
 상기 제1 트랜지스터는 제1 스캔 라인에 연결되고,  
 상기 제2 트랜지스터 및 상기 제5 트랜지스터는 제2 스캔 라인에 연결된, 표시패널.

**청구항 11**

제8 항에 있어서,  
 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제5 트랜지스터는 스캔 라인에 연결된, 표시패널.

**청구항 12**

발광소자;  
 상기 발광소자에 전류를 공급하고 다결정 실리콘 액티브층을 포함하는 트랜지스터로 구성된 터미 화소 구동 회

로;

상기 더미 화소 구동 회로에 연결되어 상기 더미 화소 구동 회로의 전압 및 전류를 측정하기 위한 패드부; 및  
 상기 더미 화소 구동 회로와 패드부를 연결하는 링크 라인을 포함하고,  
 상기 발광소자는 더미 화소에 배치된 것인, 표시패널.

**청구항 13**

제12 항에 있어서,  
 상기 더미 화소 구동 회로는 상기 표시패널의 비표시 영역에 있으며,  
 상기 패드부가 연결된 상기 더미 화소 구동 회로의 노드는 오픈된, 표시패널.

**청구항 14**

제13 항에 있어서,  
 상기 더미 화소 구동 회로는 에미션 트랜지스터를 포함하고,  
 상기 더미 화소 구동 회로의 오픈된 노드는 상기 에미션 트랜지스터의 일전극 및 상기 발광소자의 애노드 전극  
 이 전기적으로 오픈된 구조인, 표시패널.

**청구항 15**

제12 항에 있어서,  
 상기 패드부는 상기 더미 화소 구동 회로의 전압을 측정하기 위한 제1 패드부 및 상기 더미 화소 구동 회로의  
 전류를 측정하기 위한 제2 패드부를 포함하는, 표시패널.

**청구항 16**

제12 항에 있어서,  
 상기 표시패널은 발광하는 발광소자에 전류를 공급하는 화소 구동 회로를 포함하고,  
 상기 화소 구동 회로에 스캔 신호를 제공하기 위한 게이트 라인을 포함하며,  
 상기 패드부가 연결된 더미 화소 구동 회로는 상기 게이트 라인에 수직인 방향으로 마주보고 배치된, 표시패널.

**청구항 17**

제12 항에 있어서,  
 상기 패드부를 구성하는 최상위 층 전극은 상기 링크 라인을 구성하는 전극과 동일한 전극이거나 상부에 있는,  
 표시패널.

**청구항 18**

제12 항에 있어서,  
 상기 표시패널은 상기 트랜지스터를 덮는 평탄화층을 포함하고,  
 상기 패드부는 상기 평탄화층의 일부가 오픈됨으로써 노출된, 표시패널.

**청구항 19**

제18 항에 있어서,  
 상기 패드부를 둘러싸는 평탄화층의 두께는 2 $\mu$ m 이하인, 표시패널.

**청구항 20**

제12 항에 있어서,

상기 더미 화소 구동 회로는 구동 트랜지스터, 상기 구동 트랜지스터의 게이트 전극 및 드레인 전극에 연결된 샘플링 트랜지스터를 포함하고,

상기 패드부는 상기 게이트 전극 및 상기 드레인 전극에 각각 연결된, 표시패널.

**발명의 설명**

**기술 분야**

[0001] 본 명세서는 화소의 신뢰성을 향상시키기 위한 모니터링용 패드 및 이를 이용한 표시패널에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시패널의 시장이 커지고 있다. 이에 따라, 전계발광 표시패널, 액정 표시패널, 유기발광 표시패널, 및 양자점 표시패널 등과 같은 다양한 형태의 표시패널에 대한 사용이 증가하고 있다.

[0003] 이러한 표시패널은 임의의 색을 표시할 수 있는 화소들을 포함하고, 화소들 각각에 포함된 화소 구동 회로들은 화소들 각각의 휘도를 조절한다. 표시패널의 종류에 따라 화소 구동 회로는 스위칭 소자, 구동 소자, 발광 소자 등을 포함할 수 있다. 그리고, 상기 소자들은 반도체층을 비정질 실리콘으로 형성한 비정질 실리콘 박막 트랜지스터로 이루어질 수 있다. 비정질 실리콘 박막 트랜지스터는 저온에서 대형 절연기판 상에 형성하는 것이 가능하고 소비전력이 낮은 장점이 있지만, 가격이 높은 단점이 있다. 이에, 일반적으로, 화소 구동 회로들은 비정질 실리콘 박막 트랜지스터를 사용하고, 화소 구동 회로에 신호를 입력하기 위한 구동회로는 단결정 실리콘으로 제작된 고밀도 집적회로를 사용할 수 있다. 이 경우, 고해상도 표시패널을 구현함에 있어서 제조 공정상의 어려움을 가져올 수 있고, 표시패널의 신뢰성과 수율을 저하시킬 수 있다.

[0004] 근래에는 상술한 문제점을 해결하기 위해 소자의 반도체층을 다결정 실리콘으로 사용하는 방법이 개발되어, 화소 구동 회로의 박막 트랜지스터와 구동회로를 동일 기판 상에서 모두 다결정 실리콘으로 제작함으로써 제조 공정을 간략히 할 수 있고, 표시패널의 신뢰성과 수율을 향상시킬 수 있다.

[0005] 다결정 실리콘 박막 트랜지스터는 제조상의 무결점 확보를 위해 여러 가지 공정을 거치게 되는데, 그 공정 중 하나로서 박막 트랜지스터가 형성되어 상판이 결합된 상태 또는 결합되지 않은 상태에서 박막 트랜지스터에 대한 소자 안정화 공정이 있다.

[0006] 이는 오랜 시간동안 상온에서 다결정 실리콘 박막 트랜지스터가 형성된 표시패널을 구동할 경우, 다결정 실리콘 박막 트랜지스터의 P-N접합 부분에서 이동전자에 의해 발생하는 누설전류로 인해 표시패널의 화면에 잔상이 발생되고, 지속적인 잔상은 화소 불량률의 원인이 된다. 따라서, 장시간의 화면구동시 발생하는 잔상을 방지하기 위해 표시패널에 오프 스트레스(Off stress)를 인가하여 다결정 실리콘 박막 트랜지스터(Polycrystalline-Silicon TFT; Poli-Si TFT)의 누설전류 감소와 이동도를 개선할 수 있다. 이러한 방법을 에이징(Aging)이라고 일컫을 수 있다.

[0007] 따라서, 누설전류 저감을 위한 화소 구동 회로의 에이징을 효율적으로 실시하고 화소 구동 회로의 불량률을 줄이기 위한 방안이 모색되고 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 앞서 언급한 바와 같이, 표시패널에 오프 스트레스를 인가하는 방법은, 예를 들어, 박막 트랜지스터의 게이트를 오프로 한 상태에서 강한 전압을 인가하는 방법이 있다. 이 경우, 에이징을 실시하기 위한 조건을 도출하기 위해 시뮬레이션을 실시하기도 한다. 에이징을 실시하기 위한 조건은, 예를 들어, 화소 구동 회로 내의 각 노드에 인가되는 전압의 크기일 수 있다. 시뮬레이션을 통해서 화소 구동 회로의 에이징 조건 및 에이징시 소자가 받는 스트레스를 도출할 수 있지만 화소 구동 회로의 소자가 받는 실질적인 스트레스는 확인할 수가 없으므로, 시뮬레이션과 소자의 정합성 확인이 어렵다.

[0009] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하여, 에이징 시 소자가 받는 스트레스를 측정할 수 있는 모니터링용 패드 및 이를 이용한 표시패널을 발명하였다.

- [0010] 본 명세서의 실시예에 따른 해결 과제는 효율적인 에이징을 통해 화소 구동 회로의 누설전류를 저감하고 소자의 신뢰성을 향상시키기 위한 모니터링용 패드 및 이를 이용한 표시패널을 제공하는 것이다.
- [0011] 본 명세서의 실시예에 따른 해결 과제는 표시패널의 화소 불량량을 감소시킬 수 있는 모니터링용 패드 및 이를 이용한 표시패널을 제공하는 것이다.
- [0012] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0013] 본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 표시 영역에 배치된 복수의 화소 및 표시 영역의 외곽에 있는 비표시 영역에 배치된 복수의 더미 화소를 포함하고, 복수의 더미 화소 중 적어도 하나 이상의 더미 화소는 제1 더미 화소 회로 및 제2 더미 화소 회로를 포함하며, 제1 더미 화소 회로는 복수의 노드를 포함하고, 적어도 하나의 노드는 제1 패드부와 연결되고, 제2 더미 화소 회로는 발광소자의 애노드와 단락되어 오픈된 노드를 포함하고, 오픈된 노드는 제2 패드부에 연결된다. 이에 따라, 더미 화소 회로에 연결된 제1 패드부 및 제2 패드부를 통해 더미 화소 회로의 각 노드에 인가되는 전압 또는 전류를 측정할 수 있고, 에이징시 더미 화소 회로를 구성하는 소자가 받는 스트레스를 측정할 수 있다.
- [0014] 본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 발광소자, 발광소자에 전류를 공급하고 다결정 실리콘 액티브층을 포함하는 트랜지스터로 구성된 더미 화소 구동 회로, 더미 화소 구동 회로에 연결되어 더미 화소 구동 회로의 전압 및 전류를 측정하기 위한 패드부, 및 더미 화소 구동 회로와 패드부를 연결하는 링크 라인을 포함한다. 이 경우, 발광소자는 더미 화소에 배치된 것이다. 이에 따라, 패드부를 통해 전압 또는 전류를 측정하여 트랜지스터의 누설전류를 저감시킬 수 있는 에이징 조건을 도출할 수 있다.
- [0015] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0016] 본 명세서의 실시예들에 따르면, 제1 더미 화소 회로를 구성하는 적어도 하나의 노드에 제1 패드부를 연결하고, 제2 더미 화소 회로는 발광소자의 애노드와 단락되어 제2 패드부에 연결함으로써, 더미 화소 회로의 노드에 인가되는 전압 및 전류를 측정하여 구동 또는 에이징시 소자가 받는 스트레스를 직접 측정할 수 있으므로 효율적인 에이징 조건을 도출할 수 있다.
- [0017] 그리고, 본 명세서의 실시예들에 따르면, 다결정 실리콘 액티브층을 포함하는 트랜지스터로 구성된 화소 구동 회로에 링크 라인을 통해 패드부를 연결함으로써, 효율적인 에이징을 통해 트랜지스터의 누설전류를 저감하고 소자의 신뢰성을 향상시킬 수 있다.
- [0018] 그리고, 본 명세서의 실시예들에 따르면, 패드부가 연결된 더미 화소 구동 회로는 게이트 라인에 수직인 방향으로 마주보고 배치됨으로써, 게이트 라인의 RC 딜레이 및 표시패널의 상/하부에 인가되는 게이트 신호의 편차를 확인할 수 있다.
- [0019] 그리고, 본 명세서의 실시예들에 따르면, 패드부를 둘러싸는 평탄화층의 두께를 2 $\mu$ m 이하로 함으로써, 패드부의 최상위 층이 측정 장비에 용이하게 접촉될 수 있다.
- [0020] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

**도면의 간단한 설명**

- [0021] 도 1은 본 명세서의 일 실시예에 따른 표시패널을 간략화한 도면이다.
- 도 2는 본 명세서의 제1 실시예에 따른 더미 화소의 화소 회로도이다.
- 도 3은 본 명세서의 제2 실시예에 따른 더미 화소의 화소 회로도이다.
- 도 4는 도 1의 A 부분을 확대하여 나타낸 도면이다.
- 도 5는 화소 및 패드의 일부분을 나타낸 단면도이다.

도 6a는 본 명세서의 일 실시예에 따른 화소 회로의 초기화 단계를 나타낸 회로도이다.

도 6b는 도 6a의 과형도이다.

도 7a는 본 명세서의 일 실시예에 따른 화소 회로의 프로그래밍 및 샘플링 단계를 나타낸 회로도이다.

도 7b는 도 7a의 과형도이다.

도 8a는 본 명세서의 일 실시예에 따른 화소 회로의 홀딩 단계를 나타낸 회로도이다.

도 8b는 도 8a의 과형도이다.

도 9a는 본 명세서의 일 실시예에 따른 화소 회로의 발광 단계를 나타낸 회로도이다.

도 9b는 도 9a의 과형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0026] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0027] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0028] 본 명세서에서 표시패널의 기관 상에 형성되는 게이트 구동부는 P타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극을 포함한 3전극 소자이다. 소스 전극은 캐리어(carrier)를 트랜지스터에 공급한다. 트랜지스터 내에서 캐리어는 소스에서부터 이동하기 시작한다. 드레인 전극은 트랜지스터에서 캐리어가 외부로 나가는 전극이다.
- [0029] 예를 들어, 트랜지스터에서 캐리어는 소스 전극으로부터 드레인 전극으로 이동한다. P타입 트랜지스터의 경우, 캐리어가 정공이기 때문에 소스 전극으로부터 드레인 전극으로 정공이 이동할 수 있도록 소스 전극의 전압이 드레인 전극의 전압보다 높다. P타입 트랜지스터의 정공이 소스 전극으로부터 드레인 전극 쪽으로 이동하기 때문에 전류의 방향은 소스 전극으로부터 드레인 전극 쪽이다. 트랜지스터의 소스 전극과 드레인 전극은 고정된 것이 아니고, 트랜지스터의 소스 전극과 드레인 전극은 인가 전압에 따라 변경될 수 있다. 따라서, 소스 전극 및 드레인 전극은 각각 커패시터 전극 및 제2 전극 또는 제2 전극 및 커패시터 전극으로 언급될 수 있다.
- [0030] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이고, 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압이다. 예를 들어, P타입 트랜지스터에서 게이트 온 전압은 로직로우 전압(VL)일 수 있고, 게이트 오프 전압은 로직하이 전

압(VH)일 수 있다.

- [0031] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 모니터링용 패드 및 이를 이용한 표시패널에 대하여 설명하기로 한다. 이하의 설명에서 표시패널은 전계발광 표시패널을 일 예로써 설명하기로 하지만, 표시패널의 종류가 이에 한정되지는 않는다.
- [0032] 도 1은 본 명세서의 일 실시예에 따른 표시패널을 간략화한 도면이다.
- [0033] 도 1을 참고하면, 표시패널(100)은 표시 영역(DA)과 비표시 영역(NDA)으로 구분될 수 있다. 표시 영역(DA)에는 영상을 표시하기 위한 화소(P)들이 배치되고, 비표시 영역(NDA)에는 화소(P)들에 신호를 인가하기 위한 게이트 구동부(110), 데이터 구동부(120), 및 화소 증착 불량을 방지하기 위한 더미 화소(DP)가 배치된다.
- [0034] 데이터 구동부(120)는 타이밍 제어부로부터 공급된 데이터 타이밍 제어신호에 응답하여 데이터 전압을 출력한다. 데이터 구동부(120)는 타이밍 제어부로부터 공급된 디지털 형태의 데이터 신호를 샘플링하고 래치(latch)하여 감마 기준전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(120)는 데이터 라인들을 통해 데이터 신호를 출력한다. 데이터 구동부(120)는 IC(integrated circuit) 형태로 표시패널(100) 상에 형성되거나, 표시패널(100)에 칩 온 필름(Chip On Film) 형태로 형성될 수도 있다. 또한, 제품에 따라 타이밍 제어부는 데이터 구동부(120)와 합쳐져 한 개의 칩 형태로 구현될 수도 있다.
- [0035] 게이트 구동부(110)는 타이밍 제어부로부터 공급된 게이트 타이밍 제어신호에 응답하여 스캔신호를 출력한다. 게이트 구동부(110)는 게이트 라인들을 통해 게이트 신호를 출력한다. 게이트 구동부(110)는 IC(integrated circuit) 형태로 형성될 수 있고, 표시패널(110)에 내장된 GIP(gate in panel) 형태로 형성될 수도 있다. 게이트 구동부(110)는 표시패널(100)의 좌측 및 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다.
- [0036] 표시패널(100)은 게이트 구동부(110) 및 데이터 구동부(120)로부터 공급된 게이트 신호 및 데이터 신호, 그리고 전원 공급부로부터 공급된 전원전압에 대응하여 영상을 표시한다. 표시패널(100)은 영상을 표시할 수 있도록 동작하는 화소(P)들을 포함한다.
- [0037] 표시패널(100)은 화소(P)들이 배치된 표시 영역(DA)과 표시 영역(DA)의 외곽으로 각종 구동부, 신호 라인들, 패드, 더미 화소 등이 형성되는 비표시 영역(NDA)을 포함한다. 표시 영역(DA)은 영상이 표시되는 영역이므로 화소(P)들이 위치하는 영역이고, 비표시 영역(NDA)은 영상이 표시되지 않는 영역이므로 더미 화소(DP)가 위치할 수 있다. 또한, 비표시 영역(NDA)에는 게이트 구동부(110) 및 데이터 구동부(120)가 위치할 수 있다. 더미 화소(DP)는 표시 영역(DA) 내에 위치한 화소(P)와 동일한 구조로, 동일한 신호가 인가될 수 있지만 제품 출하 후 구동시에는 신호가 인가되지 않아 발광하지 않는다. 예를 들어, 더미 화소(DP)는 화소(P)들을 정전기로부터 보호하기 위한 회로로 사용될 수 있다. 한편, 앞서 언급한 바와 같이, 양산 과정에서 테스트를 위해 표시패널(100)을 정상 구동하거나 화소(P)를 에이징하기 위해 표시패널(100)을 구동하는 경우, 표시 영역(DA)내에 있는 화소(P)가 받는 스트레스의 실측이 어렵다. 따라서, 표시패널(100)의 비표시 영역(NDA)에 더미 화소(DP)를 배치하여 구동 중에 더미 화소(DP)가 받는 스트레스를 측정할 수 있다. 더미 화소(DP)로부터 측정된 수치는 화소(P)가 받는 스트레스와 동일하게 취급될 수 있다. 이하에서는 더미 화소(DP)가 받는 스트레스를 측정하기 위한 더미 화소 구동 회로에 대해 설명하기로 한다.
- [0038] 도 2는 본 명세서의 제1 실시예에 따른 더미 화소의 화소 회로도이다. 도 2에 도시된 더미 화소 회로는 표시 영역(DA)내에 있는 화소(P)에 포함된 화소 회로와 동일하다. 본 명세서의 제1 실시예에 따른 더미 화소 회로는 제1 더미 화소 회로로 일컫을 수도 있다.
- [0039] 더미 화소(DP)는 발광소자(EL) 및 발광소자(EL)의 일전극에 인가되는 전류량을 제어할 수 있는 더미 화소 구동 회로를 포함한다. 더미 화소 구동 회로는 발광소자(EL)에 일정 전류가 흐를 수 있도록 전류량을 제어하는 구동 트랜지스터(DT)를 포함할 수 있다. 표시 영역(DA)내에 있는 화소(P)에 포함된 발광소자(EL)는 발광기간에서 발광하고, 발광기간 이외의 기간에는 발광하지 않는 반면, 비표시 영역(NDA)내에 있는 더미 화소(DP)에 포함된 발광소자(EL)는 모든 기간에서 발광하지 않는다. 더미 화소 구동 회로는 화소 구동 회로와 동일하고, 더미 화소 구동 회로의 구성요소들은 화소 구동 회로의 구동에 필요한 구성요소들이므로 더미 화소 구동 회로도 화소 구동 회로의 구동과 동일한 방법으로 구동될 수 있다. 이하에서는 더미 화소 구동 회로가 화소 구동 회로와 같이 정상 동작하는 경우의 구동 방법에 대해 설명한다.
- [0040] 발광기간 이외의 기간에는 더미 화소 구동 회로가 초기화되고, 스캔 신호가 더미 화소 구동 회로에 입력되며, 프로그래밍 및 화소 구동 회로의 보상 기간 등이 진행될 수 있다. 예를 들어, 더미 화소 구동 회로의 보상은 구동 트랜지스터(DT)의 문턱전압 보상일 수 있다. 구동 트랜지스터(DT)의 문턱전압 보상은 샘플링이라고 일컫을

수도 있다.

- [0041] 또한, 발광기간 이외의 기간에는 발광소자(EL)가 특정 휘도로 발광할 수 있는 전류가 일정하게 공급되지 않으므로 발광소자(EL)가 발광하지 않도록 해야한다. 예를 들어, 발광소자(EL)가 발광하지 않게 할 수 있는 방법은 발광소자(EL)의 일전극과 구동 트랜지스터(DT) 사이에 에미션 트랜지스터(제4 트랜지스터, T4)를 연결하여 에미션 트랜지스터(T4)의 턴-온 및 턴-오프를 제어하는 것이다. 에미션 트랜지스터(T4)는 에미션 신호 라인에 연결되어 에미션 구동부로부터 출력되는 에미션 신호(EM)에 의해 제어된다. 발광기간에서 에미션 신호(EM)는 턴-온 신호이고, 발광기간 이외의 기간에서 에미션 신호(EM)는 턴-오프 신호일 수 있다. 에미션 구동부는 게이트 구동부(110)와 함께 표시패널(100)의 비표시 영역(NDA)에 배치될 수 있다.
- [0042] 더미 화소(DP)를 구동하기 위한 게이트 신호는 스캔 신호(Scan1, Scan2) 및 에미션 신호(EM)이다. 스캔 신호(Scan1, Scan2)는 스캔 신호 라인을 통해 더미 화소(DP)에 인가되고, 에미션 신호(EM)는 에미션 신호 라인을 통해 더미 화소(DP)에 인가된다. 스캔 신호 라인 및 에미션 신호 라인은 통칭하여 게이트 라인이라고 일컫을 수 있다.
- [0043] 더미 화소(DP)를 구동하기 위해서는 게이트 신호 이외에도 데이터 신호(Vdata), 고전위 전원 전압(VDD), 저전위 전원 전압(VSS), 기준 전압(Vref)이 더미 화소(DP)에 인가된다. 데이터 신호(Vdata)는 데이터 라인을 통해 더미 화소(DP)에 인가되고, 고전위 전원 전압(VDD)은 고전위 전원 라인을 통해 더미 화소(DP)에 인가되며, 저전위 전원 전압(VSS)은 저전위 전원 라인을 통해 더미 화소(DP)에 인가되고, 기준 전압(Vref)은 기준 전압 라인을 통해 더미 화소(DP)에 인가된다.
- [0044] 구동 트랜지스터(DT)는 소스-게이트 간 전압에 따라 발광소자(EL)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트 전극은 제2 노드(N2)에 연결되고, 소스 전극은 고전위 전원 라인에 연결되며, 드레인 전극은 제3 노드(N3)에 연결된다.
- [0045] 제1 트랜지스터(T1)는 데이터 라인과 제1 노드(N1) 사이에 연결되고, 제1 스캔 신호(Scan1)에 의해 턴-온 또는 턴-오프된다. 제1 트랜지스터(T1)는 턴-온되어 데이터 신호(Vdata)를 제1 노드(N1)에 인가할 수 있다.
- [0046] 제2 트랜지스터(T2)는 제2 노드(N2)와 제3 노드(N3) 사이에 연결되고, 제2 스캔 신호(Scan2)에 의해 턴-온 또는 턴-오프된다. 제2 트랜지스터(T2)는 턴-온되어 구동 트랜지스터(DT)를 다이오드 커넥션시키고 문턱전압을 샘플링한다. 따라서, 제2 트랜지스터(T2)는 샘플링 트랜지스터라고도 일컫을 수 있다.
- [0047] 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 각각 독립된 스캔 신호에 의해 제어되도록 회로를 구성함으로써, 구동 트랜지스터(DT)의 보상 타이밍을 조절할 수 있어 고해상도 및 고주파수 구현이 가능하다.
- [0048] 제3 트랜지스터(T3)는 제1 노드(N1)와 기준 전압 라인 사이에 연결되고, 에미션 신호(EM)에 의해 턴-온 또는 턴-오프된다. 제3 트랜지스터(T3)는 턴-온되어 기준 전압(Vref)을 제1 노드(N1)에 인가할 수 있다.
- [0049] 제4 트랜지스터(T4)는 제3 노드(N3)와 제4 노드(N4) 사이에 연결되고, 에미션 신호(EM)에 의해 턴-온 또는 턴-오프된다. 제4 트랜지스터(T4)는 턴-온되어 구동 트랜지스터(DT)를 통해 제공되는 전류가 발광소자(EL)의 일전극에 인가되도록 한다.
- [0050] 제5 트랜지스터(T5)는 제4 노드(N4)와 기준 전압 라인 사이에 연결되고, 제2 스캔 신호(Scan2)에 의해 턴-온 또는 턴-오프된다. 제5 트랜지스터(T5)는 턴-온되어 발광소자(EL)의 일전극을 초기화시켜준다.
- [0051] 커패시터(C)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결되어, 제1 노드(N1)의 전압의 변화에 따라 제2 노드(N2)의 전압을 변화시킨다. 그리고, 제2 노드(N2)에서 변화되는 전압에 응답하여 발광소자(EL)의 휘도를 제어할 수 있다.
- [0052] 앞서 언급한 바와 같이, 더미 화소 구동 회로는 표시 영역(DA)에 있는 화소 구동 회로와 동일한 회로로 구성되므로, 화소 구동 회로 및 더미 화소 구동회로를 에이징한 후 화소 구동 회로에 실질적으로 가해진 전압 스트레스를 확인하기 위해 더미 화소 구동 회로의 각 노드에 모니터링용 패드를 형성할 수 있다.
- [0053] 도 2에 도시된 바와 같이, 제1 패드(PD1)는 제1 노드(N1)에 연결되고, 제2 패드(PD2)는 제2 노드(N2)에 연결되며, 제3 패드(PD3)는 제3 노드(N3)에 연결되고, 제4 패드(PD4)는 제4 노드(N4)에 연결된다. 본 명세서의 제1 실시예에 따른 더미 화소 회로는 제1 더미 화소 회로라고 일컫을 수 있고, 제1 더미 화소 회로에 연결된 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 제4 패드(PD4)는 제1 패드부라고 일컫을 수 있다.
- [0054] 트랜지스터의 에이징은 트랜지스터의 특성을 개선하기 위한 공정이다. 구체적으로 에이징 후에 트랜지스터의 누

설 전류는 감소하고 구동 전류는 증가하며 플랫 밴드 전압(flat band voltage)의 범위가 증가하여 표시패널의 휘점 및 얼룩 불량을 개선할 수 있다.

- [0055] 에이징은 모든 트랜지스터에 고전위 전원 전압(VDD), 기준 전압(Vref), 저전위 전원 전압(VSS), 데이터 신호(Vdata), 스캔 신호(Scan1, Scan2), 및 에미션 신호(EM)를 인가하여 구동 트랜지스터(DT), 및 제1 트랜지스터(T1) 내지 제5 트랜지스터(T5)에 스트레스를 준다. 에이징은 약 2분 동안 진행될 수 있다. 에이징은 트랜지스터의 게이트를 오프로 한 상태에서 전압을 인가하거나 화소 구동 회로를 정상 구동하는 것과 동일한 방식으로 진행될 수 있다. 화소 구동 회로를 정상 구동시키면서 에이징을 진행하는 경우, 입력되는 전압은 실제 정상 구동 조건과는 달리 에이징에 최적화된 전압이 인가되도록 한다.
- [0056] 에이징 직후 오실로스코프, 멀티미터 등을 이용하여 제1 패드(PD1) 내지 제4 패드(PD4)를 통해 제1 노드(N1) 내지 제4 노드(N4)의 전압 및 전류를 측정하여 실제로 화소 구동 회로가 받는 스트레스를 확인할 수 있다. 구체적으로, 측정된 전압 및 전류는 시뮬레이션 정합도 향상을 위해 사용될 수 있고, 트랜지스터의 누설전류 측정 시 활용할 수 있으며, 이러한 데이터들을 통해서 표시패널의 불량 분석 및 에이징 조건 도출에 활용할 수 있다. 또한, 표시패널의 기타 분석, 예를 들어 표시패널의 화소 구동 회로의 특성의 균일성, RC 딜레이, 기생 커패시턴스, 바이어스 스트레스 등 이론을 바탕으로 한 계산 또는 시뮬레이션에 의해 도출한 값이 아닌 실측치를 확인할 수 있다.
- [0057] 제1 패드(PD1)에서 측정된 전압값을 통해 구동시 실제로 제1 노드(N1)에 인가되는 전압을 확인할 수 있고, RC 딜레이를 확인할 수 있다. 제2 패드(PD2) 및 제3 패드(PD3)에서 측정된 전압값을 통해 구동 트랜지스터(DT)의 크기를 최적화할 수 있고, 제2 트랜지스터(T2)의 트랜스퍼 커브(transfer curver)를 측정할 수 있다. 제1 패드(PD1) 및 제2 패드(PD2)에서 측정된 전압값을 통해 커패시터(C)의 용량을 최적화할 수 있다. 그리고, 제4 패드(PD4)에서 측정된 전압값을 통해 발광 소자(EL)의 턴-온 전압을 확인할 수 있다.
- [0058] 제1 노드(N1), 제2 노드(N2), 제3 노드(N3), 및 제4 노드(N4)는 더미 화소 구동 회로에 제공되는 전원 전압, 데이터 전압, 및 기준 전압이 직접적으로 인가되지 않는 노드들이다. 따라서, 이러한 노드들(N1, N2, N3, N4), 특히 플로팅 상태인 제2 노드(N2) 및 제3 노드(N3)의 전압을 측정함으로써 실질적으로 각 노드에 인가되는 전압값을 확인할 수 있다.
- [0059] 각 노드에 연결된 패드의 전압을 측정하는 시기는 앞에 언급한 것처럼 트랜지스터의 에이징 후로 한정되지 않고, 표시패널에 불량이 발생한 경우 또는 화소 구동 회로의 성능 모니터링시에도 수행될 수 있다.
- [0060] 도 3은 본 명세서의 제2 실시예에 따른 더미 화소의 화소 회로도이다. 도 2에 도시된 더미 화소 회로는 제4 트랜지스터(T4)와 발광소자(EL)가 서로 연결되지 않은 것을 제외하고, 표시 영역(DA)내에 있는 화소 회로와 동일하다. 따라서, 도 3의 구성요소 중 도 2와 중복되는 구성요소에 대한 설명은 생략하거나 간략히 할 수 있다. 본 명세서의 제2 실시예에 따른 더미 화소 회로는 제2 더미 화소 회로로 일컫을 수도 있다.
- [0061] 본 명세서의 제2 실시예에 따른 더미 화소 회로는 발광소자(EL)에 인가되는 구동 전류의 값을 측정하기 위한 회로이다. 더미 화소(DP)의 더미 화소 구동 회로는 본 명세서의 제1 실시예에 따른 더미 화소 구동 회로와 동일하게 제1 트랜지스터(T1) 내지 제5 트랜지스터(T5), 및 커패시터(C)를 포함하고, 이 중 구동 트랜지스터, 제1 트랜지스터(T1) 내지 제3 트랜지스터(T3), 및 커패시터(C)의 연결관계는 본 명세서의 제1 실시예에 따른 더미 화소 구동 회로와 동일하므로 설명을 생략한다.
- [0062] 앞에서 언급한, 더미 화소 구동 회로의 각 노드에서 측정된 전압 값 이외에, 발광소자(EL)에 실제로 인가되는 전류의 값을 측정하기 위해서 본 명세서의 제2 실시예에 따른 더미 화소 회로에서는 제4 트랜지스터(T4)와 발광소자(EL)가 연결되지 않도록 한다. 오픈된 제4 트랜지스터(T4)의 일전극은 제5 노드(N5)에 연결되고, 발광소자(EL)의 일전극은 제6 노드(N6)에 연결된다. 마찬가지로 제5 트랜지스터(T5)의 일전극도 제5 노드(N5)에 연결된다. 그리고, 제5 노드(N5)에 제5 패드(PD5)가 연결되고, 제6 노드(N6)에 제6 패드(PD6)가 연결된다. 본 명세서의 제2 실시예에 따른 더미 화소 회로는 제2 더미 화소 회로로 일컫을 수 있고, 제2 더미 화소 회로에 연결된 제5 패드(PD5) 및 제6 패드(PD6)는 제2 패드부라고 일컫을 수 있다.
- [0063] 오픈된 노드인 제5 노드(N5) 및 제6 노드(N6)에 전류 측정 장비를 연결시킴으로써 제5 노드(N5) 및 제6 노드(N6)를 연결시키고, 더미 화소 구동회로를 정상 동작 시킨 상태에서 제4 트랜지스터(T4)가 턴-온된 기간에 구동 트랜지스터(DT)에서 제공하는 구동 전류 값을 측정한다.
- [0064] 제5 패드(PD5) 및 제6 패드(PD6)를 통한 구동 전류 값은 도 2에서 언급한 바와 같이, 더미 화소 구동 회로의 에

이정 후, 표시패널 불량 분석, 또는 화소 구동 회로의 성능 모니터링시에 수행될 수 있다.

- [0065] 도 4는 도 1의 A 부분을 확대하여 나타낸 도면이다.
- [0066] 도 4 및 도 1을 참고하면, 표시 영역(DA)에 있는 화소(P)는 발광소자(EL) 및 화소 구동 회로(PC)를 포함하고, 비표시 영역(NDA)에 있는 더미 화소(DP)는 더미 화소 구동 회로(DPC) 및 발광 소자를 포함한다. A 부분은 표시 패널(100)의 좌측 하단의 일부분을 포함하는 영역이고, 더미 화소(DP)는 화소(P)의 주변 영역에서 적어도 표시 패널(100)의 상단 및 하단에 형성될 수 있지만, 이에 한정되지는 않는다.
- [0067] 앞에서 언급한 도 2 및 도 3의 더미 화소 구동 회로(DPC)는 한 쌍으로 표시패널(100)의 좌측 하단, 우측 하단, 및 중앙 하단에 각각 배치될 수 있고, 게이트 구동부(110)의 동작 파형 측정에 활용하기 위해 추가적으로 표시 패널(100)의 좌측 상단, 우측 상단, 및 중앙 상단에 배치될 수 있다. 표시패널(100)의 상단 및 하단에 배치된 더미 화소 구동 회로(DPC)는 게이트 라인에 수직인 방향으로 마주보고 배치되어, 게이트 라인의 RC 딜레이 및 표시패널(100)의 상/하부에 인가되는 게이트 신호의 편차를 확인할 수 있다.
- [0068] 표시패널(100)의 좌측 하단에는, 도 2 및 도 3에 도시된 제1 노드(N1), 제2 노드(N2), 제3 노드(N3), 및 제4 노드(N4)의 전압을 측정하기 위한 제1 더미 화소 구동 회로(DPC1) 및 도 3에 도시된 발광소자(EL)에 인가되는 전류를 측정하기 위한 제2 더미 화소 구동 회로(DPC2)가 배치된다.
- [0069] 패드들(PD1~PD6)은 각각 제1 더미 화소 구동 회로(DPC1) 및 제2 더미 화소 구동 회로(DPC2)에 링크 라인(LL)으로 연결된다. 링크 라인(LL)은 패드부를 구성하는 최상위 층의 전극과 동일한 전극이거나 하부에 있는 다른 금속층으로 형성될 수 있다.
- [0070] 제1 더미 화소 구동 회로(DPC1) 및 제2 더미 화소 구동 회로(DPC2)에 연결된 패드들(PD1~PD6)은 도시된 바와 같이 표시패널(100)의 하면부에 나란히 배치될 수 있다. 하지만, 이에 한정되지 않고 비표시 영역(NDA)의 넓이가 증가하지 않도록 비표시 영역(NDA)의 빈 공간에 배치될 수도 있다. 패드들(PD1~PD6)은 더미 화소 구동 회로로부터 너무 멀리 떨어지게 되면 링크 라인(LL)의 저항이 증가하여 측정된 값에 노이즈가 포함되므로, 패드들(PD1~PD6)은 더미 화소 구동 회로 주변에 위치할 수 있도록 한다. 그리고, 패드들(PD1~PD6)에 연결된 링크 라인(LL)의 길이를 모두 동일하게 하여 측정된 값에 포함된 노이즈의 크기를 또한 동일해지도록 할 수도 있다. 이 경우, 패드들(PD1~PD6)은 도면에서처럼 나란히 배치되지 않을 수 있다.
- [0071] 패드들(PD1~PD6)의 크기는 비표시 영역(NDA)의 넓이에 영향을 주지 않도록 작을수록 좋지만, 한 번의 길이가 100 $\mu$ m 미만으로 작아지면 측정 장비의 컨택이 어렵기 때문에 100 $\mu$ m 이상의 크기는 확보되어야 한다.
- [0072] 도 5는 더미 화소 및 패드의 일부분을 나타낸 단면도이다.
- [0073] 도 5는 더미 화소(DP)를 구성하는 구동 트랜지스터(DT), 구동 트랜지스터(DT)와 연결된 발광소자 및 커패시터, 그리고 제3 패드(PD3)의 단면을 나타낸다. 이 경우, 구동 트랜지스터(DT)를 구성하는 구성요소들의 적층 순서 및 구조는 구동 트랜지스터(DT)에만 한정되지 않고 더미 화소 구동 회로(DPC)를 구성하는 다른 트랜지스터들에도 적용될 수 있다. 또한, 도 5에 도시된 제3 패드(PD3)의 적층 순서 및 구조는 제3 패드(PD3)에만 한정되지 않고 다른 패드들에도 적용될 수 있다.
- [0074] 구동 트랜지스터(DT)는 탑 게이트 구조로 기판(131) 상에 있고, 액티브층(142), 게이트 전극(143a), 및 소스드레인 전극(144a)을 포함한다. 소스드레인 전극(144a)은 액티브층(142)에 상부 컨택 또는 사이드 컨택된 구조일 수 있다. 사이드 컨택은 액티브층(142)의 옆면 및 상면을 소스드레인 전극(144a)이 감싸는 구조이다.
- [0075] 기판(131)은 플라스틱 재질 또는 유리 재질일 수 있다. 또한, 기판(131)은 도 1에서 사각 형태로 도시하였지만, 이에 한정되지 않고 각 모서리 부분이 일정한 곡률반경으로 라운딩된 사각 형태, 5개 이상의 변을 갖는 비사각 형태, 또는 변을 갖지 않고 곡면으로 이루어진 형태일 수 있다.
- [0076] 기판(131)이 플라스틱 재질로 형성된 경우, 구동 트랜지스터(DT)에 영향을 줄 수 있는 하부 광 및 전하를 차단하기 위해 기판(131)과 구동 트랜지스터(DT) 사이에 하부 차단막(141)이 더 배치될 수 있다. 그리고, 하부 차단막(141)과 구동 트랜지스터(DT) 사이에 제1 절연막(132)을 배치하여 액티브층(142)이 제1 절연막(132) 상에 형성되도록 한다. 또한, 기판(131) 상에는 액티브층(142)과 게이트 전극(143a)을 절연시키는 제2 절연막(133)이 있고, 게이트 전극(143a)을 덮는 제3 절연막(134)이 있다.
- [0077] 도 2 또는 도 3을 참고하면, 구동 트랜지스터(DT)의 게이트 전극(143a)에는 커패시터(C)가 연결된다. 커패시터(C)는 게이트 전극(143a)과 중첩된 영역에서 정전용량을 형성하는 커패시터 전극(146)을 포함하고, 도 5에 도시

된 바와 같이, 커패시터 전극(146)은 제3 절연막(134) 상에서 구동 트랜지스터(DT)의 게이트 전극(143a)과 일부 중첩되도록 배치된다. 그리고, 커패시터 전극(146)을 덮도록 커패시터 전극(146) 상에 제4 절연막(135)이 형성된다. 제4 절연막(135) 상에 제1 연결 전극(144b)이 있고, 제1 연결 전극(144b)은 제4 절연막(135)의 컨택홀을 통해 커패시터 전극(146)과 연결되어 다른 트랜지스터, 예를 들어, 도 2 및 도 3에 도시된 제1 트랜지스터(T1) 또는 제3 트랜지스터(T3)를 연결시킬 수 있다. 그리고, 제4 절연막(135) 상에 제2 연결 전극(144c)이 있고, 제2 연결 전극(144c)은 제3 절연막(134) 및 제4 절연막(135)의 컨택홀을 통해 게이트 전극(143a)에 연결되어 다른 트랜지스터, 예를 들어 도 2 및 도 3에 도시된 제2 트랜지스터(T2)를 연결시킬 수 있다.

[0078] 소스드레인 전극(144a)은 제4 절연막(135) 상에 있고, 제2 절연막(133), 제3 절연막(134), 및 제4 절연막(135)의 컨택홀을 통해 액티브층(142)과 연결된다.

[0079] 하부 차단막(141)은 제1 절연막(132) 및 제2 절연막(133)에 있는 컨택홀을 통해 제2 절연막(133) 상에 있는 제3 연결 전극(143b)과 연결되고, 제3 연결 전극(143b)은 제3 절연막(134) 및 제4 절연막(135)에 있는 컨택홀을 통해 제4 절연막(135) 상에 있는 제4 연결 전극(144d)과 연결된다. 하부 차단막(141)이 플로팅되지 않고 고전위 전원 전압(VDD)이 인가되도록 하기 위해서 제4 연결 전극(144d)은 구동 트랜지스터(DT)의 소스 전극과 연결되거나, 고전위 전원 라인에 연결될 수 있다.

[0080] 소스드레인 전극(144a), 제1 연결 전극(144b), 제2 연결 전극(144c), 및 제4 연결 전극(144d)은 제4 절연막(135) 상에서 동일 공정, 동일 재료로 형성된다.

[0081] 소스드레인 전극(144a), 제1 연결 전극(144b), 제2 연결 전극(144c), 및 제4 연결 전극(144d) 상에는 구동 트랜지스터(DT) 및 커패시터(C)를 보호하기 위한 제5 절연막(136)이 형성된다. 그리고, 제5 절연막(136) 상에 기판(131)의 단차를 보상해주기 위한 평탄화층(137)이 형성된다. 평탄화층(137)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0082] 평탄화층(137) 상에는 애노드 전극(147)이 형성되고, 애노드 전극(147)은 평탄화층(137)과 제5 절연막(136)에 있는 컨택홀을 통해 소스드레인 전극(144a)과 연결된다. 애노드 전극(147)은 반사율이 높은 금속 물질을 포함할 수 있다. 예를 들어, 애노드 전극(147)은 알루미늄(Al)과 티타늄(Ti)의 적층 구조(Ti/Al/Ti), 알루미늄(Al)과 ITO의 적층 구조(ITO/Al/ITO), APC(Ag/Pd/Cu) 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)와 같은 다층 구조로 형성되거나, 은(Ag), 알루미늄(Al), 몰리브덴(Mo), 금(Au), 마그네슘(Mg), 칼슘(Ca), 또는 바륨(Ba) 중 에서 선택된 어느 하나의 물질 또는 둘 이상의 합금 물질로 이루어진 단층 구조를 포함할 수 있다.

[0083] 그리고, 뱅크(138)는 화소(P) 내에서 애노드 전극(147) 상에 배치되어 애노드 전극(147)의 일부분을 노출시킴으로써 발광 영역을 정의한다. 다시 설명하면, 뱅크(138)는 애노드 전극(147)의 가장자리 부분을 덮음으로써 화소(P)의 발광 영역을 정의할 수 있다. 뱅크(138)는 더미 화소(DP) 내에서도 화소(P)와 동일하게 형성되어 발광 영역을 정의할 수 있지만, 더미 화소(DP)는 발광하지 않으므로 발광 영역의 정의가 화소(P)의 발광 영역과는 다를 수 있다. 그리고, 뱅크(138)는 스페이서와 동일 물질로 하프톤 마스크를 사용하여 한번에 형성할 수 있다.

[0084] 앞서 언급한 게이트 전극(143a), 소스드레인 전극(144a), 및 커패시터 전극(146)은 몰리브덴(Mo), 은(Ag), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 티타늄/알루미늄/티타늄(Ti/Al/Ti), 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 등의 전도성 물질로 이루어진 단층 또는 다층 구조를 가질 수 있다.

[0085] 제1 절연막(132), 제2 절연막(133), 제3 절연막(134), 제4 절연막(135), 및 제5 절연막(136)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>), 및 실리콘산질화막(SiON) 중 하나 또는 둘 이상의 무기막이 적층된 다층막으로 형성될 수 있다.

[0086] 제3 패드(PD3)는 제3 노드(N3)를 구성하는 구동 트랜지스터(DT)의 소스드레인 전극(144a)을 더미 화소(DP) 밖으로 연장시켜 형성될 수 있다. 제3 패드(PD3)는 평탄화층(137)과 뱅크(138)의 일부분을 오픈시켜 패드로 연장된 소스드레인 전극(144a)이 노출된 부분을 일컫는다. 이 경우, 제3 패드(PD3)의 최상위 층은 소스드레인 전극(144a)일 수 있다.

[0087] 제3 패드(PD3)의 최상위 층은 금속 전극으로써 표시패널(100) 외부로 노출되어 전압 또는 전류 측정 장비와 접촉할 수 있다. 이 경우, 제3 패드(PD3)의 최상위 층이 측정 장비에 용이하게 접촉시키기 위해 제3 패드(PD3)를 둘러싸는 평탄화층(137)의 두께는 2 $\mu$ m 이하일 수 있다.

[0088] 도 6a는 본 명세서의 일 실시예에 따른 화소 회로의 초기화 단계를 나타낸 회로도이고, 도 6b는 도 6a의 파형도

이다.

- [0089] 이하에서 설명될 도 6a, 도 7a, 도 8a, 및 도 9a는 도 2의 더미 화소 회로에서 제2 트랜지스터(T2)가 더블 게이트형 트랜지스터로 형성되고, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 게이트 전극에 동일한 스캔 신호(Scan)가 인가되는 것을 제외하고는 동일한 회로이므로, 중복되는 구성요소 및 설명에 대해서는 생략하거나 간략히 한다. 도 6a는 화소 회로로서 더미 화소 회로와 동일하게 형성될 수 있다.
- [0090] 도 6a, 도 7a, 도 8a, 및 도 9a의 화소 구동 회로에서 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극에 연결된 제2 트랜지스터(T2)는 누설 전류를 저감시키기 위하여 더블 게이트형 트랜지스터로 구현될 수 있다. 그리고, 도 2의 더미 화소 회로에서 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 각각 제1 스캔 신호(Scan1) 및 제2 스캔 신호(Scan2)에 의해 제어되던 것을 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 하나의 스캔 신호(Scan)에 의해 제어되도록 함으로써, 게이트 구동부를 구성하는 블록의 수를 줄이고 베젤을 축소할 수 있다.
- [0091] 본 명세서의 일 실시예에 따른 화소 구동 회로의 구동 순서는 초기화 단계, 프로그래밍 및 샘플링 단계, 홀딩 단계, 그리고 발광 단계로 구분될 수 있다.
- [0092] 도 6a 및 도 6b를 참고하면, 초기화 단계는 초기화 기간(①)에서 스캔 신호(Scan) 및 에미션 신호(EM)가 게이트 온 전압이다. 예를 들어, 게이트 온 전압은 로직로우 전압으로 -8V이고, 게이트 오프 전압은 로직하이 전압으로 8V일 수 있으나, 이에 한정되는 것은 아니다. 또한, 주기적으로 스캔 신호(Scan)는 1수평기간(1H) 만큼 게이트 온 전압을 유지하고, 에미션 신호(EM)는 1수평기간(1H) 만큼 게이트 오프 전압을 유지한다. 스캔 신호(Scan)의 게이트 온 전압과 에미션 신호(EM)의 게이트 오프 전압은 서로 중첩되지만 일치하지 않고 0.5수평기간(0.5H) 이하의 차이를 둔다. 스캔 신호(Scan)가 게이트 온 전압이 되는 시점과 에미션 신호(EM)가 게이트 오프 전압이 되는 시점의 차이를 이용하여 구동 트랜지스터(DT)의 샘플링 시간을 조절할 수 있다.
- [0093] 초기화 기간(①)에서 스캔 신호 라인 및 에미션 신호 라인을 통해 인가된 게이트 온 전압에 의해 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제5 트랜지스터(T5)가 턴-온된다. 턴-온된 제1 트랜지스터(T1) 및 제3 트랜지스터(T3)를 통해 기준 전압(Vref) 내지 데이터 전압(Vdata) 사이의 전압이 제1 노드(N1)에 인가되고, 턴-온된 제2 트랜지스터(T2), 제4 트랜지스터(T4), 및 제5 트랜지스터(T5)를 통해 제2 노드(N2), 제3 노드(N3), 및 제4 노드(N4)가 기준 전압(Vref)으로 초기화된다. 초기화 단계를 통해 구동 트랜지스터(DT)의 게이트 전극, 즉 제2 노드(N2)를 초기화시켜줌으로써, 구동 트랜지스터(DT)의 역 바이어스(reverse bias)로 인해 구동 트랜지스터(DT)의 문턱전압이 샘플링되지 않는 것을 방지할 수 있다.
- [0094] 제1 노드(N1)와 제2 노드(N2)는 각각 커패시터(C)의 커패시터 전극 및 제2 전극에 연결되므로, 턴-온된 제1 트랜지스터(T1) 및 제3 트랜지스터(T3)를 통해 제1 노드(N1)에 기준 전압(Vref) 내지 데이터 전압(Vdata) 사이의 전압을 인가시킴으로써 제2 노드(N2)가 흔들리는 것을 방지할 수 있다. 이 경우, 기준 전압(Vref)은 저전위 전원 전압(VSS) 보다 큰 전압이다. 예를 들어, 기준 전압(Vref)은 1V 내지 3V 사이의 전압이고, 저전위 전원 전압(VSS)은 0V이다. 그리고, 데이터 전압(Vdata)은 0V 내지 5V 사이에서 휘도에 따라 변동되는 전압이고, 고전위 전원 전압(VDD)은 8V 내지 15V 사이의 전압일 수 있다.
- [0095] 초기화 기간(①) 동안 구동 트랜지스터(DT)의 게이트 전극은 기준 전압(Vref) 기반으로 초기화되고, 커패시터(C)는 방전된다.
- [0096] 도 7a는 본 명세서의 일 실시예에 따른 화소 회로의 프로그래밍 및 샘플링 단계를 나타낸 회로도이고, 도 7b는 도 7a의 과형도이다.
- [0097] 도 7a 및 도 7b를 참고하면, 프로그래밍 및 샘플링 단계는 프로그래밍 및 샘플링 기간(②)에서 스캔 신호(Scan)가 게이트 온 전압을 유지하고, 에미션 신호(EM)가 게이트 오프 전압으로 전환된다.
- [0098] 스캔 신호 라인을 통해 인가된 게이트 온 전압에 의해 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제5 트랜지스터(T5)가 턴-온되고, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 턴-오프된다. 턴-온된 제1 트랜지스터(T1)를 통해 제1 노드(N1)에 데이터 전압(Vdata)이 인가되고, 턴-온된 제5 트랜지스터(T5)를 통해 제4 노드(N4)에 인가된 기준 전압(Vref)이 유지된다. 이 경우, 제1 노드(N1)의 전압은 기준 전압(Vref)에서 데이터 전압(Vdata)으로 변화됨에 따라 제2 노드(N2)의 전압이 커플링되어 변화된다. 제2 노드(N2)의 전압 변화에 의해 구동 트랜지스터(DT)가 턴-온되고, 구동 트랜지스터(DT)는 턴-온 상태를 유지하는 제2 트랜지스터(T2)에 의해 다이오드 커넥션(diode connection; 게이트 전극과 드레인 전극이 쇼트되어 트랜지스터가 다이오드처럼 동작함)된다. 이 경우, 제2 노드(N2)의 전압은 고전위 전원 전압(VDD)과 구동 트랜지스터(DT)의 문턱전압의 차이값으로

수렴한다.

- [0099] 프로그래밍 및 샘플링 단계를 통해 구동 트랜지스터(DT)의 문턱전압을 샘플링하고 데이터 전압(Vdata)을 커패시터(C)의 일전극에 프로그래밍시킬 수 있다.
- [0100] 도 8a는 본 명세서의 일 실시예에 따른 화소 회로의 홀딩 단계를 나타낸 회로도이고, 도 8b는 도 8a의 파형도이다.
- [0101] 도 8a 및 도 8b를 참고하면, 홀딩 단계는 홀딩 기간(③)에서 스캔 신호(Scan)가 게이트 오프 전압으로 전환되고, 에미션 신호(EM)가 게이트 오프 전압을 유지한다.
- [0102] 스캔 신호(Scan) 및 에미션 신호(EM)가 모두 게이트 오프 전압이므로, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제5 트랜지스터(T5)가 턴-오프된다.
- [0103] 홀딩 기간(③)은 프로그래밍 및 샘플링 단계에서 각 노드에 인가된 전압변화로 인해 발생하는 킥백 현상에 대해 각 노드의 전압을 안정화시킬 수 있다. 특히, 커패시터(C) 양단의 전압을 안정적으로 유지시킬 수 있다.
- [0104] 도 9a는 본 명세서의 일 실시예에 따른 화소 회로의 발광 단계를 나타낸 회로도이고, 도 9b는 도 9a의 파형도이다.
- [0105] 도 9a 및 도 9b를 참고하면, 발광 단계는 발광 기간(④)에서 스캔 신호(Scan)가 게이트 오프 전압을 유지하고, 에미션 신호(EM)가 게이트 온 전압으로 전환된다.
- [0106] 에미션 신호 라인을 통해 인가된 게이트 온 전압에 의해 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)가 턴-온되고, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제5 트랜지스터(T5)는 턴-오프 상태가 유지된다. 턴-온된 제3 트랜지스터(T3)를 통해 제1 노드(N1)에 기준 전압(Vref)이 인가되어 제1 노드(N1)의 전압을 데이터 전압(Vdata)에서 기준 전압(Vref)으로 변환시킨다. 커패시터(C)의 일전극에 연결된 제1 노드(N1)의 전압 변화에 따라 제2 노드(N2)의 전압이 커플링되어 제2 노드(N2)는 (고전위 전원 전압(VDD)-문턱전압)값에서 (데이터 전압(Vdata)-기준 전압(Vref))값의 차이인 전압이 된다. 이에 따라, 구동 트랜지스터(DT)는 턴-온되고 에미션 신호(EM)에 의해 제4 트랜지스터(T4)가 턴-온되어 발광소자(EL)가 발광한다. 이 경우, 구동 트랜지스터(DT)로부터 출력되는 구동 전류에 고전위 전원 전압(VDD)의 요소는 삭제되고 데이터 전압(Vdata)과 기준 전압(Vref)의 차이의 제공에 비례하게 된다. 따라서, 본 명세서의 일 실시예에 따른 화소 회로는 고전위 전원 전압(VDD)이 입력되는 고전위 전원 라인의 전압 강하에 영향을 받지 않을 수 있다.
- [0107] 본 명세서의 실시예에 따른 모니터링용 패드 및 이를 이용한 표시패널은 다음과 같이 설명될 수 있다.
- [0108] 본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 표시 영역에 배치된 복수의 화소 및 표시 영역의 외곽에 있는 비표시 영역에 배치된 복수의 더미 화소를 포함하고, 복수의 더미 화소 중 적어도 하나 이상의 더미 화소는 제1 더미 화소 회로 및 제2 더미 화소 회로를 포함하며, 제1 더미 화소 회로는 복수의 노드를 포함하고, 적어도 하나의 노드는 제1 패드부와 연결되고, 제2 더미 화소 회로는 발광소자의 애노드와 단락되어 오픈된 노드를 포함하고, 오픈된 노드는 제2 패드부에 연결된다. 이에 따라, 더미 화소 회로에 연결된 제1 패드부 및 제2 패드부를 통해 더미 화소 회로의 각 노드에 인가되는 전압 또는 전류를 측정할 수 있고, 에이징시 더미 화소 회로를 구성하는 소자가 받는 스트레스를 측정할 수 있다.
- [0109] 본 명세서의 다른 특징에 따르면, 제1 더미 화소 회로 및 제2 더미 화소 회로는 각각 적어도 하나 이상의 트랜지스터를 포함하고, 트랜지스터는 액티브층, 게이트 전극, 및 소스드레인 전극을 포함하며, 제1 패드부 및 제2 패드부를 구성하는 최상위 층은 소스드레인 전극과 동일층 상에 배치되고, 소스드레인 전극을 이루는 전극 물질과 동일한 전극 물질로 이루어질 수 있다.
- [0110] 본 명세서의 다른 특징에 따르면, 제1 패드부 및 제2 패드부는 제1 더미 화소 회로 및 제2 더미 화소 회로를 구성하는 금속층 중 어느 한 층으로 형성되고, 금속층의 상부는 외부로 노출될 수 있다.
- [0111] 본 명세서의 다른 특징에 따르면, 제1 더미 화소 회로는 제1 스캔 신호에 의해 제어되고 제1 노드 및 데이터 전압 라인에 연결된 제1 트랜지스터, 제2 노드에 연결된 게이트 전극에 의해 제어되고 고전위 전원 라인 및 제3 노드에 연결된 구동 트랜지스터, 제1 노드 및 제2 노드에 연결된 커패시터, 제2 노드 및 제3 노드에 연결된 제2 트랜지스터, 제1 노드 및 기준 전압 라인에 연결된 제3 트랜지스터, 제3 노드 및 제4 노드에 연결된 제4 트랜지스터, 및 제4 노드 및 기준 전압 라인에 연결된 제5 트랜지스터를 포함하고, 제4 노드는 발광소자에 연결될 수 있다.

- [0112] 본 명세서의 다른 특징에 따르면, 제1 패드부는 복수의 패드를 포함하고, 복수의 패드 각각은 제1 노드, 제2 노드, 제3 노드, 및 제4 노드에 각각 연결될 수 있다.
- [0113] 본 명세서의 다른 특징에 따르면, 제1 트랜지스터는 제1 스캔 라인에 연결되고, 제2 트랜지스터 및 제5 트랜지스터는 제2 스캔 라인에 연결될 수 있다.
- [0114] 본 명세서의 다른 특징에 따르면, 제1 트랜지스터, 제2 트랜지스터, 및 제5 트랜지스터는 스캔 라인에 연결될 수 있다.
- [0115] 본 명세서의 다른 특징에 따르면, 제2 더미 화소 회로는 제1 노드 및 데이터 전압 라인에 연결된 제1 트랜지스터, 제2 노드에 연결된 게이트 전극에 의해 제어되고 고전위 전원 라인 및 제3 노드에 연결된 구동 트랜지스터, 제1 노드 및 제2 노드에 연결된 커패시터, 제2 노드 및 제3 노드에 연결된 제2 트랜지스터, 제1 노드 및 기준 전압 라인에 연결된 제3 트랜지스터, 제3 노드 및 제5 노드에 연결된 제4 트랜지스터, 및 제5 노드 및 기준 전압 라인에 연결된 제5 트랜지스터를 포함하고, 제2 더미 화소 회로에 포함된 발광소자는 제5 노드와 전기적으로 연결되지 않은 제6 노드에 연결될 수 있다.
- [0116] 본 명세서의 다른 특징에 따르면, 제2 패드부는 복수의 패드를 포함하고, 복수의 패드 각각은 제5 노드 및 제6 노드에 각각 연결될 수 있다.
- [0117] 본 명세서의 다른 특징에 따르면, 제1 트랜지스터는 제1 스캔 라인에 연결되고, 제2 트랜지스터 및 제5 트랜지스터는 제2 스캔 라인에 연결될 수 있다.
- [0118] 본 명세서의 다른 특징에 따르면, 제1 트랜지스터, 제2 트랜지스터, 제5 트랜지스터는 스캔 라인에 연결될 수 있다.
- [0119] 본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 발광소자, 발광소자에 전류를 공급하고 다결정 실리콘 액티브층을 포함하는 트랜지스터로 구성된 더미 화소 구동 회로, 더미 화소 구동 회로에 연결되어 더미 화소 구동 회로의 전압 및 전류를 측정하기 위한 패드부, 및 더미 화소 구동 회로와 패드부를 연결하는 링크 라인을 포함한다. 이 경우, 발광소자는 더미 화소에 배치된 것이다. 이에 따라, 패드부를 통해 전압 또는 전류를 측정하여 트랜지스터의 누설전류를 저감시킬 수 있는 에이징 조건을 도출할 수 있다.
- [0120] 본 명세서의 다른 특징에 따르면, 더미 화소 구동 회로는 표시패널의 비표시 영역에 있으며, 패드부가 연결된 더미 화소 구동 회로의 노드는 오픈될 수 있다.
- [0121] 본 명세서의 다른 특징에 따르면, 더미 화소 구동 회로는 에미션 트랜지스터를 포함하고, 더미 화소 구동 회로의 오픈된 노드는 에미션 트랜지스터의 일전극 및 발광소자의 애노드 전극이 전기적으로 오픈된 구조일 수 있다.
- [0122] 본 명세서의 다른 특징에 따르면, 패드부는 더미 화소 구동 회로의 전압을 측정하기 위한 제1 패드부 및 더미 화소 구동 회로의 전류를 측정하기 위한 제2 패드부를 포함할 수 있다.
- [0123] 본 명세서의 다른 특징에 따르면, 표시패널은 발광하는 발광소자에 전류를 공급하는 화소 구동 회로를 포함하고, 화소 구동 회로에 스캔 신호를 제공하기 위한 게이트 라인을 포함하며, 패드부가 연결된 더미 화소 구동 회로는 게이트 라인에 수직인 방향으로 마주보고 배치될 수 있다.
- [0124] 본 명세서의 다른 특징에 따르면, 패드부를 구성하는 최상위 층 전극은 링크 라인을 구성하는 전극과 동일한 전극이거나 상부에 있을 수 있다.
- [0125] 본 명세서의 다른 특징에 따르면, 표시패널은 트랜지스터를 덮는 평탄화층을 포함하고, 패드부는 평탄화층의 일부가 오픈됨으로써 노출될 수 있다.
- [0126] 본 명세서의 다른 특징에 따르면, 패드부를 둘러싸는 평탄화층의 두께는 2 $\mu$ m 이하일 수 있다.
- [0127] 본 명세서의 다른 특징에 따르면, 더미 화소 구동 회로는 구동 트랜지스터, 구동 트랜지스터의 게이트 전극 및 드레인 전극에 연결된 샘플링 트랜지스터를 포함하고, 패드부는 게이트 전극 및 드레인 전극에 각각 연결될 수 있다.
- [0128] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한

것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

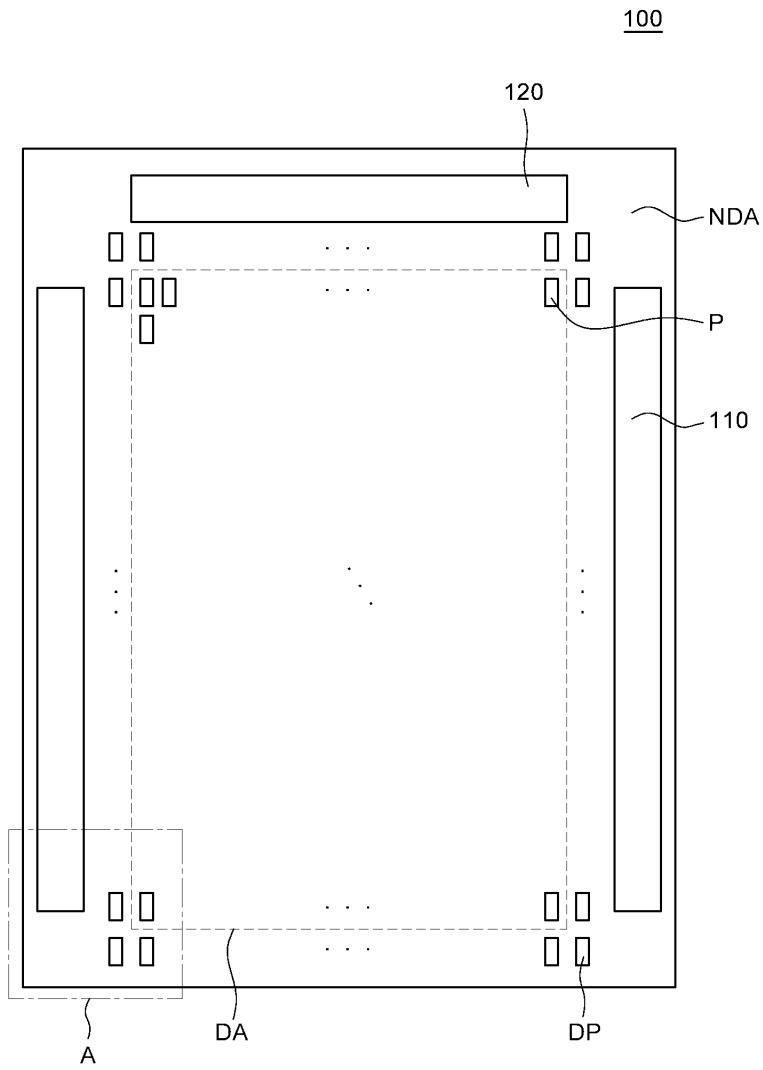
**부호의 설명**

[0129]

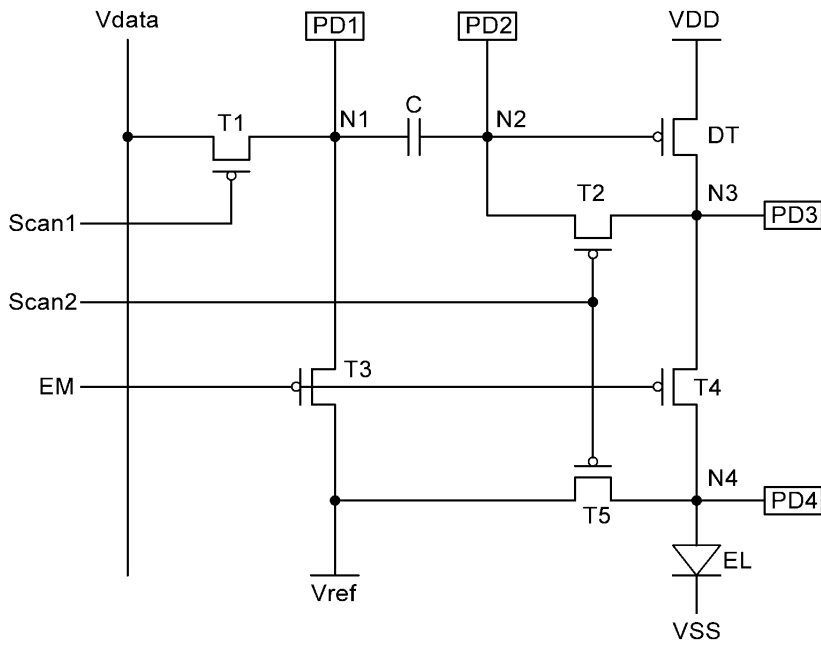
- 100 : 표시패널
- 110 : 게이트 구동부
- 120 : 데이터 구동부
- 131 : 기관
- 132 : 제1 절연층
- 133 : 제2 절연층
- 134 : 제3 절연층
- 135 : 제4 절연층
- 136 : 제5 절연층
- 137 : 평탄화층
- 138 : बैं크
- 141 : 하부 차단막
- 142 : 액티브층
- 143a : 게이트 전극
- 143b : 제3 연결 전극
- 144a : 소스드레인 전극
- 144b : 제1 연결 전극
- 144c : 제2 연결 전극
- 144d : 제4 연결 전극
- 146 : 커패시터 전극
- 147 : 애노드 전극

도면

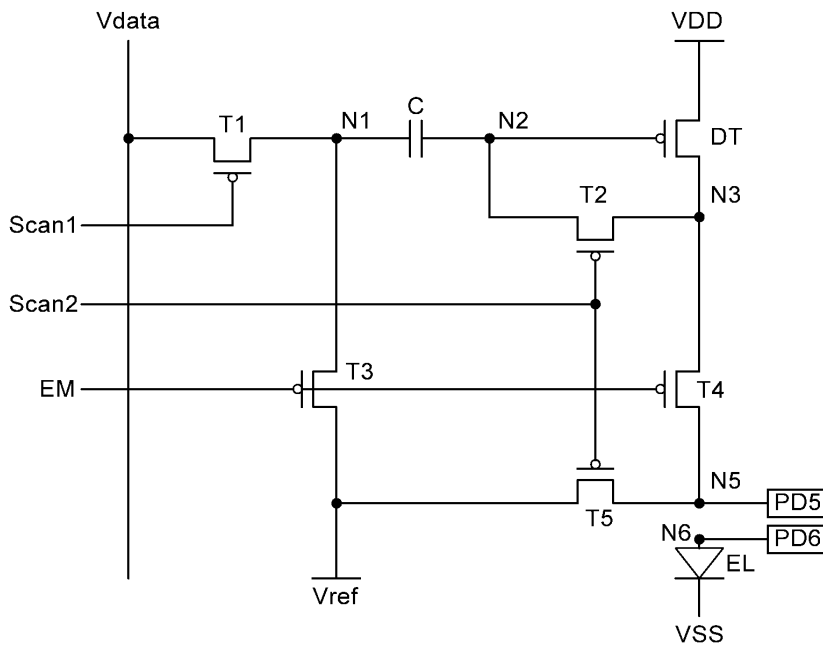
도면1



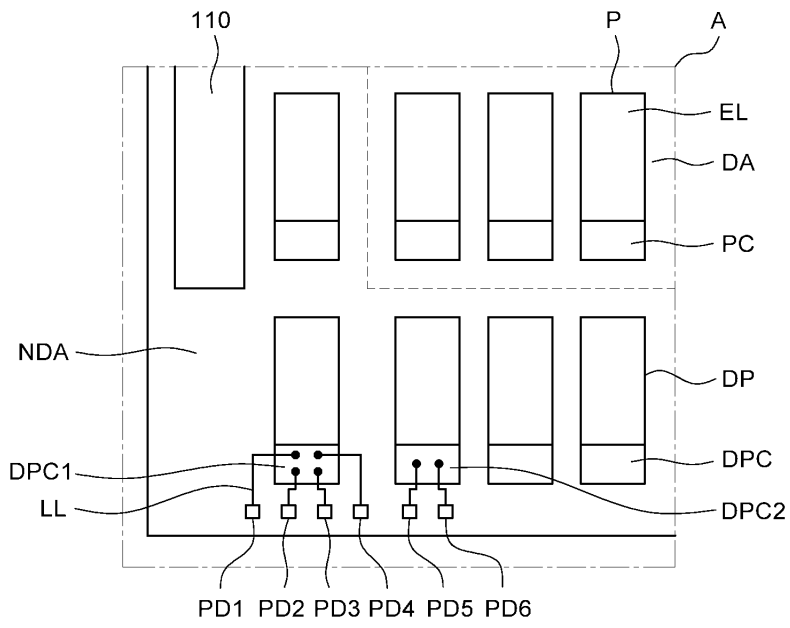
도면2



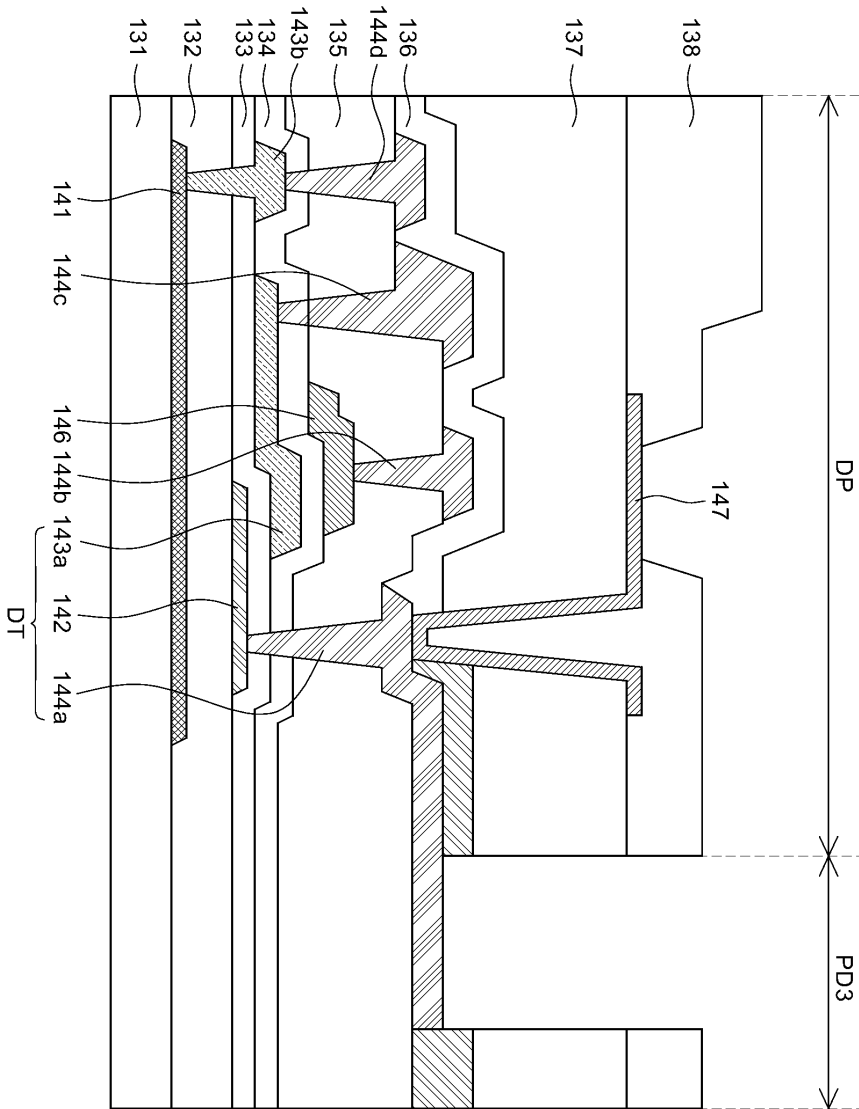
도면3



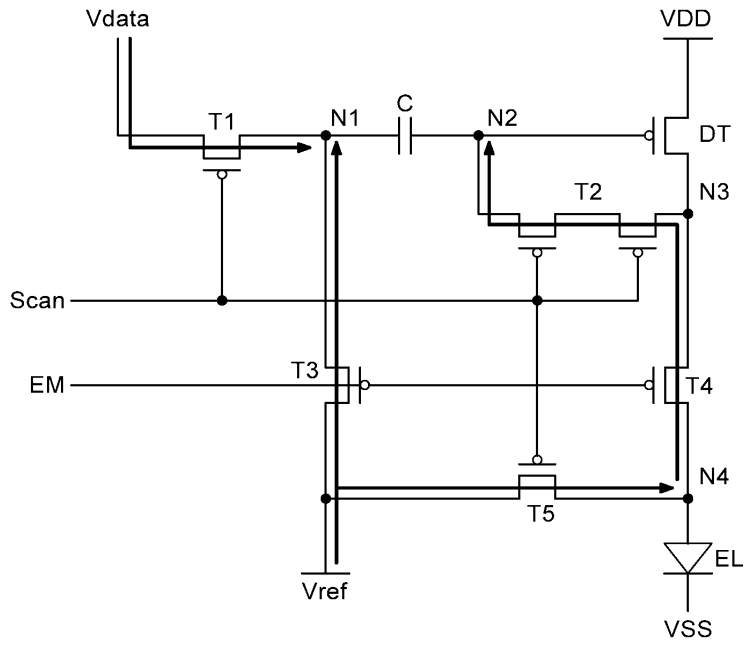
도면4



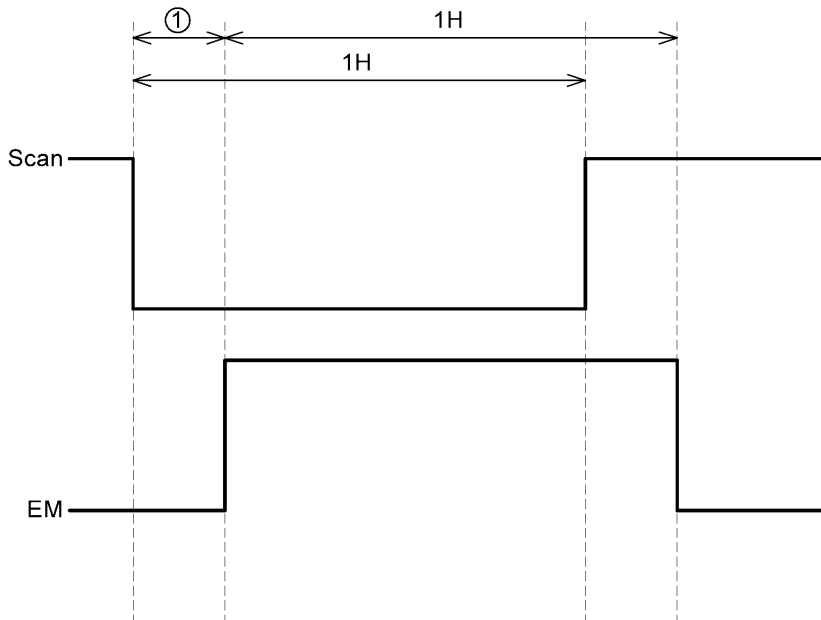
도면5



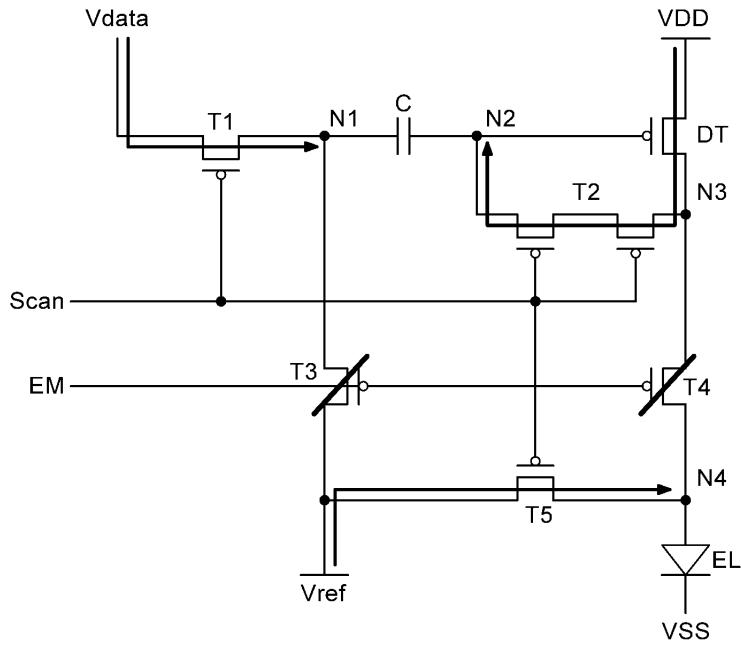
도면6a



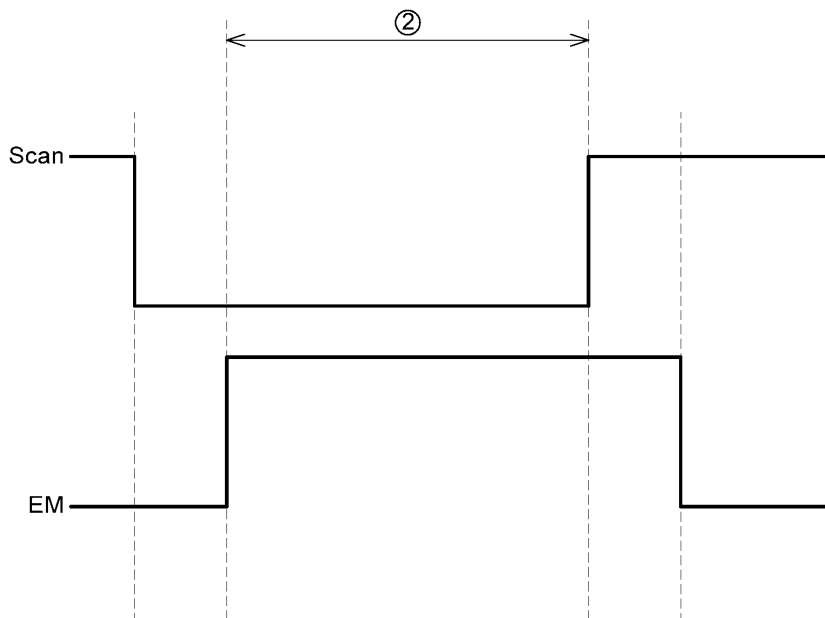
도면6b



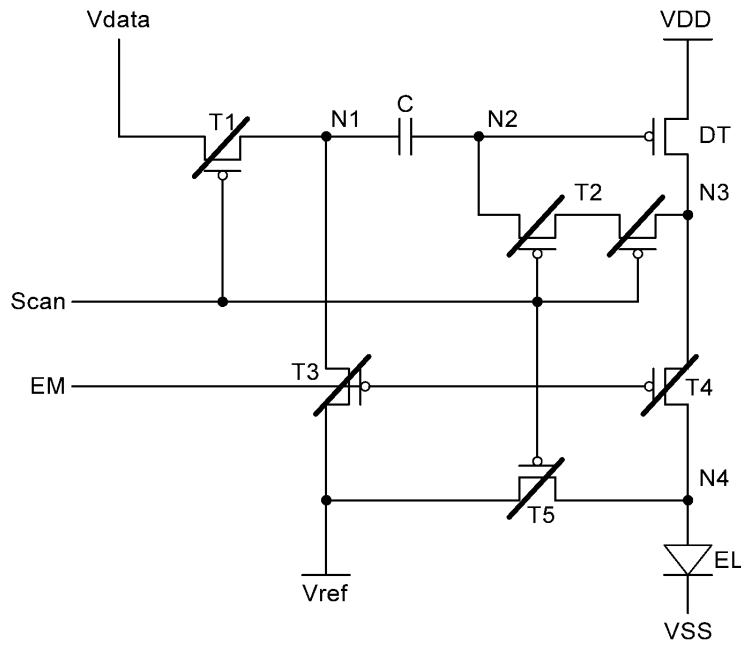
도면7a



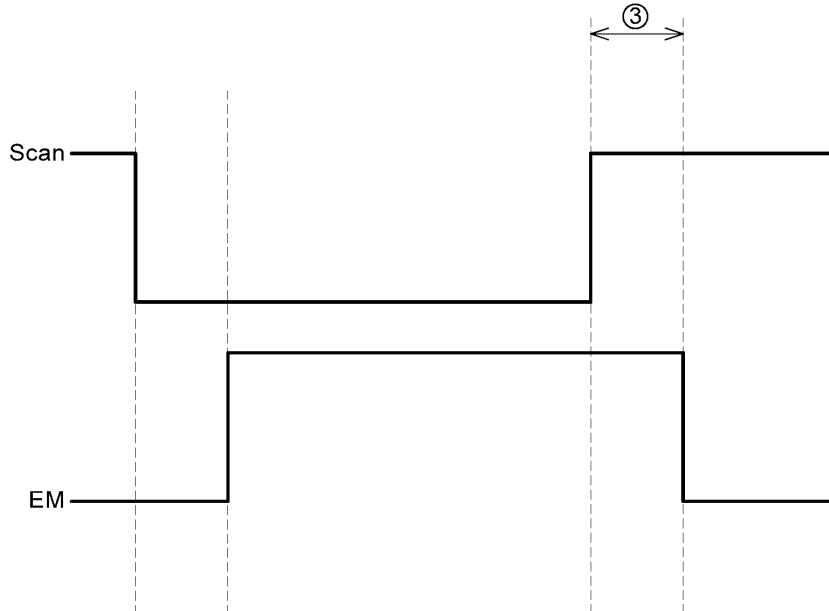
도면7b



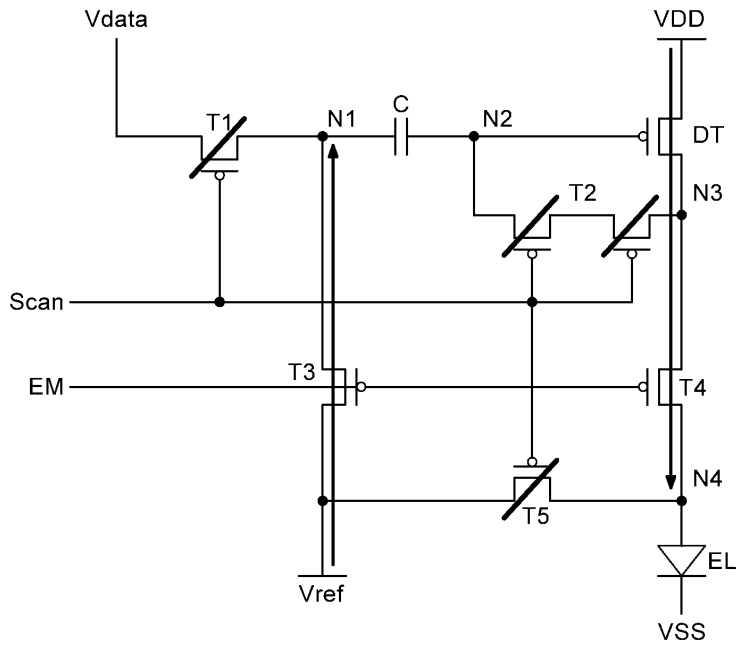
도면8a



도면8b



도면9a



도면9b

