



(12) 发明专利申请

(10) 申请公布号 CN 102498560 A

(43) 申请公布日 2012. 06. 13

(21) 申请号 201080040789. 3

代理人 于静 杨晓光

(22) 申请日 2010. 08. 25

(51) Int. Cl.

(30) 优先权数据

H01L 21/768 (2006. 01)

12/560, 878 2009. 09. 16 US

(85) PCT申请进入国家阶段日

2012. 03. 14

(86) PCT申请的申请数据

PCT/EP2010/062407 2010. 08. 25

(87) PCT申请的公布数据

W02011/032812 EN 2011. 03. 24

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 S·罗斯纳格尔 C-C·杨

D·埃德爾斯坦 野上毅

(74) 专利代理机构 北京市中咨律师事务所

11247

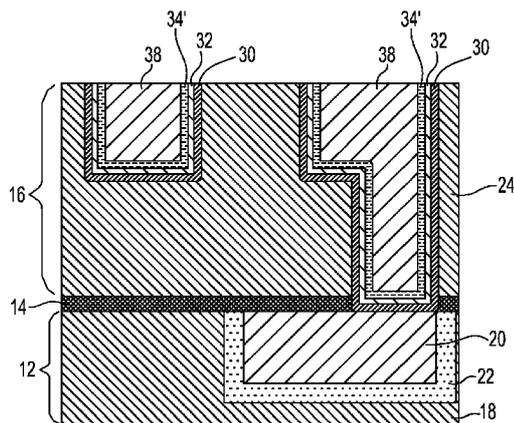
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

用于窄互连开口的导电结构

(57) 摘要

提供了一种具有降低的电阻的互连结构和一种形成这样的互连结构的方法。所述互连结构包括介电材料 (24), 所述介电材料 (24) 包括在其中的至少一个开口。所述至少一个开口被填充有可选的阻挡扩散层 (30)、晶粒生长促进层 (32)、凝聚的镀敷籽晶层 (34')、可选的第二镀敷籽晶层和导电结构 (38)。包括包含金属的导电材料 (典型地为 Cu) 的所述导电结构具有竹节微结构和大于 0.05 微米的平均晶粒尺寸。在一些实施例中, 所述导电结构包括具有 (111) 晶向的导电晶粒。



1. 一种互连结构,其包括:
介电材料,在其中包括至少一个开口;
晶粒生长促进层,其位于所述至少一个开口内;
凝聚的镀敷籽晶层,其位于所述晶粒生长促进层的上表面上方;以及
导电结构,其位于所述至少一个开口内和所述凝聚的镀敷籽晶层的上表面的顶部上,
包括包含金属的导电材料的所述导电结构具有竹节微结构和大于 0.05 微米的平均晶粒尺寸。
2. 根据权利要求 1 的互连结构,其中,所述导电结构包括具有 (111) 晶向的导电晶粒。
3. 根据权利要求 1 或 2 的互连结构,其中,所述介电材料为 SiO_2 、硅倍半氧烷、包含 Si、C、O 和 H 的原子的掺 C 的氧化物、或热固性聚亚芳基醚中的一者。
4. 根据前述权利要求中任一项的互连结构,其中,所述至少一个开口为线路开口、过孔开口、组合的线路开口和过孔开口、或其组合。
5. 根据前述权利要求中任一项的互连结构,其中,所述晶粒生长促进层包含 Ru、Co、Ir、Rh、Mo、Re、Hf、Nb 或其合金。
6. 根据前述权利要求中任一项的互连结构,其中,所述晶粒生长促进层具有 0.5nm 至 10nm 的厚度。
7. 根据前述权利要求中任一项的互连结构,其还包括位于所述晶粒生长促进层下方的扩散阻挡层,所述扩散阻挡层包含 Ta、TaN、Ti、TiN、Ru、RuN、W、WN、或能够用作阻挡层以防止导电材料扩散通过的任何其它材料。
8. 根据前述权利要求中任一项的互连结构,其中,所述凝聚的镀敷籽晶层包含 Cu 或含 Cu 合金。
9. 根据前述权利要求中任一项的互连结构,其中,另一镀敷籽晶层位于所述凝聚的镀敷籽晶层与所述导电结构之间。
10. 根据前述权利要求中任一项的互连结构,其中,所述导电结构的所述包含金属的导电材料包括导电金属、包含至少一种导电金属的合金、或导电金属硅化物。
11. 根据权利要求 10 的互连结构,其中,所述包含金属的导电材料为选自 Cu、Al、W 和 AlCu 的导电金属。
12. 根据前述权利要求中任一项的互连结构,其中,所述导电结构存在于敞开式过孔底部、锚定式过孔底部结构或封闭式底部过孔中。
13. 一种互连结构,包括:
介电材料,在其中包括至少一个开口;
扩散阻挡层,其位于所述至少一个开口内;
晶粒生长促进层,其位于所述扩散阻挡层上;
凝聚的镀敷籽晶层,其位于所述晶粒生长促进层上;
另一镀敷籽晶层,其位于所述凝聚的镀敷籽晶层上;以及
含铜的导电结构,其位于所述至少一个开口内,所述含铜的导电结构具有竹节微结构、大于 0.05 微米的平均晶粒尺寸以及具有 (111) 晶向的铜晶粒。
14. 一种形成互连结构的方法,包括:
在介电材料中形成至少一个开口;

在所述至少一个开口内形成晶粒生长促进层；

在所述至少一个开口内形成凝聚的镀敷籽晶层；以及

在所述至少一个开口内在所述凝聚的镀敷籽晶层的顶部上形成导电结构，包括包含金属的导电材料的所述导电结构具有竹节微结构和大于 0.05 微米的平均晶粒尺寸。

15. 根据权利要求 14 的方法，还包括在形成所述晶粒生长促进层之前在所述至少一个开口内形成扩散阻挡层。

16. 根据权利要求 14 或 15 的方法，其中，所述形成所述晶粒生长促进层发生在 400°C 或更低的沉积温度下。

17. 根据权利要求 14 至 16 中任一项的方法，其中，所述形成所述凝聚的镀敷籽晶层包括：沉积镀敷籽晶层；以及对所述镀敷籽晶层进行退火。

18. 根据权利要求 14 至 17 中任一项的方法，其中，在还原气氛中或在真空下在 200°C 至 400°C 的温度下进行所述退火。

19. 根据权利要求 14 至 18 中任一项的方法，还包括：在所述凝聚的镀敷籽晶层的顶部上形成另一镀敷籽晶层。

20. 根据权利要求 14 至 19 中任一项的方法，其中，所述形成所述导电结构包括：在所述至少一个开口内沉积所述包含金属的导电材料；以及对所述包含金属的导电材料进行退火。

21. 根据权利要求 20 的方法，其中，在 80°C 至 300°C 的温度下进行所述退火。

22. 根据权利要求 14 至 21 中任一项的方法，其中所述导电结构包括具有 (111) 晶向的晶粒。

23. 一种形成互连结构的方法，包括：

在介电材料中形成至少一个开口；

在所述至少一个开口内形成扩散阻挡层；

在所述扩散阻挡层的上表面上形成晶粒生长促进层；

在所述至少一个开口内形成凝聚的镀敷籽晶层；

在所述凝聚的镀敷籽晶层的顶部上形成另一镀敷籽晶层；以及

在所述至少一个开口内形成含铜的导电结构，所述含铜的导电结构具有竹节微结构、大于 0.05 微米的平均晶粒尺寸以及具有 (111) 晶向的铜晶粒。

用于窄互连开口的导电结构

技术领域

[0001] 本发明涉及一种半导体结构及其制造方法。更具体地,本发明涉及一种单镶嵌或双镶嵌型的互连结构,其中采用大晶粒尺寸的导电结构来降低导电路径和 / 或过孔 (尤其是具有低于 75nm 的特征尺寸的窄导电路径和 / 或过孔) 的电阻率。

背景技术

[0002] 通常,半导体器件包括多个电路,所述多个电路形成被制造于半导体衬底上的集成电路。通常将对信号路径的复杂网络进行路由 (route) 以连接分布于衬底表面上的电路元件。跨越该器件对这些信号进行有效的路由需要形成多级 (multilevel) 或多层 (multilayered) 体系,诸如单镶嵌布线结构或双镶嵌布线结构。该布线结构典型地包括铜 (Cu), 因为与基于以铝 (Al) 的互连相比,基于 Cu 的互连能在复杂半导体芯片上的大量晶体管之间提供较高速度的信号传输。

[0003] 在典型的互连结构内,金属过孔垂直于半导体衬底延伸,且金属线路平行于半导体衬底延伸。在现今的 IC 产品芯片中通过在介电常数小于二氧化硅的介电常数的介电材料中掩埋金属线路和金属过孔 (例如,导电特征) 来实现信号速度的进一步提高以及在邻近的金属线路中的信号 (被称为“串扰”) 的降低。

[0004] 现有技术的互连结构的一个主要问题在于:由于导电区域内部的大量电迁移路径,导电区域内的导电材料具有低的抗电迁移性。大量路径据信为导电材料的微结构和平均晶粒尺寸所导致的结果。本领域技术人员熟知,电迁移主要通过以下两者驱使:(1) 在导电材料与介电帽盖之间的界面扩散;以及(2) 沿着导电材料的晶粒边界的体扩散。由于对这些器件所作的按比例缩放,预期在未来的半导体技术中电迁移问题会增大。

发明内容

[0005] 本发明所要解决的一个问题为针对导电路径和过孔所呈现的高电阻率。随着导电路径和 / 或过孔的特征尺寸下降至低于 75nm, 此问题成为显著问题。高电阻率的大部分可归因于诸如铜 (Cu) 特征的导电特征中的小晶粒尺寸 (约 0.02 微米或更低)。晶粒边界散射可导致导电金属中的电阻的增加。在导电特征内的导电材料的小晶粒尺寸是由在形成导电特征时所使用的先前工艺技术所导致的。由于来自上覆层 (overburden) 的晶粒边界运动不会向下延伸至小特征中,因此在极小特征中看不到在较大尺寸产生中所观察到的晶粒生长。

[0006] 根据本发明的一方面,提供一种形成互连结构的方法,该方法显著降低了 (且在一些情况下消除了) 通过先前技术的互连结构呈现的高电阻。在本发明的一个实施例中,该方法包括在介电材料中形成至少一个开口。此后,在所述至少一个开口内形成晶粒生长促进层。在形成所述晶粒生长促进层之后,在所述晶粒生长促进层的暴露表面上形成凝聚的镀敷籽晶层 (agglomerated plating seed layer)。通过沉积和随后的第一退火而形成所述凝聚的镀敷籽晶层。在导致所沉积的镀敷籽晶层在所述至少一个开口内凝聚的条件下

进行所述第一退火。所述凝聚的很大部分发生在所述至少一个开口内部,而非在所述结构的顶部水平表面上。在所述第一退火之后,在所述至少一个开口内形成导电结构。通过沉积包含金属的导电材料且接着进行第二退火而形成所述导电结构,所述第二退火使得所述包含金属的导电材料的晶粒生长。

[0007] 在一个实施例中,在所述至少一个开口内形成所述晶粒生长促进层之前,在所述至少一个开口内形成扩散阻挡层。在另一实施例中,在所述形成所述凝聚的镀敷籽晶层的步骤与所述形成所述导电结构的步骤之间,可在所述至少一个开口内形成另一镀敷籽晶层。

[0008] 上文所描述的方法在所述至少一个开口内产生导电结构,所述导电结构具有竹节微结构 (bamboo microstructure) 和大于 0.05 微米的平均晶粒尺寸。在一些实施例中,所述至少一个开口内的所述导电结构包括具有 (111) 晶向的晶粒。

[0009] 在本发明的另一方面中,提供一种具有降低的电阻的互连结构。所述互连结构包括介电材料,所述介电材料在其中包括至少一个开口。所述至少一个开口被填充有晶粒生长促进层、位于所述晶粒生长促进层的上表面上的凝聚的镀敷籽晶层以及位于所述凝聚的镀敷籽晶层的上表面上方的导电结构。包括包含金属的导电材料 (典型地为 Cu) 的所述导电结构具有竹节微结构和大于 0.05 微米的平均晶粒尺寸。在一些实施例中,所述导电结构包括具有 (111) 晶向的晶粒。

[0010] 在本发明的一些实施例中,在所述至少一个开口内存在扩散阻挡层。所述扩散阻挡层位于包括所述至少一个开口的所述介电材料的暴露侧壁与所述晶粒生长促进层之间。在本发明的另外的实施例中,另一镀敷籽晶层被设置在所述凝聚的镀敷籽晶层与所述导电结构之间。

附图说明

[0011] 下面将参考附图仅仅通过实例描述本发明的实施例,在附图中:

[0012] 图 1 为 (通过横截面图) 示例根据本发明的实施例的经历初始阶段的互连结构的图示,其中,至少一个开口被设置在介电材料中;

[0013] 图 2 为 (通过横截面图) 示例在至少一个开口内形成可选的扩散阻挡层之后的图 1 的互连结构的图示;

[0014] 图 3 为 (通过横截面图) 示例在至少一个开口内形成晶粒生长促进层之后的图 2 的互连结构的图示;

[0015] 图 4 为 (通过横截面图) 示例在形成镀敷籽晶层之后的图 3 的互连结构的图示;

[0016] 图 5 为 (通过横截面图) 示例在进行使镀敷籽晶层凝聚的第一退火之后的图 4 的互连结构的图示;

[0017] 图 6 为 (通过横截面图) 示例在至少一个开口内形成导电结构之后的图 5 的互连结构的图示。在所示例的结构中,在右侧示例了封闭式过孔底部 (closed-via bottom); 以及

[0018] 图 7A 和图 7B 为 (通过横截面图) 示出可在本发明中形成的替代互连结构的图示; 图 7A 包括具有敞开式过孔底部 (open-via bottom) 结构的互连结构,而图 7B 包括具有锚定式过孔底部 (anchored-via bottom) 结构的互连结构。

具体实施方式

[0019] 在以下描述中,阐述诸如特定结构、部件、材料、尺寸、处理步骤和技术的许多具体细节,以便提供对本发明的一些方面的理解。然而,本领域普通技术人员应了解,可在没有这些具体细节的情况下实践本发明。在其它情况下,没有详细描述公知结构或处理步骤,以避免使本发明模糊。

[0020] 应理解,当如层、区域或衬底的一部件被称为“在另一部件上”或“在另一部件上方”时,该部件可直接在该另一部件上,或者也可以存在居间部件。相比而言,当一部件被称为“直接在另一部件上”或“直接在另一部件上方”时,不存在居间部件。还应理解,当一部件被称为“在另一部件下方”或“在另一部件下”时,该部件可直接在该另一部件下方或直接在该另一部件下,或可存在居间部件。相比而言,当一部件被称为“直接在另一部件下方”或“直接在另一部件下”时,不存在居间部件。

[0021] 现将通过参考以下论述和本申请的附图来更详细地描述本发明的实施例。下面在本文中更详细地参考的本申请的附图是出于说明性目的而被提供,因而,其未按比例绘制。

[0022] 首先参看图 1,其示例了可用于本发明的一些实施例中的初始互连结构 10。具体地,图 1 所示的初始互连结构 10 包括多级互连,该多级互连包括通过介电帽盖层 14 而部分地分隔的下互连级 12 和上互连级 16。下互连级 12(其可位于包括一个或多个半导体器件的半导体衬底上方)包含具有至少一个导电特征(即,导电区域)20 的第一介电材料 18,该至少一个导电特征 20 通过阻挡层 22 而与第一介电材料 18 分隔。上互连级 16 包含第二介电材料 24,第二介电材料 24 具有位于其中的至少一个开口。在图 1 中,示出了两个开口;参考标号 26 表示用于单镶嵌结构的线路开口,参考标号 28A 和 28B 分别表示用于双镶嵌结构的过孔开口和线路开口。尽管图 1 示例了独立的线路开口以及用于过孔和线路的开口,但本发明还涵盖仅存在线路开口的情况或者存在用于组合的过孔和线路的开口情况。该至少一个开口的特征尺寸可变化。在一些实施例中,该至少一个开口的特征尺寸低于 75nm。

[0023] 可利用在本领域中公知的标准互连处理来制造图 1 所示的初始互连结构 10。例如,可通过将第一介电材料 18 施加到衬底(未示出)的表面而形成初始互连结构 10。未示出的衬底可包括半导体材料、绝缘材料、导电材料或其任何组合。当衬底包含半导体材料时,可使用诸如 Si、SiGe、SiGeC、SiC、Ge 合金、GaAs、InAs、InP 及其它 III/V 或 II/VI 化合物半导体的任何半导体。除了这些所列出类型的半导体材料以外,本发明还涵盖半导体衬底为诸如 Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗(SGOI)的多层半导体的情况。

[0024] 当衬底为绝缘材料时,绝缘材料可为有机绝缘体、无机绝缘体或其包括多层的组合。当衬底为导电材料时,衬底可包括例如多晶硅、元素金属、元素金属的合金、金属硅化物、金属氮化物或其包括多层的组合。当衬底包含半导体材料时,可在其上制造诸如互补金属氧化物半导体(CMOS)器件的一个或多个半导体器件。

[0025] 下互连级 12 的第一介电材料 18 可包括任何级间(interlevel)或级内(intralevel)互连电介质,所述电介质包括无机电介质或有机电介质。第一介电材料 18 可为多孔的或无孔的。可用作第一介电材料 18 的适当电介质的一些实例包括但不限于:SiO₂; 硅倍半氧烷(silsesquioxane); 掺 C 的氧化物(即,有机硅酸盐),其包含 Si、C、O 和 H 的原

子；热固性聚亚芳基醚；或其多层。术语“聚亚芳基”在本申请中用以表示通过诸如氧、硫、砷、亚砷、羰基及其类似物的键、稠环或惰性连接基团而被连接在一起的芳基部分 (moiety) 或被惰性取代的芳基部分。

[0026] 第一介电材料 18 典型地具有约 4.0 或更低的介电常数，其中约 2.8 或更低的介电常数更为典型。与具有高于 4.0 的介电常数的介电材料相比，这些电介质通常具有较低的寄生串扰。第一介电材料 18 的厚度可依赖于所使用的介电材料以及在下互连级 12 内的电介质的确切数目而变化。典型地，且对于正常互连结构，第一介电材料 18 具有 200nm 至 450nm 的厚度。

[0027] 下互连级 12 还具有掩埋于第一介电材料 18 中（即，位于第一介电材料 18 内）的至少一个导电特征 20。导电特征 20 包含通过阻挡层 22 而与第一介电材料 18 分隔的导电区域。可通过以下步骤形成导电特征 20：光刻（即，将光致抗蚀剂施加到第一介电材料 18 的表面、将光致抗蚀剂暴露至希望的辐射图案，且利用常规抗蚀剂显影剂来显影经曝光的抗蚀剂）；在第一介电材料 18 中蚀刻（干法蚀刻或湿法蚀刻）开口；以及用阻挡层 22 填充该经蚀刻区域，且接着用形成导电区域的导电材料填充经蚀刻区域。典型地通过诸如原子层沉积 (ALD)、化学气相沉积 (CVD)、等离子体增强化学气相沉积 (PECVD)、物理气相沉积 (PVD)、溅射、化学溶液沉积或镀敷的沉积工艺来形成阻挡层 22，阻挡层 22 可包含 Ta、Ta_n、Ti、TiN、Ru、RuN、W、WN，或可用作阻挡层以防止导电材料扩散通过的任何其它材料。

[0028] 阻挡层 22 的厚度可依赖于沉积工艺的确切方式以及所使用的材料而变化。典型地，阻挡层 22 具有 4nm 至 40nm 的厚度，其中 7nm 至 20nm 的厚度更为典型。

[0029] 在形成阻挡层 22 之后，用形成导电区域的导电材料填充第一介电材料 18 内的开口的剩余区域。在形成导电区域时所使用的导电材料包括例如多晶硅、导电金属、包含至少一个导电金属的合金、导电金属硅化物或其组合。优选地，可在形成导电区域时使用的导电材料为包含金属的导电材料，例如 Cu、W 或 Al，其中 Cu 或 Cu 合金（例如 AlCu）在本发明的一些实施例中是优选的。可利用包括但不限于 CVD、PECVD、溅射、化学溶液沉积或镀敷的常规沉积工艺将导电材料填充岛第一介电材料 18 中的剩余开口中。在沉积之后，可使用诸如化学机械抛光 (CMP) 的常规平面化工艺来提供这样的结构，在该结构中，阻挡层 22 和导电特征 20 各自具有与第一介电材料 18 的上表面基本上共面的 (coplanar) 上表面。

[0030] 尽管未具体说明，但可使用下文中所描述的本发明方法来设置导电特征 20，该导电特征 20 的导电结构具有竹节微结构和大于 0.05 微米的平均晶粒尺寸。贯穿本申请，术语“平均晶粒尺寸”用以表示导电结构的导电材料的平均晶粒尺寸。平均晶粒尺寸是利用标准技术测得的，例如，通过将经抛光且经蚀刻的样品放置于显微镜下且对在特定面积内的晶粒的数目进行计数，这些技术已为本领域技术人员所熟知。接着，基于已知的放大率、晶粒的数目及所检查的面积来计算微结构内部的平均晶粒尺寸。

[0031] 在形成至少一个导电特征 20 之后，可利用诸如 CVD、PECVD、化学溶液沉积或蒸发的常规沉积工艺而在下互连级 12 的表面上形成介电帽盖层 14。在一些实施例中，省略介电帽盖层 14。介电帽盖层 14 包括任何适当的介电帽盖材料，例如，SiC、Si₃N₄、SiO₂、掺碳的氧化物、掺氮和氢的碳化硅 SiC(N, H) 或其多层。帽盖层 14 的厚度可依赖于用以形成帽盖层 14 的技术以及构成该层的材料而变化。典型地，帽盖层 14 具有 15nm 至 55nm 的厚度，其中 25nm 至 45nm 的厚度更为典型。

[0032] 上互连级 16 是通过以下方式形成：将第二介电材料 24 施加于介电帽盖层 14（若存在）的上部暴露表面；或当不存在介电帽盖层 14 时，将第二介电材料 24 直接施加于下互连级 12 的顶部上。第二介电材料 24 可包含与下互连级 12 的第一介电材料 18 的介电材料相同或不同（优选地相同）的介电材料。用于第一介电材料 18 的处理技术和厚度范围在此处也适用于第二介电材料 24。利用光刻（如上所述）和蚀刻将至少一个开口形成至第二介电材料 24 中。蚀刻可包含干法蚀刻工艺、湿法化学蚀刻工艺或其组合。术语“干法蚀刻”在本文中用以表示诸如反应离子蚀刻、离子束蚀刻、等离子体蚀刻或激光烧蚀的蚀刻技术。在图 1 中，示出了两个开口；参考标号 26 表示用于单镶嵌结构的线路开口，参考标号 28A 和 28B 分别表示用于双镶嵌结构的过孔开口和线路开口。再次强调，本发明涵盖仅包括开口 26 或开口 28A 和 28B 的结构。

[0033] 在形成过孔开口 28A 和线路开口 28B 的情况下，蚀刻步骤还去除介电帽盖层 14 的位于导电特征 20 的顶部上的部分，以在互连级 12 与互连级 16 之间进行电接触。

[0034] 可通过在第二介电材料 24 的所有暴露表面（包括在开口内的壁表面）上形成具有扩散阻挡层特性的可选的扩散阻挡层 30 而提供可选的扩散阻挡层 30。例如，图 2 中示出了包括可选的阻挡层 30 的所得结构。可选的扩散阻挡层 30 包含与阻挡层 22 的材料相同或不同的材料。因此，可选的扩散阻挡层 30 可包含 Ta、TaN、Ti、TiN、Ru、RuN、W、WN，或可用作阻挡层以防止导电材料扩散通过的任何其它材料。还涵盖形成多层层叠的扩散阻挡层的这些材料的组合。可利用诸如原子层沉积（ALD）、化学气相沉积（CVD）、等离子体增强化学气相沉积（PECVD）、物理气相沉积（PVD）、溅射、化学溶液沉积或镀敷的沉积工艺来形成可选的扩散阻挡层 30。

[0035] 当存在可选的扩散阻挡层时，可选的扩散阻挡层 30 的厚度可依赖于在该阻挡层内的材料层的数目、在形成该阻挡层时所使用的技术以及该扩散阻挡层本身的材料而变化。典型地，可选的扩散阻挡层 30 具有 4nm 至 40nm 的厚度，其中 7nm 至 20nm 的厚度更为典型。

[0036] 图 3 示出了在可选的扩散阻挡层 30 的顶部上形成晶粒生长促进层（GGPL）32 之后的图 2 的结构。在不存在可选的扩散阻挡层 30 的实施例中，将在第二介电材料 24 的暴露表面上（包括在这些开口中的每一个中）形成 GGPL 32。GGPL 32 包含有助于形成具有大于 0.05 微米的平均晶粒尺寸的导电材料的任何材料，典型地为金属或金属合金。用于 GGPL 32 的适当材料的实例包括但不限于 Ru、Co、Ir、Rh、Mo、Re、Hf、Nb 及其合金。在一些实施例中，优选地将 Ru、Ir、Co 或 Rh 用作 GGPL 32。

[0037] 可通过包括例如化学气相沉积（CVD）、等离子体增强化学气相沉积（PECVD）、原子层沉积（ALD）和物理气相沉积（PVD）的常规沉积工艺来形成 GGPL 32。GGPL 32 的厚度可依赖于许多因素而变化，这些因素包括例如 GGPL 32 的组成材料及在形成 GGPL 32 时所使用的技术。典型地，GGPL 32 具有 0.5nm 至 10nm 的厚度，其中小于 6nm 的厚度更为典型。

[0038] 据信，GGPL 32 有助于通过 GGPL 32 与稍后沉积的镀敷籽晶层 / 包含金属的导电材料之间的低界面能而形成具有竹节微结构和大于 0.05 微米的平均晶粒尺寸的导电结构。

[0039] 图 4 示出了在形成镀敷籽晶层 34 之后所形成的所得结构。镀敷籽晶层 34 有助于使随后形成的包含金属的导电材料在至少一个开口内生长。镀敷籽晶层 34 可包含导电金属或金属合金，例如在形成将在下文中更详细地描述的导电结构 38 时所使用的导电金属

或金属合金。典型地,且当导电结构 38 包括 Cu 作为包含金属的导电材料时,镀敷籽晶层 34 包含 Cu、CuAl、CuIr、CuTa、CuRh 或其它 Cu 合金,即,含 Cu 的合金。

[0040] 可通过包括例如 ALD、CVD、PECVD、PVD、化学溶液沉积及其它类似沉积工艺的常规沉积工艺来形成镀敷籽晶层 34。镀敷籽晶层 34 的厚度可变化,且其在为本领域技术人员所熟知的范围内。典型地,镀敷籽晶层 34 具有 2nm 至 80nm 的厚度。

[0041] 在本发明的一些实施例中,在 30°C 或更低的沉积温度下形成镀敷籽晶层 34,其中优选 20°C 至 -30°C 的沉积温度。这样的低温沉积避免了后续导电材料在至少一个开口内凝聚。

[0042] 图 5 示出了在对图 4 所示的结构进行第一退火之后所形成的结构。在引起镀敷籽晶层 34 的实质凝聚 (substantial agglomeration) 的条件下进行第一退火。在图 5 中,通过该第一退火形成的凝聚的镀敷籽晶层被标示为 34'。尽管图 5 将凝聚的镀敷籽晶层 34' 描绘为连续层,但凝聚的镀敷籽晶层 34' 可以为不连续的,在该层内可以包括中断。当凝聚的镀敷籽晶层 34' 不连续时,可暴露下伏的扩散阻挡层或第二介电材料的部分。观察到,镀敷籽晶层 34 的凝聚的很大部分发生在至少一个开口内,而非在互连结构的水平表面上。

[0043] 据信,凝聚的镀敷籽晶层 34' 具有在至少一个开口内部的相当大的金属晶粒。这些大金属晶粒为用于稍后沉积的包含金属的导电材料的晶粒生长的籽微晶 (seed crystallite)。因为这些大金属晶粒 (例如,籽微晶) 已经存在于至少一个开口内,所以可在导电材料沉积后的退火期间获得具有大晶粒尺寸的导电结构。

[0044] 典型地在 200°C 至 400°C 的温度下进行引起镀敷籽晶层 34 的实质凝聚的第一退火,其中 250°C 至 300°C 的温度更典型。在一个实施例中,在诸如 H₂、N₂ 或其混合物的还原气氛中进行第一退火。在另一实施例中,在真空下进行第一退火。进行第一退火持续使得镀敷籽晶层 34 在至少一个开口内充分凝聚的时长。典型地,进行退火持续小于等于 100 分钟的时长,其中小于等于 30 分钟的时长更典型。

[0045] 在本发明的一些实施例中,可在凝聚的镀敷籽晶层 34' 的顶部上形成另一镀敷籽晶层 (未示出)。该另一镀敷籽晶层可包含与镀敷籽晶层 34 相同或不同的镀敷籽晶材料。典型地,该另一镀敷籽晶层 (未示出) 包含与镀敷籽晶层 34 相同的镀敷籽晶材料。可利用针对镀敷籽晶层 34 而在上面提及的沉积技术中的一种来形成该另一镀敷籽晶层。并且,该另一镀敷籽晶层可具有针对镀敷籽晶层 34 而在上面提及的范围内的厚度。该另一镀敷籽晶层系用以确保在导电结构的后续形成期间不暴露下伏的扩散阻挡层或第二介电材料的任何部分。

[0046] 图 6 示出了在至少一个开口内形成导电结构 38 之后的结构。图 6 所示的互连结构表示本发明的一个可能的实施例,而图 7A 和 7B 所示的互连结构表示本发明的另外的可能的实施例。在图 6 中,示出了封闭式过孔底部互连结构。在图 7A 中,导电结构 38 形成于敞开式过孔底部结构内。通过在沉积其它部件之前利用离子轰击或另一类似的定向蚀刻工艺而从过孔 28A 的底部去除可选的扩散阻挡层 30,形成该敞开式过孔互连结构。在图 7B 中,示出了锚定式过孔底部互连结构。通过利用选择性蚀刻工艺首先将凹陷蚀刻至导电特征 20 中,形成该锚定式过孔底部互连结构。接着形成可选的扩散阻挡层 30,且通过利用这些上述技术中的一种而从过孔和凹陷的底部选择性地去除该可选的扩散阻挡层 30。接着如本文中所述来形成其它部件,即,GGPL 32、凝聚的镀敷籽晶层 34' 和导电结构 38。

[0047] 在这些所示例的结构的第一者中, 导电结构 38 可包含与导电特征 20 相同或不同(优选相同)的包含金属的导电材料; 应注意, 在形成导电结构 38 时所使用的导电材料不包括多晶硅。优选地, 将 Cu、Al、W 或其合金用作导电结构 38 的包含金属的导电材料, 其中最优选 Cu 或 AlCu。利用与上文在形成导电特征 20 时所描述的沉积工艺相同的沉积工艺来形成导电结构 38 的包含金属的导电材料。在至少一个开口内沉积包含金属的导电材料之后, 进行导致形成导电结构 38 的第二退火。典型地在 80°C 至 300°C 的温度下进行在形成导电结构 38 时所使用的第二退火, 其中 100°C 至 200°C 的温度更典型。典型地在诸如 N₂、He 和 /Ar 的惰性环境中进行第二退火。第二退火的持续时间可以变化。典型地, 例如, 进行第二退火持续小于等于 60 分钟的时长。

[0048] 由此形成的导电结构 38 包括如上文所提及的包含金属的导电材料。导电结构 38 进一步具有竹节微结构和大于 0.05 微米的平均晶粒尺寸。在一个实施例中, 导电结构 38 的平均晶粒尺寸为 0.05 微米至 0.5 微米。在另一实施例中, 导电结构 38 的平均晶粒尺寸为 0.08 微米至 0.2 微米。在一些实施例中, 导电结构 38 包括具有 (111) 晶向的导电晶粒。术语“竹节微结构”在本文中用以表示导电结构 38 的导电材料由这样的晶粒构成, 所有的所述晶粒都大于互连的横截面尺寸。竹节微结构不同于近竹节微结构 (near bamboo microstructure), 近竹节微结构为沿着互连结构的长度的竹节微结构与多晶微结构的混合物。

[0049] 在沉积导电材料之后, 可对互连结构进行平面化。可在第二退火之前或之后发生的平面化工艺去除存在于上互连级 16 的上部水平表面上方的可选的扩散阻挡层 30、GGPL 32、凝聚的镀敷籽晶层 34' 和导电结构 38。

[0050] 本申请的方法适用于形成诸如在互连结构的任一互连级或所有互连级中的导电特征的导电结构。可使用相同的基本处理步骤来形成诸如场效晶体管的其它半导体结构, 在场效晶体管中, 导电材料为具有本发明的微结构和平均晶粒尺寸的栅电极。

[0051] 导电结构 38 的在互连结构内的晶粒尺寸和形态的效果包括以下各者: (i) 导电结构 38 的相对大晶粒尺寸提供与其它形态相比具有低数目晶粒边界、具有低电子散射效应(比现有技术的电子散射效应低大约 10% 至 30%) 且具有相对低电阻(比现有技术的电阻低大约 10% 至 30%) 的导电结构 38。由于这些特性, 本发明的互连结构呈现比常规互连结构更佳的性能。(ii) 竹节微结构在导电结构内部提供较少的电迁移路径、提供高抗电迁移性, 且可耐受(大于 6mA/μm² 的) 电流密度, 因而提供最佳的电路可靠性。

[0052] 虽然已关于本发明的优选实施例而具体地示出和描述了本发明, 但本领域技术人员应理解, 在不脱离本发明的精神和范围的情况下, 可进行形式及细节上的前述及其它改变。因此, 本发明不旨在受限于所描述和示例的确切形式和细节, 而是落入所附权利要求的范围内。

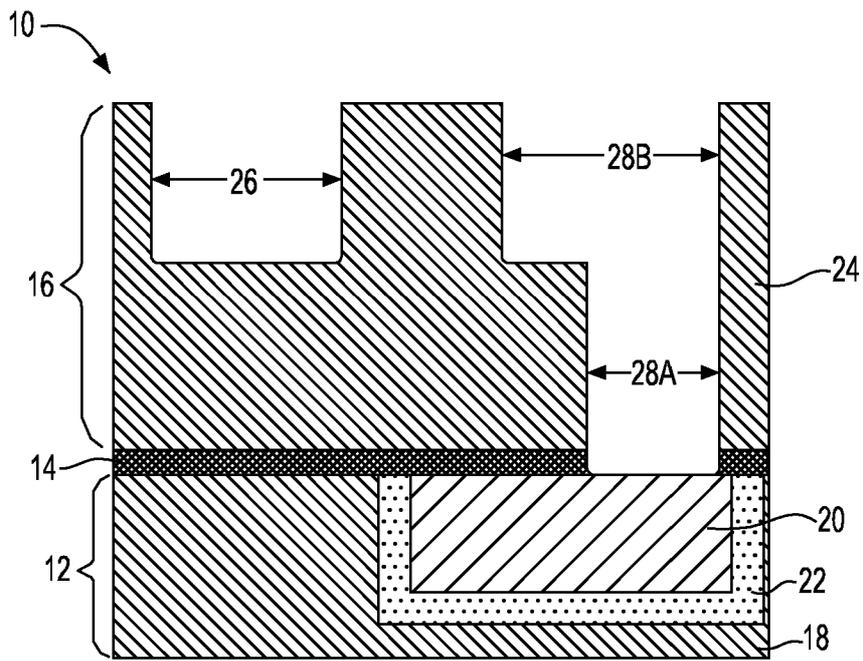


图 1

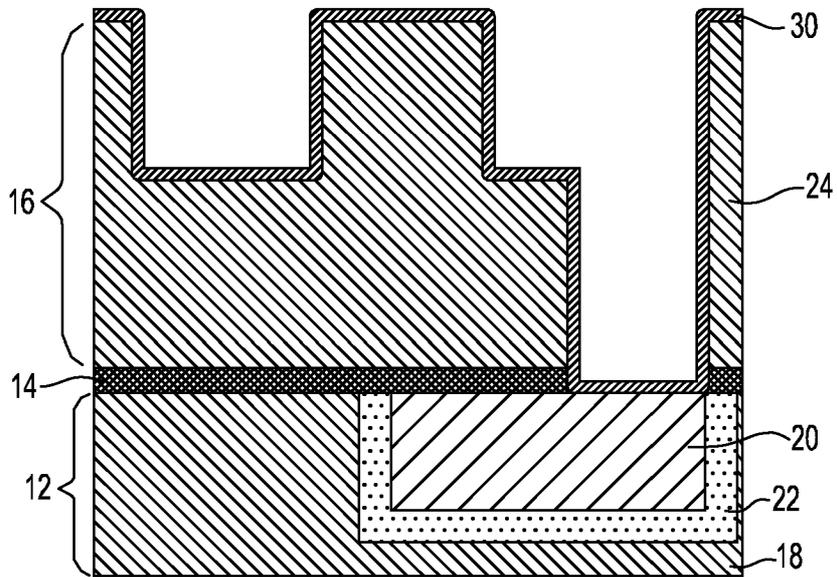


图 2

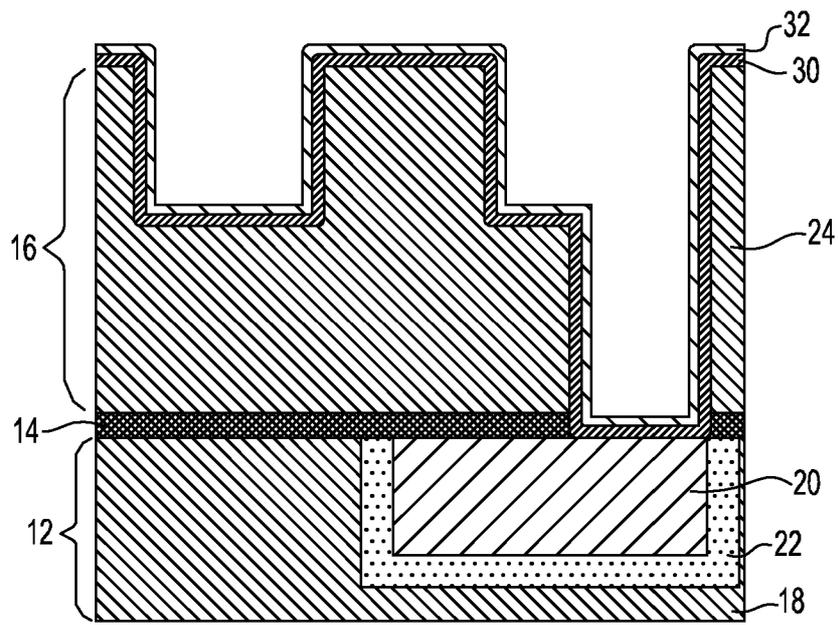


图 3

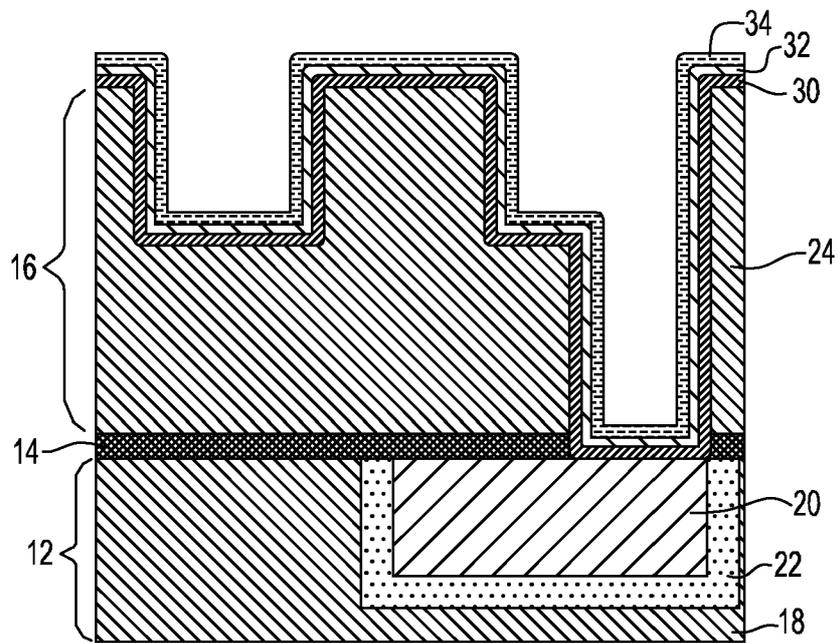


图 4

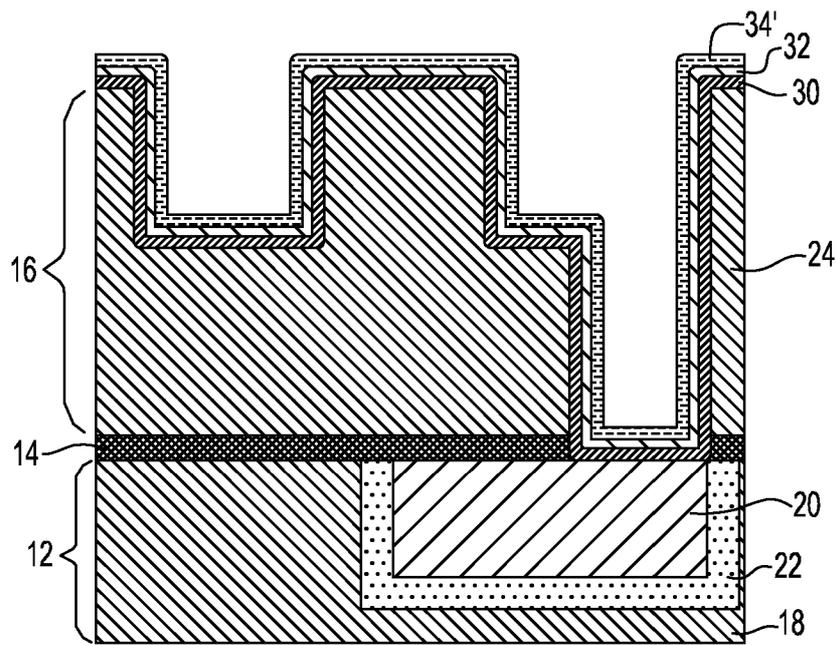


图 5

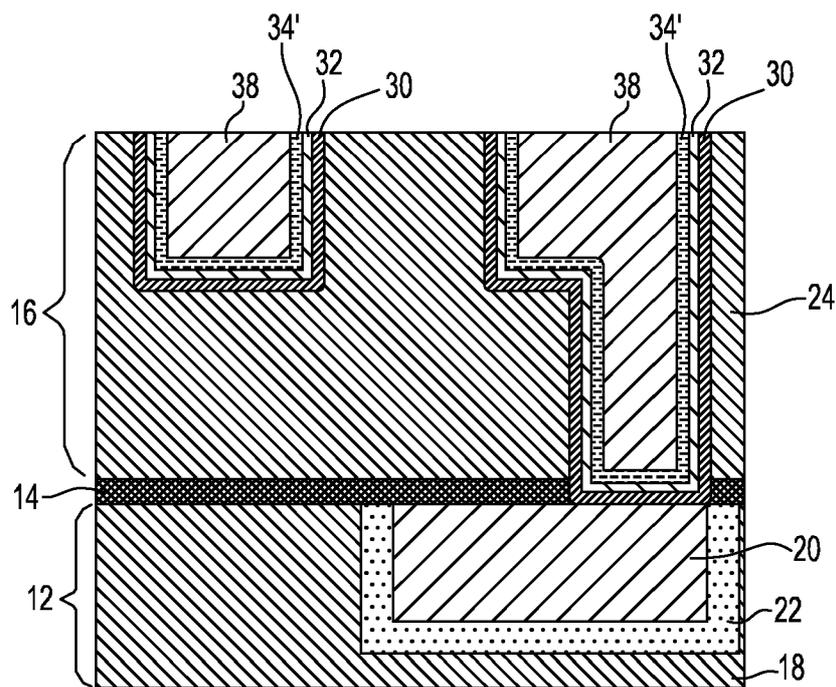


图 6

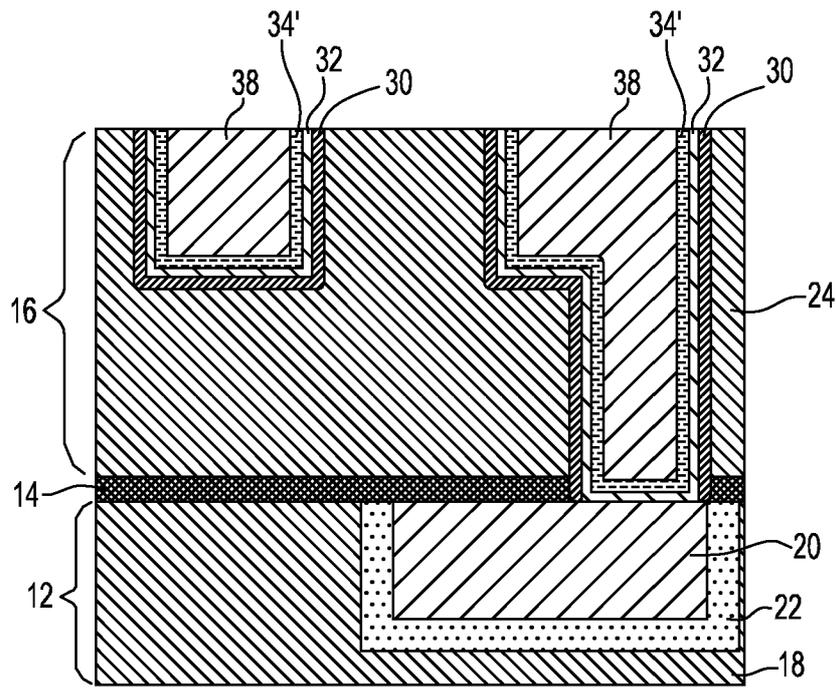


图 7A

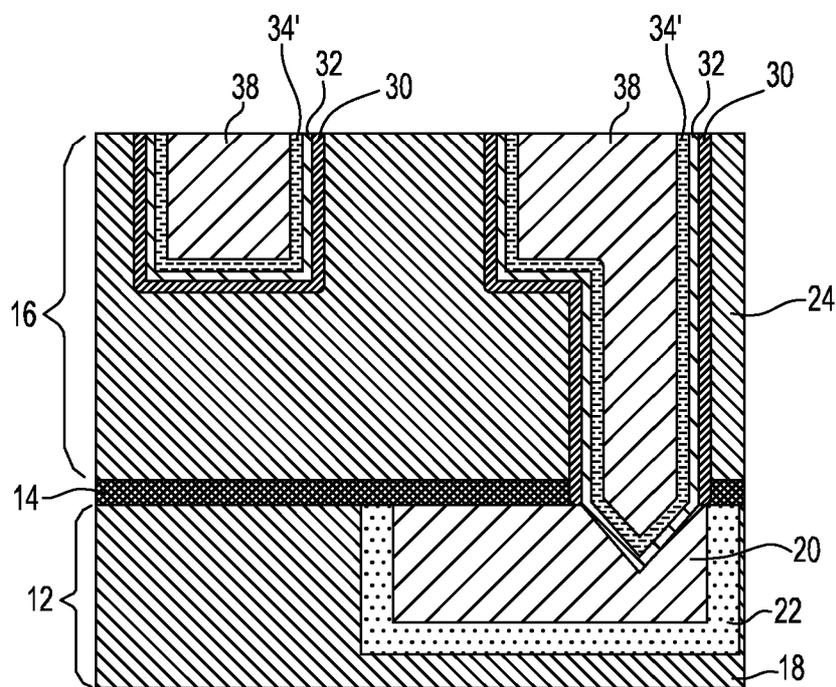


图 7B