

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年10月22日(22.10.2009)

PCT

(10) 国際公開番号
WO 2009/128419 A1

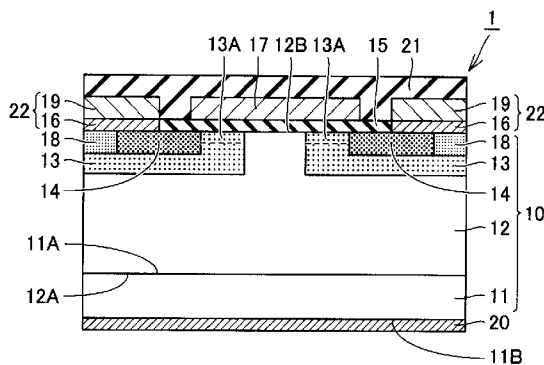
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/338 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2009/057435
- (22) 国際出願日: 2009年4月13日(13.04.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-105739 2008年4月15日(15.04.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪府中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 玉祖 秀人(TAMASO, Hideto) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー22階 深見特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: An MOSFET (1), which can reduce the number of steps in manufacture process and improve integration degree, is provided with a SiC wafer (10) composed of silicon carbide; and source contact electrodes (16), each of which is arranged in contact with the SiC wafer (10), and contains titanium, aluminum, silicon and carbon, and the rest composed of unavoidable impurities. The SiC wafer (10) includes an n⁺ source region (14) having an n-type conductivity, and a p⁺ region (18) having a p-type conductivity. The n⁺ source region (14) and the p⁺ region (18) are brought into contact with the source contact electrodes (16), respectively. The source contact electrode (16) contains aluminum and titanium in a region including an interface between the source contact electrode and the SiC wafer (10).

(57) 要約:

[続葉有]

WO 2009/128419 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

製造工程の工程数の低減や集積度の向上が可能なMOSFET (1) は、炭化珪素からなるSiCウェハ (10) と、SiCウェハ (10) に接触して配置され、チタン、アルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるソースコンタクト電極 (16) とを備えている。SiCウェハ (10) は、導電型がn型であるn⁺ソース領域 (14) と、導電型がp型であるp⁺領域 (18) とを含んでいる。n⁺ソース領域 (14) およびp⁺領域 (18) のそれぞれは、ソースコンタクト電極 (16) と接触している。そして、ソースコンタクト電極 (16) は、SiCウェハ (10) との界面を含む領域に、アルミニウムとチタンとを含有している。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置およびその製造方法に関し、より特定的には、炭化珪素からなるSiCウェハに接触して配置される電極を備えた半導体装置に関する。

背景技術

[0002] 半導体装置においては、導電型がn型であるn型領域と、導電型がp型であるp型領域とが形成され、当該n型領域およびp型領域には、電極が接続される構造が採用される場合が多い。近年、半導体装置が使用される装置の高効率化の進行に伴い、半導体装置に対しても高効率化の要求がある。半導体装置を高効率化するためには、上記電極は、それ自身の抵抗（電気抵抗）が小さいだけでなく、上記n型領域およびp型領域との接触抵抗が小さいことが必要とされる。

[0003] 一方、近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素（SiC）の採用が進められつつある。SiCは、従来から半導体装置を構成する材料として広く使用されている珪素（Si）に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料としてSiCを採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、SiCを材料として採用した半導体装置は、Siを材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0004] しかし、SiCを半導体装置の素材として採用した場合、Siを半導体装置の素材として採用した場合に比べて、p型領域およびn型領域と電極とのショットキー障壁が大きくなることを回避することは難しい。その結果、p型領域およびn型領域と電極との接触抵抗の上昇を抑制することが容易では

ないという問題が生じていた。

- [0005] これに対し、 n 型不純物（導電型が n 型である不純物）を含む n 型SiC領域と接触する電極の材料としてはNi（ニッケル）、 p 型不純物（導電型が p 型である不純物）を含む p 型SiC領域と接触する電極の材料としてはTi（チタン）／Al（アルミニウム）あるいはAlSi合金を採用することにより、接触抵抗を低減可能であることが知られている（たとえば、谷本 智、外4名、「SiCデバイスのオーミックコンタクト形成技術」、電子情報通信学会論文誌、社団法人電子情報通信学会、2003年4月、Vol. J86-C、No. 4、p359-367（非特許文献1）参照）。

先行技術文献

非特許文献

- [0006] 非特許文献1：谷本 智、外4名、「SiCデバイスのオーミックコンタクト形成技術」、電子情報通信学会論文誌、社団法人電子情報通信学会、2003年4月、Vol. J86-C、No. 4、p359-367

発明の概要

発明が解決しようとする課題

- [0007] 上述のように、電極と接触する領域が n 型SiC領域であるか p 型SiC領域であるかに応じて、電極を構成する材料を適切に選択することにより、半導体装置の素材としてSiCを採用した場合でも、 p 型領域および n 型領域と電極との接触抵抗を低減することができる。しかし、 p 型領域に接触する電極を構成する材料と n 型領域に接触する電極を構成する材料とが異なる場合、これらの電極を形成する複数の工程が必要となり、製造工程の工程数が増加する。その結果、半導体装置の製造コストが上昇するという問題を生じる。また、 p 型領域に接触する電極を構成する材料と n 型領域に接触する電極を構成する材料とが異なることは、半導体装置の集積度の向上を阻害する要因ともなる。

- [0008] そこで、本発明の目的は、 p 型SiC領域および n 型SiC領域のいずれ

とも接触抵抗を十分に抑制しつつ接触可能な電極を備えることにより、製造工程の工程数の低減や集積度の向上を可能とする半導体装置を提供することである。

課題を解決するための手段

- [0009] 本発明の一の局面における半導体装置は、炭化珪素からなるSiCウェハと、SiCウェハに接触して配置され、チタン、アルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるオーミックコンタクト電極とを備えている。SiCウェハは、導電型がn型であるn型領域と、導電型がp型であるp型領域とを含んでいる。また、n型領域およびp型領域のそれぞれは、上記オーミックコンタクト電極と接触している。そして、当該オーミックコンタクト電極は、SiCウェハとの界面を含む領域に、アルミニウムとチタンとを含有している。
- [0010] 本発明の一の局面における半導体装置を構成するオーミックコンタクト電極は、SiCウェハとの界面を含む領域に、アルミニウムとチタンとを含有している。これにより、当該オーミックコンタクト電極は、p型SiC領域およびn型SiC領域のいずれとも接触抵抗を十分に抑制しつつ接触可能となっている。その結果、本発明の一の局面における半導体装置によれば、p型領域に接触するオーミックコンタクト電極とn型領域に接触するオーミックコンタクト電極とを同一材料により構成することが可能となり、製造工程の工程数の低減や集積度の向上を可能とする半導体装置を提供することができる。ここで、「SiCウェハとの界面を含む領域にアルミニウムとチタンとを含有している」状態とは、たとえばオージェ分光分析を実施することにより、SiCウェハとの界面を含む領域にノイズとは明確に区別できる程度にアルミニウムおよびチタンの存在が検出できる状態をいう。
- [0011] 上記一の局面における半導体装置においては、上記オーミックコンタクト電極は、n型領域に接触する領域からp型領域に接触する領域にまで延在するように配置されていてもよい。
- [0012] また、上記一の局面における半導体装置においては、複数のオーミックコ

ンタクト電極を備え、当該複数のオーミックコンタクト電極のうち、一のオーミックコンタクト電極はn型領域と接触しており、他のオーミックコンタクト電極はp型領域と接触していてもよい。

[0013] 本発明の他の局面における半導体装置は、炭化珪素からなるSiCウェハと、SiCウェハに接触して配置され、チタン、アルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるオーミックコンタクト電極とを備えている。SiCウェハは、導電型がn型であるn型領域と、導電型がp型であるp型領域とを含んでいる。また、n型領域およびp型領域のそれぞれは、上記オーミックコンタクト電極と接触している。そして、当該オーミックコンタクト電極の、SiCウェハとは反対側の表面を含む領域には珪素が含まれている。

[0014] 本発明の他の局面における半導体装置を構成するオーミックコンタクト電極は、SiCウェハとは反対側の表面を含む領域に珪素を含有している。このように、SiCウェハとは反対側の表面を含む領域において珪素(Si)を含むことにより、当該オーミックコンタクト電極は、p型SiC領域およびn型SiC領域のいずれとも接触抵抗を十分に抑制しつつ接触可能となっている。その結果、本発明の他の局面における半導体装置によれば、p型領域に接触するオーミックコンタクト電極とn型領域に接触するオーミックコンタクト電極とを同一材料により構成することが可能となり、製造工程の工程数の低減や集積度の向上を可能とする半導体装置を提供することができる。ここで、「SiCウェハとは反対側の表面を含む領域には珪素が含まれている」状態とは、たとえばオージェ分光分析を実施することにより、SiCウェハとは反対側の表面を含む領域にノイズとは明確に区別できる程度に珪素の存在が検出できる状態をいう。

[0015] 上記他の局面における半導体装置においては、オーミックコンタクト電極において、SiCウェハに近づくに従って珪素の含有量が単調に増加していてもよい。

[0016] また、上記他の局面における半導体装置においては、オーミックコンタク

ト電極において、S i Cウェハに近づくに従ってアルミニウムの含有量が単調に減少していてもよい。

[0017] また、上記他の局面における半導体装置においては、オーミックコンタクト電極において、チタンの含有量が、S i Cウェハとは反対側の表面からS i Cウェハに向けて単調に増加し、最大値を示した後、単調に減少していてもよい。

[0018] また、上記他の局面における半導体装置においては、オーミックコンタクト電極は、n型領域に接触する領域からp型領域に接触する領域にまで延在するように配置されていてもよい。

[0019] また、上記他の局面における半導体装置においては、複数のオーミックコンタクト電極を備え、当該複数のオーミックコンタクト電極のうち、一のオーミックコンタクト電極はn型領域と接触しており、他のオーミックコンタクト電極はp型領域と接触していてもよい。

[0020] 本発明のさらに他の局面における半導体装置は、炭化珪素からなるS i Cウェハと、S i Cウェハに接触して配置され、チタン、アルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるオーミックコンタクト電極とを備えている。S i Cウェハは、導電型がn型であるn型領域と、導電型がp型であるp型領域とを含んでいる。また、n型領域およびp型領域のそれぞれは、上記オーミックコンタクト電極と接触している。そして、オーミックコンタクト電極においては、アルミニウムの含有量がS i Cウェハに近づくに従って単調に減少し、珪素の含有量がS i Cウェハに近づくに従って単調に増加している。

[0021] 本発明のさらに他の局面における半導体装置を構成するオーミックコンタクト電極においては、アルミニウムの含有量がS i Cウェハに近づくに従って単調に減少し、珪素の含有量がS i Cウェハに近づくに従って単調に増加している。これにより、当該オーミックコンタクト電極は、p型S i C領域およびn型S i C領域のいずれとも接触抵抗を十分に抑制しつつ接触可能となっている。その結果、本発明のさらに他の局面における半導体装置によれ

ば、p型領域に接触するオーミックコンタクト電極とn型領域に接触するオーミックコンタクト電極とを同一材料により構成することが可能となり、製造工程の工程数の低減や集積度の向上を可能とする半導体装置を提供することができる。

[0022] 上記さらに他の局面における半導体装置においては、オーミックコンタクト電極において、チタンの含有量が、SiCウェハとは反対側の表面からSiCウェハに向けて単調に増加し、最大値を示した後、単調に減少しているもよい。

[0023] また、上記さらに他の局面における半導体装置においては、オーミックコンタクト電極は、n型領域に接触する領域からp型領域に接触する領域にまで延在するように配置されていてもよい。

[0024] また、上記さらに他の局面における半導体装置においては、複数のオーミックコンタクト電極を備え、当該複数のオーミックコンタクト電極のうち、一のオーミックコンタクト電極はn型領域と接触しており、他のオーミックコンタクト電極はp型領域と接触しているもよい。

[0025] なお、元素の含有量が単調に増加または減少する状態とは、オーミックコンタクト電極の厚み方向において、当該元素の含有量が一定となっている領域（例えば含有量が0である連続した領域）を持つことなく、増加または減少を続ける状態をいう。

発明の効果

[0026] 以上の説明から明らかなように、本発明の半導体装置によれば、p型SiC領域およびn型SiC領域のいずれとも接触抵抗を十分に抑制しつつ接触可能な電極を備えることにより、製造工程の工程数の低減や集積度の向上を可能とする半導体装置を提供することができる。

図面の簡単な説明

[0027] [図1]MOSFETの構成を示す概略断面図である。

[図2]MOSFETの製造方法の概略を示すフローチャートである。

[図3]図2におけるオーミック電極形成工程およびドレイン電極形成工程の詳細

細を示すフローチャートである。

[図4] MOSFETの製造方法を説明するための概略断面図である。

[図5] MOSFETの製造方法を説明するための概略断面図である。

[図6] MOSFETの製造方法を説明するための概略断面図である。

[図7] MOSFETの製造方法を説明するための概略断面図である。

[図8] MOSFETの製造方法を説明するための概略断面図である。

[図9] MOSFETの製造方法を説明するための概略断面図である。

[図10] JFETの構成を示す概略断面図である。

[図11] JFETの製造方法の概略を示すフローチャートである。

[図12] JFETの製造方法を説明するための概略断面図である。

[図13] JFETの製造方法を説明するための概略断面図である。

[図14] JFETの製造方法を説明するための概略断面図である。

[図15] JFETの製造方法を説明するための概略断面図である。

[図16] JFETの製造方法を説明するための概略断面図である。

[図17] JFETの製造方法を説明するための概略断面図である。

[図18] Ti膜に対するAl膜の膜厚の比と、接触抵抗率との関係を示す図である。

[図19] Si膜の膜厚と接触抵抗率との関係を示す図である。

[図20] 実施例のオーミックコンタクト電極付近のSEM写真である。

[図21] 実施例のオーミックコンタクト電極付近における元素の分布を示す図である。

[図22] 比較例のオーミックコンタクト電極付近における元素の分布を示す図である。

発明を実施するための形態

[0028] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

[0029] (実施の形態1)

まず、実施の形態1におけるMOSFET (Metal Oxide Semiconductor Field Effect Transistor; 酸化膜電界効果トランジスタ) について説明する。図1を参照して、実施の形態1におけるMOSFET1は、炭化珪素 (SiC) からなり、導電型がn型 (第1導電型) の基板である n^+ SiC基板11と、SiCからなり、導電型がn型 (第1導電型) の半導体層としての n^- SiC層12と、導電型がp型 (第2導電型) の第2導電型領域としての一対のpボディ13と、導電型がn型 (第1導電型) の高濃度第1導電型領域としての n^+ ソース領域14と、導電型がp型 (第2導電型) の高濃度第2導電型領域としての p^+ 領域18とを備えている。pボディ13、 n^+ ソース領域14および p^+ 領域18が形成された n^- SiC層12と、 n^+ SiC基板11とは、炭化珪素からなるSiCウェハ10を構成する。 n^+ SiC基板11は、高濃度のn型不純物 (導電型がn型である不純物)、たとえばN (窒素) を含んでいる。

[0030] n^- SiC層12は、 n^+ SiC基板11の一方の主面11A上に、たとえば $10\mu\text{m}$ 程度の厚みで形成され、n型不純物を含むことにより導電型がn型となっている。 n^- SiC層12に含まれるn型不純物は、たとえばN (窒素) であり、 n^+ SiC基板11に含まれるn型不純物よりも低い濃度、たとえば $5 \times 10^{15} \text{cm}^{-3}$ の濃度で含まれている。

[0031] 一対のpボディ13は、 n^- SiC層12において、 n^+ SiC基板11側の主面である第1の主面12Aとは反対側の主面である第2の主面12Bを含むように互いに分離して形成され、p型不純物 (導電型がp型である不純物) を含むことにより、導電型がp型 (第2導電型) となっている。pボディ13に含まれるp型不純物は、たとえばAl、B (硼素) などであり、 n^+ SiC基板11に含まれるn型不純物よりも低い濃度、たとえば $1 \times 10^{17} \text{cm}^{-3}$ の濃度で含まれている。

[0032] n^+ ソース領域14は、第2の主面12Bを含み、かつpボディ13に取り囲まれるように、一対のpボディ13のそれぞれの内部に形成されている。 n^+ ソース領域14は、n型不純物、たとえばP (リン) などを n^- SiC層

12に含まれるn型不純物よりも高い濃度、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含んでいる。

[0033] p⁺領域18は、一对のpボディ13のうち一方のpボディ13の内部に形成されたn⁺ソース領域14から見て、他方のpボディ13の内部に形成されたn⁺ソース領域14とは反対側に、第2の主面12Bを含むように形成されている。p⁺領域18は、p型不純物、たとえばAl、Bなどをpボディ13に含まれるp型不純物よりも高い濃度、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含んでいる。

[0034] さらに、図1を参照して、MOSFET1は、ゲート絶縁膜としてのゲート酸化膜15と、ゲート電極17と、一对のソースコンタクト電極16と、ソース配線19と、ドレイン電極20と、パシベーション膜21とを備えている。

[0035] ゲート酸化膜15は、第2の主面12Bに接触し、一方のn⁺ソース領域14の上部表面から他方のn⁺ソース領域14の上部表面にまで延在するようにn-SiC層12の第2の主面12B上に形成され、たとえば二酸化珪素(SiO₂)からなっている。

[0036] ゲート電極17は、一方のn⁺ソース領域14上から他方のn⁺ソース領域14上にまで延在するように、ゲート酸化膜15に接触して配置されている。また、ゲート電極17は、ポリシリコン、Alなどの導電体からなっている。

[0037] ソースコンタクト電極16は、一对のn⁺ソース領域14上のそれぞれから、ゲート酸化膜15から離れる向きにp⁺領域18上にまで延在するとともに、第2の主面12Bに接触して配置されている。そして、ソースコンタクト電極16は、チタン(Ti)、アルミニウム(Al)、珪素(Si)および炭素(C)を含有し、残部不可避免的不純物からなっている。ここで、不可避免的不純物には、製造工程において不可避に混入する酸素(O)が含まれる。そして、ソースコンタクト電極16は、ソース領域14およびp⁺領域18が形成されたn-SiC層12との界面を含む領域に、アルミニウムとチタンと

を含有している。

- [0038] ソース配線 19 は、ソースコンタクト電極 16 に接触して形成されており、Al などの導電体からなっている。そして、ソース配線 19 は、ソースコンタクト電極 16 を介して n^+ ソース領域 14 と電氣的に接続されている。このソース配線 19 とソースコンタクト電極 16 とは、ソース電極 22 を構成する。
- [0039] ドレイン電極 20 は、 n^+ SiC 基板 11 において n^- SiC 層 12 が形成される側の主面である一方の主面 11A とは反対側の主面である他方の主面 11B に接触して形成されている。このドレイン電極 20 は、たとえば上記ソースコンタクト電極 16 と同様の構成を有していてもよいし、Ni など、 n^+ SiC 基板 11 とオーミックコンタクト可能な他の材料からなってもよい。これにより、ドレイン電極 20 は n^+ SiC 基板 11 と電氣的に接続されている。
- [0040] パシベーション膜 21 は、一方のソース配線 19 上からゲート電極 17 上を通り、他方のソース配線 19 上にまで延在するように形成されている。このパシベーション膜 21 は、たとえば SiO_2 からなっており、ソース配線 19 およびゲート電極 17 を外部と電氣的に絶縁するとともに、MOSFET 1 を保護する機能を有している。
- [0041] すなわち、本実施の形態における MOSFET 1 は、SiC ウェハ 10 と、SiC ウェハ 10 に接触して配置され、Ti、Al、Si および C を含有し、残部不可避免的不純物からなるオーミックコンタクト電極としてのソースコンタクト電極 16 とを備えている。SiC ウェハ 10 は、導電型が n 型である n^+ ソース領域 14 と、導電型が p 型である p^+ 領域 18 とを含んでいる。また、 n^+ ソース領域 14 および p^+ 領域 18 のそれぞれは、ソースコンタクト電極 16 と接触している。そして、ソースコンタクト電極 16 は、SiC ウェハ 10 との界面を含む領域に、Al と Ti とを含有している。さらに、ソースコンタクト電極 16 は、 n^+ ソース領域 14 に接触する領域から p^+ 領域 18 に接触する領域にまで延在するように配置されている。

- [0042] 一般に、 n 型SiC領域に接触する電極の材料としては、Niが採用される場合が多い。また、たとえばSiCを素材として用いたDMOS型の縦型MOSFETにおいては、Niからなる電極が p 型SiC領域および n 型SiC領域の両方に接触する構造が採用される。これは、DMOS型の縦型MOSFETにおいては p 型領域および n 型領域の両方に接触する電極が必要とされる場所、Niからなる電極は、 p 型SiC領域とも $10^{-2}\Omega \cdot \text{cm}^2$ 程度の接触抵抗率で接触可能であるためである。しかし、この $10^{-2}\Omega \cdot \text{cm}^2$ という接触抵抗率は、オーミックコンタクト電極として使用可能な数値ではあるものの、Ti/Alからなる電極が p 型SiC領域と $10^{-3}\Omega \cdot \text{cm}^2$ 程度の接触抵抗率で接触可能であることを考慮すると、十分に低いとはいえない。
- [0043] 一方、Ti/Alからなる電極を採用した場合、 p 型SiC領域との接触抵抗は十分に抑制されるが、 n 型SiC領域との接触抵抗率は $10^{-3}\Omega \cdot \text{cm}^2$ 程度となる。この $10^{-3}\Omega \cdot \text{cm}^2$ という接触抵抗率も、オーミックコンタクト電極として使用可能な数値ではあるものの、Niからなる電極が n 型SiC領域と $10^{-6}\Omega \cdot \text{cm}^2$ 程度の接触抵抗率で接触可能であることを考慮すると、Ti/Alからなる電極と n 型SiC領域との接触抵抗は、十分に低いとはいえない。
- [0044] このような電極の構成と p 型SiC領域および n 型SiC領域との接触抵抗との関係を考慮しつつ、電極の構成にさらなる検討を加えた結果、Ti、Al、SiおよびCを含有し、残部不可避免的不純物からなり、 p 型SiC領域および n 型SiC領域との界面を含む領域に、AlとTiとを含有するオーミックコンタクト電極を採用することにより、 p 型SiC領域および n 型SiC領域のいずれに対しても接触抵抗を十分に抑制可能となることを本発明者は見出した。
- [0045] 本実施の形態におけるMOSFET1を構成するソースコンタクト電極16は、Ti、Al、SiおよびCを含有し、残部不可避免的不純物からなり、SiCウェハ10に形成された n^+ ソース領域14および p^+ 領域18との界

面を含む領域に、 A_1 と T_1 とを含有している。これにより、ソースコンタクト電極16は、 n^+ ソース領域14および p^+ 領域18のいずれとも接触抵抗を十分に抑制しつつ接触可能となっている。そして、ソースコンタクト電極16は、 n^+ ソース領域14に接触する領域から p^+ 領域18に接触する領域にまで延在するように配置されている。その結果、本実施の形態におけるMOSFET1は、製造工程の工程数の低減や集積度の向上を可能とする半導体装置となっている。

[0046] より具体的には、DMOS構造を有する本実施の形態におけるMOSFET1では、 n^+ ソース領域14と p ボディ13とを同電位に保持する必要がある。そのため、ソースコンタクト電極16に対しては、接触抵抗を低減しつつ、 n^+ ソース領域14および p ボディ13の両方に電氣的に接続されることが求められる。さらに、MOSFET1においては、オン抵抗を低減するため、 n^+ ソース領域14とソースコンタクト電極16とを接触抵抗を抑制しつつ電氣的に接続する必要がある。これらの要求に応えつつ、製造工程の工程数の低減や集積度の向上を達成するためには、接触抵抗を低減しつつ n^+ ソース領域14に接触する領域から p ボディ13に接触する領域にまで延在するソースコンタクト電極16が必要となる。これに対し、本実施の形態におけるMOSFET1のソースコンタクト電極16は、上記構成を有することにより n^+ ソース領域14および p^+ 領域18（ p ボディ13）の両方に対して低い接触抵抗で接触している。その結果、MOSFET1は、高効率化を達成しつつ、製造工程の工程数の低減や集積度の向上が可能な半導体装置となっている。

[0047] 次に、MOSFET1の動作について説明する。図1を参照して、ゲート電極17に閾値以下の電圧を与えた状態、すなわちオフ状態では、ゲート酸化膜15の直下に位置する p ボディ13と n^- SiC層12との間が逆バイアスとなり、非導通状態となる。一方、ゲート電極17に正の電圧を印加していくと、 p ボディ13のゲート酸化膜15と接触する付近であるチャンネル領域13Aにおいて、反転層が形成される。その結果、 n^+ ソース領域14と n

-SiC層12とが電氣的に接続され、ソース電極22とドレイン電極20との間に電流が流れる。

- [0048] 次に、実施の形態1におけるMOSFET1の製造方法について説明する。図2を参照して、実施の形態1におけるMOSFET1の製造方法においては、まず、工程(S10)として基板準備工程が実施される。この工程(S10)では、第1導電型のSiC基板が準備される。具体的には、図4を参照して、たとえば六方晶SiCからなり、n型不純物を含むことにより導電型がn型であるn⁺SiC基板11が準備される。
- [0049] 次に、図2を参照して、工程(S20)としてn型層形成工程が実施される。この工程(S20)では、n⁺SiC基板11上に第1導電型の半導体層が形成される。具体的には、図4を参照して、エピタキシャル成長によりn⁺SiC基板11の一方の主面11A上にn⁻SiC層12が形成される。エピタキシャル成長は、たとえば原料ガスとしてSiH₄(シラン)とC₃H₈(プロパン)との混合ガスを採用して実施することができる。このとき、n型不純物として、たとえばNを導入する。これにより、n⁺SiC基板11に含まれるn型不純物よりも低い濃度のn型不純物を含むn⁻SiC層12を形成することができる。
- [0050] 次に、図2を参照して、工程(S30)としてpボディ形成工程が実施される。この工程(S30)では、図5を参照して、n⁻SiC層12において、n⁺SiC基板11側の主面である第1の主面12Aとは反対側の主面である第2の主面12Bを含むように、第2導電型の第2導電型領域が形成される。具体的には、まず、第2の主面12B上に、たとえばCVD(Chemical Vapor Deposition; 化学蒸着法)によりSiO₂からなる酸化膜が形成される。そして、酸化膜の上にレジストが塗布された後、露光および現像が行なわれ、所望の第2導電型領域としてのpボディ13の形状に応じた領域に開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえばRIE(Reactive Ion Etching; 反応性イオンエッチング)により酸化膜が部分的

に除去されることによって、 n -SiC層12上に開口パターンを有する酸化膜からなるマスク層が形成される。その後、上記レジスト膜を除去した上で、このマスク層をマスクとして用いて、Alなどの p 型不純物を n -SiC層12にイオン注入することにより、 n -SiC層12に p ボディ13が形成される。

[0051] 次に、図2を参照して、工程(S40)として n +領域形成工程が実施される。この工程(S40)では、 p ボディ13内の第2の主面12Bを含む領域に、 n -SiC層12よりも高濃度の第1導電型の不純物を含む高濃度第1導電型領域が形成される。具体的には、図5を参照して、まず、工程(S30)においてマスクとして使用された上記酸化膜が除去された上で、工程(S30)と同様の手順で、所望の n +ソース領域14の形状に応じた領域に開口を有するマスク層が形成される。そして、このマスク層をマスクとして用いて、Pなどの n 型不純物が n -SiC層12にイオン注入により導入されることにより n +ソース領域14が形成される。

[0052] 次に、図2を参照して、工程(S50)として p +領域形成工程が実施される。この工程(S50)では、図5を参照して、一対の p ボディ13のうち一方の p ボディ13の内部に形成された n +ソース領域14から見て、他方の p ボディ13の内部に形成された n +ソース領域14とは反対側に、第2の主面12Bを含むように、高濃度第2導電型領域(p +領域18)が形成される。具体的には、図5を参照して、工程(S30)および(S40)と同様の手順で所望の p +領域18の形状に応じた領域に開口を有するマスク層が形成され、これをマスクとして用いて、Al、Bなどの p 型不純物が n -SiC層12にイオン注入により導入されることにより p +領域18が形成される。

[0053] 次に、図2を参照して、工程(S60)として活性化アニール工程が実施される。この工程(S60)では、イオン注入が実施された n -SiC層12を、たとえばAr(アルゴン)雰囲気中において1700°C程度に加熱し、30分間程度保持することにより、上記イオン注入によって導入された不純物を活性化させる熱処理である活性化アニールが実施される。

- [0054] 次に、図2を参照して、工程(S70)としてゲート絶縁膜形成工程が実施される。この工程(S70)では、図6を参照して、工程(S10)～(S60)までが実施されて所望のイオン注入領域を含む n -SiC層12が形成された n +SiC基板11が熱酸化される。熱酸化は、たとえば酸素雰囲気中で1300°C程度に加熱し、40分間程度保持することにより実施することができる。これにより、二酸化珪素(SiO₂)からなるゲート酸化膜15(図1参照)となるべき熱酸化膜15A(たとえば厚み50nm程度)が、第2の主面12B上に形成される。
- [0055] 次に、図2を参照して、工程(S80)および(S90)としてオーミック電極形成工程およびドレイン電極形成工程が実施される。ここで工程(S80)および(S90)は、この順序で、あるいは工程(S90)および(S80)の順序で実施することも可能であるが、工程数低減の観点から、以下に説明するように同時に実施されることが好ましい。工程(S80)および(S90)においては、図3を参照して、まず、工程(S81)～(S83)としてTi膜形成工程、Al膜形成工程およびSi膜形成工程がこの順序で実施される。
- [0056] 具体的には、図6および図7を参照して、まず、熱酸化膜15A上にレジストが塗布された後、露光および現像が行なわれ、ソースコンタクト電極16(図1参照)を形成すべき領域に応じた開口91Aを有するレジスト膜91が形成される。そして、当該レジスト膜91をマスクとして用いて、たとえばRIEにより熱酸化膜15Aが部分的に除去されることによりゲート酸化膜15が形成される。その後、TiからなるTi膜51、AlからなるAl膜52およびSiからなるSi膜53が、図7に示すように、第2の主面12B上および n +SiC基板11の n -SiC層12とは反対側の主面上に、たとえばスパッタリングによりこの順で形成される。さらに、レジスト膜91が除去されることにより、レジスト膜91上のTi膜51、Al膜52およびSi膜53が除去(リフトオフ)されて、図8に示すように、ゲート酸化膜15から露出する第2の主面12B上および n +SiC基板11の n -

S i C層 1 2とは反対側の主面上に、T i膜 5 1、A l膜 5 2およびS i膜 5 3が残存する。

[0057] ここで、工程（S 8 1）においては、厚み 1 0 0 Å以上 4 0 0 Å以下のT i膜 5 1が形成されることが好ましい。これにより、安定的に低抵抗のオーミックコンタクト電極を形成できる。また、工程（S 8 2）においては、工程（S 5 1）において形成されたT i膜 5 1の厚みの1. 5倍以上6倍以下の厚みを有するA l膜 5 2が形成されることが好ましい。これにより、n⁺ソース領域 1 4およびpボディ 1 3との接触抵抗を一層確実に低減したソースコンタクト電極 1 6を作製することが可能となる。さらに、工程（S 8 3）においては、厚み 1 0 0 Å以上 5 0 0 Å以下のS i膜 5 3が形成されることが好ましい。これにより、安定的に低抵抗のオーミックコンタクト電極を形成できる。

[0058] 次に、図 3を参照して、工程（S 8 4）として合金化工程が実施される。具体的には、図 8および図 9を参照して、A rなどの不活性ガス雰囲気中において、5 5 0 °C以上 1 2 0 0 °C以下の温度、好ましくは9 0 0 °C以上 1 1 0 0 °C以下の温度、たとえば 1 0 0 0 °Cに加熱され、1 0分間以下の時間、たとえば2分間保持される熱処理が実施される。これにより、T i膜 5 1、A l膜 5 2およびS i膜 5 3に含まれるT i、A l、S i、およびn⁻S i C層 1 2またはn⁺S i C基板 1 1に含まれるS i、Cが合金化される。その結果、図 9に示すように、一对のn⁺ソース領域 1 4上のそれぞれから、ゲート酸化膜 1 5から離れる向きにp⁺領域 1 8上にまで延在するとともに、第2の主面 1 2 Bに接触して配置されるソースコンタクト電極 1 6、およびn⁺S i C基板 1 1においてn⁻S i C層 1 2が形成される側の主面である一方の主面 1 1 Aとは反対側の主面である他方の主面 1 1 Bに接触して配置されるドレイン電極 2 0が形成される。ここで、工程（S 8 4）においては、不活性ガス、特にA rまたは／およびN₂と、水素との混合ガス中においてn⁺S i C基板 1 1が加熱されることが好ましい。これにより、製造コストを抑制しつつ、n⁺ソース領域 1 4およびpボディ 1 3（p⁺領域 1 8）との接触抵抗を

一層確実に低減したソースコンタクト電極16を作製することができる。以上の手順により、工程(S80)および(S90)が完了する。

- [0059] 次に、図2を参照して、工程(S100)としてゲート電極形成工程が実施される。この工程(S100)では、たとえば導電体であるポリシリコン、Alなどからなるゲート電極17(図1参照)が、一方のn⁺ソース領域14上から他方のn⁺ソース領域14上にまで延在するとともに、ゲート酸化膜15に接触するように形成される。ゲート電極の素材としてポリシリコンを採用する場合、当該ポリシリコンは、Pが $1 \times 10^{20} \text{ cm}^{-3}$ を超える高い濃度で含まれるものとすることができる。
- [0060] 次に、図2を参照して、工程(S110)としてソース配線形成工程が実施される。この工程(S110)では、たとえば蒸着法により、導電体であるAlからなるソース配線19(図1参照)が、ソースコンタクト電極16の上部表面上に形成される。上述の工程(S80)およびこの工程(S110)により、ソース電極22(図1参照)が完成する。
- [0061] 次に、図2を参照して、工程(S120)としてパシベーション膜形成工程が実施される。この工程(S120)では、図1を参照して、一方のソース配線19上からゲート電極17上を通り、他方のソース配線19上にまで延在するように、たとえばSiO₂からなるこのパシベーション膜21が形成される。このパシベーション膜21は、たとえばCVD法により形成することができる。以上の工程(S10)~(S120)により、実施の形態1におけるMOSFET1(図1参照)が完成する。
- [0062] 実施の形態1におけるMOSFETの製造方法によれば、p⁺領域18およびn⁺ソース領域14のいずれとも接触抵抗を十分に抑制しつつ接触可能な上記ソースコンタクト電極16を、n型領域に接触する領域からp型領域に接触する領域にまで延在するように形成するとともに、ソースコンタクト電極16と同一材料からなるドレイン電極20をこれと同時に形成することができる。その結果、MOSFET1の製造工程における工程数の低減やMOSFET1の集積度の向上を達成することができる。

[0063] (実施の形態 2)

次に、本発明の他の実施の形態である実施の形態 2 について説明する。実施の形態 2 における半導体装置としての MOSFET 1 は、基本的には上記実施の形態 1 における MOSFET 1 と同様の構成を有し、同様の効果を奏する。そして、実施の形態 2 における MOSFET 1 は、以下のような実施の形態 1 の場合とは異なる特徴を有している。

[0064] すなわち、図 1 を参照して、実施の形態 2 における MOSFET 1 を構成するソースコンタクト電極 16 は、Ti、Al、Si および C を含有し、残部不可避免的不純物からなり、SiC ウェハ 10 とは反対側の表面を含む領域には Si が含まれている。このように、SiC ウェハ 10 とは反対側の表面を含む領域において珪素 (Si) を含むことにより、ソースコンタクト電極 16 は、p⁺領域 18 および n⁺ソース領域 14 のいずれとも接触抵抗を十分に抑制しつつ接触可能となっている。そして、ソースコンタクト電極 16 は、n⁺ソース領域 14 に接触する領域から p⁺領域 18 に接触する領域にまで延在するように配置されている。その結果、本実施の形態における MOSFET 1 は、製造工程の工程数の低減や集積度の向上を可能とする半導体装置となっている。

[0065] また、図 1 を参照して、本実施の形態の MOSFET 1 においては、ソースコンタクト電極 16 において、SiC ウェハ 10 に近づくに従って Si の含有量が単調に増加していることが好ましい。これにより、オーミックコンタクト電極であるソースコンタクト電極 16 の厚み方向における全域において Si が存在するとともに、Si を含む SiC ウェハ 10 に近づくほど Si の含有量が高くなる。その結果、ソースコンタクト電極 16 と p⁺領域 18 および n⁺ソース領域 14 との接触抵抗をより確実に低減することができる。

[0066] さらに、本実施の形態の MOSFET 1 においては、ソースコンタクト電極 16 において、SiC ウェハ 10 に近づくに従って Al の含有量が単調に減少していることが好ましい。これにより、ソースコンタクト電極 16 と p⁺領域 18 および n⁺ソース領域 14 との界面を含む領域にまで Al が存在する

こととなり、ソースコンタクト電極 16 と p⁺領域 18 および n⁺ソース領域 14 との接触抵抗をより確実に低減することができる。

[0067] また、本実施の形態の MOSFET 1 においては、ソースコンタクト電極 16 において、Ti の含有量が、SiC ウェハ 10 とは反対側の表面から SiC ウェハ 10 に向けて単調に増加し、最大値を示した後、単調に減少していることが好ましい。ソースコンタクト電極 16 において Ti がこのように分布し、厚み方向における全域において存在することにより、ソースコンタクト電極 16 と p⁺領域 18 および n⁺ソース領域 14 との接触抵抗をより確実に低減することができる。

[0068] なお、実施の形態 2 における MOSFET 1 は、実施の形態 1 の MOSFET 1 と同様の製造方法により製造することができる。

[0069] (実施の形態 3)

次に、本発明のさらに他の実施の形態である実施の形態 3 について説明する。実施の形態 3 における半導体装置としての MOSFET 1 は、基本的には上記実施の形態 1 における MOSFET 1 と同様の構成を有し、同様の効果を奏する。そして、実施の形態 3 における MOSFET 1 は、以下のような実施の形態 1 の場合とは異なる特徴を有している。

[0070] すなわち、図 1 を参照して、実施の形態 3 における MOSFET 1 を構成するソースコンタクト電極 16 は、Ti、Al、Si および C を含有し、残部不可避免的不純物からなり、Al の含有量が SiC ウェハ 10 に近づくに従って単調に減少し、Si の含有量が SiC ウェハ 10 に近づくに従って単調に増加している。Al および Si がこのように分布し、厚み方向における全域において存在することにより、ソースコンタクト電極 16 は、p⁺領域 18 および n⁺ソース領域 14 のいずれとも接触抵抗を十分に抑制しつつ接触可能となっている。そして、ソースコンタクト電極 16 は、n⁺ソース領域 14 に接触する領域から p⁺領域 18 に接触する領域にまで延在するように配置されている。その結果、本実施の形態における MOSFET 1 は、製造工程の工程数の低減や集積度の向上を可能とする半導体装置となっている。

[0071] また、図1を参照して、本実施の形態のMOSFET1においては、ソースコンタクト電極16において、Tiの含有量が、SiCウェハ10とは反対側の表面からSiCウェハ10に向けて単調に増加し、最大値を示した後、単調に減少していることが好ましい。ソースコンタクト電極16においてTiがこのように分布し、厚み方向における全域において存在することにより、ソースコンタクト電極16とp⁺領域18およびn⁺ソース領域14との接触抵抗をより確実に低減することができる。

[0072] なお、実施の形態3におけるMOSFET1は、実施の形態1のMOSFET1と同様の製造方法により製造することができる。

[0073] また、上記実施の形態1～3において説明したソースコンタクト電極16の特徴は、2つ以上任意に組み合わせて同時に達成されてもよい。

[0074] (実施の形態4)

次に、本発明のさらに他の実施の形態である実施の形態4について説明する。図10を参照して、実施の形態4における半導体装置としての接合型電界効果トランジスタ(Junction Field Effect Transistor; JFET)であるJFET3は、オーミックコンタクト電極の構成において、上記実施の形態1～3におけるMOSFET1と同様の構成を有し、同様の効果を奏する。具体的には、JFET3は、SiCからなり、導電型がn型であるn型基板31と、n型基板31上に形成された第1のp型層32と、第1のp型層32上に形成されたn型層33と、n型層33上に形成された第2のp型層34とを備えている。また、n型基板31、p型層32、n型層33および第2のp型層34は、炭化珪素からなるSiCウェハ30を構成する。ここで、p型層およびn型層は、それぞれ導電型がp型およびn型であるSiCからなる層である。また、第1のp型層32は、たとえば厚み10 μ m程度、p型不純物の濃度 $7.5 \times 10^{15} \text{ cm}^{-3}$ 程度、n型層33は、たとえば厚み0.45 μ m程度、n型不純物の濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 程度、第2のp型層34は、たとえば厚み0.25 μ m程度、p型不純物の濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 程度とすることができる。

[0075] 第2のp型層34およびn型層33には、n型層33よりも高濃度の導電型がn型である不純物（n型不純物）を含む（たとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度）第1のn型領域35および第2のn型領域37が形成されるとともに、第1のn型領域35および第2のn型領域37に挟まれるように、第1のp型層32および第2のp型層34よりも高濃度の導電型がp型である不純物（p型不純物）を含む（たとえば $1 \times 10^{18} \text{ cm}^{-3}$ 程度）第1のp型領域36が形成されている。すなわち、第1のn型領域35、第1のp型領域36および第2のn型領域37は、それぞれ第2のp型層34を貫通してn型層33に至るように形成されている。また、第1のn型領域35、第1のp型領域36および第2のn型領域37の底部は、第1のp型層32の上部表面（第1のp型層32とn型層33との境界部）から間隔を隔てて配置されている。

[0076] また、第1のn型領域35から見て第1のp型領域36とは反対側には、第2のp型層34の上部表面34A（n型層33の側とは反対側の主面）から第2のp型層34を貫通してn型層33に至るように、溝部71が形成されている。つまり、溝部71の底壁71Aは、第1のp型層32とn型層33との界面から間隔を隔て、n型層33の内部に位置している。さらに、溝部71の底壁71Aからn型層33を貫通し、第1のp型層32に至るように、第1のp型層32および第2のp型層34よりも高濃度のp型不純物を含む（たとえば $1 \times 10^{18} \text{ cm}^{-3}$ 程度）第2のp型領域43が形成されている。この第2のp型領域43の底部は、n型基板31の上部表面（n型基板31と第1のp型層32との境界部）から間隔を隔てて配置されている。

[0077] さらに、第1のn型領域35、第1のp型領域36、第2のn型領域37および第2のp型領域43の上部表面に接触するように、オーミックコンタクト電極としてのソースコンタクト電極39、ゲートコンタクト電極41、ドレインコンタクト電極42および電位保持コンタクト電極44がそれぞれ形成されている。そして、ソースコンタクト電極39、ゲートコンタクト電極41、ドレインコンタクト電極42および電位保持コンタクト電極44は

、実施の形態 1～3におけるソースコンタクト電極 16 と同様の特徴を有している。

[0078] オーミックコンタクト電極であるソースコンタクト電極 39、ゲートコンタクト電極 41、ドレインコンタクト電極 42 および電位保持コンタクト電極 44 と隣接する他のオーミックコンタクト電極との間には、酸化膜 38 が形成されている。より具体的には、絶縁膜としての酸化膜 38 が、第 2 の p 型層 34 の上部表面 34A、溝部 71 の底壁 71A および側壁 71B において、ソースコンタクト電極 39、ゲートコンタクト電極 41、ドレインコンタクト電極 42 および電位保持コンタクト電極 44 が形成されている領域以外の領域全体を覆うように形成されている。これにより、隣り合うオーミックコンタクト電極の間が絶縁されている。

[0079] さらに、ソースコンタクト電極 39、ゲートコンタクト電極 41 およびドレインコンタクト電極 42 の上部表面に接触するように、ソース配線 45、ゲート配線 46 およびドレイン配線 47 がそれぞれ形成され、各オーミックコンタクト電極と電氣的に接続されている。ソース配線 45 は、電位保持コンタクト電極 44 の上部表面にも接触し、電位保持コンタクト電極 44 とも電氣的に接続されている。つまり、ソース配線 45 は、ソースコンタクト電極 39 の上部表面上から電位保持コンタクト電極 44 の上部表面上にまで延在するように形成されており、これにより、電位保持コンタクト電極 44 は、ソースコンタクト電極 39 と同電位に保持されている。ソース配線 45、ゲート配線 46 およびドレイン配線 47 は、たとえば Al などの導電体から構成されている。ソースコンタクト電極 39 およびソース配線 45 はソース電極 61 を構成し、ゲートコンタクト電極 41 およびゲート配線 46 はゲート電極 62 を構成し、ドレインコンタクト電極 42 およびドレイン配線 47 はドレイン電極 63 を構成する。さらに、ソース電極 61、ゲート電極 62、ドレイン電極 63 および酸化膜 38 の上部表面を覆うように、パシベーション膜 64 が形成されている。このパシベーション膜 64 は、たとえば SiO₂ からなっており、ソース電極 61、ゲート電極 62 およびドレイン電極 6

3を外部と電氣的に絶縁するとともに、J F E T 3を保護する機能を有している。

[0080] すなわち、本実施の形態におけるJ F E T 3は、S i Cウェハ30と、S i Cウェハ30に接触して配置され、T i、A l、S iおよびCを含有し、残部不可避免的不純物からなるオーミックコンタクト電極としてのソースコンタクト電極39、ゲートコンタクト電極41、ドレインコンタクト電極42および電位保持コンタクト電極44とを備えている。S i Cウェハ30は、導電型がn型である第1のn型領域35および第2のn型領域37と、導電型がp型である第1のp型領域36および第2のp型領域43とを含んでいる。また、上記オーミックコンタクト電極のうち、ソースコンタクト電極39およびドレインコンタクト電極42は、それぞれ第1のn型領域35および第2のn型領域37と接触しており、ゲートコンタクト電極41および電位保持コンタクト電極44は、それぞれ第1のp型領域36および第2のp型領域43と接触している。そして、ソースコンタクト電極39、ゲートコンタクト電極41、ドレインコンタクト電極42および電位保持コンタクト電極44は、実施の形態1～3におけるソースコンタクト電極16と同様の特徴を有している。

[0081] 本実施の形態におけるJ F E T 3においては、実施の形態1～3におけるソースコンタクト電極16と同様の特徴を有するソースコンタクト電極39およびドレインコンタクト電極42が、それぞれn型領域としての第1のn型領域35および第2のn型領域37に接触し、かつソースコンタクト電極39およびドレインコンタクト電極42と同一材料からなるゲートコンタクト電極41が、p型領域としての第1のp型領域36および第2のp型領域43と接触して配置されている。これにより、J F E T 3は、製造工程における工程数の低減や集積度の向上が可能な半導体装置となっている。

[0082] より具体的には、本実施の形態におけるJ F E T 3において、従来のJ F E Tと同様に第1のn型領域35および第2のn型領域37に接触して配置されるソースコンタクト電極39およびドレインコンタクト電極42を構成

する材料をNiとし、第1のp型領域36に接触して配置されるゲートコンタクト電極41を構成する材料をTi/Alとした場合、以下のような問題が生じる。すなわち、上記構成を採用したJFET3の製造方法においては、ソースコンタクト電極39およびドレインコンタクト電極42を形成するためのマスクを形成した後、これらの電極を蒸着等により形成する。その後、当該マスクを除去した上で、さらにゲートコンタクト電極41を形成するためのマスクを形成し、この電極を蒸着等により形成する必要がある。このような製造プロセスを採用した場合、工程数が増加するとともに、2回にわたるマスク形成における位置あわせの誤差に起因して、集積度の向上が阻害される。これに対し、本実施の形態におけるJFET3においては、ソースコンタクト電極39、ゲートコンタクト電極41およびドレインコンタクト電極42を同一材料で形成することができるため、1回のマスク形成により一括してこれらの電極を形成することができる。その結果、本実施の形態におけるJFET3によれば、製造工程の工程数の低減や集積度の向上を図ることができる。

[0083] 次に、JFET3の動作について説明する。図10を参照して、ゲート電極62の電圧が0Vの状態では、n型層33において、第1のp型領域36と第2のn型領域37とで挟まれた領域および当該挟まれた領域と第1のp型層32とで挟まれた領域（ドリフト領域）、ならびに第1のp型領域36と第1のp型層32とで挟まれた領域（チャンネル領域）は空乏化されておらず、第1のn型領域35と第2のn型領域37とはn型層33を介して電氣的に接続された状態となっている。そのため、第1のn型領域35から第2のn型領域37に向かって電子が移動することにより電流が流れる。

[0084] 一方、ゲートコンタクト電極41に負の電圧を印加していくと、上述のチャンネル領域およびドリフト領域の空乏化が進行し、第1のn型領域35と第2のn型領域37とは電氣的に遮断された状態となる。そのため、第1のn型領域35から第2のn型領域37に向かって電子が移動することができず、電流は流れない。

[0085] 次に、実施の形態4における半導体装置としてのJFET3の製造方法について説明する。図11を参照して、本実施の形態におけるJFET3の製造方法においては、まず、工程(S210)として、基板準備工程が実施される。具体的には、工程(S210)では、図12に示すように、高濃度のn型不純物を含むSiCからなるn型基板31が準備される。次に、工程(S220)として、エピタキシャル成長工程が実施される。具体的には、n型基板31の一方の主面上に、たとえば気相エピタキシャル成長によりSiCからなる第1のp型層32、n型層33および第2のp型層34が順次形成される。気相エピタキシャル成長においては、たとえば材料ガスとしてシラン(SiH_4)ガスおよびプロパン(C_3H_8)ガスを用い、キャリアガスとして水素(H_2)ガスを採用することができる。また、p型層を形成するためのp型不純物源としては、たとえばジボラン(B_2H_6)やトリメチルアルミニウム(TMA)を、n型層を形成するためのn型不純物としては、たとえば窒素(N_2)を採用することができる。これにより、A1、Bなどのp型不純物を含む第1のp型層32および第2のp型層34、Nなどのn型不純物を含むn型層33が形成される。

[0086] 次に、図11を参照して、工程(S230)として、溝部形成工程が実施される。具体的には、工程(S230)では、図13に示すように、第2のp型層34の上部表面34Aから第2のp型層34を貫通してn型層33に至るように、溝部71が形成される。溝部71の形成は、たとえば所望の溝部71の形成位置に開口を有するマスク層を第2のp型層34の上部表面34A上に形成した後、 SF_6 ガスを用いたドライエッチングにより実施することができる。

[0087] 次に、図11を参照して、工程(S240)として、イオン注入工程が実施される。具体的には、工程(S240)では、図13および図14を参照して、まず、第2のp型層34の上部表面34Aおよび溝部71の底壁上に、たとえばCVDにより SiO_2 からなる酸化膜が形成される。そして、酸化膜の上にレジストが塗布された後、露光および現像が行なわれ、所望の第1

のn型領域35および第2のn型領域37の形状に応じた領域に開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえばRIEにより酸化膜が部分的に除去されることにより、第2のp型層34の上部表面34A上に開口パターンを有する酸化膜からなるマスク層が形成される。その後、上記レジスト膜を除去した上で、このマスク層をマスクとして用いて、n型層33および第2のp型層34にイオン注入が実施される。注入されるイオン種は、たとえばP、Nなどとすることができる。これにより、第2のp型層34を貫通してn型層33に至る第1のn型領域35および第2のn型領域37が形成される。

[0088] さらに、第1のn型領域35および第2のn型領域37の形成に用いられたマスク層が除去された上で、同様の手順により、第2のp型層34の上部表面34Aおよび溝部71の底壁上に、所望の第1のp型領域36および第2のp型領域43の形状に応じた領域に開口を有するマスク層が形成される。そして、このマスク層をマスクとして用いて、第1のp型層32、n型層33および第2のp型層34にイオン注入が実施される。注入されるイオン種は、たとえばAl、Bなどとすることができる。これにより、第2のp型層34を貫通してn型層33に至る第1のp型領域36、および溝部71の底壁71Aからn型層33を貫通し、第1のp型層32に至る第2のp型領域43が形成される。

[0089] 次に、図11を参照して、工程(S250)として、活性化アニール工程が実施される。具体的には、工程(S250)では、上記イオン注入が完了した第1のp型層32、n型層33および第2のp型層34を有するn型基板31が、たとえばアルゴンなどの不活性ガス雰囲気中で1700°Cに加熱され、30分間保持されることにより、活性化アニールが実施される。これにより、工程(S240)において導入されたP、Alなどの不純物が活性化し、n型不純物あるいはp型不純物として機能することが可能となる。

[0090] 次に、図11を参照して、工程(S260)として、酸化膜形成工程が実施される。具体的には、工程(S260)では、図15を参照して、たとえ

ば酸素雰囲気中で1300℃程度に加熱し、90分間程度保持する熱酸化処理が実施されることにより、第2のp型層34の上部表面34Aと、溝部71の底壁71Aおよび側壁71Bを覆う絶縁膜としての酸化膜38（フィールド酸化膜）が形成される。酸化膜38の厚みは、たとえば0.1μm程度である。

[0091] 次に、図11を参照して、工程（S270）として、オーミック電極形成工程が実施される。この工程（S270）は、実施の形態1における工程（S80）と同様に実施することができる。具体的には、図16を参照して、まず、酸化膜38上にレジストが塗布された後、露光および現像が行なわれ、ソースコンタクト電極39、ゲートコンタクト電極41、ドレインコンタクト電極42および電位保持コンタクト電極44（図10参照）を形成すべき領域に応じた開口91Aを有するレジスト膜91が形成される。そして、当該レジスト膜91をマスクとして用いて、たとえばRIEにより酸化膜38が部分的に除去される。その後、実施の形態1の工程（S81）～（S83）の場合と同様に、TiからなるTi膜51、AlからなるAl膜52およびSiからなるSi膜53が、レジスト膜91上および当該レジスト膜91から露出する領域に形成される。さらに、レジスト膜91が除去されることにより、レジスト膜91上のTi膜51、Al膜52およびSi膜53が除去（リフトオフ）されて、第1のn型領域35、第1のp型領域36、第2のn型領域37および第2のp型領域43上に接触するように、Ti膜51、Al膜52およびSi膜53が残存する。

[0092] 次に、実施の形態1における工程（S84）と同様に合金化が実施される。具体的には、図17を参照して、Arなどの不活性ガス雰囲気中において、550℃以上1200℃以下の温度、好ましくは900℃以上1100℃以下の温度、たとえば1000℃に加熱し、10分間以下の時間、たとえば2分間保持する合金化処理が実施される。これにより、Ti膜51、Al膜52およびSi膜53に含まれるTi、Al、Si、およびn型層33または第2のp型層34に含まれるSi、Cが合金化される。その結果、図17

に示すように、第1のn型領域35、第1のp型領域36、第2のn型領域37および第2のp型領域43の上部表面に接触するように、オーミックコンタクト電極としてのソースコンタクト電極39、ゲートコンタクト電極41、ドレインコンタクト電極42および電位保持コンタクト電極44がそれぞれ形成される。ここで、上記加熱は、不活性ガス、特にArまたは/およびN₂と、水素との混合ガス中において実施されることが好ましい。これにより、製造コストを抑制しつつ、接触抵抗を抑制したソースコンタクト電極39、ゲートコンタクト電極41およびドレインコンタクト電極42を作製することができる。以上の手順により、工程(S270)が完了する。

[0093] 次に、図11を参照して、工程(S280)として、配線形成工程が実施される。具体的には、工程(S280)では、図10を参照して、ソースコンタクト電極39、ゲートコンタクト電極41およびドレインコンタクト電極42の上部表面にそれぞれ接触するソース配線45、ゲート配線46およびドレイン配線47が形成される。ソース配線45、ゲート配線46およびドレイン配線47は、たとえばソース配線45、ゲート配線46およびドレイン配線47を形成すべき所望の領域に開口を有するレジスト層を形成し、Alを蒸着した後、レジスト層とともにレジスト層上のAlを除去すること(リフトオフ)により形成することができる。

[0094] 次に、図11を参照して、工程(S290)として、パシベーション膜形成工程が実施される。具体的には、工程(S290)では、ソース電極61、ゲート電極62、ドレイン電極63および酸化膜38の上部表面を覆うように、たとえばSiO₂からなるパシベーション膜64が形成される。このパシベーション膜64の形成は、たとえばCVDにより実施することができる。

[0095] 以上の工程により、本実施の形態におけるJFET3は完成する。ここで、上記本実施の形態における半導体装置としてのJFET3の製造方法においては、ソースコンタクト電極39、ゲートコンタクト電極41およびドレインコンタクト電極42を同一の材料で形成することができるため、1回の

マスク形成により同時にこれらの電極を形成することができる。その結果、本実施の形態における J F E T 3 の製造方法によれば、製造工程の工程数の低減や集積度の向上を図ることができる。

[0096] なお、上記実施の形態においては、本発明の半導体装置の一例として、M O S F E T および J F E T について説明したが、本発明の半導体装置はこれに限られず、I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r 、絶縁ゲートバイポーラトランジスタ)、バイポーラトランジスタなど他の半導体装置にも適用することができる。

[0097] (実施例 1)

以下、本発明の実施例 1 について説明する。S i C 層との接触抵抗を、本発明の半導体装置に含まれるオーミックコンタクト電極 (実施例) と、本発明の範囲外の従来のオーミックコンタクト電極である N i 電極 (比較例 A) および T i / A l 電極 (比較例 B) とについて比較する実験を行なった。実験の手順は以下のとおりである。

[0098] まず、S i C 基板を準備し、イオン注入により当該 S i C 基板に n 型不純物である P を $6 \times 10^{19} \text{ cm}^{-3}$ の濃度で含む n 型 S i C 領域と、p 型不純物である A l を $5 \times 10^{19} \text{ cm}^{-3}$ の濃度で含む p 型 S i C 領域とを形成した。そして、当該 n 型 S i C 領域および p 型 S i C 領域に接触するように、オーミックコンタクト電極を上記実施の形態 1 と同様の方法で形成して、接触抵抗率を測定した (実施例)。一方、比較のため、n 型 S i C 領域および p 型 S i C 領域に接触するように、N i からなる電極 (比較例 A) および T i / A l からなる電極 (比較例 B) も形成し、接触抵抗率を測定した。測定結果を表 1 に示す。

[0099] [表 1]

	n 型 SiC 領域との接触抵抗率 ($\Omega \cdot \text{cm}^2$)	p 型 SiC 領域との接触抵抗率 ($\Omega \cdot \text{cm}^2$)
比較例 A	5×10^{-6}	2×10^{-2}
比較例 B	3×10^{-3}	2×10^{-3}
実施例	7×10^{-6}	3×10^{-3}

[0100] 表1を参照して、Niからなる比較例Aの電極は、n型SiC領域と $5 \times 10^{-6} \Omega \cdot \text{cm}^2$ という低い接触抵抗率で接触可能であるものの、p型SiC領域との接触抵抗率は $2 \times 10^{-2} \Omega \cdot \text{cm}^2$ となり、十分に低いとはいえない。一方、Ti/AIからなる比較例Bの電極は、p型SiC領域と $2 \times 10^{-3} \Omega \cdot \text{cm}^2$ という低い接触抵抗率で接触可能であるものの、n型SiC領域との接触抵抗率は $3 \times 10^{-3} \Omega \cdot \text{cm}^2$ となり、十分に低いとはいえない。

[0101] これに対し、本発明の半導体装置に含まれるオーミックコンタクト電極と同様の構成を有する実施例の電極は、n型SiC領域との接触抵抗がNiと遜色ない $7 \times 10^{-6} \Omega \cdot \text{cm}^2$ 、p型SiC領域との接触抵抗がTi/AIと遜色ない $3 \times 10^{-3} \Omega \cdot \text{cm}^2$ となっている。このことから、本発明の半導体装置に含まれるオーミックコンタクト電極は、p型SiC領域およびn型SiC領域のいずれとも接触抵抗を十分に抑制可能であることが確認された。

[0102] (実施例2)

以下、本発明の実施例2について説明する。本発明の半導体装置に含まれるオーミックコンタクト電極に関して、p型SiC領域およびn型SiC領域との接触抵抗に及ぼすオーミックコンタクト電極の組成の影響を調査する実験を行なった。実験の手順は以下のとおりである。

[0103] まず、SiC基板を準備し、上記実施例1と同様に、イオン注入によって当該SiC基板にn型不純物であるPを $6 \times 10^{19} \text{cm}^{-3}$ の濃度で含むn型SiC領域と、p型不純物であるAlを $5 \times 10^{19} \text{cm}^{-3}$ の濃度で含むp型SiC領域とを形成した。そして、当該n型SiC領域およびp型SiC領域に接触するように、オーミックコンタクト電極を上記実施の形態1と同様の方法で形成して、接触抵抗率を測定した。ここで、Ti膜の厚みを200Å、Si膜の厚みを250Åに固定した上で、Al膜の厚みを変化させることによりオーミックコンタクト電極の組成を変化させる実験(実験1)と、Ti膜およびAl膜の厚みを200Åに固定した上で、Si膜の厚みを変化させることによりオーミックコンタクト電極の組成を変化させる実験(実験2)を実施した。

- [0104] 実験1の結果を図18に、実験2の結果を図19に示す。なお、図18において、横軸はT i膜の厚みに対するA i膜の厚みの比を示しており、縦軸は接触抵抗率を示している。また、図19において、横軸はS i膜の厚みを示しており、縦軸は接触抵抗率を示している。そして、図18および図19において、丸印はn型S i C領域との接触抵抗、四角印はp型S i C領域との接触抵抗を示している。
- [0105] 次に、実験結果について説明する。図18を参照して、T i膜に対するA i膜の厚みの比が大きくなりすぎるとオーミックコンタクト電極とn型S i C領域との接触抵抗が大きくなる一方、当該厚みの比が小さくなりすぎるとオーミックコンタクト電極とp型S i C領域との接触抵抗が大きくなることわかる。そして、上記厚みの比が1.5未満では、電極とp型S i C領域との接触抵抗が $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ を超えている。また、上記厚みの比が6を超えると、電極とn型S i C領域との接触抵抗が $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ を超える。
- [0106] 実用上オーミックコンタクト電極として採用するためには、p型S i C領域との接触抵抗は $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下程度、n型S i C領域との接触抵抗は $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 以下程度とすることが好ましい。したがって、以上の実験結果より、上記A i膜を形成する工程では、T i膜の厚みの1.5倍以上6倍以下の厚みを有するA i膜が形成されることが好ましいといえる。なお、製造プロセスにおける上記厚みの比から、オーミックコンタクト電極は、原子数比でT iの1.58倍以上6.33倍以下のA iを含有していることが好ましいといえる。また、図18より、p型S i C領域との接触抵抗をより確実に低減するためには、A i膜の厚みはT i膜の厚みの2倍以上とすることがより好ましいといえる。
- [0107] 一方、図19を参照して、T i膜とA i膜の膜厚を固定した状態でS i膜の膜厚を変化させた実験2の結果より、T i膜およびA i膜の膜厚が一定であれば、S i膜の膜厚が変化した場合でも、オーミックコンタクト電極の接触抵抗は、p型S i C層およびn型S i C層のいずれに対しても、ほとんど

変化しないことがわかった。以上の結果より、Ti膜に対するAl膜の膜厚の比（オーミックコンタクト電極におけるTi含有量に対するAl含有量の比）を上記実験1で好ましいことが確認された範囲とすることにより、Si膜の膜厚（オーミックコンタクト電極におけるSi含有量）に大きく依存することなく、オーミックコンタクト電極の接触抵抗を確実に低減できることが明らかとなった。

[0108] （実施例3）

以下、本発明の実施例3について説明する。本発明の半導体装置に含まれるオーミックコンタクト電極の形成状態を確認する実験を行なった。実験の手順は以下のとおりである。なお、本願において「オーミックコンタクト電極」とは、SiC層上に金属膜を形成し、さらに当該金属膜に対して熱処理を実施することによりSiC層との接触抵抗を低減するように形成される電極を意味する。

[0109] まず、SiC層上に上記実施の形態1の工程(S81)～(S84)と同様の手順によりオーミックコンタクト電極を形成することによって、試料を作製した。工程(S81)～(S83)において形成したTi膜、Al膜およびSi膜の厚みは、それぞれ50Å、500Åおよび250Åとした（実施例）。一方、比較のため、SiC層上に厚み50ÅのTi膜および厚み200ÅのAl膜を順次形成した後、合金加熱処理を行なうことにより本発明の範囲外のオーミックコンタクト電極を形成した試料も作製した（比較例）。

[0110] その後、上記実施例の試料をオーミックコンタクト電極の表面に垂直な断面で切断し、当該断面をSEM（Scanning Electron Microscope；走査型電子顕微鏡）にて観察し、写真を撮影した。また、上記実施例および比較例の試料におけるオーミックコンタクト電極の表面から垂直な方向にスパッタリングを実施しつつ、オージェ分光分析を実施することにより、オーミックコンタクト電極付近の元素の分布を調査した。

[0111] 次に、図20～図22に基づいて実験結果を説明する。なお、図20にお

いて、上側は試料の範囲外の領域、下側は半導体層（SiC層）であり、図20に示すようにこれらの領域に挟まれた明るさの異なる領域がオーミックコンタクト電極である。また、図21および図22において、横軸はスパッタリング時間であって、オーミックコンタクト電極の表面からの深さを示しており、縦軸は補正信号強度を示している。

[0112] ここで、補正信号強度とは、オージェ分光分析において得られた各元素の信号強度を補正係数により補正して得られる、各元素の原子濃度に対応する値である。この補正信号強度は、オージェ分光分析において得られた各元素の信号強度を、元素ごとに決められる感度係数で除した値を算出した上で、各元素について得られた当該値の総和が1になるように調整することにより算出することができる。なお、感度係数としては、元素相対感度係数（ERSF）、平均マトリックス相対感度係数（AMRSF）などを用いることもできるが、ここでは原子相対感度係数（ARSF）を採用した。この感度係数は、試料の状態、測定系など様々な要因により影響を受ける。そのため、得られる補正信号強度は、元素間の量の比較や元素の絶対量においては必ずしも正確ではないが、各元素の増減傾向、存在の有無については精度よく表す。また、上記スパッタリングの速度は、SiO₂換算で約2.5nm/minである。

[0113] 図20を参照して、試料のSiC層上には、ほぼ一様な厚みのオーミックコンタクト電極が形成されていることが確認される。ここで、このSEM写真を参照して、SiC層側から表面側（オーミックコンタクト電極側）に視点を変えていき、最初に金属などからなる合金層が現れた位置からその表面までがオーミックコンタクト電極である。

[0114] また、図21および図22を参照して、たとえばSiの分布に着目し、SiCに相当する領域、すなわちSiの濃度が一定である領域のSiの分布に沿った直線 α と、当該領域の電極側（表面側）に隣接し、Siの濃度が表面に近づくに従って低下している領域に沿った直線 β とを描き、直線 α と直線 β との交点から表面側がオーミックコンタクト電極である。つまり、線分 γ

がS i C層とオーミックコンタクト電極との界面である。そして、上記実施例および比較例のオーミックコンタクト電極は、以下のような特徴を有している。すなわち、実施例の電極は、S i C層との界面を含む領域に、A lとT iとを含有している。これに対し、比較例の電極は、S i C層との界面を含む領域にT iを含有しているものの、A lを含有していない。

[0115] また、実施例の電極の、S i C層とは反対側の表面を含む領域にはS iが含まれている。これに対し、比較例の電極の、S i C層とは反対側の表面を含む領域にはS iが含まれていない。さらに、実施例の電極においては、S i C層に近づくに従ってS iの含有量が単調に増加している。これに対し、比較例の電極においては、表面から所定の厚みの領域にはS iが含まれておらず、S i C層に近づくに従ってS iの含有量が単調に増加しているとはいえない。

[0116] また、実施例の電極においては、S i C層に近づくに従ってA lの含有量が単調に減少している。これに対し、比較例の電極においては、表面から所定の厚みの領域においてA lの含有量が一定となっており、かつS i C層との界面から所定の厚みの領域においてA lが含まれていないため、S i C層に近づくに従ってA lの含有量が単調に減少しているとはいえない。さらに、実施例の電極においては、T iの含有量が、S i C層とは反対側の表面からS i C層に向けて単調に増加し、最大値を示した後、単調に減少している。これに対し、比較例の電極においては、表面から所定の厚みの領域にはT iが含まれておらず、当該領域においてはT iの含有量がS i C層に向けて単調に増加しているとはいえない。

[0117] 以上のような相違点を有することにより、実施例のオーミックコンタクト電極はp型S i C領域およびn型S i C領域のいずれとも接触抵抗を十分に抑制しつつ接触可能であるのに対し、比較例のオーミックコンタクト電極はn型S i C領域との接触抵抗が十分に抑制されないものと考えられる。

[0118] なお、実際の半導体装置においては、オーミックコンタクト電極上に、A lなどからなる配線が形成されることが多い。この場合、オーミックコンタ

クト電極から上記配線に向けて元素の分布を調査した場合に、元素の濃度が不連続になっている位置を、配線とオーミックコンタクト電極との界面（SiCウェハとは反対側の表面）であると判断することができる。

[0119] 今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0120] 本発明の半導体装置は、SiCウェハに接触して配置される電極を備えた半導体装置に、特に有利に適用され得る。

符号の説明

[0121] 1 MOSFET、3 JFET、10 SiCウェハ、11 n⁺SiC基板、11A 一方の主面、11B 他方の主面、12 n⁻SiC層、12A 第1の主面、12B 第2の主面、13 pボディ、13A チャンネル領域、14 n⁺ソース領域、15 ゲート酸化膜、15A 熱酸化膜、16 ソースコンタクト電極、17 ゲート電極、18 p⁺領域、19 ソース配線、20 ドレイン電極、21 パシベーション膜、22 ソース電極、30 SiCウェハ、31 n型基板、32 第1のp型層、33 n型層、34 第2のp型層、34A 上部表面、35 第1のn型領域、36 第1のp型領域、37 第2のn型領域、38 酸化膜、39 ソースコンタクト電極、41 ゲートコンタクト電極、42 ドレインコンタクト電極、43 第2のp型領域、44 電位保持コンタクト電極、45 ソース配線、46 ゲート配線、47 ドレイン配線、51 Ti膜、52 Al膜、53 Si膜、61 ソース電極、62 ゲート電極、63 ドレイン電極、64 パシベーション膜、71 溝部、71A 底壁、71B 側壁、91 レジスト膜、91A 開口。

請求の範囲

- [請求項1] 炭化珪素からなるSiCウェハ(10, 30)と、
前記SiCウェハ(10, 30)に接触して配置され、チタン、アルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるオーミックコンタクト電極(16, 39, 41, 42, 44)とを備え、
前記SiCウェハ(10, 30)は、
導電型がn型であるn型領域(14, 35, 37)と、
導電型がp型であるp型領域(18, 36, 43)とを含み、
前記n型領域(14, 35, 37)および前記p型領域(18, 36, 43)のそれぞれは、前記オーミックコンタクト電極(16, 39, 41, 42, 44)と接触しており、
前記オーミックコンタクト電極(16, 39, 41, 42, 44)は、前記SiCウェハ(10, 30)との界面を含む領域に、アルミニウムとチタンとを含有している、半導体装置(1, 3)。
- [請求項2] 前記オーミックコンタクト電極(16)は、前記n型領域(14)に接触する領域から前記p型領域(18)に接触する領域にまで延在するように配置されている、請求の範囲第1項に記載の半導体装置(1)。
- [請求項3] 複数の前記オーミックコンタクト電極(39, 41, 42, 44)を備え、
複数の前記オーミックコンタクト電極(39, 41, 42, 44)のうち、一の前記オーミックコンタクト電極(39, 42)は前記n型領域(35, 37)と接触しており、他の前記オーミックコンタクト電極(41, 44)は前記p型領域(36, 43)と接触している、請求の範囲第1項に記載の半導体装置(3)。
- [請求項4] 炭化珪素からなるSiCウェハ(10, 30)と、
前記SiCウェハ(10, 30)に接触して配置され、チタン、ア

ルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるオーミックコンタクト電極（16, 39, 41, 42, 44）とを備え、

前記SiCウェハ（10, 30）は、

導電型がn型であるn型領域（14, 35, 37）と、

導電型がp型であるp型領域（18, 36, 43）とを含み、

前記n型領域（14, 35, 37）および前記p型領域（18, 36, 43）のそれぞれは、前記オーミックコンタクト電極（16, 39, 41, 42, 44）と接触しており、

前記オーミックコンタクト電極（16, 39, 41, 42, 44）の、前記SiCウェハ（10, 30）とは反対側の表面を含む領域には珪素が含まれている、半導体装置（1, 3）。

[請求項5] 前記オーミックコンタクト電極（16, 39, 41, 42, 44）においては、前記SiCウェハ（10, 30）に近づくに従って珪素の含有量が単調に増加している、請求の範囲第4項に記載の半導体装置（1, 3）。

[請求項6] 前記オーミックコンタクト電極（16, 39, 41, 42, 44）においては、前記SiCウェハ（10, 30）に近づくに従ってアルミニウムの含有量が単調に減少している、請求の範囲第4項に記載の半導体装置（1, 3）。

[請求項7] 前記オーミックコンタクト電極（16, 39, 41, 42, 44）においては、チタンの含有量が、前記SiCウェハ（10, 30）とは反対側の表面から前記SiCウェハ（10, 30）に向けて単調に増加し、最大値を示した後、単調に減少している、請求の範囲第4項に記載の半導体装置（1, 3）。

[請求項8] 前記オーミックコンタクト電極（16）は、前記n型領域（14）に接触する領域から前記p型領域（18）に接触する領域にまで延在するように配置されている、請求の範囲第4項に記載の半導体装置（

1)。

[請求項9] 複数の前記オーミックコンタクト電極（39, 41, 42, 44）を備え、

複数の前記オーミックコンタクト電極（39, 41, 42, 44）のうち、一の前記オーミックコンタクト電極（39, 42）は前記n型領域（35, 37）と接触しており、他の前記オーミックコンタクト電極（41, 44）は前記p型領域（36, 43）と接触している、請求の範囲第4項に記載の半導体装置（3）。

[請求項10] 炭化珪素からなるSiCウェハ（10, 30）と、

前記SiCウェハ（10, 30）に接触して配置され、チタン、アルミニウム、珪素および炭素を含有し、残部不可避免的不純物からなるオーミックコンタクト電極（16, 39, 41, 42, 44）とを備え、

前記SiCウェハ（10, 30）は、

導電型がn型であるn型領域（14, 35, 37）と、

導電型がp型であるp型領域（18, 36, 43）とを含み、

前記n型領域（14, 35, 37）および前記p型領域（18, 36, 43）のそれぞれは、前記オーミックコンタクト電極（16, 39, 41, 42, 44）と接触しており、

前記オーミックコンタクト電極（16, 39, 41, 42, 44）においては、アルミニウムの含有量が前記SiCウェハ（10, 30）に近づくに従って単調に減少し、珪素の含有量が前記SiCウェハ（10, 30）に近づくに従って単調に増加している、半導体装置（1, 3）。

[請求項11] 前記オーミックコンタクト電極（16, 39, 41, 42, 44）においては、チタンの含有量が、前記SiCウェハ（10, 30）とは反対側の表面から前記SiCウェハ（10, 30）に向けて単調に増加し、最大値を示した後、単調に減少している、請求の範囲第10

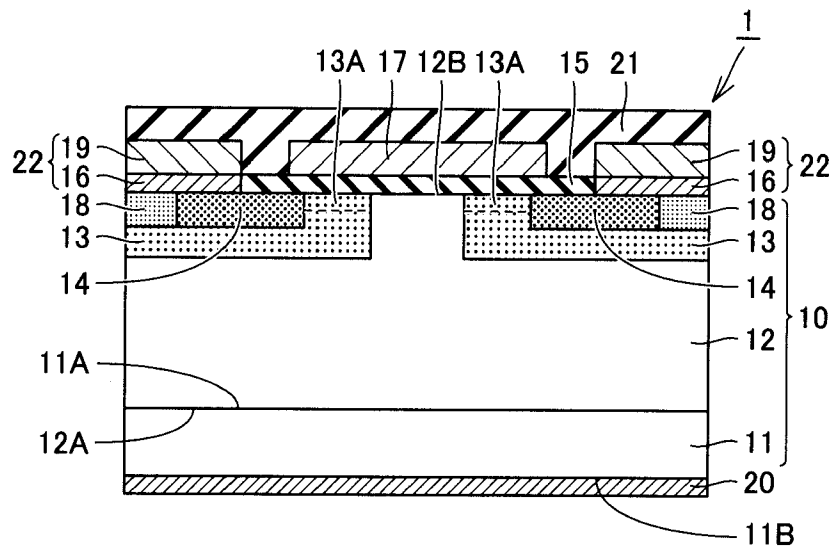
項に記載の半導体装置（１，３）。

[請求項12] 前記オーミックコンタクト電極（１６）は、前記n型領域（１４）に接触する領域から前記p型領域（１８）に接触する領域にまで延在するように配置されている、請求の範囲第１０項に記載の半導体装置（１）。

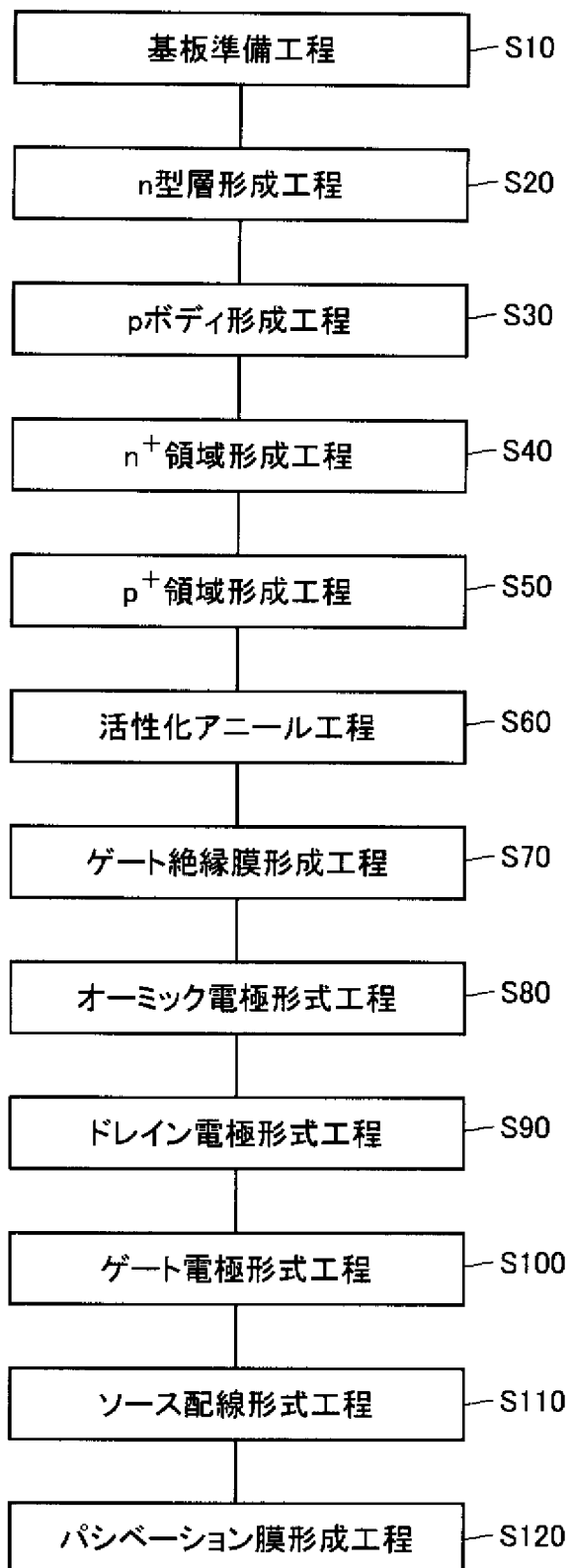
[請求項13] 複数の前記オーミックコンタクト電極（３９，４１，４２，４４）を備え、

複数の前記オーミックコンタクト電極（３９，４１，４２，４４）のうち、一の前記オーミックコンタクト電極（３９，４２）は前記n型領域（３５，３７）と接触しており、他の前記オーミックコンタクト電極（４１，４４）は前記p型領域（３６，４３）と接触している、請求の範囲第１０項に記載の半導体装置（３）。

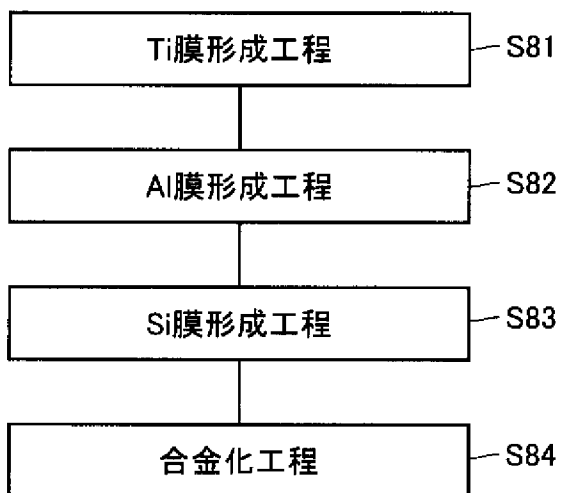
[図1]



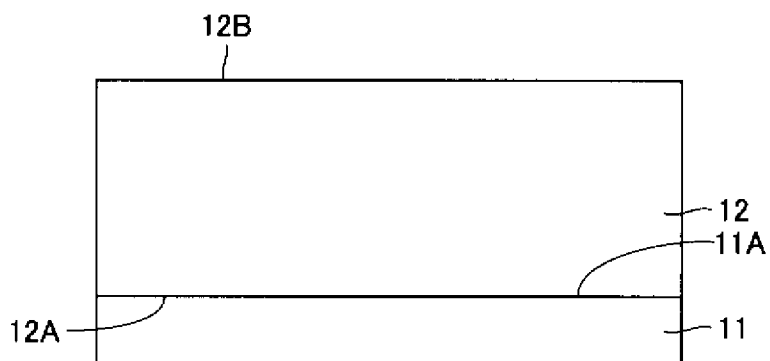
[図2]



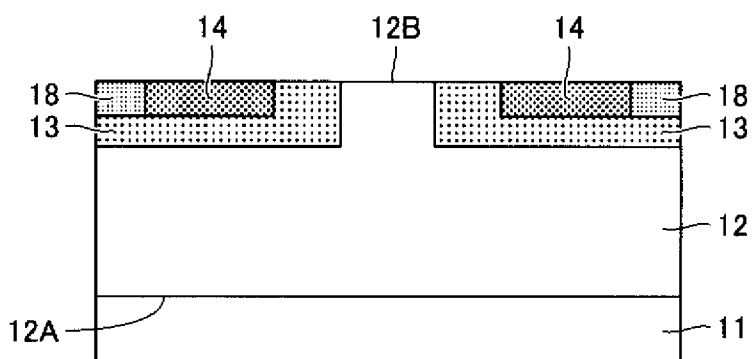
[图3]



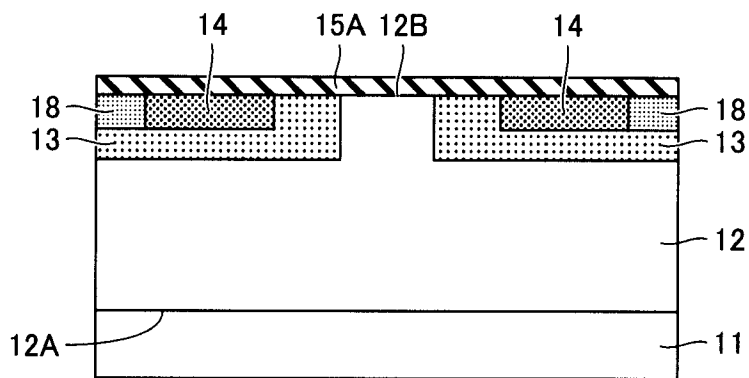
[图4]



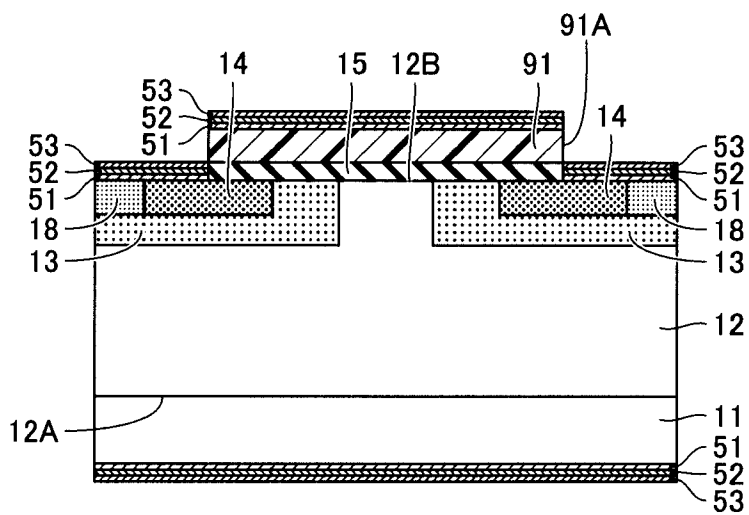
[图5]



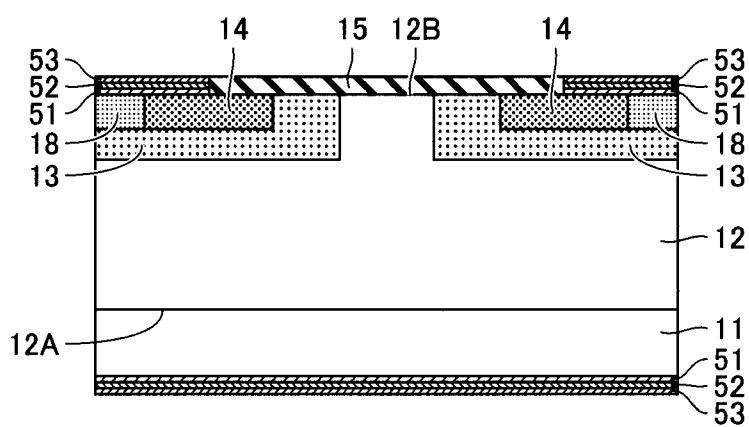
[図6]



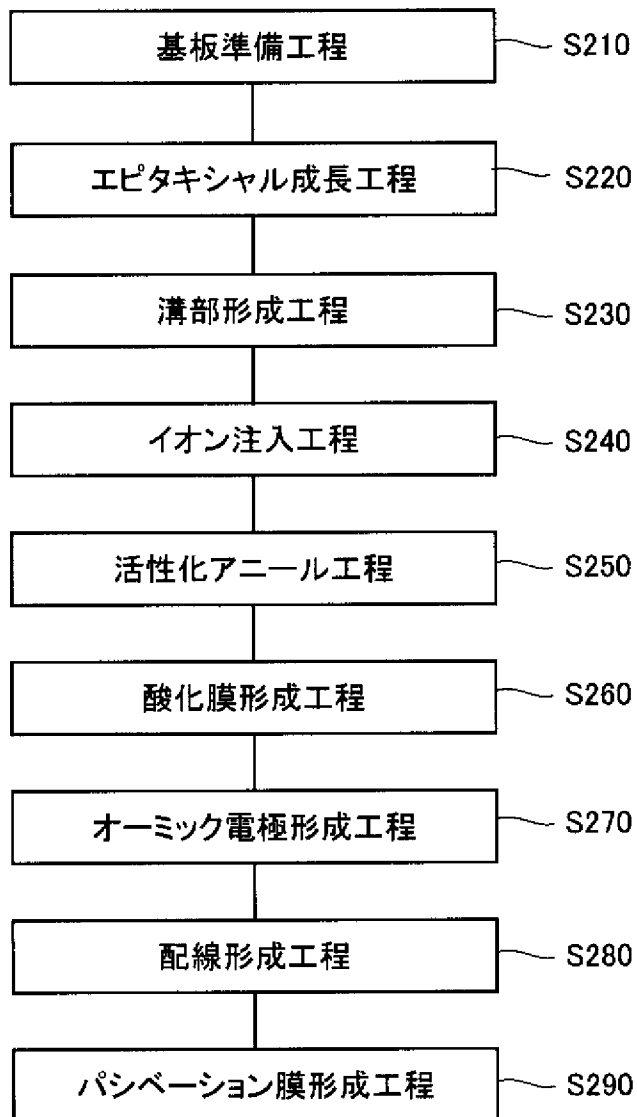
[図7]



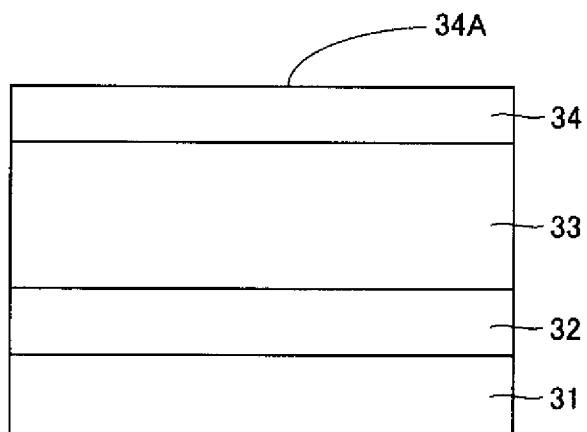
[図8]



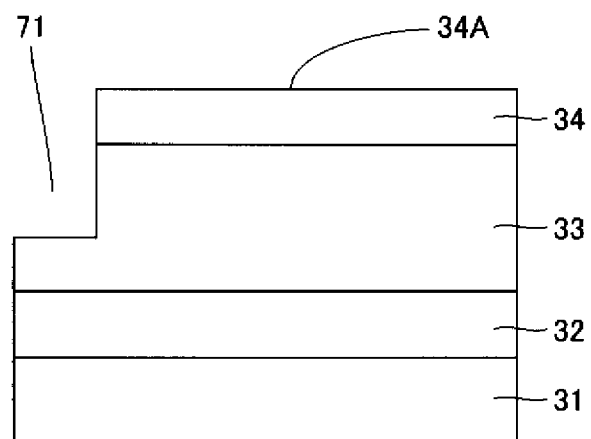
[図11]



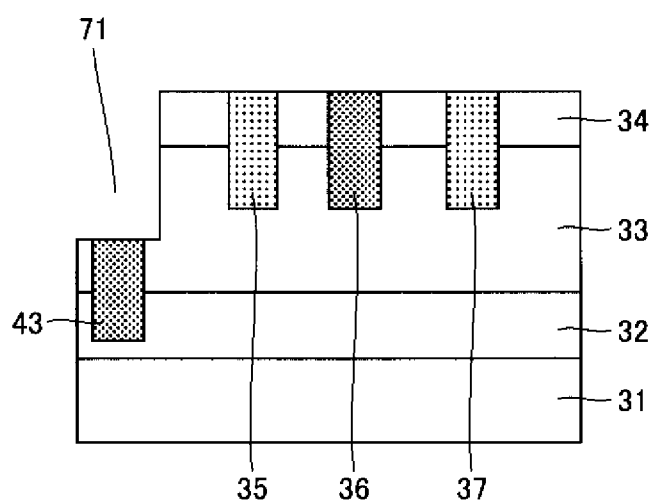
[図12]



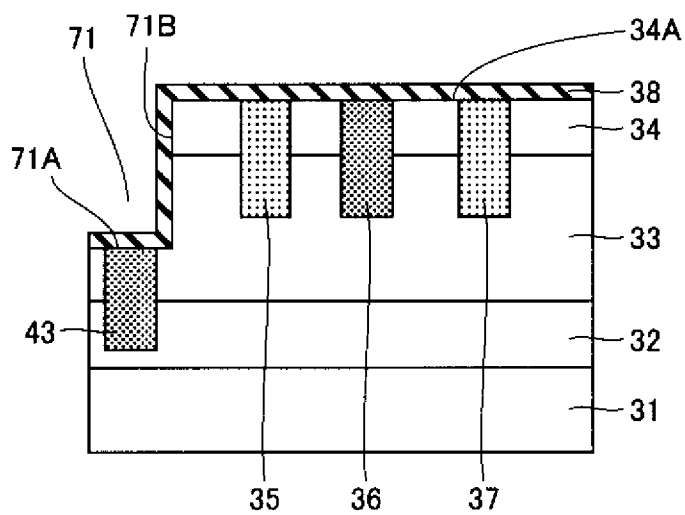
[図13]



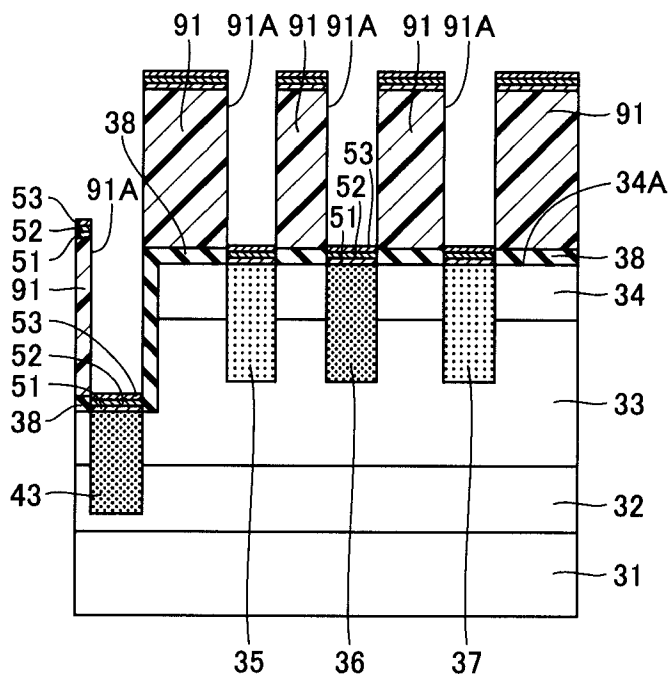
[図14]



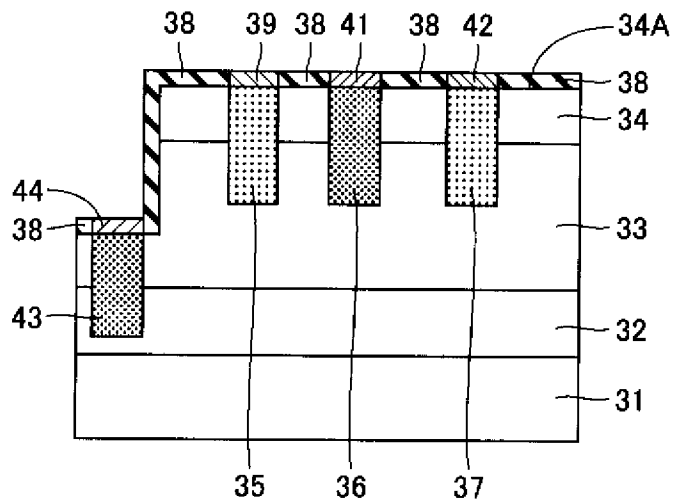
[図15]



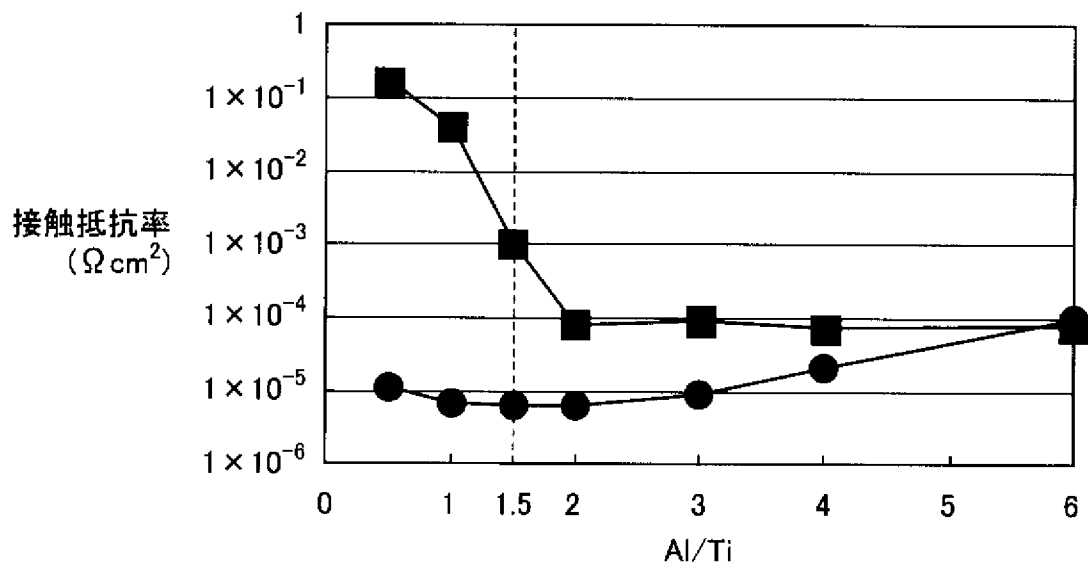
[図16]



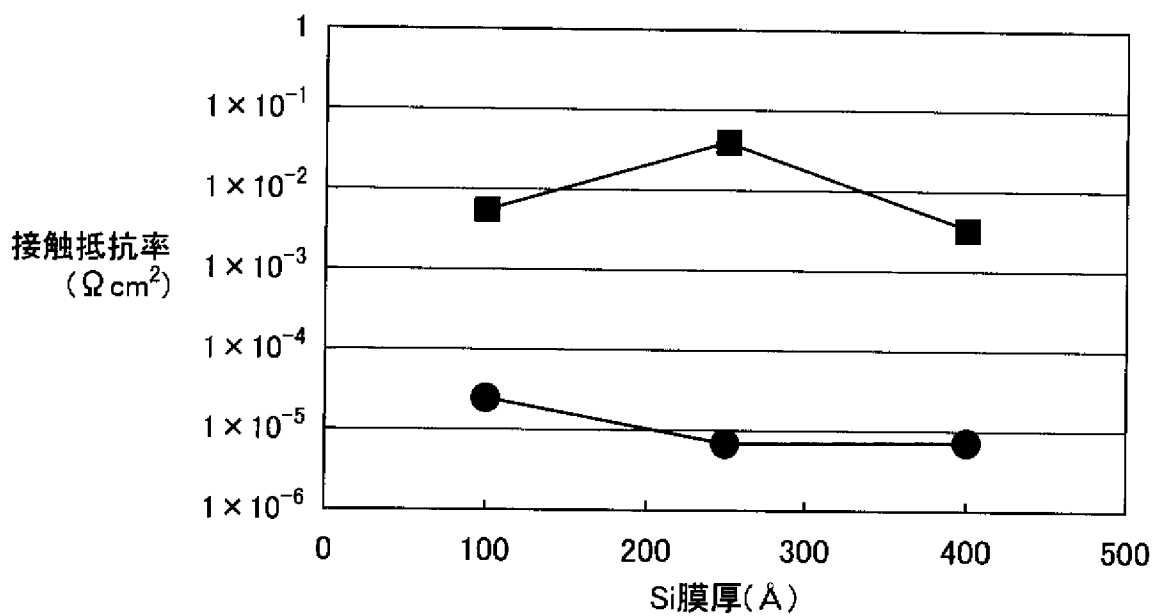
[図17]



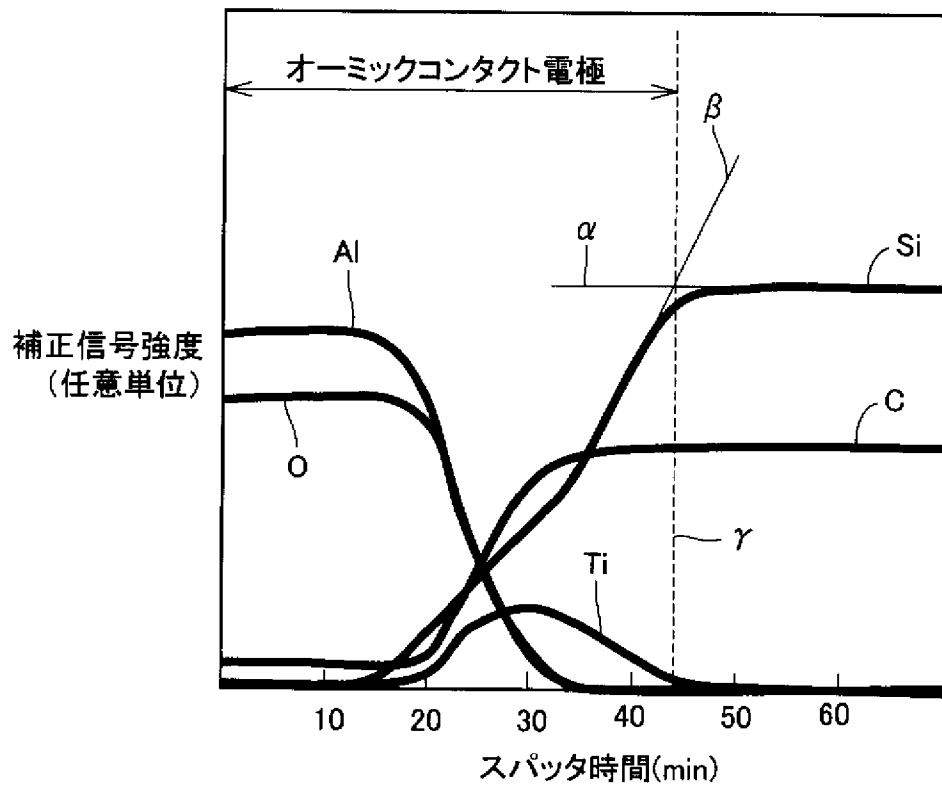
[图18]



[图19]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/057435

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/338(2006.01)i, H01L29/12(2006.01)i, H01L29/417(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/338, H01L29/12, H01L29/417, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-75909 A (National Institute of Advanced Industrial Science and Technology), 15 March, 2002 (15.03.02), Full text; all drawings (Family: none)	1-13
A	JP 3-133176 A (Sharp Corp.), 06 June, 1991 (06.06.91), Full text; all drawings & US 5124779 A	1-13
A	JP 62-71271 A (Sharp Corp.), 01 April, 1987 (01.04.87), Full text; all drawings & US 4990994 A & DE 3632209 A	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 June, 2009 (30.06.09)

Date of mailing of the international search report
14 July, 2009 (14.07.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/057435

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-13087 A (Toshiba Corp.), 18 January, 2007 (18.01.07), Par. Nos. [0036] to [0046]; Figs. 1 to 7 & US 2006/0267022 A1	2, 8, 12
A	JP 2005-33030 A (Matsushita Electric Industrial Co., Ltd.), 03 February, 2005 (03.02.05), Par. Nos. [0036] to [0041]; Figs. 1 to 2 (Family: none)	2, 8, 12
A	JP 2004-304174 A (Matsushita Electric Industrial Co., Ltd.), 28 October, 2004 (28.10.04), Par. Nos. [0116] to [0125]; Fig. 8 & US 2004/0183080 A1 & EP 1460681 A2 & KR 10-2004-0082337 A & CN 1532943 A	3, 9, 13
A	JP 3-111566 A (Canon Inc.), 13 May, 1991 (13.05.91), Full text; all drawings & DE 69026566 C & AT 137063 E	1-13
P,A	JP 2008-227174 A (Osaka University), 25 September, 2008 (25.09.08), Par. Nos. [0001], [0014] to [0017] & WO 2008/114838 A1	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/338(2006.01)i, H01L29/12(2006.01)i, H01L29/417(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/28, H01L21/338, H01L29/12, H01L29/417, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-75909 A (独立行政法人産業技術総合研究所) 2002.03.15, 全文, 全図 (ファミリーなし)	1-13
A	JP 3-133176 A (シャープ株式会社) 1991.06.06, 全文, 全図 & US 5124779 A	1-13
A	JP 62-71271 A (シャープ株式会社) 1987.04.01, 全文, 全図 & US 4990994 A & DE 3632209 A	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

30.06.2009

国際調査報告の発送日

14.07.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

電話番号 03-3581-1101 内線 3462

4M

8934

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-13087 A (株式会社東芝) 2007.01.18, 段落【0036】－【0046】, 図1－7 & US 2006/0267022 A1	2, 8, 12
A	JP 2005-33030 A (松下電器産業株式会社) 2005.02.03, 段落【0036】－【0041】, 図1－2 (ファミリーなし)	2, 8, 12
A	JP 2004-304174 A (松下電器産業株式会社) 2004.10.28, 段落【0116】－【0125】, 図8 & US 2004/0183080 A1 & EP 1460681 A2 & KR 10-2004-0082337 A & CN 1532943 A	3, 9, 13
A	JP 3-111566 A (キヤノン株式会社) 1991.05.13, 全文, 全図 & DE 69026566 C & AT 137063 E	1-13
PA	JP 2008-227174 A (国立大学法人大阪大学) 2008.09.25, 段落【0001】, 【0014】－【0017】 & WO 2008/114838 A1	1-13