

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92123863

※申請日期：92.12.2

※IPC 分類：G11C 1/00

壹、發明名稱：(中文/英文)

用於由不同記憶體陣列之行所共用之電流限制洩流器裝置之裝置及方法

APPARATUS AND METHOD FOR A CURRENT LIMITING BLEEDER
DEVICE SHARED BY COLUMNS OF DIFFERENT MEMORY
ARRAYS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商麥克隆科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥克 L 林契

LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY BOISE, IDAHO 83707-9632, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 3 人)

姓 名：(中文/英文)

1.J 維尼 湯普森

THOMPSON, J. WAYNE

2.喬治 B 雷德

RAAD, GEORGE B.

3.霍德 C 克許

KIRSCH, HOWARD C.

住居所地址：(中文/英文)

1.美國愛達荷州鮑西市北晨岸大道525號

525 NORTH MORNINGSSIDE WAY, BOISE, IDAHO 83712, U.S.A.

2.美國愛達荷州鮑西市東史柏納克大道1735號

1735 EAST SPINNAKER COURT, BOISE, IDAHO 83706, U.S.A.

3.美國愛達荷州伊果市西波格景大道479號

479 WEST BOGUS VIEW DRIVE, EAGLE, IDAHO 83616, U.S.A.

國 籍：(中文/英文)

1.-3.均美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家(地區)申請專利：

1. 美國；2002年12月03日；10/309,572

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國；2002年12月03日；10/309,572

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

一般而言本發明有關電腦記憶體領域，尤其，有關一種不同記憶體陣列之行所共用之電流限制裝置，因此，提供用於高密度DRAM架構之有彈性之佈局選擇。

【先前技術】

如一般所熟知的，慣用之隨機存取記憶體(DRAM)裝置包括具有配置成列與行之記憶體單元之記憶體陣列。該等記憶體單元之每一個通常是由一電容器所形成，作為該儲存節點，而且一存取裝置耦合至該電容器與一感應節點，此時，由一感應放大器感應並放大該電容器之充電狀態。通常以一數位線表示該感應節點。該等數位線分組成分別耦合一感應放大器之互補對。一對數位線代表一行記憶體單元。用於一列記憶體單元之該等存取裝置耦合至一字線，當啟動時，分別耦合該等記憶體單元至該數位線。

存取該等記憶體單元之部分程序，由一預充電電路"預充電"該對數位線，準備一記憶體單元存取作業。預充電使該對數位線之電壓平衡，並將該對數位線之電壓設定至一預充電電壓位準，通常是該等記憶體裝置之電源供應電壓之一半。於該預充電作業期間，所有的字線都接地，以確保由該等記憶體單元電容器儲存該充電狀態，不會被改變。當該等記憶體單元被存取時，啟動一字線，以分別耦合該列之該等記憶體單元至該等數位線。一次只有啟動一記憶體單元陣列之一列，而且其他記憶體單元之該等字線

接地，以確保該等存取裝置保持閒置。當分別耦合至該等數位線，記憶體單元之啟動列之該等電容器由該預充電電壓位準改變該等數位線之電壓。藉由該感應放大器分別耦合至該數位線，並放大，而偵測該電壓之改變。

如一般所熟知，記憶體裝置，例如 DRAM，包括多餘記憶體行與列，以取代有缺陷之記憶體行與列。即，有缺陷記憶體位置之記憶體位址被重新對映至該多餘之記憶體。因此，雖然一記憶體裝置可包括一些有缺陷之記憶體，不過通過使用該多餘之記憶體，仍然能正常作業。例如，當一數位線與一字線發生短路時，會發生熟知之故障模式。如先前之論述，於一記憶體存取作業期間，所有的字線除了用於被存取之該列記憶體單元之外，也耦合至地線。當一數位線與字線發生短路，該數位線會保持地線電位。因此，該感應放大器會感應該低電壓位準，並放大，不管該行之該等記憶體單元之任一之電壓位準。此外，與該數位線發生短路之該字線之額外負載，可能使位於短路區之該字線無法達到一足夠的電壓位準，以分別耦合該等記憶體單元至該數位線。因此，位於短路附近之短路列之該等記憶體單元也是有缺陷的。該缺陷的行與列導致一故障圖樣，產生"交叉"之缺陷記憶體單元。於許多案例中，假設交叉故障的數量不超過多餘記憶體之有效列與行之數量，該等缺陷記憶體單元之記憶體位址能被重新對映，藉由使用該多餘之記憶體，使該記憶體裝置能夠正常作業。

然而，具有足夠量之多餘記憶體，不能保證交叉故障之記憶體裝置能夠正常作業。雖然能以記憶體之多餘行與列取代記憶體之該等缺陷行與列，但該短路仍然會出現。如前面的論述，於一等待狀態期間，該等字線接地，使該等數位線平衡，並且預充電至一預充電電壓位準。因此，一數位線與一字線之間之短路提供由該預充電電壓供應器至地線之直接路徑，因此，取代該預充電電壓供應器之異常高之電流負載。當該額外的電流負載超過該預充電電壓供應器之電流驅動能力時，該預充電電壓供應器之電壓位準被降低至低於一可接受之預充電電壓位準。因此，無法充分預充電除了該短路數位線外之數位線，會導致不同功能數位線之該等記憶體單元故障。甚至在較平常之案例中，以記憶體之多餘行取代未故障或故障之不同功能之數位線，因一數位線與一字線發生短路，會產生更多的電流負載，導致較大的功率消耗量。

一種用於限制一預充電電壓供應器之電流負載之慣用方法，於該交叉故障之事件中，耦合至記憶體之一列之該預充電電壓供應器與該預充電電路之間之二極體耦合空乏型n-道MOS(NMOS)電晶體。該空乏型NMOS電晶體的作用與電流限制裝置一樣，設計以限制該預充電電壓供應器之最大電流負載為一可接受之位準，允許充分預充電該等數位線。該慣用方法更詳細之描述存在於1996年4月Kirihata等人所著，IEEE J. Solid-State Circuits 31卷，頁數558-566，標題 "Fault-Tolerant Designs for 256 Mb

DRAM"。雖然前面描述之方法是有效的，該空乏型NMOS之格式在組裝程序部分，需要更多的空乏注入步驟。通常增加之處理步驟是不受歡迎的，因為一定會降低組裝生產力。

因而，需要一種替代方法，以限制一電壓供應器之電流負載，於該事件中，用別的方法可補償之缺陷產生該異常高之電流負載。

【發明內容】

本發明係針對具有一電流限制洩流器裝置之記憶體裝置，由不同記憶體陣列之行所共用，限制一電壓供應器之電流負載，以防止用別的方法可補償之裝置之故障。該記憶體裝置包括具有配置成列與行之記憶體單元之第一與第二記憶體陣列。該第一與第二記憶體陣列之該等行之每一行耦合至一平衡電路，以預充電該等行。進一步包括於該等記憶體裝置的是一洩流器裝置，耦合至一預充電電壓供應器，並進一步耦合至該第一記憶體陣列之至少一平衡電路與該第二記憶體陣列之至少一平衡電路。該洩流器裝置限制由該等平衡電路從該預充電電壓供應器汲取的電流。於本發明之一觀點中，在該第一與第二記憶體陣列之間配置一感應放大器區。感應放大器形成於該感應放大器區，而且該等洩流器裝置也形成於其中。該等感應放大器之每一個耦合至該第一記憶體陣列之一行與該第二記憶體陣列之一行。

【實施方式】

本發明之實施例針對一種具有由不同記憶體陣列之行所共用之電流限制洩流器裝置之記憶體裝置，其具有由不同記憶體陣列之行所共用之電流限制洩流器裝置，以限制一電壓供應器之電流負載，於該事件中，不尋常高的電流會導致一可補償的缺點。接著將詳細描述本發明之示範實施例，參考該等以圖示顯示形成本發明之示範實施例之部份之附加圖示，於該等附加圖示中，以具體示範實施例實行本發明。而且非常詳細地描述此等實施例，以使熟悉此項技藝者能夠實踐本發明。然而，熟悉此項技藝者應瞭解沒有此等特定的詳述，仍然能夠實踐本發明。於其他例子中，為了避免本發明不必要的混淆，因此不詳細顯示已知之電路，控制信號，時序通訊協定及軟體作業。而且不需違背本發明之精神與範圍，即可使用其他的實施例並可進行修改。因此，下面之詳細描述不應被解釋為有限制的觀念，而且本發明之範圍僅由該附加申請專利所定義。

圖1說明一位於記憶體陣列區110a，110b之間之感應放大器區120。應瞭解圖1是一簡單的方塊圖，而且為了避免使本發明難以理解，簡略部分詳述。然而，該簡略之詳述使熟悉此項技藝之人士，仍然能夠根據於此所提供之描述實踐本發明。

通常，於記憶體陣列區110a，110b之每一個中，記憶體單元(未顯示)被配置成數列字線(未顯示)與數行122數位線123。如圖1所顯示，該等記憶體單元行122之每一行係由成對的互補數位線123所形成。平衡電路124各自耦合至

一對數位線123，而且如該技藝所瞭解的，分別"預充電"該等數位線123，準備存取作業。通常，該平衡電路124由一啟動信號LEQa，LEQb所啟動，此時，一記憶體單元行122之數位線123一起耦合至該對數位線123之平衡電壓。而且耦合DVC2電壓供應器126，以充電一行122之該等數位線123達到該預充電電壓位準。該DVC2電壓供應器126對該記憶體裝置而言，電壓通常是電源電壓的一半，而且能夠由該技藝中所熟知之慣用電壓產生器電路產生。分別通過形成於記憶體陣列區110a，110b之一相當長的n-通道MOS(NMOS)洩流器裝置130，將該DVC2電壓供應器126提拱給每一平衡電路124。該NMOS洩流器裝置130之汲極耦合至該DVC2電壓供應器126，而源極耦合至少一平衡電路124。該NMOS洩流器裝置130之閘極為為了記憶體陣列區110a，110b，分別耦合至提供啟動信號BLEEDa，BLEEDb之控制線，該等啟動信號BLEEDa，BLEEDb與該等LEQa，LEQb信號一同使該等數位線123預充電達到該DVC2電壓供應器126之電壓位準。下面將更詳細說明，該NMOS洩流器裝置130也用於限制該DVC2電壓供應器126之電壓負載，於該事件中，一數位線123與一字線發生短路。

除了該平衡電路124之外，一行122之該等數位線123分別耦合至一對絕緣電晶體132。當由一啟動信號ISOa，ISOb啟動時，該等絕緣電晶體132分別有選擇性耦合至一行122至一感應放大器140。

器區220。此外，一些金屬互連之佈局之重配置也允許其他信號線重定線路。例如，該等洩流器控制線之局部化允許由較低的金屬互連位準形成此等線路，因此，以另一金屬互連位準，提供更有彈性重定通過該感應放大器區之其他信號線之線路，因此，避免需要連接至另一金屬互連層，通過導孔形成於一非傳導性內層。如熟悉此項技藝之人士所瞭解，跳過金屬互連，由一金屬化層至另一金屬化層，以增加該信號線之阻抗，因此，採用信號時序與速度之問題，會影響該記憶體裝置之整體效率。

圖3是一電子系統312之方塊圖，例如一電腦系統，合併一根據本發明之實施例之記憶體裝置310。該系統312也包括計算機電路314，以執行計算機功能，例如執行所希望之計算與任務之執行軟體。該電路314通常包括一處理器316，與耦合該處理器316之記憶體電路310。一或更多的輸入裝置318，例如鍵盤或滑鼠，耦合該計算機電路314，而且允許一操作者手動輸入資料。一或更多之輸出裝置320耦合該計算機電路314，以提供由該計算機電路314產生之資料給該操作者。此類輸出裝置320之範例包括一印表機與一視訊顯示單元。一或更多資料儲存裝置322耦合該計算機電路314，以儲存資料在外部儲存媒體(未顯示)或從外部儲存媒體擷取資料，該等資料儲存裝置322與該對應之儲存媒體之範例包括接受硬式與軟式磁碟，磁帶匣，及唯讀光碟記憶體(CD-ROMs)之裝置。通常，該計算機電路314包括位址，資料與命令匯流排，及一時鐘線路，

分別耦合至該記憶體裝置 310 之 ADDRESS，DATA 與 COMMAND 匯流排，及一 CLK 線路。

由前述可瞭解，雖然於此已描述之本發明之特定實施例是用作說明，但不需違背本發明之精神與範圍，也可進行各種修改。例如，前面所描述之本發明之實施例包括形成於該感應放大器區 220 之洩流器裝置 232。然而，應瞭解不同記憶體陣列區 210a，210b 之行 122 共用一洩流器裝置 232，可形成於該感應放大器區 220 之外之區域，不會違背本發明之範圍。此外，該洩流器裝置 232 已描述於一特定實施例，如一 PMOS 電晶體。熟悉此項技藝之人士應瞭解使用其他的電流限制裝置，也不會違背本發明之範圍。因此，本發明僅受限於該附加申請專利範圍。

【圖式簡單說明】

圖 1 是顯示感應放大器區之部分與一記憶體裝置之記憶體陣列區之簡單方塊圖。

圖 2 是顯示根據本發明之實施例之感應放大器區之部分與一記憶體裝置之記憶體陣列區之簡單方塊圖。

圖 3 是根據本發明之實施例，包含一記憶體裝置之電腦系統之功能方塊圖。

【圖式代表符號說明】

110a，110b，210a，210b	記憶體陣列區
120，220	感應放大器區
122	行
123	數位線

124	平衡電路
126	DVC2電壓供應器
132	絕緣電晶體
140	感應放大器
310	記憶體
312	電子系統
314	計算機電路
316	處理器
318	輸入裝置
320	輸出裝置
322	資料儲存裝置
BLEEDa , BLEEDb , LEQa , LEQb ,	
ISOa , ISOb ,	啟動信號
BLEED_GATE	共通之控制信號

伍、中文發明摘要：

本發明揭露用於由不同記憶體陣列之行所共用之電流限制洩流器裝置，並限制一電壓供應器之電流負載，以防止用別的方法可補償之記憶體裝置故障之裝置及方法。該記憶體裝置包括具有配置成列與行之記憶體單元之第一與第二記憶體陣列，其中該第一與第二記憶體陣列之該等行之每一行具有一平衡電路，以分別預充電該行。一洩流器裝置耦合一預充電電壓供應器，並進一步耦合至該第一記憶體陣列之一行之至少一平衡電路，及該第二記憶體陣列之一行之至少一平衡電路，以限制由該等平衡電路從該預充電電壓供應器汲取的電流。

陸、英文發明摘要：

Apparatus and method for a current limiting bleeder device that is shared between columns of different memory arrays and limits a current load on a voltage supply to prevent failure of an otherwise repairable memory device. The memory device includes first and second memory arrays having memory cells arranged in rows and columns where each of the columns of the first and second memory arrays have an equilibration circuit to precharge the respective column. A bleeder device is coupled to a precharge voltage supply and further coupled to at least one equilibration circuit of a column in the first memory array and to at least one equilibration circuit of a column in the second memory array to limit the current drawn by the equilibration circuits from the precharge voltage supply.

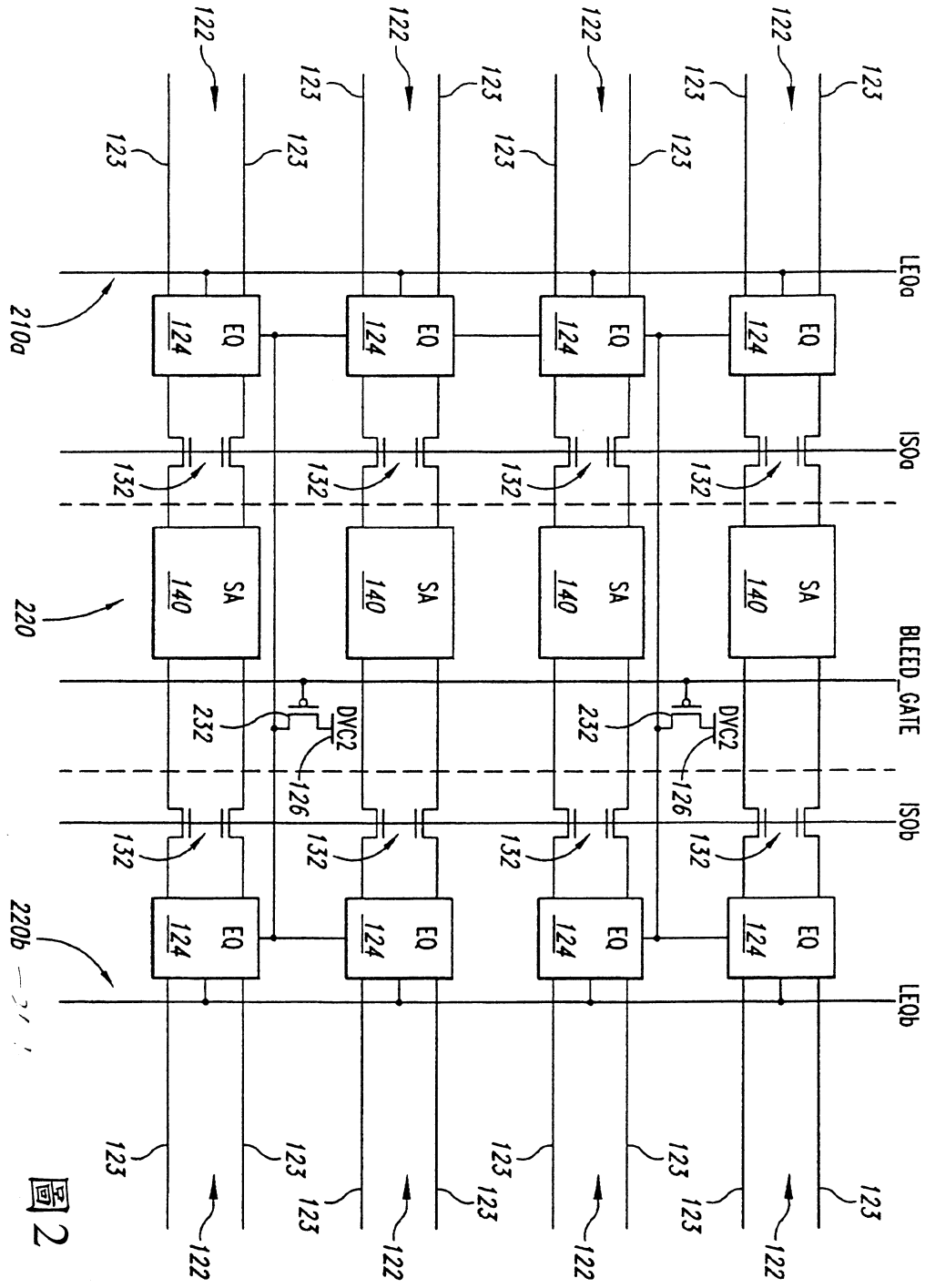


圖 2

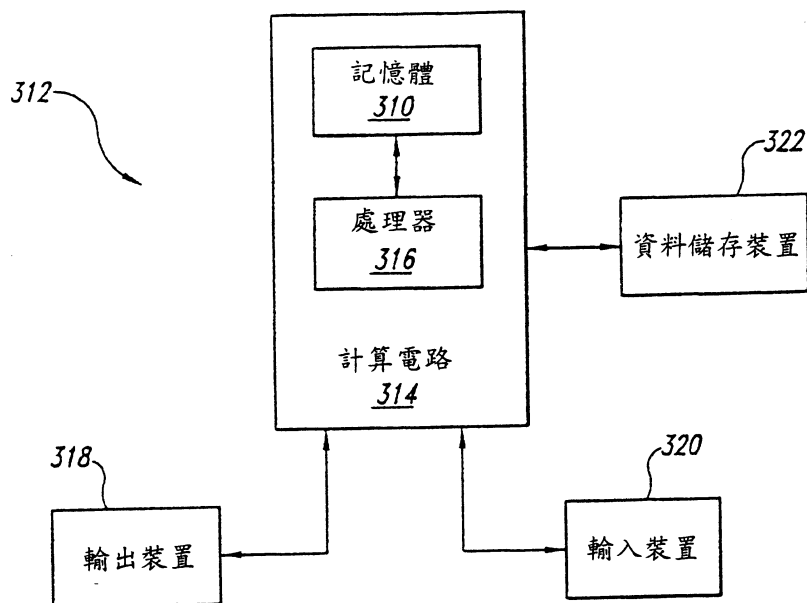


圖3

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

122	行
123	數位線
124	平衡電路
126	DVC2 電壓供應器
132	絕緣電晶體
140	感應放大器
210a , 210b	記憶體陣列區
220	感應放大器區
LEQa , LEQb , ISOa , ISOb	啟動信號
BLEED_GATE	共通之控制信號

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

如圖1所顯示，該感應放大器140通常形成於兩記憶體陣列區110a，110b之間之感應放大器區120。該等絕緣電晶體132允許該兩不同記憶體陣列區110a，110b之行122共用一感應放大器140。換言之，當存取該記憶體陣列區110a或110b之該等記憶體單元，為了耦合該等行122至該等感應放大器140，分別啟動該記憶體陣列區之該等絕緣電晶體132。另一記憶體陣列區之該等絕緣電晶體132保持閒置，以絕緣該等行122與各自的感應放大器140。

如前面所提到，該NMOS洩流器裝置130是相當長的通道電晶體，限制從該DVC2電壓供應器126汲取之電流，於該事件中，一數位線123與一字線發生短路。如前面所說明，於待命狀態期間，一記憶體陣列之該等字線是接地，而該等數位線123被預充電至該DVC2電壓供應器126之電壓位準。因此，當該等平衡電路124被啟動，通過與一字線發生短路之一數位線123，該DVC2電壓供應器126發生短路接地。於該待命狀態期間，也由該等有效的BLEEDa與BLEEDb信號啟動該NMOS洩流器裝置130，作為負載裝置以限制該電流衰減至地線，於該事件中，一數位線123與一字線發生短路。雖然該NMOS洩流器裝置130可限制該電流達到某種程度，但該電流通過該NMOS洩流器裝置130會增加為該電壓之平方，因為當一數位線123之電壓因與該字線發生短路，被拖曳至地線(即，耦合地線)，會增加該閘極-源極電壓(即，該BLEED信號與該數位線123之降低電壓之間之電壓差)與汲極-源極電壓(即，該DVC2電

壓供應器126之電壓與該數位線123之降低電壓之間之電壓差)。因此，雖然該電流限制NMOS洩流器裝置130提供許多的影響，其中一數位線123與一字線發生短路，但仍然期待一種限制從該DVC2電壓供應器126汲取電流之替代方法。

圖2說明根據本發明之一實施例之一感應放大器區220與記憶體陣列區210a與210b之部分。於圖2中，同樣的數字大體上描述類似此等先前描述於圖1之組件。該感應放大器區220位於記憶體陣列區210a與210b之間。如圖1中，描述於圖2之該等記憶體陣列區210a，210b之部分包括耦合一行122之每一對互補數位線123之平衡電路124。如先前之說明，該等平衡電路124為回應有效的LEQa與LEQb信號，分別預充電該等數位線123。再者，成對之絕緣電晶體132耦合至成對之互補數位線123之每一對，以有選擇性地耦合與去耦記憶體陣列區210a，210b之該等數位線123與形成於該感應放大器區220之感應放大器140。

與圖1相比，顯示於圖2之實施例利用形成於該感應放大器區220之p-通道MOS(PMOS)洩流器裝置232，以限制從該DVC2電壓供應器126汲取之電流，於該事件中，一數位線123與一字線發生短路。由一共用之控制信號BLEED_GATE控制該洩流器裝置232，而且被啟動與該等啟動之平衡電路124一同預充電該數位線123達到該DVC2電壓供應器126之電壓位準。

前面有關圖1之論述，於該待命期間，當一數位線123

與一字線發生短路，被拖曳至地線，該電流通過一NMOS洩流器裝置130有助於增加為該電壓之平方。然而，顯示於圖2中之實施例之PMOS洩流器裝置232根據該等相同條件，顯示出一飽和電流特性。換言之，當該數位線123被拖曳至地線，一NMOS洩流器裝置130之閘極-源極與汲極-源極電壓卻增加，因此，以指數方式增加該電流，該閘極-源極電壓(即，該閘極連結一LOW BLEED_GATE信號，而該源極連結該DVC2電壓供應器126)對一PMOS洩流器裝置232而言是固定的。因此，當因該數位線123被拖曳至地線，該汲極-源極電壓會增加，而該PMOS洩流器裝置232之汲極-源極電壓處於飽和狀態，因此，限制該DVC2電壓供應器126之電流負載。

此外，顯示於圖2之本發明實施例中，介於兩個記憶體陣列區210a，210b間之行122共用該等洩流器裝置232。因此，與顯示於圖1之配置相比較，可減少記憶體裝置之洩流器裝置232之數量。此外，複數個記憶體陣列區210a，210b共用該等洩流器裝置232，可減少需要操作該等洩流器裝置232之控制線數量。雖然未顯示，但熟悉此項技藝之人士應瞭解減少該等洩流器裝置232與洩流器控制線之數量，會簡化該感應放大器區220與記憶體陣列區210a，210b之佈局。因此，本發明之實施例提供許多優點。例如，以金屬互連形成前面所描述之電路，例如該等洩流器裝置232與該BLEED_GATE線，能夠被局部化成一特定區域，而不是延伸超過數個記憶體陣列區210a，210b與感應放大

拾、申請專利範圍：

1. 一種記憶體裝置，其包括：

一具有配置成列與行之記憶體單元之第一記憶體陣列，該等行之每一行具有一平衡電路，以分別預充電該行；

一具有配置成列與行之記憶體單元之第二記憶體陣列，該等行之每一行具有一平衡電路，以分別預充電該行；及

一洩流器裝置耦合一預充電電壓供應器，並進一步耦合該至第一記憶體陣列之一行之至少一平衡電路，及該第二記憶體陣列之一行之至少一平衡電路，該洩流器裝置限制由該等平衡電路從該預充電電壓供應器汲取的電流。

2. 如申請專利範圍第1項之記憶體裝置，其中該至少一平衡電路耦合該第一記憶體陣列之一行，包括第一與第二平衡電路分別耦合該第一記憶體陣列之第一與第二行，而且該至少一平衡電路耦合該第二記憶體陣列之一行，包括第一與第二平衡電路分別耦合該第二記憶體陣列之第一與第二行。

3. 如申請專利範圍第1項之記憶體裝置，其中該洩流器裝置包括一p-通道MOS電晶體。

4. 如申請專利範圍第1項之記憶體裝置，其中該洩流器裝置包括一電晶體，當通過該電晶體之電壓增加時，顯示出飽和電流特性。

5. 如申請專利範圍第1項之記憶體裝置，其中該預充電電壓供應器包括一電壓供應器，其具有的電壓等於一電源供應

電壓之一半。

6. 如申請專利範圍第1項之記憶體裝置，進一步包括一位於該第一與第二記憶體陣列之間，並具有感應放大器形成於其中之感應放大器區，而其中該洩流器裝置也形成於該感應放大器區。

7. 一種記憶體裝置，其包括：

一具有配置成列與行之記憶體單元之第一記憶體陣列，該等行之每一行具有一平衡電路；

一具有配置成列與行之記憶體單元之第二記憶體陣列，該等行之每一行具有一平衡電路；

一感應放大器區，其具有複數個形成於其中之感應放大器，每一感應放大器分別耦合至該第一記憶體陣列之一行，而且進一步分別耦合至該第二記憶體陣列之一行；及

一洩流器裝置，其形成於該感應放大器區中，且耦合一預充電電壓供應器，而且耦合該洩流器裝置至該第一記憶體陣列之一行與該第二記憶體陣列之一行之該等平衡電路，該第一與第二記憶體陣列之該等行耦合至同一感應放大器。

8. 如申請專利範圍第7項之記憶體裝置，其中該第一與第二記憶體陣列之該等行包括第一行與該洩流器裝置進一步耦合至該第一記憶體陣列之一第二行與該第二記憶體陣列之一第二行之平衡電路，該第一與第二記憶體陣列之第二行耦合至同一感應放大器。

9. 如申請專利範圍第7項之記憶體裝置，其中該洩流器裝置

包括一p-通道MOS電晶體。

- 10.如申請專利範圍第7項之記憶體裝置，其中該洩流器裝置包括一電晶體，當通過該電晶體之電壓增加時，顯示出飽和電流特性。
- 11.如申請專利範圍第7項之記憶體裝置，其中該預充電電壓供應器包括一電壓供應器，其具有的電壓等於一電源供應電壓之一半。
- 12.一種具有配置成列與行之記憶體單元之記憶體裝置，每一行具有一平衡電路，以各自預充電該行，該記憶體裝置包括一具有複數個感應放大器之感應放大器區，每一感應放大器分別通過一第一絕緣交換器，各自耦合至記憶體單元之複數第一行之一，並進一步分別通過一第二絕緣交換器，各自耦合至記憶體單元之複數第二行之一，該感應放大器區進一步具有複數個洩流器裝置，該等洩流器裝置之每一個耦合至一預充電電壓供應器，至少一平衡電路耦合至該複數第一行之一行，以及至少一平衡電路耦合至該複數第二行之一行，以限制分別由該等平衡電路汲取之電流。
- 13.如申請專利範圍第12項之記憶體裝置，其中該複數個洩流器裝置包括複數個p-通道MOS電晶體。
- 14.如申請專利範圍第12項之記憶體裝置，其中該預充電電壓供應器包括一電壓供應器，其具有的電壓等於一電源供應電壓之一半。
- 15.如申請專利範圍第12項之記憶體裝置，其中該複數個洩流

器裝置包括複數個電晶體，當通過該電晶體之電壓增加時，每一電晶體顯示出飽和電流特性。

16. 如申請專利範圍第12項之記憶體裝置，其中該至少一平衡電路耦合該複數第一行之一行，包括第一與第二平衡電路分別耦合該複數第一行之第一與第二行，而且該至少一平衡電路耦合該複數第二行之一行，包括第一與第二平衡電路分別耦合該複數第二行之第一與第二行。

17. 一種記憶體裝置，其包括：

一第一記憶體陣列區，具有配置成列與行形成於其中之記憶體單元，該等行之每一行分別耦合至也形成於該第一記憶體陣列區之一平衡電路；

一第二記憶體陣列區，具有配置成列與行形成於其中之記憶體單元，該等行之每一行分別耦合至也形成於該第二記憶體陣列區之一平衡電路；

一感應放大器區，具有複數個形成於其中之洩流器裝置，每一洩流器裝置耦合至一預充電電壓供應器，並進一步耦合至形成於該第一記憶體陣列區之至少一平衡電路，及形成於該第二記憶體陣列區之至少一平衡電路；及

複數個第一與第二絕緣交換器，耦合形成於該感應放大器區之該等感應放大器之每一個分別至該第一記憶體陣列之一行記憶體單元，並分別至該第二記憶體陣列之一行記憶體單元。

18. 如申請專利範圍第17項之記憶體裝置，其中該至少一平衡電路形成於該第一記憶體陣列區，包括第一與第二平衡電

路形成於該第一記憶體陣列區，而該至少一平衡電路形成於該第二記憶體陣列區，包括第一與第二平衡電路形成於該第二記憶體陣列區。

19. 如申請專利範圍第17項之記憶體裝置，其中該複數個洩流器裝置包括複數個p-通道MOS電晶體。

20. 如申請專利範圍第17項之記憶體裝置，其中該複數個洩流器裝置包括複數個電晶體，當通過該電晶體之電壓增加時，每一電晶體顯示出一飽和電壓特性。

21. 如申請專利範圍第17項之記憶體裝置，其中該預充電電壓供應器包括一電壓供應器，其具有之電壓等於一電源供應電壓之一半。

22. 一種電腦系統，其包括：

一具有一處理器匯流排之處理器；

一通過該處理器匯流排耦合至該處理器，並適用於將資料輸入該電腦系統之輸入裝置；

一通過該處理器匯流排耦合至該處理器，並適用於將資料從該電腦系統輸出之輸出裝置；及

一通過該處理器匯流排耦合至該處理器之記憶體裝置，該記憶體裝置具有配置成行與列之記憶體單元，各行具有一平衡電路，以分別預充電該行，該記憶體裝置包括具有複數個感應放大器之感應放大器區，每一感應放大器分別通過第一絕緣交換器，分別耦合至複數行第一記憶體單元之一行，並進一步通過第二絕緣交換器，分別耦合至複數行第二記憶體單元之一行，該感應放大器區進一步具

有複數個洩流器裝置，該等洩流器裝置之每一個耦合至一預充電電壓供應器，而且至少一平衡電路耦合至該複數第一行之一行，及至少一平衡電路耦合至該複數第二行之一行，以限制分別由該等平衡電路汲取之電流。

23.如申請專利範圍第22項之電腦系統，其中該記憶體裝置之該複數個洩流器裝置包括複數個p-通道MOS電晶體。

24.如申請專利範圍第22項之電腦系統，其中該記憶體裝置之該預充電電壓供應器包括一電壓供應器，其具有之電壓等於一電源供應電壓之一半。

25.如申請專利範圍第22項之電腦系統，其中該記憶體裝置之該複數個洩流器裝置包括複數個電晶體，當通過該電晶體之電壓增加時，每一電晶體顯示出一飽和電壓特性。

26.如申請專利範圍第22項之電腦系統，其中該至少一平衡電路耦合至該複數第一行之一行，包括第一與第二平衡電路分別耦合至該複數第一行之第一與第二行，而該至少一平衡電路耦合至該複數第二行之一行，包括第一與第二平衡電路分別耦合至該複數第二行之第一與第二行。

27.一種電腦系統，其包括：

一具有一處理器匯流排之處理器；

一通過該處理器匯流排耦合至該處理器，並適用於將資料輸入該電腦系統之輸入裝置；

一通過該處理器匯流排耦合至該處理器，並適用於將資料從該電腦系統輸出之輸出裝置；及

一通過該處理器匯流排耦合至該處理器之記憶體裝

置，該記憶體裝置包括：

一具有配置成行與列之記憶體單元之第一記憶體陣列，該等行之每一行具有一平衡電路，以分別預充電該行；

一具有配置成行與列之記憶體單元之第二記憶體陣列，該等行之每一行具有一平衡電路，以分別預充電該行；及

一洩流器裝置耦合至一預充電電壓供應器，且進一步耦合至該第一記憶體陣列之一行之至少一平衡電路，並耦合至該第二記憶體陣列之一行之至少一平衡電路，該洩流器裝置限制該平衡電路從該預充電電壓供應器汲取之電流。

28. 如申請專利範圍第27項之電腦系統，其中該至少一平衡電路耦合至該第一記憶體陣列之一行，包括第一與第二平衡電路分別耦合至該第一記憶體陣列之第一與第二行，而該至少一平衡電路耦合至該第二記憶體陣列之一行，包括第一與第二平衡電路分別耦合至該第二記憶體陣列之第一與第二行。

29. 如申請專利範圍第27項之電腦系統，其中該記憶體裝置之該洩流器裝置包括一p-通道MOS電晶體。

30. 如申請專利範圍第27項之電腦系統，其中該記憶體裝置之該洩流器裝置包括一電晶體，當通過該電晶體之電壓增加時，該電晶體顯示出一飽和電壓特性。

31. 如申請專利範圍第27項之電腦系統，其中該記憶體裝置之該預充電電壓供應器包括一電壓供應器，其具有之電壓等於一電源供應電壓之一半。

32. 一種用於在一記憶體裝置中限制多個平衡電路之電流之方法，該記憶體裝置具有複數個記憶體陣列，其中記憶體單元被配置成行與列，每一行分別耦合至個別平衡電路，該方法包括：

形成一感應放大器區，配置在該複數個記憶體陣列之第一與該複數個記憶體陣列之第二之間，其中形成感應放大器，以放大該第一與第二記憶體陣列之該等記憶體單元所儲存之資料狀態；及

於該感應放大器區形成複數個洩流器裝置，耦合一預充電電壓供應器，該等洩流器裝置之每一個進一步耦合至少一耦合至該第一記憶體陣列之一行記憶體單元之平衡電路，並且耦合至少一耦合至該第二記憶體陣列之一行記憶體單元之平衡電路。

33. 如申請專利範圍第32項之方法，其中形成複數個洩流器裝置包括形成複數個p-通道MOS電晶體。

34. 如申請專利範圍第32項之方法，其中形成複數個洩流器裝置包括形成複數個電晶體，當通過該電晶體之電壓增加時，每一電晶體顯示出一飽和電壓特性。

35. 一種用於在一記憶體裝置中限制多個平衡電路之電流之方法，該記憶體裝置具有複數個記憶體陣列，其中記憶體單元被配置成行與列，每一行分別耦合至個別平衡電路，該方法包括：

形成一感應放大器區，配置在該複數個記憶體陣列之第一與該複數個記憶體陣列之第二之間，其中形成感應放

大器，以放大該第一與第二記憶體陣列之該等記憶體單元所儲存之資料狀態；及

共用之一電流限制洩流器裝置耦合至一預充電電壓供應器，該預充電電壓供應器在至少一耦合至該第一記憶體陣列之一行記憶體單元之平衡電路，與至少一耦合至該第二記憶體陣列之一行記憶體單元之平衡電路之間。

36. 如申請專利範圍第35項之方法，其中該共用之電流限制洩流器裝置包括共用之一p-通道MOS電晶體。

37. 如申請專利範圍第35項之方法，其中該共用之電流限制洩流器裝置包括共用之一電晶體，當通過該電晶體之電壓增加時，該共用之電晶體顯示出一飽和電壓特性。

38. 一種用於在一記憶體裝置中限制該平衡電路之電流的方法，該記憶體裝置具有複數個記憶體陣列，其中記憶體單元被配置成行與列，每一行分別耦合至個別平衡電路，該方法包括：

形成一感應放大器區，配置在該複數個記憶體陣列之一第一與該複數個記憶體陣列之第二之間，其中形成感應放大器，以放大該第一與第二記憶體陣列之該等記憶體單元所儲存之資料狀態；及

限制由該第一與第二記憶體陣列之該等平衡電路，通過形成於該感應放大器區並耦合至一預充電電壓供應器之電流限制洩流器裝置汲取之電流。

39. 一種用於形成一記憶體裝置之方法，其包括：

形成一具有配置成行與列之記憶體單元之第一記憶體

裝置，該等行之每一行具有一平衡電路；

形成一具有配置成行與列之記憶體單元之第二記憶體裝置，該等行之每一行具有一平衡電路；

形成一具有複數個形成於其中之感應放大器之感應放大器區，每一感應放大器分別耦合至該第一記憶體陣列之一行，而且進一步分別耦合至該第二記憶體陣列之一行；及

於該感應放大器區形成一洩流器裝置，耦合一預充電電壓供應器，而且耦合該洩流器裝置至該第一記憶體陣列之一行與該第二記憶體陣列之一行之該等平衡電路，該第一與第二記憶體陣列之該等行耦合至同一感應放大器。

40. 如申請專利範圍第39項之方法，其中形成一洩流器裝置於該感應放大器區，包括形成一p-通道MOS電晶體於該感應放大器區。

41. 如申請專利範圍第39項之方法，其中形成一洩流器裝置於該感應放大器區，包括形成一電晶體於該感應放大器區，當通過該電晶體之電壓增加，該電晶體顯示出一飽和電壓特性。

拾壹、圖式：

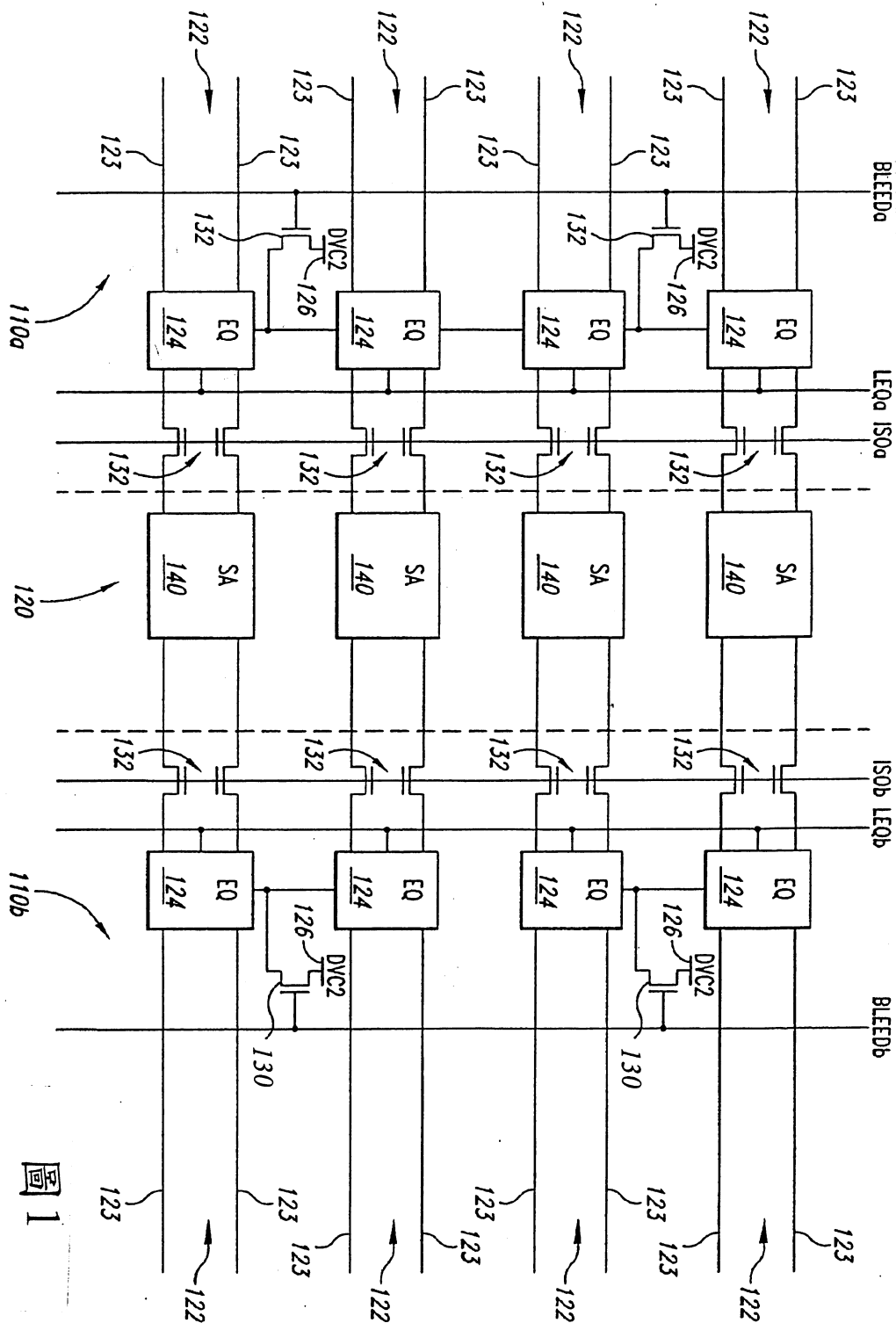


圖 1