



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I628657 B

(45) 公告日：中華民國 107 (2018) 年 07 月 01 日

(21) 申請案號：105107650

(22) 申請日：中華民國 105 (2016) 年 03 月 11 日

(51) Int. Cl. : G11C16/02 (2006.01)

G11C16/26 (2006.01)

(30) 優先權：2015/09/08 日本

2015-176422

(71) 申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)

其他

(72) 發明人：前嶋洋 MAEJIMA, HIROSHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 6134157

US 7391646B2

US 7660157B2

US 7663932B2

US 7920421B2

US 2014/0286093A1

US 2014/0334233A1

審查人員：蕭明椿

申請專利範圍項數：17 項 圖式數：18 共 57 頁

(54) 名稱

半導體記憶裝置

(57) 摘要

本發明之實施形態提供一種可提高動作速度之半導體記憶裝置。

實施形態之半導體記憶裝置 1 包含：能夠保持資料之記憶胞、電性連接於記憶胞之閘極之字元線 WL、及電性連接於記憶胞之一端之源極線 CELSRC，於記憶胞之讀出動作中，對源極線 CELSRC 於第 1 閘值之判定時施加第 1 電壓，於第 2 閘值之判定時施加與上述第 1 電壓不同之第 2 電壓，且對字元線 WL 於第 1 及第 2 閘值之判定時施加第 3 電壓。

指定代表圖：

## 利用ABL之CELSRC步驟

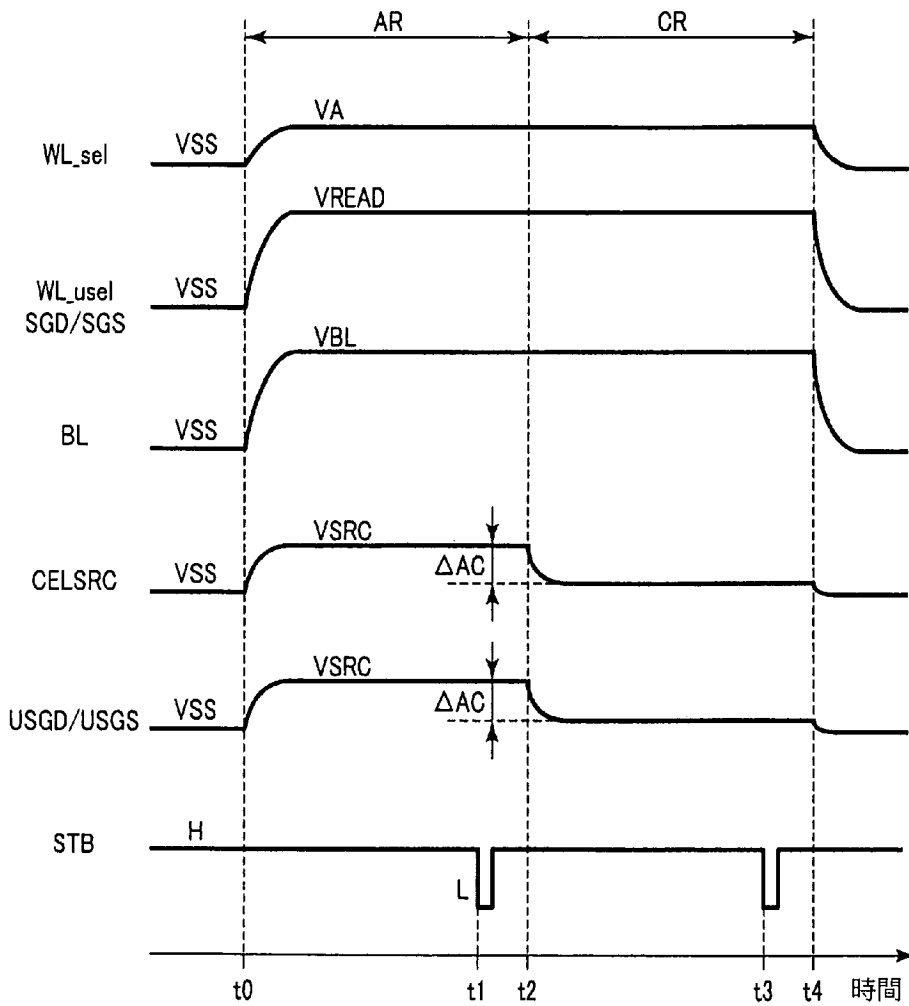


圖7

符號簡單說明：

BL . . . 位元線

CELSRC . . . 源極線

H . . . 位準

L . . . 位準

SGD . . . 選擇閘極線

SGS . . . 選擇閘極線

STB . . . 控制信號

t0 . . . 時刻

t1 . . . 時刻

t2 . . . 時刻

t3 . . . 時刻

t4 . . . 時刻

USGD . . . 非選擇選擇閘極線

USGS . . . 非選擇選擇閘極線

VA . . . 讀出電壓

VBL . . . 電壓

VREAD . . . 電壓

VSRC . . . 電壓

VSS . . . 電壓

WL\_sel . . . 選擇字元線

WL\_usel . . . 非選擇字元線

 $\Delta AC$  . . . 讀出電壓

VC 與讀出電壓 VA 之差

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體記憶裝置

## [相關申請案]

本申請案享有以日本專利申請案2015-176422號(申請日：2015年9月8日)為基礎申請案之優先權。本申請案係藉由參照該基礎申請案而包含基礎申請案之全部內容。

## 【技術領域】

本發明之實施形態係關於一種半導體記憶裝置。

## 【先前技術】

作為半導體記憶裝置，已知有NAND(Not and，反及)型快閃記憶體。

## 【發明內容】

本發明之實施形態提供一種可提高動作速度之半導體記憶裝置。

實施形態之半導體記憶裝置之特徵在於包含：能夠保持資料之記憶胞、電性連接於上述記憶胞之閘極之字元線、及電性連接於上述記憶胞之一端之源極線，於上述記憶胞之讀出動作中，對上述源極線於第1閾值之判定時施加第1電壓，於第2閾值之判定時施加與上述第1電壓不同之第2電壓，且對上述字元線於上述第1閾值及上述第2閾值之判定時施加第3電壓。

## 【圖式簡單說明】

圖1係第1實施形態之半導體記憶裝置之方塊圖。

圖2係第1實施形態之半導體記憶裝置所具備之記憶胞陣列之電

路圖。

圖3係第1實施形態之半導體記憶裝置所具備之感測放大器模組之電路圖。

圖4(a)、(b)係表示第1實施形態之半導體記憶裝置所具備之記憶胞之閾值電壓之分佈的圖。

圖5係表示第1實施形態之半導體記憶裝置之ABL方式之讀出動作之時序圖。

圖6係表示第1實施形態之半導體記憶裝置之ABL方式之讀出動作之時序圖。

圖7係表示第1實施形態之半導體記憶裝置之ABL方式之讀出動作之時序圖。

圖8係表示第2實施形態之半導體記憶裝置之位元線屏蔽方式之讀出動作之時序圖。

圖9係表示第2實施形態之半導體記憶裝置之位元線屏蔽方式之讀出動作之時序圖。

圖10係表示第2實施形態之半導體記憶裝置之位元線屏蔽方式之讀出動作之時序圖。

圖11係表示第3實施形態之半導體記憶裝置之指令序列之圖。

圖12係表示用於第3實施形態之半導體記憶裝置之讀出動作之指令之組合的圖。

圖13係表示第4實施形態之半導體記憶裝置所具備之記憶胞之閾值電壓之漂移的圖。

圖14係表示第4實施形態之半導體記憶裝置之第2讀出動作之時序圖。

圖15係表示用於第5實施形態之半導體記憶裝置之QPW方式之寫入動作之複數個驗證電壓的圖。

圖16係表示第5實施形態之半導體記憶裝置之QPW方式之寫入動作之時序圖。

圖17係第6實施形態之半導體記憶裝置所具備之記憶胞陣列之電路圖。

圖18係第6實施形態之半導體記憶裝置所具備之記憶胞陣列之剖視圖。

### 【實施方式】

以下，參照圖式對實施形態進行說明。再者，於以下之說明中，對於具有相同功能及構成之要素標註共通之參照符號。

#### [1]第1實施形態

第1實施形態之半導體記憶裝置1包含複數個記憶胞。於各記憶胞中例如可記憶多值之資料。本實施形態之半導體記憶裝置於對某一頁面(詳細內容於下文中敘述)之讀出動作中，維持著將字元線之電壓保持於某一電壓而不降低之狀態使源極線之電壓變化。

#### [1-1]構成

##### [1-1-1]整體構成

使用圖1對半導體記憶裝置1之整體構成進行說明。半導體記憶裝置1具備記憶胞陣列10、列解碼器11、感測放大器模組12、輸入輸出電路13、資料輸入輸出緩衝器14、位址解碼器15、行選擇器16、控制電路(定序器)17、電壓產生電路18、及狀態暫存器19。

記憶胞陣列10包含配置成矩陣狀之複數個記憶胞。為了控制施加至記憶胞之電壓，於記憶胞陣列10設置有複數條位元線、複數條字元線、及複數條源極線。

列解碼器11連接於複數條字元線。列解碼器11對自位址解碼器15發送之列位址進行解碼而選擇字元線。又，列解碼器11對所選擇之字元線及非選擇之字元線施加適當之電壓。

感測放大器模組12連接於複數條位元線。感測放大器模組12於資料之讀出時感測自記憶胞讀出於位元線之資料，且於資料之寫入時將寫入資料傳送至位元線。又，感測放大器模組12於讀出動作中可使用ABL(All bit line，全部位元線)方式或位元線屏蔽方式。再者，關於ABL方式之感測放大器模組12，例如記載於題為「包含具有電荷儲存層與控制閘極之記憶胞之半導體記憶裝置」之於2009年11月5日申請之美國專利申請案2009/273,976號。又，關於位元線屏蔽方式之感測放大器模組12，例如記載於題為「半導體記憶裝置及其動作方法」之於2010年8月25日申請之美國專利申請案2010/868,196號。該等專利申請案之全部內容藉由參照而援用於本案說明書中。

輸入輸出電路13與外部之控制器或主機(未圖示)連接，且與外部進行資料DT之授受。自外部輸入之寫入資料自輸入輸出電路13經由資料輸入輸出緩衝器14發送至感測放大器模組12。藉由感測放大器模組12讀出之讀出資料經由資料輸入輸出緩衝器14發送至輸入輸出電路13，並自輸入輸出電路13輸出至外部。又，輸入輸出電路13自外部接收各種指令CMD及位址信號ADD並發送至資料輸入輸出緩衝器14。

位址解碼器15接收自輸入輸出電路13經由資料輸入輸出緩衝器14而發送之位址信號ADD。位址解碼器15對位址信號ADD進行解碼，將列位址發送至感測放大器模組12，且將行位址發送至行選擇器16。

行選擇器16根據自位址解碼器15接收之行位址而產生用以選擇位元線之行選擇信號。行選擇器16將所產生之行選擇信號發送至感測放大器模組12。

定序器17與外部之控制器或主機(未圖示)連接而接收外部控制信號。外部控制信號包含晶片賦能信號/CE、寫入賦能信號/WE、讀出賦能信號/RE、位址鎖存賦能信號ALE、及指令鎖存賦能信號CLE

等。又，定序器17接收自輸入輸出電路13經由資料輸入輸出緩衝器14而發送之指令CMD。定序器17基於外部控制信號及指令CMD而產生控制讀出動作、寫入動作、及刪除動作之控制信號。該控制信號被發送至列解碼器11、感測放大器模組12、及電壓產生電路18等。定序器17使用該控制信號總括地控制半導體記憶裝置1之各種動作。

電壓產生電路18根據自定序器17發送之控制信號而產生資料之寫入、讀出、及刪除所必需之電壓並供給至記憶胞陣列10、列解碼器11、及感測放大器模組12。藉此，將各種動作所必需之電壓分別施加至位元線、字元線、及源極線。

狀態暫存器19連接於輸入輸出電路13、及定序器17。狀態暫存器19例如保持資料之寫入或刪除動作之狀態，藉此將動作是否正常地完成通知至外部之控制器(未圖示)。狀態暫存器19可保持自外部之控制器接收之指令或位址等，且亦可保持各種表格。

#### [1-1-2]記憶胞陣列10

使用圖2對記憶胞陣列10之電路構成進行說明。

首先，對記憶胞陣列10所具備之區塊BLK之構成進行說明。記憶胞陣列10具備 $j$ 個( $j$ 為1以上之自然數)區塊BLK。於圖2中僅圖示區塊BLK0之詳細情況，其他區塊BLK亦具有與區塊BLK0相同之構成。

區塊BLK例如成為資料之刪除單位，同一區塊BLK內之資料被一次性刪除。各區塊BLK具備 $m$ 個( $m$ 為1以上之自然數)NAND串NS。NAND串NS具備 $n$ 個( $n$ 為1以上之自然數)記憶胞電晶體MT、選擇電晶體ST1、及選擇電晶體ST2。

記憶胞電晶體MT非揮發地保持資料，且包含控制閘極及電荷儲存層。記憶胞電晶體MT可記憶2值(1位元)或多值(2位元以上)。 $n$ 個記憶胞電晶體MT於各NAND串中，串聯連接於選擇電晶體ST1、ST2間。

選擇電晶體ST1、ST2使用於進行資料之讀出及寫入之NAND串NS之選擇。選擇電晶體ST1、ST2之一端分別連接於串聯連接之n個記憶胞電晶體MT之一端及另一端。

其次，對設置於記憶胞陣列10之配線進行說明。半導體記憶裝置1具備位元線BL、字元線WL、源極線CELSRC、選擇閘極線SGD、及選擇閘極線SGS。

位元線BL沿著Y方向設置，且m條位元線BL並聯配置。各位元線BL於j個區塊BLK間共通地連接於與同一行對應之NAND串NS之選擇電晶體ST1之另一端。

字元線WL沿著X方向設置，且於每一區塊BLK並聯地排列有n條字元線WL。n條字元線WL並聯配置。各字元線WL於各區塊BLK中之m個NAND串NS間共通地連接於與同一列對應之記憶胞電晶體MT之控制閘極。對連接於同一字元線WL之m個記憶胞電晶體MT一批進行資料之寫入及讀出。該單位係作為頁面而處理。

源極線CELSRC例如於複數個區塊BLK間共通地設置。源極線CELSRC於各區塊BLK中共通地連接於m個NAND串NS所包含之選擇電晶體ST2之另一端。

選擇閘極線SGD、SGS設置於每一區塊BLK。各選擇閘極線SGD、SGS分別於各區塊BLK中共通地連接於m個NAND串NS所包含之選擇電晶體ST1、ST2之閘極。

### [1-1-3]感測放大器模組12

使用圖2對感測放大器模組12之構成進行說明。感測放大器模組12具備複數個感測放大器部SA及資料鎖存器DL。1個感測放大器部SA及1個資料鎖存器DL對應於1位元之資料。

感測放大器部SA於資料之讀出時對內部節點(詳細內容於下文中敘述)之電位變動進行偵測及放大，而判斷記憶胞電晶體MT所記憶之

資料。又，感測放大器部SA於資料之寫入時根據資料鎖存器DL所保持之資料而對位元線BL進行充電或放電。

資料鎖存器DL於資料之讀出時暫時保持感測放大器部SA所判斷之資料。又，資料鎖存器DL於資料之寫入時暫時保持自輸入輸出電路13傳輸之寫入資料。再者，於記憶胞電晶體MT保持2位元以上之資料之情形時，相對於1個感測放大器部SA而設置2個以上之資料鎖存器DL。

使用圖3對感測放大器部SA之電路構成進行說明。感測放大器部SA具備高耐電壓n通道MOS(Metal Oxide Semiconductor, 金屬氧化物半導體)電晶體40、低耐電壓n通道MOS電晶體41~46、低耐電壓p通道MOS電晶體47~49、及電容器50。

電晶體40之一端連接於對應之位元線BL，將控制信號BLS供給至電晶體40之閘極。電晶體41之一端連接於電晶體40之另一端，電晶體41之另一端連接於節點SCOM，將控制信號BLC供給至電晶體41之閘極。電晶體42之一端連接於節點SCOM，電晶體42之另一端連接於節點SSRC，將控制信號BLX供給至電晶體42之閘極。電晶體43之一端連接於節點SCOM，電晶體43之另一端連接於節點SEN，將控制信號XXL供給至電晶體43之閘極。電晶體44之一端連接於節點SSRC，電晶體44之另一端連接於節點SEN，將控制信號HLL供給至電晶體44之閘極。電晶體45之一端連接於節點SCOM，電晶體45之另一端連接於節點SRCGND，電晶體45之閘極連接於節點INV\_\_S。電晶體46之一端連接於節點SEN，電晶體46之另一端連接於電源端子，將控制信號BLQ供給至電晶體46之閘極。電晶體47之一端連接於匯流排LBUS，電晶體47之閘極連接於節點SEN。電晶體48之一端連接於電晶體47之另一端，電晶體48之另一端連接於電源端子，將控制信號STB供給至電晶體48之閘極。電晶體49之一端連接於節點SSRC，電

晶體49之另一端連接於電源端子，電晶體49之閘極連接於節點INV\_\_S。電容器50之一端連接於節點SEN，電容器50之另一端連接於時脈CLK。

感測放大器部SA經由匯流排LBUS連接於資料鎖存器DL。資料鎖存器DL包含2個反相器電路，且連接於節點INV\_\_S。

再者，施加至連接於電晶體46、48、49之另一端之電源端子之電壓為VDDSA。VDDSA例如為2.5 V。施加至節點SRCGND之電壓例如為VSS。VSS例如為0 V。VDDSA及VSS之電壓值並不限定於此，能夠進行各種變更。

又，感測放大器模組12之構成亦可為其他構成。關於感測放大器模組12之構成，例如亦可將電晶體47設為n通道MOS電晶體。於此情形時，資料鎖存器DL連接於電晶體48之一端。

#### [1-1-4]記憶胞電晶體MT之閾值分佈

使用圖4對記憶胞電晶體MT之閾值電壓分佈進行說明。圖4之縱軸表示記憶胞電晶體MT之數量，橫軸表示閾值電壓 $V_{th}$ 。

圖4(a)係說明能夠記憶2值(1位元)之記憶胞電晶體MT之閾值電壓分佈之圖。記憶1位元資料之記憶胞電晶體MT可獲取2個閾值中之任一者。圖4(a)所示之較低之閾值電壓分佈為刪除狀態，例如分配有資料“1”。另一方面，較高之閾值電壓分佈為寫入狀態，例如分配有資料“0”。

圖4(b)係說明能夠記憶多值(2位元以上)之記憶胞電晶體MT之閾值電壓分佈之圖。於以下之實施形態中，以能夠記憶2位元之記憶胞電晶體MT為例進行說明。再者，以下之實施形態亦可應用於能夠記憶3位元以上之記憶胞電晶體MT。

如圖示般，記憶2位元資料之記憶胞電晶體MT可獲取4個閾值中之任一者。若將圖4(b)所示之閾值電壓分佈自低至高依序設為閾值電

壓分佈E、A、B、C，則閾值電壓分佈E、A、B、C分別例如分配有2位元之資料“11”、“01”、“00”、“10”。分配於各閾值電壓分佈之資料並不限定於此，能夠進行各種變更。

又，圖4(b)所示之讀出電壓VA設定於閾值電壓分佈E、A間，讀出電壓VB設定於閾值電壓分佈A、B間，閾值電壓VC設定於閾值電壓分佈B、C間。被施加有讀出電壓之記憶胞電晶體MT可根據所記憶之資料而接通或斷開，從而可判定其閾值電壓相對於讀出電壓較高或較低。讀出通過電壓VREAD係較最高之閾值電壓分佈之上限高之電壓，被施加有VREAD之記憶胞電晶體MT不管所記憶之資料而接通。

## [1-2]動作

### [1-2-1]ABL方式之感測方法

使用圖5對ABL方式之感測方法進行說明。ABL方式之感測方法使用全部位元線BL進行讀出動作。

於時刻t0，定序器17將控制信號BLS、BLC、HLL設為“H”位準而將電晶體40、41、44設為接通狀態。又，定序器17將控制信號BLX之電壓設為例如 $0.7 + V_{th}$ 。藉此，電晶體42將節點SSRC及節點SCOM間之電位差箝位於特定之電壓。節點INV\_S為“L”位準，電晶體49成為接通狀態且電晶體45成為斷開狀態。藉此，位元線BL經由電晶體49、42、41、40而被充電，從而位元線BL之電壓成為VBL。VBL例如為0.5 V。又，電容器50經由電晶體49、44而被充電。藉此，節點SEN之電壓上升而成為“H”位準。再者，控制信號BLX之電壓值、及位元線BL所被充電之電壓值並不限定於此，能夠進行各種變更。

於時刻t1，定序器17將控制信號HLL設為“L”位準而將電晶體44設為斷開狀態。

於時刻t2，定序器17將控制信號XXL設為“H”位準而將電晶體

43設為接通狀態。於選擇記憶胞為接通狀態之情形時，電容器50經由電晶體43、41、40放電至位元線BL。藉此，節點SEN之電壓下降至“L”位準，從而電晶體47成為接通狀態。於選擇記憶胞為斷開狀態之情形時，電容器50不放電，節點SEN之電壓維持於“H”位準。於節點SEN之電壓維持“H”位準時，電晶體47為斷開狀態。

於時刻t3，定序器17將控制信號STB設為“L”位準而將電晶體48設為接通狀態。於選擇記憶胞為接通狀態之情形時，電晶體47成為接通狀態，故而節點INV\_\_S之電壓經由電晶體48、47而被充電從而成為“H”位準。於選擇記憶胞為斷開狀態之情形時，電晶體47成為斷開狀態，故而節點INV\_\_S之電壓維持“L”位準。繼而，定序器17將控制信號STB設為“H”位準而將電晶體48設為斷開狀態。藉此，資料鎖存器DL之節點INV\_\_S可保持讀出結果。

於時刻t4，定序器17將控制信號BLS、BLC、BLX、XXL設為“L”位準而將電晶體40、41、42、43設為斷開狀態。如此，位元線BL放電，其電壓成為VSS，定序器17結束讀出動作。

#### [1-2-2]多值資料之讀出方法

第1實施形態之半導體記憶裝置1存在如下情形：於讀出記憶有多值資料之記憶胞之資料之情形時，使用複數個讀出電壓連續地進行讀出動作。為了對記憶胞施加複數個讀出電壓，半導體記憶裝置1可使用使施加至字元線WL之電壓變化之方法(方法1)、及使施加至源極線CELSRC之電壓變化之方法(方法2)。以下，以連續地進行使用讀出電壓VA之資料之判定(AR動作)、使用讀出電壓VC之資料之判定(CR動作)之情形為例進行說明。

使用圖6對方法1之讀出動作進行說明。於圖6中，為了便於圖示，將選擇字元線表示為WL\_\_sel，將非選擇字元線表示為WL\_\_usel，將非選擇選擇閘極線表示為USGD，將非選擇選擇閘極線表示

為USGS。又，將讀出電壓VC與讀出電壓VA之差設為 $\Delta AC$ 。

首先，進行AR動作。

於時刻t0，列解碼器11將選擇字元線WL\_\_sel之電壓設為VA，將非選擇字元線WL\_\_usel及選擇閘極線SGD、SGS之電壓設為VREAD，將源極線CELSRC及非選擇選擇閘極線USGD、USGS之電壓設為VSRC。VSRC係於讀出動作時施加至源極線CELSRC之電壓，能夠根據讀出方法、及判定之閾值電壓而進行各種變更。感測放大器模組12進行位元線BL之充電，從而位元線BL之電壓成為VBL。

於時刻t1，定序器17將控制信號STB設為“L”位準，感測放大器模組12判定選擇記憶胞之閾值電壓是否為讀出電壓VA以下。繼而，定序器17將控制信號STB設為“H”位準，將讀出結果保持於資料鎖存器DL而結束AR動作。

繼而，進行CR動作。

於時刻t2，列解碼器11將選擇字元線WL\_\_sel之電壓設為VC。此時，選擇字元線WL\_\_sel之電壓自VA上升 $\Delta AC$ 而成為VC。

於時刻t3，定序器17將控制信號STB設為“L”位準，並判定讀出結果。繼而，定序器17將控制信號STB設為“H”位準，將讀出結果保持於資料鎖存器DL而結束CR動作。

於時刻t4，列解碼器11將選擇字元線WL\_\_sel、非選擇字元線WL\_\_usel、源極線CELSRC、選擇閘極線SGD、SGS、及非選擇選擇閘極線USGD、USGS之電壓設為VSS，結束讀出動作。

繼而，使用圖7對方法2之讀出動作進行說明。

於開始進行讀出動作時，選擇字元線WL\_\_sel、非選擇字元線WL\_\_usel、位元線BL、源極線CELSRC、及非選擇選擇閘極線USGD、USGS之電壓分別為VSS。控制信號STB被設定為“H”位準。

首先，進行AR動作。

於時刻 $t_0$ ，列解碼器11將選擇字元線 $WL\_sel$ 之電壓設為 $V_A$ ，將非選擇字元線 $WL\_usel$ 及選擇閘極線 $SGD$ 、 $SGS$ 之電壓設為 $V_{READ}$ ，將源極線 $CELSRC$ 及非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓設為 $V_{SRC}$ 。感測放大器模組12進行位元線 $BL$ 之充電，從而位元線 $BL$ 之電壓成為 $V_{BL}$ 。

於時刻 $t_1$ ，定序器17將控制信號 $STB$ 設為“L”位準，並判定讀出結果。繼而，定序器17將控制信號 $STB$ 設為“H”位準，將讀出結果保持於資料鎖存器 $DL$ ，結束AR動作。

繼而，進行CR動作。

於時刻 $t_2$ ，列解碼器11使源極線 $CELSRC$ 、及非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓下降 $\Delta V_C$ 。此時， $V_A - (V_{SRC} - \Delta V_C)$ 與 $V_C - V_{SRC}$ 相等。藉此，選擇記憶胞之控制閘極及通道之間之電壓差成為與圖6中說明之CR動作相同之狀態。藉由使施加至非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓與源極線 $CELSRC$ 一致而提高動作速度。

於時刻 $t_3$ ，定序器17將控制信號 $STB$ 設為“L”位準，並判定讀出結果。繼而，定序器17將控制信號 $STB$ 設為“H”位準，將讀出結果保持於資料鎖存器 $DL$ ，結束CR動作。

於時刻 $t_4$ ，列解碼器11將選擇字元線 $WL\_sel$ 、非選擇字元線 $WL\_usel$ 、源極線 $CELSRC$ 、選擇閘極線 $SGD$ 、 $SGS$ 、及非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓設為 $V_{SS}$ ，結束讀出動作。

再者，於讀出動作時，若源極線 $CELSRC$ 之電壓變化，則流過連接有非選擇字元線之記憶胞電晶體 $MT$ 之電流量儘管微小但亦會隨之增加。該增加量可藉由感測放大器模組12縮短感測時間而修正。又，該增加量亦可藉由使控制信號 $BLC$ 之電壓變化來限制供給至位元線 $BL$ 之電流而修正。

### [1-3]第1實施形態之效果

於半導體記憶裝置中，於連續地讀出記憶有多值之記憶胞之資料之情形時，如圖6所示，藉由使施加至選擇字元線WL之電壓上升而判定讀出資料。然而，存在因微細化所伴隨之字元線之配線電阻增加而由字元線所致之延遲增大、動作變慢之情形。

因此，第1實施形態之半導體記憶裝置1於連續地讀出資料之情形時，藉由使源極線CELSRC之電壓下降而使施加至選擇記憶胞之電壓變化。具體而言，將施加至字元線WL之電壓固定，且改變源極線CELSRC之電壓位準，藉此將所需之電壓差施加至記憶胞電晶體MT之控制閘極與通道間。源極線CELSRC設置有多個支路配線，故而配線電阻較字元線WL低而延遲較小。

藉此，第1實施形態之半導體記憶裝置1可使由配線所致之延遲變小，從而可使連續之讀出動作之速度高速化。

再者，於自較高之閾值電壓之判定進行較低之閾值電壓之判定之情形時，例如於使AR動作與CR動作之順序顛倒之情形時，藉由使字元線WL或源極線CELSRC之電壓上升而可獲得相同之效果。

### [2]第2實施形態

第2實施形態之半導體記憶裝置1以位元線屏蔽方式進行讀出動作。讀出動作之方式與第1實施形態不同。以下，僅對與第1實施形態不同之方面進行說明。

#### [2-1]動作

##### [2-1-1]位元線屏蔽方式之感測方法

使用圖8對位元線屏蔽方式之感測方法進行說明。位元線屏蔽方式之感測方法例如係選擇一半之位元線BL進行讀出動作。

於位元線屏蔽方式之讀出動作中，將選擇位元線設為BL\_\_sel，將非選擇位元線設為BL\_\_usel。例如，選擇位元線BL\_\_sel係排列於

第偶數號之位元線BL，非選擇位元線BL\_\_usel係排列於第奇數號之位元線BL。該組合能夠進行各種變更，例如關於所排列之位元線BL，亦可每隔4個設定為選擇位元線BL\_\_sel。

於時刻t0，定序器17將控制信號BLS、BLC、BLX、HLL設為“H”位準而將電晶體40、41、42、44設為接通狀態。

連接有選擇位元線BL\_\_sel之感測放大器模組12之節點INV\_\_S為“L”位準，電晶體49成為接通狀態且電晶體45成為斷開狀態。藉此，選擇位元線BL\_\_sel經由電晶體49、42、41、40而被充電，從而選擇位元線BL\_\_sel之電壓成為VBL。又，電容器50經由電晶體49、44而被充電。藉此，節點SEN之電壓上升而成為“H”位準。信號BLC於位元線BL之充電時例如設定為 $0.5 V + V_{th}$ 。再者，控制信號BLC之電壓值並不限定於此，能夠進行各種變更。

連接有非選擇位元線BL\_\_usel之感測放大器模組12之節點INV\_\_S為“H”位準，電晶體49成為斷開狀態且電晶體45成為接通狀態。藉此，非選擇位元線BL\_\_usel經由電晶體45、41、40而連接於節點SRCGND，電容器50經由電晶體43、45而連接於節點SRCGND。藉此，非選擇位元線BL\_\_usel及電容器50未被充電，非選擇位元線BL\_\_usel作為降低讀出動作時之雜訊之屏蔽線而發揮功能。再者，此時之非選擇位元線BL\_\_usel之電壓成為施加至源極線CELSRC之電壓即VSRC。

於時刻t1，定序器17將控制信號BLC、BLX、HLL設為“L”位準而將電晶體41、42、44設為斷開狀態。若電晶體41成為斷開狀態，則位元線BL之電壓對應於選擇記憶胞中所記憶之資料而變化。

於選擇記憶胞記憶有資料“0”之情形時，選擇記憶胞成為斷開狀態。此時，選擇位元線BL\_\_sel之電壓維持於VBL。

於選擇記憶胞記憶有資料“1”之情形時，選擇記憶胞成為接通

狀態。此時，充電至選擇位元線BL\_sel之電荷向源極線CELSRC放電。藉此，選擇位元線BL\_sel之電壓成為VSS。

於時刻t2，定序器17將控制信號XXL設為“H”位準而將電晶體43設為接通狀態。又，定序器17將控制信號BLC之電壓設為 $0.4 + V_{th}$ 。藉此，電晶體41將節點SCOM與位元線BL間之電位差箝位於特定之電壓。再者，控制信號BLC之電壓值並不限定於此，能夠進行各種變更。

於選擇記憶胞為接通狀態之情形時，電容器50經由電晶體43、41、40對位元線BL放電。藉此，節點SEN之電壓下降至“L”位準為止，從而電晶體47成為接通狀態。

於選擇記憶胞為斷開狀態之情形時，電容器50不放電而節點SEN之電壓維持於“H”位準。藉此，節點SEN之電壓維持“H”位準而電晶體47成為斷開狀態。

於時刻t3，定序器17將控制信號STB設為“L”位準而將電晶體48設為接通狀態。於選擇記憶胞為接通狀態之情形時，電晶體47成為接通狀態，故而節點INV\_S之電壓經由電晶體48、47被充電而成為“H”位準。於選擇記憶胞為斷開狀態之情形時，電晶體47成為斷開狀態，故而節點INV\_S之電壓維持“L”位準。繼而，定序器17將控制信號STB設為“H”位準而將電晶體48設為斷開狀態。藉此，資料鎖存器DL之節點INV\_S可保持讀出結果。

於時刻t4，定序器17將控制信號BLS、BLC、XXL設為“L”位準而將電晶體40、41、43設為斷開狀態。如此，位元線BL放電，其電壓成為VSS，定序器17結束讀出動作。

#### [2-1-2]多值之讀出方法

第2實施形態之半導體記憶裝置1與第1實施形態同樣地，可使用方法1及方法2之讀出方法。以下，以連續地進行AR動作及CR動作之

情形為例進行說明。

使用圖9對使用BL屏蔽方式之方法1之讀出方法進行說明。

於時刻 $t_0$ ，感測放大器模組12對選擇位元線BL\_sel進行充電，從而選擇位元線BL之電壓成為VBL。非選擇位元線BL\_usel被自源極線CELSRC充電，從而非選擇位元線BL\_usel之電壓成為V SRC。其他動作與圖6相同。再者，圖9之未圖示之資料之感測方法與圖6中所說明之動作不同。

繼而，使用圖10對使用BL屏蔽方式之方法2之讀出方法進行說明。

於時刻 $t_0$ ，感測放大器模組12進行位元線BL之充電，從而位元線BL之電壓成為VBL。非選擇位元線BL\_usel被自源極線CELSRC充電，從而非選擇位元線BL\_usel之電壓成為V SRC。

於時刻 $t_2$ ，隨著源極線CELSRC之電壓之下降而選擇位元線BL之電壓成為 $VBL - \Delta AC$ ，非選擇位元線BL\_usel之電壓成為 $V_A - (V SRC - \Delta AC)$ 。其他動作與圖7相同。再者，圖10之未圖示之資料之感測方法與圖7中所說明之動作不同。

再者，與第1實施形態同樣地，於讀出動作時，若源極線CELSRC之電壓變化，則流過連接有非選擇字元線之記憶胞電晶體MT之電流量儘管微小但亦會隨之增加。該增加量係藉由與第1實施形態相同之方法而修正。

#### [2-2]第2實施形態之效果

根據第2實施形態之半導體記憶裝置1，藉由使源極線CELSRC之電壓下降，可獲得與第1實施形態相同之效果。

又，第2實施形態之半導體記憶裝置1使用位元線屏蔽方式之感測方法，故而讀出資料之輸出較第1實施形態更高速，且可降低消耗電力。

## [3]第3實施形態

第3實施形態之半導體記憶裝置1藉由複數個讀出指令而分開使用第1實施形態之讀出動作及第2實施形態之讀出動作。

使用圖11對用於半導體記憶裝置1之讀出動作之指令CMD進行說明。半導體記憶裝置1可進行例如2種讀出動作。此處，將與指令CMDA對應之讀出動作設為讀出A，將與指令CMDDB對應之讀出動作設為讀出B。讀出A係使用例如ABL方式之方法1之讀出動作，讀出B係使用例如ABL方式之方法2之讀出動作。將該指令之分配設為情況1。

若定序器17接收到指令CMDA，繼而接收到位址信號ADD，則執行讀出A。讀出時間 $T_{RA}$ 例如為60  $\mu\text{s}$ 。另一方面，若定序器17接收到指令CMDDB，繼而接收到位址信號ADD，則執行讀出B。讀出時間 $T_{RB}$ 例如為45  $\mu\text{s}$ 。如上所述，讀出B係較讀出A更高速之讀出動作。如上所述，讀出時間根據所使用之讀出動作而各不相同。

如圖12所示，第1實施形態之讀出動作、及第2實施形態之讀出動作可分配於不同之指令CMD。除上述情況1之組合以外，例如亦可如情況2般使使用ABL方式之方法1之讀出動作與指令CMDA對應，且使使用BL屏蔽方式之方法2之讀出動作與指令CMDDB對應，亦可如情況3般使使用BL屏蔽方式之方法1之讀出動作與指令CMDA對應，且使使用ABL方式之方法2之讀出動作與指令CMDDB對應。此外，亦存在如圖12所示之組合。

如上所述，第3實施形態之半導體記憶裝置1可將ABL方式或位元線屏蔽方式、進而方法1之讀出方法及方法2之讀出方法分別組合而使用。藉此，第3實施形態之半導體記憶裝置1可根據客戶之要求而變更應用於指令CMD之讀出動作之種類，從而可選擇適合於用途之讀出動作。

再者，讀出動作及對應之指令之個數並不限定於此，亦可為3種以上。該情形亦同樣地，可藉由對各個指令CMD分配不同之讀出動作而選擇適合於用途之讀出動作。

#### [4]第4實施形態

第4實施形態之半導體記憶裝置1於記憶有資料之記憶胞之閾值電壓漂移之情形時，對探索讀出電壓之最佳值之第2讀出動作應用第2實施形態之讀出動作。以下，僅對與第1～第3實施形態不同之方面進行說明。

##### [4-1]關於閾值電壓之漂移

使用圖13對記憶胞電晶體MT之閾值電壓之漂移進行說明。記憶胞電晶體MT例如受到寫入後之編程干擾及讀出後之讀出干擾之影響。若受到該影響，則存在記憶胞電晶體MT之閾值電壓例如如圖13所示般向負側漂移之情形。

此時，於預先設定之讀出電壓下，存在無法自記憶胞電晶體MT正確地讀出資料而位元錯誤率增加之情形。此處，位元錯誤率表示所讀出之資料中所含之錯誤位元之比率。

因此，對位元錯誤率增加之頁面執行使讀出電壓最佳化之漂移讀出。藉此，可減少自記憶胞電晶體MT讀出之資料之錯誤位元之數量。所謂漂移讀出係指使用自預先設定之讀出電壓值漂移之電壓值進行之讀出動作，漂移讀出中所使用之讀出電壓之最佳值取決於第2讀出動作。

##### [4-2]第2讀出動作

繼而，對第2讀出動作進行說明。

第2讀出動作例如係於位元錯誤率超過任意值時執行且探索記憶胞電晶體MT之閾值電壓分佈之讀出動作。第2讀出動作使用屏蔽讀出方式。於第2讀出動作中，使讀出電壓每次變化固定量而使用各讀出

電壓讀出資料。定序器17設置以與各閾值電壓分佈對應之讀出電壓為中心之探索區域，且於各讀出電壓之每一者執行第2讀出動作之情形較多。而且，於該探索區域內，基於錯誤位元數最少之電壓而決定讀出電壓之最佳值，並使用該最佳值執行漂移讀出。

使用圖14，以對連接於位元線BL<sub>e</sub>之記憶胞電晶體MT進行尋找讀出電壓VA之最佳值之第2讀出動作、及使讀出電壓最佳化之漂移讀出之情形為例進行說明。

首先，進行第2讀出動作。

於時刻t<sub>0</sub>，列解碼器11將選擇字元線WL\_\_sel之電壓設為AR\_\_search。AR\_\_search高於VA，例如設定為閾值電壓分佈A內之值。

又，列解碼器11將非選擇字元線WL\_\_usel、選擇閘極線SGD、及選擇閘極線SGS之電壓設為VREAD，將源極線CELSRC及非選擇選擇閘極線USGD、USGS之電壓設為VSRC。關於VSRC，AR\_\_search - VSRC之值例如設定為閾值電壓分佈E內之值。

感測放大器模組12對選擇位元線BL\_\_sel進行充電，從而選擇位元線BL\_\_sel之電壓成為VBL。另一方面，非選擇位元線BL\_\_usel之電壓被自源極線CELSRC充電而成為VSRC。又，感測放大器模組12於時刻t<sub>1</sub>之前感測選擇記憶胞之讀出結果。

於時刻t<sub>1</sub>，列解碼器11使源極線CELSRC及非選擇選擇閘極線USGD、USGS之電壓下降 $\Delta$ search。 $\Delta$ search可設定為任意值。選擇位元線BL\_\_sel及非選擇位元線BL\_\_usel之電壓隨著源極線CELSRC之電壓降低而降低 $\Delta$ search。感測放大器模組12於時刻t<sub>2</sub>之前感測選擇記憶胞之讀出結果。

於時刻t<sub>2</sub>，列解碼器11使源極線CELSRC及非選擇選擇閘極線USGD、USGS之電壓下降 $\Delta$ search。選擇位元線BL\_\_sel及非選擇位元線BL\_\_usel之電壓隨著源極線CELSRC之電壓降低而降低 $\Delta$ search。感

測放大器模組12於時刻t3之前感測選擇記憶胞之讀出結果。

自時刻t3至時刻t4重複進行源極線CELSRC及非選擇選擇閘極線USGD、USGS之電壓之下降及讀出結果之感測。重複進行該等動作之次數可設定為任意之次數。重複下降後之選擇字元線WL\_sel之電壓與選擇位元線BL\_sel之電壓差例如設定為閾值電壓分佈A內之值。

藉由以上之動作而檢測出包含相鄰之閾值電壓分佈E及閾值電壓分佈A之波谷部分之閾值電壓分佈。根據所檢測出之閾值電壓分佈而計算與最小值對應之閾值電壓，該閾值電壓成為讀出電壓之最佳值VSRCF。此處，VSRCF係於使施加至源極線CELSRC之電壓變化之讀出動作中施加至源極線CELSRC之電壓之最佳值。求出讀出電壓之最佳值之方法之一例例如記載於題為「半導體記憶裝置」之於2011年12月12日申請之日本專利申請案2011/271393號。該專利申請案之全部內容藉由參照而援用於本案說明書中。

繼而，進行漂移讀出。

於時刻t4，列解碼器11將源極線CELSRC及非選擇選擇閘極線USGD、USGS之電壓設為VSRCF。此時，選擇字元線WL\_sel之電壓維持AR\_search，位元線BL\_sel之電壓成為VBLF。VBLF之電壓值為 $VBL - (VSRC - VSRCF)$ 。又，感測放大器模組12於時刻t5之前感測選擇記憶胞之讀出結果。

於時刻t5，列解碼器11將選擇字元線WL\_sel、非選擇字元線WL\_sel、選擇閘極線SGD、SGS、源極線CELSRC、及非選擇選擇閘極線USGD、USGS之電壓設為VSS，結束第2讀出動作及漂移讀出。

#### [4-3]第4實施形態之效果

第4實施形態之半導體記憶裝置1對探索讀出電壓之最佳值之第2讀出動作應用第2實施形態之讀出動作。藉此，第4實施形態之半導體記憶裝置1可使第2讀出動作之速度高速化。

再者，第2讀出動作亦可藉由使源極線CELSRC之電壓上升而進行。於此情形時，若列舉尋找VA之最佳值之第2讀出動作為例，則關於VSRC， $AR\_search - VSRC$ 之值例如設定為閾值電壓分佈A內之值。又，重複上升後之 $AR\_search$ 與源極線CELSRC之電壓之差例如設定為閾值電壓分佈E內之值。

又，於將第2讀出動作之結果應用於使施加至字元線WL之電壓變化之讀出動作之情形時，例如以 $AR\_search - VSRCF = VF - VSRC$ 成立之方式設定之VF成為讀出電壓之最佳值。

又，於針對讀出電壓VB及VC之第2讀出動作中，亦可藉由使施加至選擇字元線WL\_sel及源極線CELSRC之電壓之初始值變更，而使用相同之方法尋找最佳值。即便於記憶胞電晶體MT記憶有3位元以上之資料之情形時，亦可同樣地應用本實施形態。

#### [5]第5實施形態

第5實施形態之半導體記憶裝置1於使用QPW(Quick pass write，快速通過寫入)方式之寫入動作中將第1實施形態及第2實施形態之讀出動作應用於選擇記憶胞之驗證。以下，僅對與第1～第4實施形態不同之方面進行說明。

##### [5-1]關於QPW方式

使用圖15於半導體記憶裝置1中對QPW方式進行說明。若於寫入動作中使用QPW方式，則可縮窄進行寫入之記憶胞之閾值電壓分佈之寬度。

於向選擇記憶胞之資料之寫入動作中進行編程動作及驗證動作。編程動作係對選擇記憶胞施加編程脈衝電壓VPGM而使閾值電壓漂移之動作。驗證動作係藉由使用驗證電壓之讀出動作而確認選擇記憶胞之閾值電壓之動作。

圖15表示藉由編程動作使選擇記憶胞之閾值電壓漂移之情況。

QPW方式使用2種驗證電壓 $V_H$ 、 $V_L$ 。驗證電壓 $V_H$ 係藉由寫入動作而漂移之成為選擇記憶胞之最終目標之閾值電壓。相對於此，驗證電壓 $V_L$ 設定為較驗證電壓 $V_H$ 低 $\Delta V_R$ 。 $\Delta V_R$ 可設定為任意值。

於編程動作時施加至位元線BL之電壓根據藉由驗證動作所確認之選擇記憶胞之閾值電壓而不同。於選擇記憶胞之閾值電壓未達驗證電壓 $V_L$ 之情形時，對位元線BL施加接地電壓 $V_{SS}$ 。於選擇記憶胞之閾值電壓為驗證電壓 $V_L$ 以上且未達驗證電壓 $V_H$ 之情形時，對位元線BL施加電壓 $V_{QPW}$ 。 $V_{QPW}$ 設定於 $V_{SS}$ 與 $V_{BL}$ 之間。於選擇記憶胞之閾值電壓為驗證電壓 $V_H$ 以上之情形時，對位元線BL施加電壓 $V_{BL}$ 。

由編程動作所致之選擇記憶胞之閾值電壓之漂移量，於對位元線BL施加 $V_{QPW}$ 之情形時較對位元線BL施加 $V_{SS}$ 之情形時小。於對位元線BL施加 $V_{BL}$ 之情形時，選擇記憶胞之閾值電壓不會因編程動作而漂移。

選擇記憶胞之閾值電壓藉由進行複數次編程動作而分佈為驗證電壓 $V_L$ 以上。於選擇記憶胞之閾值電壓成為驗證電壓 $V_H$ 以上之情形時，向選擇記憶胞之寫入動作結束。

如上所述，使用QPW方式之寫入動作可藉由對閾值電壓接近驗證電壓 $V_H$ 之選擇記憶胞進行對位元線BL施加 $V_{QPW}$ 之編程動作而縮窄選擇記憶胞之閾值電壓分佈之寬度。

再者，QPW方式之詳細內容記載於題為「非揮發性半導體記憶裝置」之於2014年4月28日申請之美國專利申請案14/263,948號。又，記載於題為「非揮發性半導體記憶裝置」之於2009年9月21日申請之美國專利申請案12/563,296號。該等專利申請案之全部內容藉由參照而援用於本案說明書中。

#### [5-2]寫入動作

使用圖16對在半導體記憶裝置1使用QPW方式之寫入動作之詳細

內容進行說明。圖16表示1次驗證動作及編程動作。

首先，對驗證動作進行說明。

於時刻 $t_0$ ，列解碼器11將選擇字元線 $WL\_sel$ 之電壓設為驗證讀出電壓 $VR$ 。 $VR$ 設定為高於 $VH$ 。

又，列解碼器11將非選擇字元線 $WL\_usel$ 、選擇閘極線 $SGD$ 、及選擇閘極線 $SGS$ 之電壓設為 $VREAD$ ，將源極線 $CELSRC$ 及非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓設為 $VSRC$ 。 $VR - VSRC$ 與驗證電壓 $VL$ 對應。此時，為了提高動作速度，施加至非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓與源極線 $CELSRC$ 相配合。

感測放大器模組12對位元線 $BL$ 施加電壓，從而位元線 $BL$ 之電壓成為 $VBL$ 。

感測放大器模組12於時刻 $t_1$ 之前感測選擇記憶胞之讀出結果。感測之時序可於選擇字元線 $WL\_sel$ 之電壓與位元線 $BL$ 之電壓成為 $VR - VSRC$ 以後適當調整。 $VR - (VSRC + \Delta VL)$ 與驗證電壓 $VH$ 對應。

於時刻 $t_1$ ，列解碼器11使源極線 $CELSRC$ 及非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓下降 $\Delta VL$ 。

感測放大器模組12於時刻 $t_2$ 之前感測選擇記憶胞之讀出結果。感測之時序可於選擇字元線 $WL\_sel$ 之電壓與位元線 $BL$ 之電壓下降 $\Delta VL$ 以後適當調整。

於時刻 $t_2$ ，列解碼器11將選擇字元線 $WL\_sel$ 、非選擇字元線 $WL\_usel$ 、選擇閘極線 $SGD$ 、 $SGS$ 、源極線 $CELSRC$ 、及非選擇選擇閘極線 $USGD$ 、 $USGS$ 之電壓設為 $VSS$ 。

藉由以上之驗證動作，感測放大器模組12之資料鎖存器 $DL$ 保持確認選擇記憶胞之閾值電壓之結果。

繼而，對編程動作進行說明。

於時刻 $t_3$ ，感測放大器模組12根據保持於資料鎖存器 $DL$ 之確認

選擇記憶胞之閾值電壓的結果而對位元線BL施加電壓。列解碼器11將選擇字元線WL\_sel之電壓設為VPGM。藉此，根據所連接之位元線BL之電壓而對選擇記憶胞進行寫入。又，列解碼器11將非選擇字元線WL\_usel之電壓設為編程通過電壓VPASS。VPASS小於VPGM，對控制閘極電極施加有VPASS之記憶胞電晶體MT成為接通狀態。藉此，可使連接於非選擇字元線WL\_usel之記憶胞電晶體MT為寫入禁止。又，列解碼器11將源極線CELSRC之電壓設為VDD。

於時刻t4，感測放大器模組12將位元線BL之電壓設為VSS。列解碼器11將選擇字元線WL\_sel、非選擇字元線WL\_usel、選擇閘極線SGD、SGS、及源極線CELSRC之電壓設為VSS，結束編程動作。

#### [5-3]第5實施形態之效果

第5實施形態之半導體記憶裝置1於使用QPW方式之寫入動作中，藉由使源極線CELSRC下降而進行選擇記憶胞之驗證動作。藉此，與第1及第2實施形態同樣地，可縮短驗證動作之時間，從而可提高半導體記憶裝置1之寫入速度。

#### [6]第6實施形態

第6實施形態對具有積層有記憶胞之構造之半導體記憶裝置1應用第1~第5實施形態。以下，僅對與第1~第5實施形態不同之方面進行說明。

##### [6-1]記憶胞陣列10之構成

使用圖17對記憶胞陣列10之電路構成進行說明。圖17表示一個區塊BLK。

區塊BLK例如具備4個串單元SU。各個串單元SU具備L個(L為1以上之自然數)之NAND串NS。NAND串NS中所包含之記憶胞電晶體MT之個數例如為8個。

位元線BL係沿著Y方向設置，且L條位元線BL並聯配置。各位元

線BL於複數個區塊BLK間共通地連接於與同一行對應之NAND串NS之選擇電晶體ST1之另一端。

字元線WL設置成沿X方向及Y方向擴展之平面狀，且於每一區塊BLK中例如均設置有8條。8條字元線WL分別隔著絕緣膜積層。各字元線WL於各區塊BLK中共通地連接於與同一層對應之記憶胞電晶體MT之控制閘極。於同一串單元SU中，連接於同一字元線WL之L個記憶胞電晶體MT係作為頁面而處理。

選擇閘極線SGD於每一區塊BLK例如均設置有4條。各選擇閘極線SGD於各區塊BLK中共通地連接於對應之串單元SU之各NAND串NS所包含之選擇電晶體ST1之閘極。

選擇閘極線SGS於每一區塊BLK例如均設置有1條。各選擇閘極線SGS於各區塊BLK中共通地連接於各NAND串NS所包含之選擇電晶體ST2之閘極。

源極線CELSRC例如共通地設置於複數個區塊BLK間。源極線CELSRC於各區塊BLK中共通地連接於NAND串NS所包含之選擇電晶體ST2之另一端。

再者，區塊BLK於三維半導體記憶裝置中例如成為資料之刪除單位，但並不限定於此。其他刪除動作記載於題為「非揮發性半導體記憶裝置」之於2011年9月18日申請之美國專利申請案13/235,389號、題為「非揮發性半導體記憶裝置」之於2010年1月27日申請之美國專利申請案12/694,690號。該等專利申請案之全部內容藉由參照而援用於本案說明書中。

其次，使用圖18對記憶胞陣列10之剖面構造進行說明。

首先，對形成於p型井區域20上之記憶體洞MH之構成進行說明。

記憶體洞MH形成有複數個，且係自p型井區域20上沿著Z方向設

置。記憶體洞MH分別與1個NAND串NS對應。於圖18中，為了便於說明，將包含3個NAND串NS之剖面表示為一例。又，圖18所示之3個NAND串NS與同一區塊BLK且不同之串單元SU對應。

於記憶體洞MH之側面依序設置有區塊絕緣膜23、絕緣膜24、及隧道氧化膜25。絕緣膜24係作為電荷儲存層發揮功能。於記憶體洞MH，於較隧道氧化膜25更靠內側設置有半導體柱26。半導體柱26包含導電性之材料，例如為非摻雜之多晶矽。半導體柱26成為NAND串NS之電流路徑。

繼而，對設置於p型井區域20上之配線層之構成進行說明。半導體記憶裝置1於p型井區域20上具備配線層30~35。

配線層30例如設置有4層，且係作為選擇閘極線SGS、及選擇電晶體ST2之閘極電極發揮功能。最下層之配線層30及隧道氧化膜25設置至形成於p型井區域20之表面內之n<sup>+</sup>型雜質擴散區域21之附近為止。藉此，若選擇電晶體ST2成為接通狀態，則於NAND串NS與n<sup>+</sup>型雜質擴散區域21間形成有電流路徑。

配線層31例如設置有8層，且設置於配線層30之上方。配線層31分別係作為對應之字元線WL及記憶胞電晶體MT之控制閘極電極發揮功能。

配線層32例如設置有4層，且設置於配線層31之上方。配線層32係作為選擇閘極線SGD、及選擇電晶體ST1之閘極電極發揮功能。

配線層33設置有1層，且配置於配線層32之上方。配線層33連接於對應之記憶體洞MH之半導體柱26，且係作為位元線BL發揮功能。

配線層34設置有1層，且配置於配線層32與配線層33之間。配線層34係作為源極線CELSRC發揮功能。配線層34係經由包含導電性之材料之接觸插塞27而連接於n<sup>+</sup>型雜質擴散區域21。

配線層35設置有1層，且配置於配線層32與配線層33之間。配線

層35係作為井線CPWELL發揮功能。配線層35係經由包含導電性之材料之接觸插塞28而連接於形成於p型井區域20之表面內之p<sup>+</sup>型雜質擴散區域22。電壓產生電路18可藉由對井線CPWELL施加電壓而使p型井區域20之電位變化。

再者，配線層30~32、及接觸插塞27、28沿X方向設置成平面狀。

以上之構成沿X方向排列有複數個，且1個串單元SU係由沿X方向排列之複數個NAND串NS之集合構成。

再者，記憶胞陣列10之構成亦可為其他構成。關於記憶胞陣列10之構成，例如記載於題為「三維積層非揮發性半導體記憶體」之於2009年3月19日申請之美國專利申請案12/407,403號。又，記載於題為「三維積層非揮發性半導體記憶體」之於2009年3月18日申請之美國專利申請案12/406,524號、題為「非揮發性半導體記憶裝置及其製造方法」之於2010年3月25日申請之美國專利申請案12/679,991號、題為「半導體記憶體及其製造方法」之於2009年3月23日申請之美國專利申請案12/532,030號。該等專利申請案之全部內容藉由參照而援用於本案說明書中。

#### [6-2]第6實施形態之效果

第6實施形態對具有積層有記憶胞之構造之半導體記憶裝置1應用第1~第5實施形態之動作。於第6實施形態之半導體記憶裝置1中，源極線CELSRC之CR時間常數較字元線WL之CR時間常數小1/4~1/10左右，且源極線CELSRC與字元線WL間之CR時間常數之差較記憶胞設置成平面之半導體記憶裝置大。其結果為，第6實施形態之半導體記憶裝置1可使動作高速化，其效果較對記憶胞設置成平面之半導體記憶裝置應用第1~第5實施形態之情形時大。

#### [7]其他

上述實施形態之半導體記憶裝置之特徵在於具備：記憶胞電晶體《MT》，其能夠根據閾值而保持第1資料《閾值電壓分佈E、圖4》與第2資料《閾值電壓分佈A，圖4》；字元線《WL》，其連接於記憶胞電晶體之閘極；及源極線《CELSRC》，其電性連接於記憶胞電晶體之一端。而且，於上述記憶胞之讀出動作中，對源極線於第1閾值之判定時施加第1電壓《VSRC，圖14》，且於第2閾值之判定時施加與第1電壓不同之第2電壓《VSRC -  $\Delta$ search，圖14》。

進而，對上述字元線於上述第1閾值及上述第2閾值之判定時施加第3電壓《ARsearch，圖14》。

藉此，可提高半導體記憶裝置之動作速度。

再者，實施形態並不限定於上述第1至第5實施形態，能夠進行各種變化。例如，上述ABL方式及位元線屏蔽方式之感測方法為一例，能夠根據感測放大器模組12之電路構成而進行各種變更。又，於讀出及寫入動作中，定序器17於各時刻產生控制信號之時序亦可偏移。

又，於上述各實施形態中，

(1)於讀出動作中，於A位準之讀出動作對所選擇之字元線施加之電壓例如為0 V~0.55 V之間。並不限定於此，亦可設為0.1 V~0.24 V、0.21 V~0.31 V、0.31 V~0.4 V、0.4 V~0.5 V、0.5 V~0.55 V之任一者之間。

於B位準之讀出動作對所選擇之字元線施加之電壓例如為1.5 V~2.3 V之間。並不限定於此，亦可設為1.65 V~1.8 V、1.8 V~1.95 V、1.95 V~2.1 V、2.1 V~2.3 V之任一者之間。

施加至C位準之讀出動作所選擇之字元線之電壓例如為3.0 V~4.0 V之間。並不限定於此，亦可設為3.0 V~3.2 V、3.2 V~3.4 V、3.4 V~3.5 V、3.5 V~3.6 V、3.6 V~4.0 V之任一者範圍。

作為讀出動作之時間( $t_R$ )，例如亦可設為  $25\ \mu\text{s}\sim 38\ \mu\text{s}$ 、 $38\ \mu\text{s}\sim 70\ \mu\text{s}$ 、 $70\ \mu\text{s}\sim 80\ \mu\text{s}$ 之間。

(2)寫入動作如上所述包含編程動作與驗證動作。於寫入動作中，於編程動作時最初施加至所選擇之字元線之電壓例如為  $13.7\ \text{V}\sim 14.3\ \text{V}$ 之間。並不限定於此，例如亦可設為  $13.7\ \text{V}\sim 14.0\ \text{V}$ 、 $14.0\ \text{V}\sim 14.6\ \text{V}$ 之任一者之間。

亦可改變對第奇數號之字元線寫入時之最初施加至所選擇之字元線之電壓、與對第偶數號之字元線寫入時之最初施加至所選擇之字元線之電壓。

於將編程動作設為ISPP方式(Incremental Step Pulse Program，增量階躍脈衝編程)時，作為上升之電壓，例如可列舉  $0.5\ \text{V}$ 左右。

作為施加至非選擇之字元線之電壓，例如可設為  $6.0\ \text{V}\sim 7.3\ \text{V}$ 之間。並不限定於該情形，例如可設為  $7.3\ \text{V}\sim 8.4\ \text{V}$ 之間，亦可設為  $6.0\ \text{V}$ 以下。

可根據非選擇之字元線為第奇數號之字元線或第偶數號之字元線而改變施加之通過電壓。

作為寫入動作之時間( $t_{\text{Prog}}$ )，例如可設為  $1700\ \mu\text{s}\sim 1800\ \mu\text{s}$ 、 $1800\ \mu\text{s}\sim 1900\ \mu\text{s}$ 、 $1900\ \mu\text{s}\sim 2000\ \mu\text{s}$ 之間。

(3)於刪除動作中，最初對形成於半導體基板上部且於上方配置有上述記憶胞之井施加之電壓例如為  $12\ \text{V}\sim 13.6\ \text{V}$ 之間。並不限定於該情形，例如亦可為  $13.6\ \text{V}\sim 14.8\ \text{V}$ 、 $14.8\ \text{V}\sim 19.0\ \text{V}$ 、 $19.0\ \text{V}\sim 19.8\ \text{V}$ 、 $19.8\ \text{V}\sim 21\ \text{V}$ 之間。

作為刪除動作之時間( $t_{\text{Erase}}$ )，例如可設為  $3000\ \mu\text{s}\sim 4000\ \mu\text{s}$ 、 $4000\ \mu\text{s}\sim 5000\ \mu\text{s}$ 、 $5000\ \mu\text{s}\sim 9000\ \mu\text{s}$ 之間。

(4)記憶胞之構造具有隔著膜厚為  $4\sim 10\ \text{nm}$ 之隧道絕緣膜而配置於半導體基板(矽基板)上之電荷儲存層。該電荷儲存層可設為膜厚為

2~3 nm之SiN或SiON等絕緣膜與膜厚為3~8 nm之多晶矽之積層構造。又，亦可對多晶矽中添加Ru等金屬。於電荷儲存層之上具有絕緣膜。該絕緣膜例如具有隔於膜厚為3~10 nm之下層High-k膜與膜厚為3~10 nm之上層High-k膜之間的膜厚為4~10 nm之矽氧化膜。High-k膜可列舉HfO等。又，矽氧化膜之膜厚可厚於High-k膜之膜厚。於絕緣膜上隔著膜厚為3~10 nm之材料而形成有膜厚為30 nm~70 nm之控制電極。此處，材料為TaO等金屬氧化膜、TaN等金屬氮化膜。控制電極可使用W等。

又，可於記憶胞間形成氣隙。

再者，已對本發明之實施形態進行了說明，但該等實施形態係作為示例而提出者，並非意圖限定發明之範圍。該等新穎之實施形態能以其他各種形態實施，且可於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍及主旨中，並且包含於申請專利範圍所記載之發明及其均等之範圍內。

#### 【符號說明】

1	半導體記憶裝置
10	記憶胞陣列
11	列解碼器
12	感測放大器模組
13	輸入輸出電路
14	資料輸入輸出緩衝器
15	位址解碼器
16	行選擇器
17	控制電路
18	電壓產生電路
19	狀態暫存器

20	p型井區域
21	n <sup>+</sup> 型雜質擴散區域
22	p <sup>+</sup> 型雜質擴散區域
23	區塊絕緣膜
24	絕緣膜
25	隧道氧化膜
26	半導體柱
27	接觸插塞
28	接觸插塞
30	配線層
31	配線層
32	配線層
33	配線層
34	配線層
35	配線層
40	電晶體
41	電晶體
42	電晶體
43	電晶體
44	電晶體
45	電晶體
46	電晶體
47	電晶體
48	電晶體
49	電晶體
50	電容器

A	閾值電壓分佈
ADD	位址信號
ALE	位址鎖存賦能信號
AR__search	電壓
B	閾值電壓分佈
BL	位元線
BL__sel	選擇位元線
BL__usel	非選擇位元線
BLC	控制信號
BLK	區塊
BLK0	區塊
BLQ	控制信號
BLS	控制信號
BLX	控制信號
C	閾值電壓分佈
CELSRC	源極線
/CE	晶片賦能信號
CLE	指令鎖存賦能信號
CLK	時脈
CMD	指令
CMD A	指令A
CMD B	指令B
DL	資料鎖存器
DT	資料
E	閾值電壓分佈
H	位準

HLL	控制信號
INV__S	節點
L	位準
LBUS	匯流排
MT	記憶體電晶體
MH	記憶體洞
NS	NAND串
/RE	讀出賦能信號
SA	感測放大器部
SCOM	節點
SEN	節點
SGD	選擇閘極線
SGS	選擇閘極線
SRCGND	節點
SSRC	節點
ST1	選擇電晶體
ST2	選擇電晶體
STB	控制信號
t0	時刻
t1	時刻
t2	時刻
t3	時刻
t4	時刻
t5	時刻
T <sub>RA</sub>	讀出時間
T <sub>RB</sub>	讀出時間

USGD	非選擇選擇閘極線
USGS	非選擇選擇閘極線
VA	讀出電壓
VB	讀出電壓
VBL	電壓
VBLF	電壓
VC	讀出電壓
VDD	電壓
VDDSA	電壓
VH	驗證電壓
VL	驗證電壓
VPASS	編程通過電壓
VPGM	電壓
VQPW	電壓
VR	驗證讀出電壓
VREAD	電壓
VSS	電壓
VSRC	電壓
VSRCF	電壓
Vth	閾值電壓
/WE	寫入賦能信號
WL	字元線
WL__sel	選擇字元線
WL__usel	非選擇字元線
XXL	控制信號
$\Delta$ AC	讀出電壓VC與讀出電壓VA之差

# 發明摘要 **公告本**

※ 申請案號：105107650

※ 申請日：105/03/11

※IPC 分類：**G11C 16/02** (2006.01)

**G11C 16/26** (2006.01)

## 【發明名稱】

半導體記憶裝置

## 【中文】

本發明之實施形態提供一種可提高動作速度之半導體記憶裝置。

實施形態之半導體記憶裝置1包含：能夠保持資料之記憶胞、電性連接於記憶胞之閘極之字元線WL、及電性連接於記憶胞之一端之源極線CELSRC，於記憶胞之讀出動作中，對源極線CELSRC於第1閾值之判定時施加第1電壓，於第2閾值之判定時施加與上述第1電壓不同之第2電壓，且對字元線WL於第1及第2閾值之判定時施加第3電壓。

## 【英文】

無

圖式

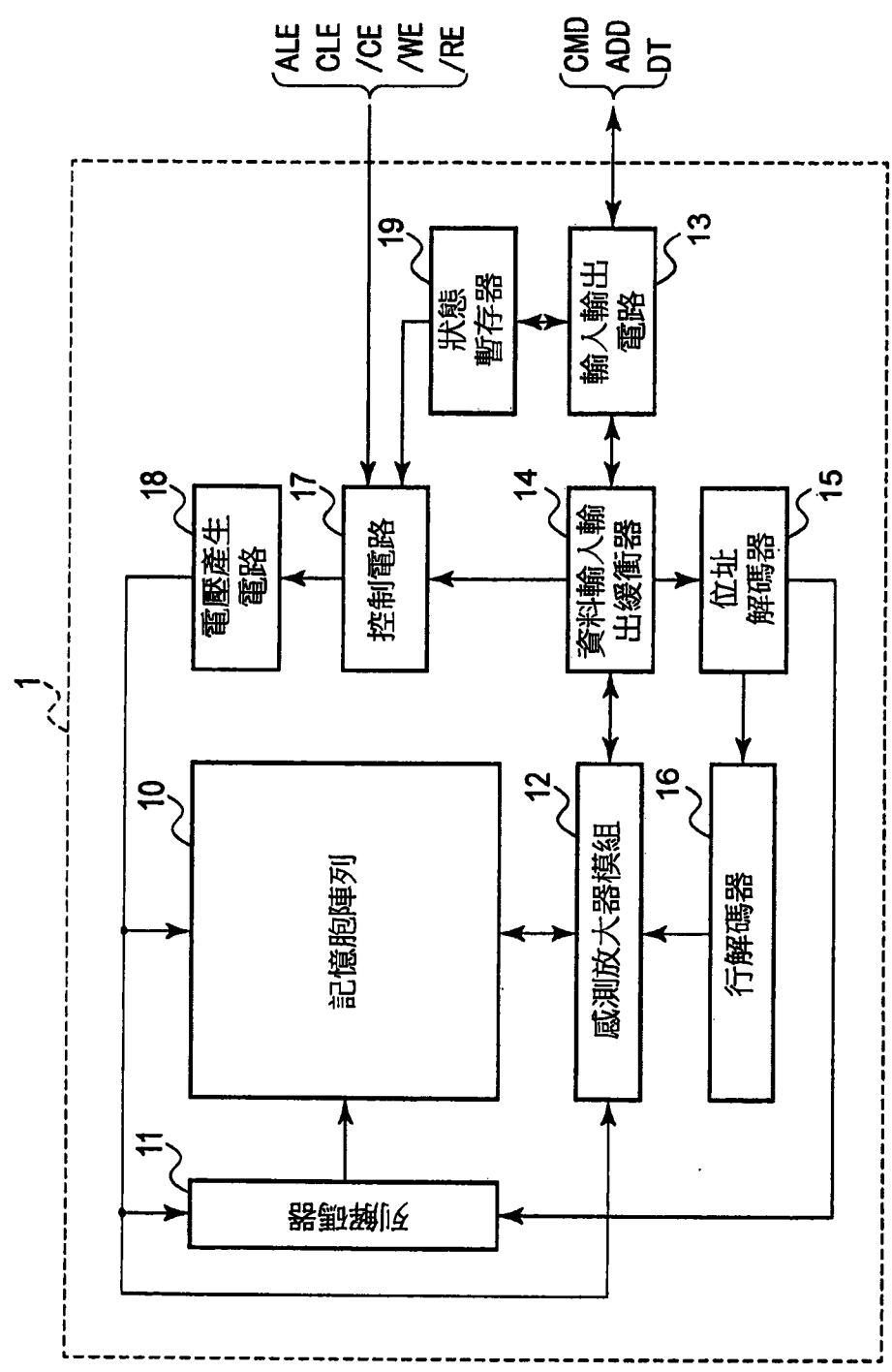


圖1

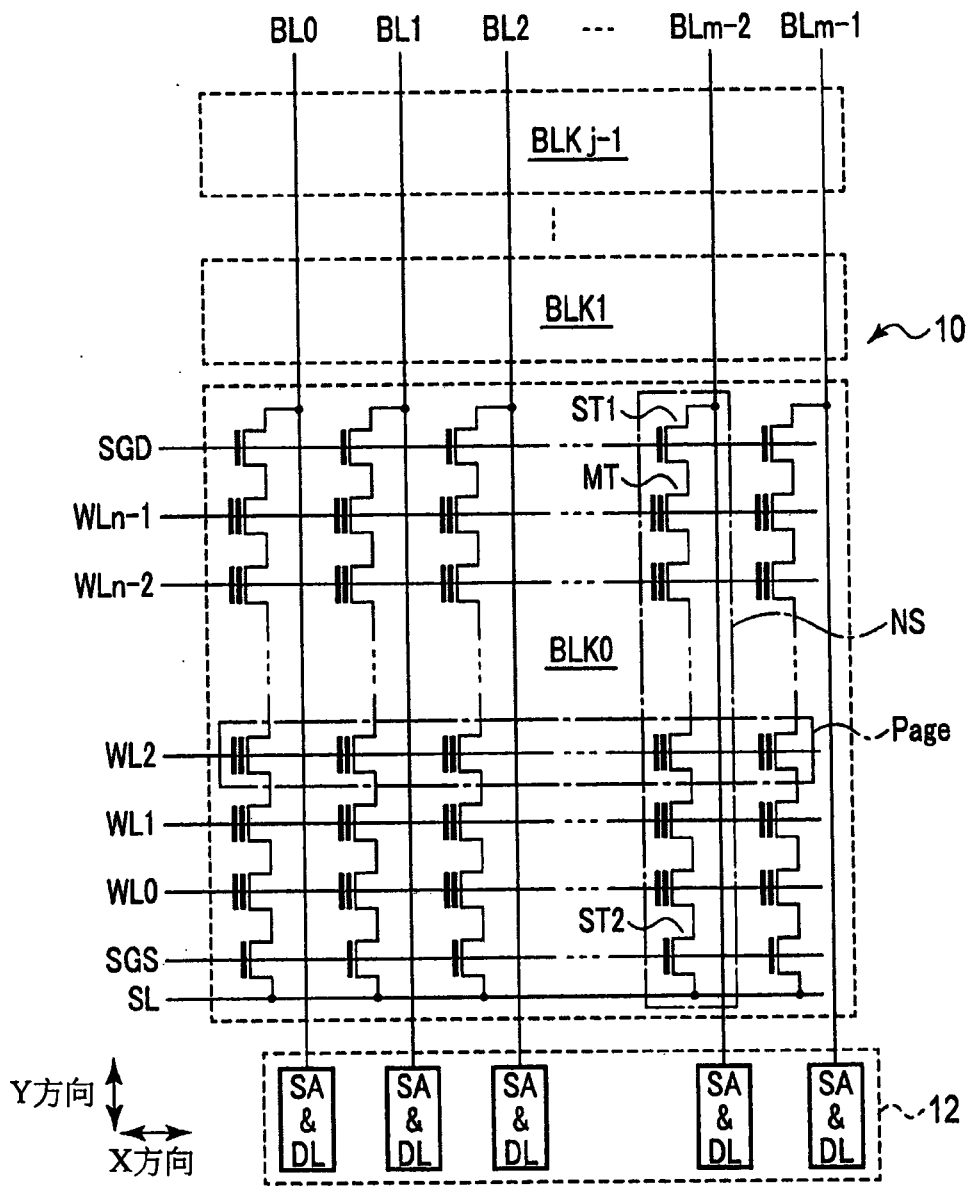


圖2



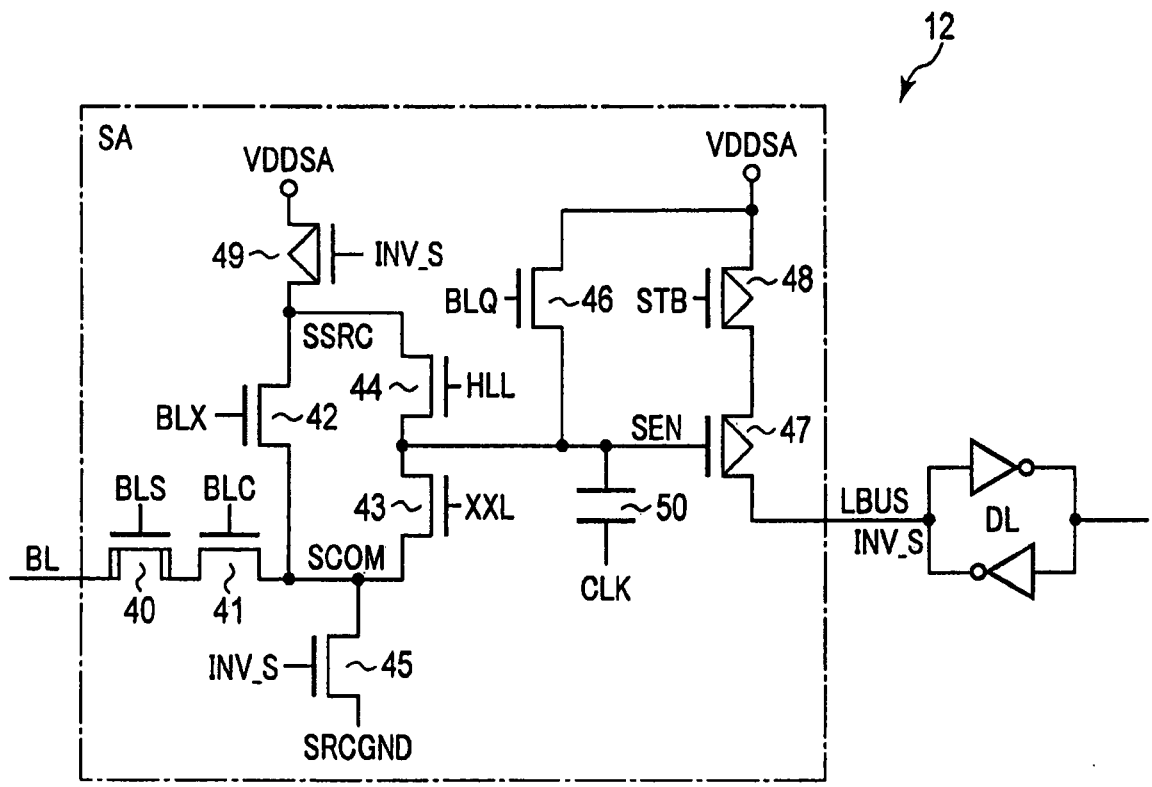


圖3

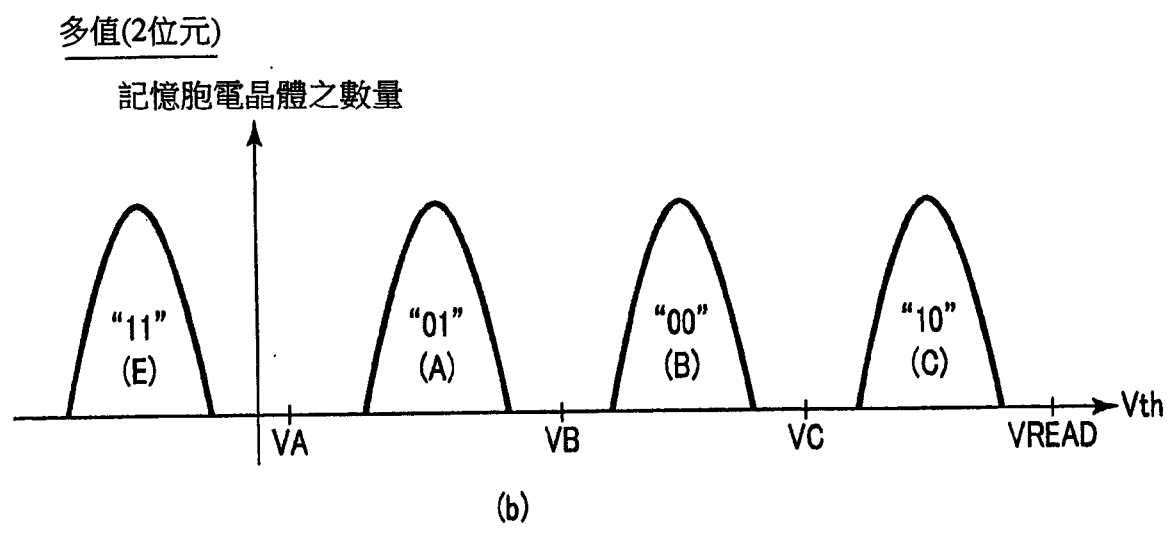
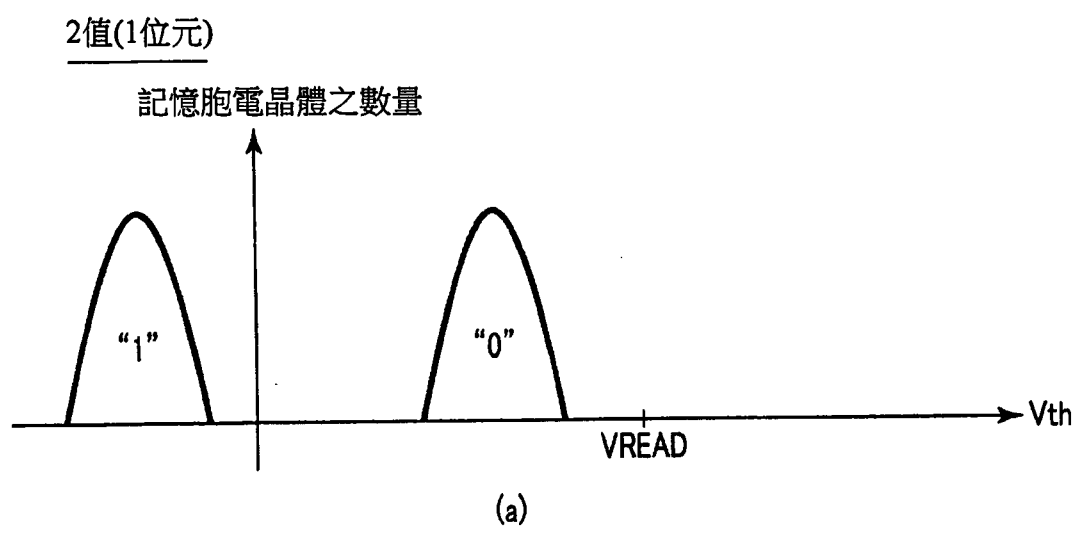


圖4



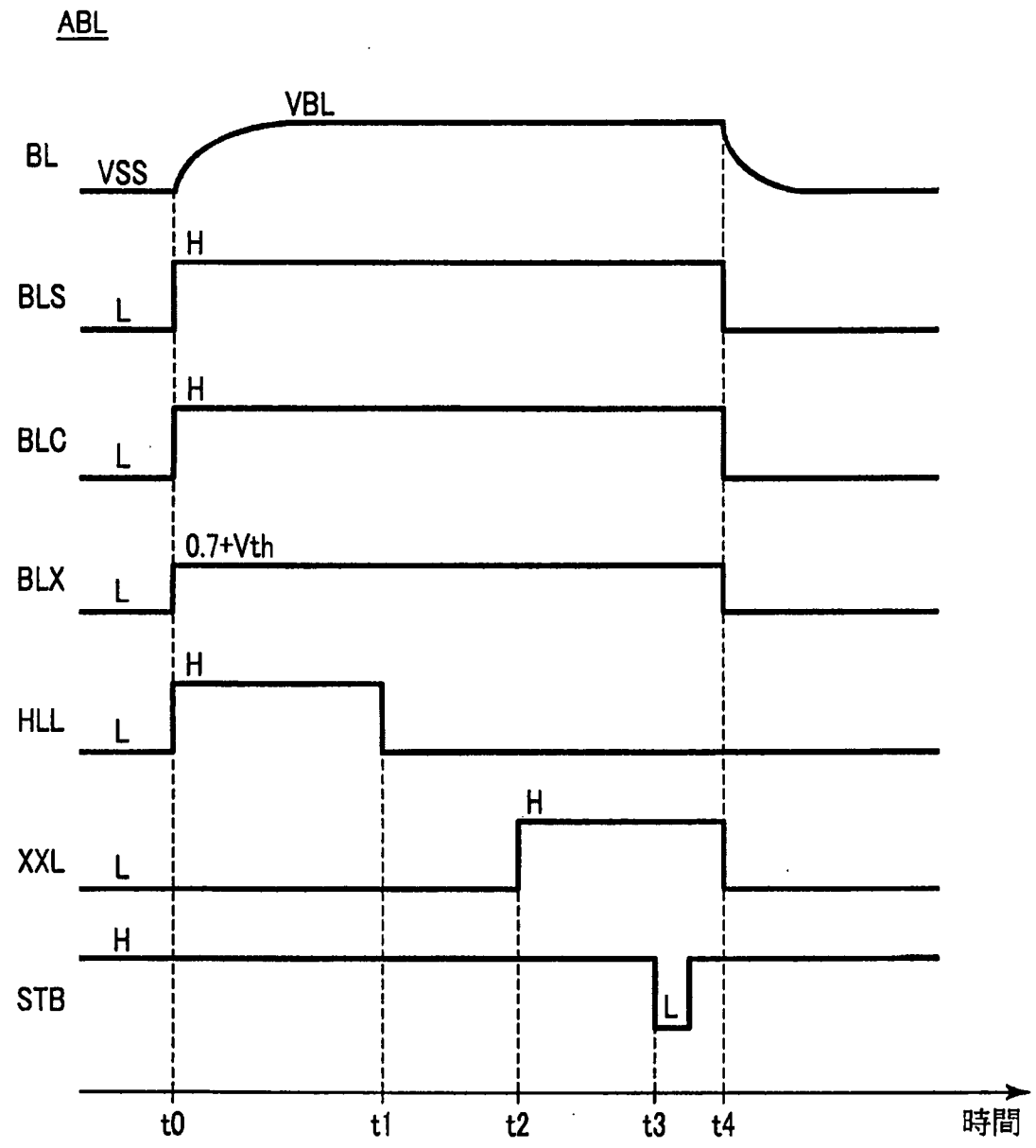


圖5

利用ABL之WL步驟

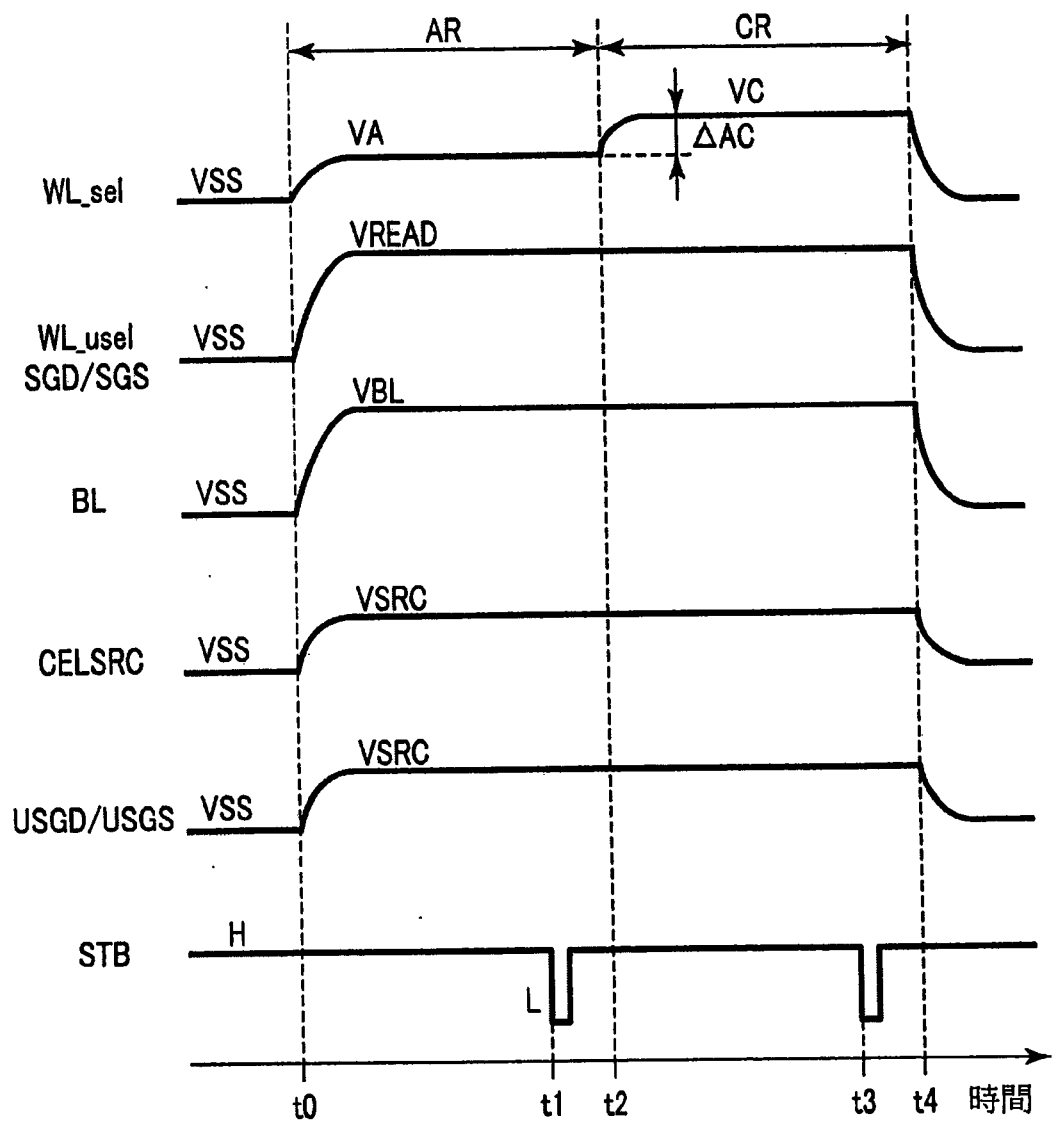


圖6



利用ABL之CELSRC步驟

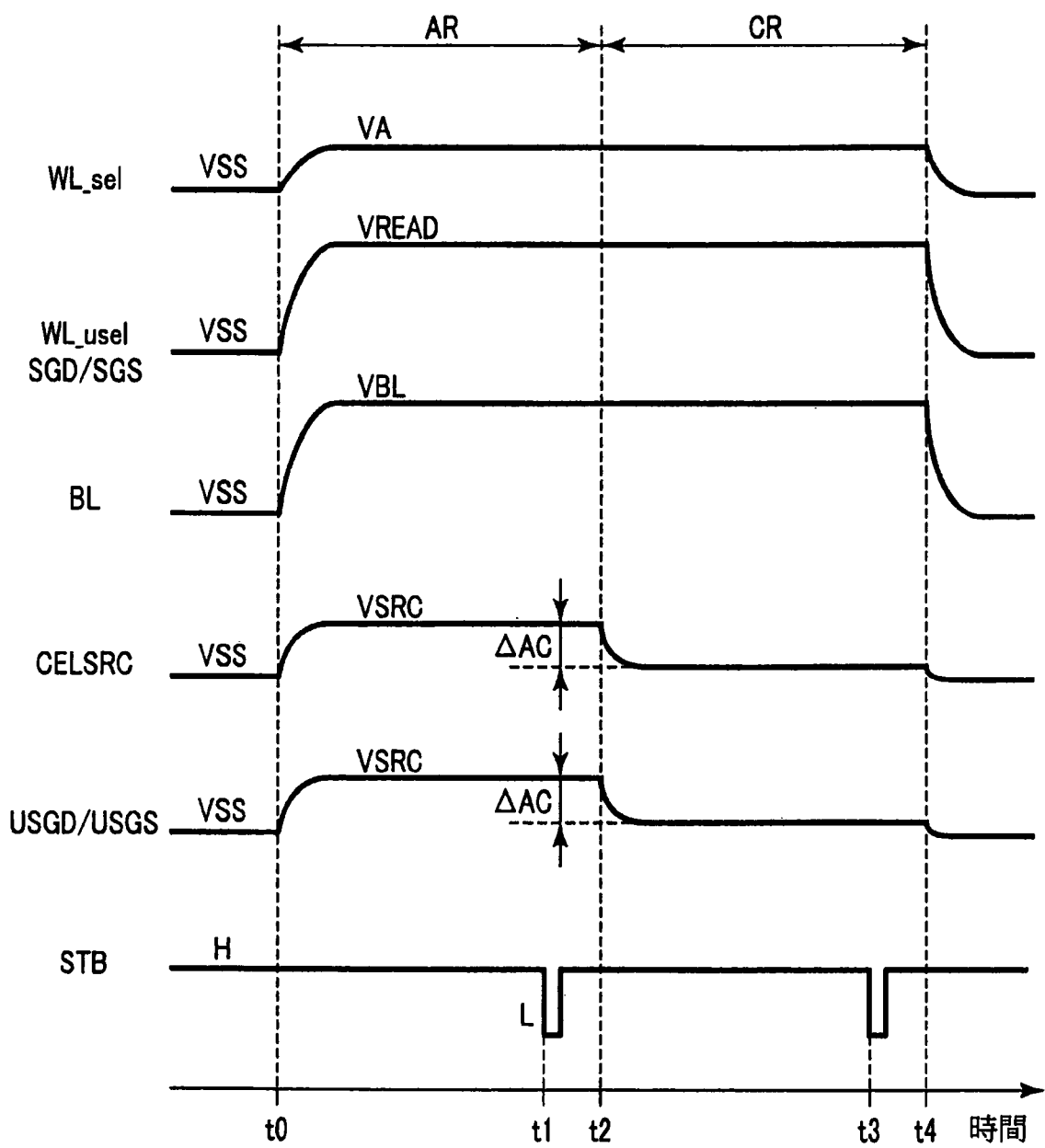


圖7

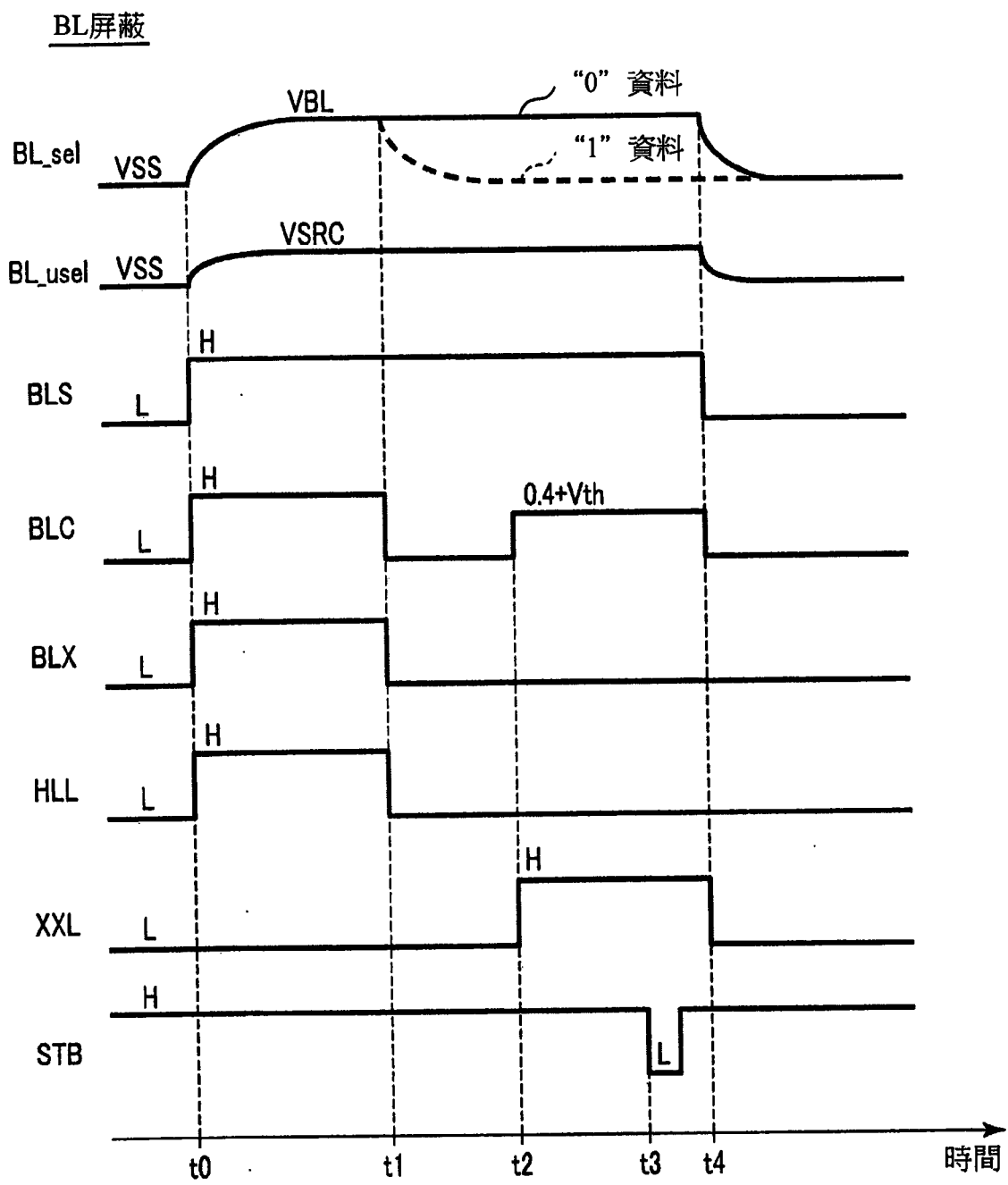


圖8



利用BL屏蔽之WL步驟

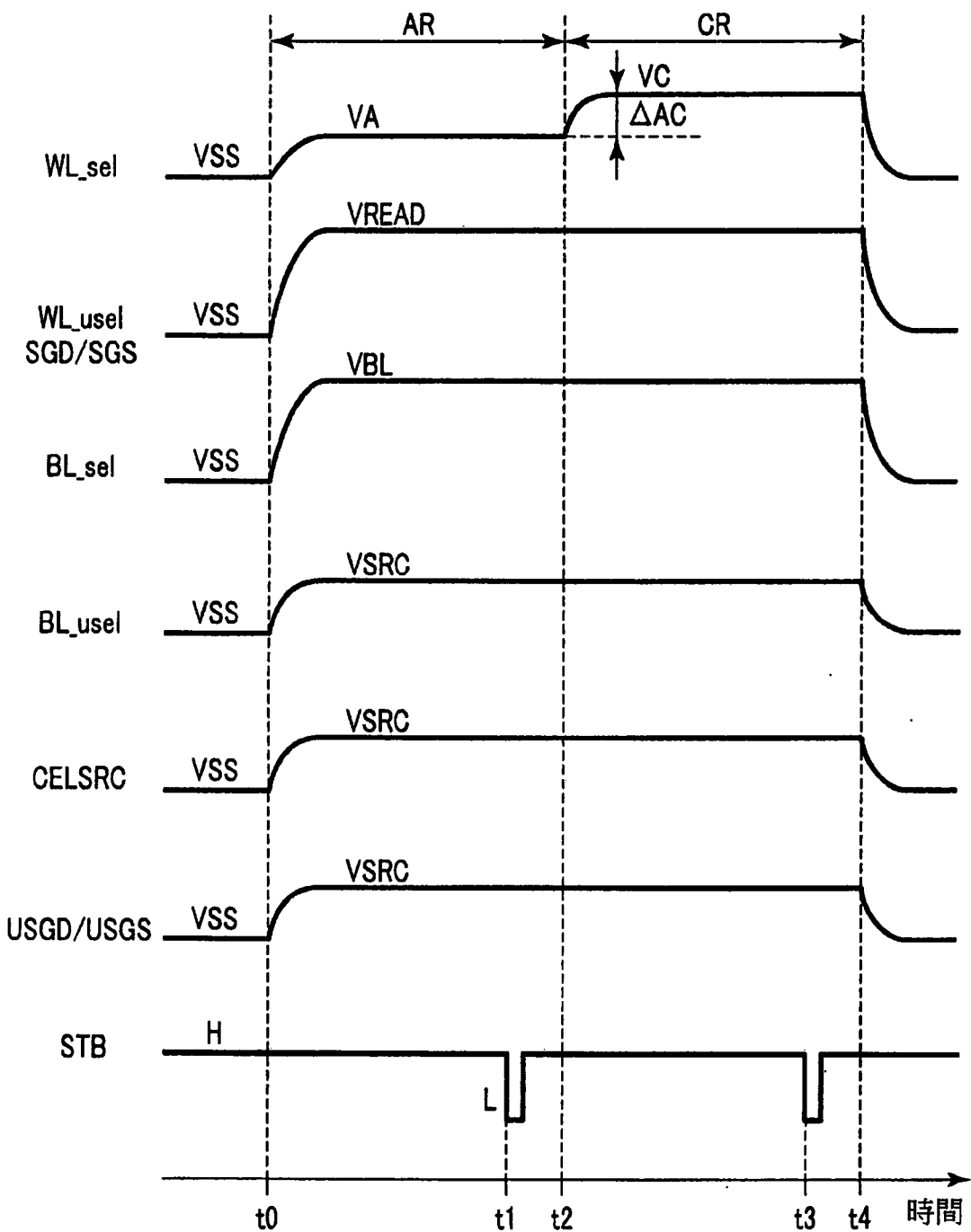


圖9

利用BL屏蔽之CELSRC步驟

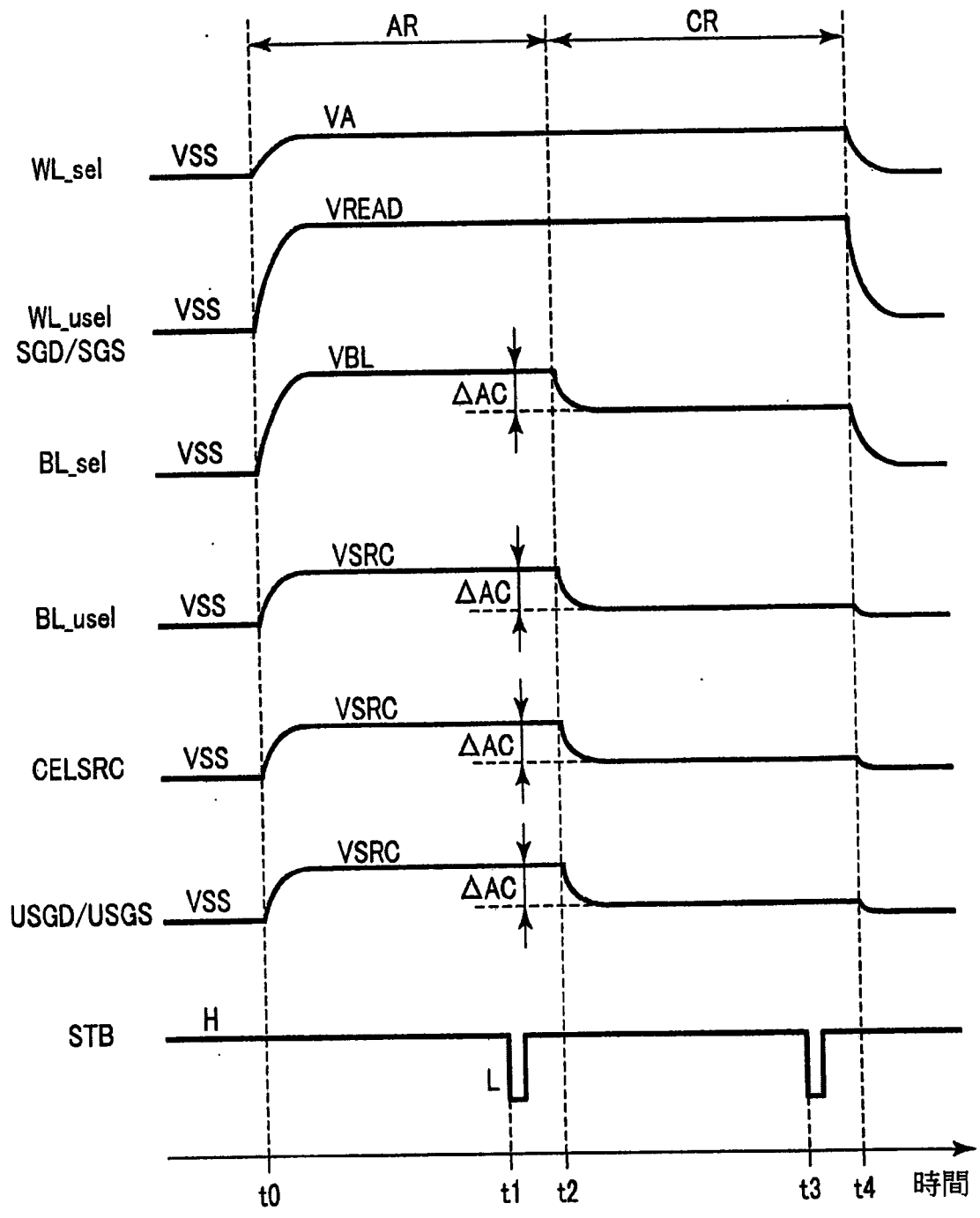


圖10



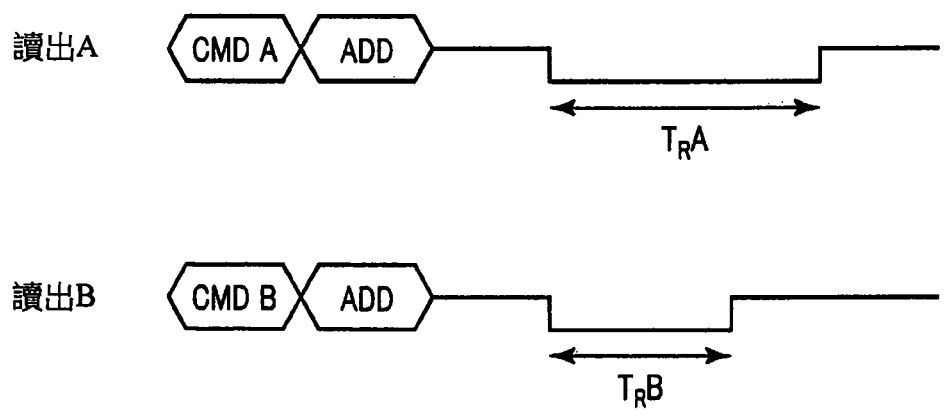


圖11

情況	1	2	3	4	5
CMD A	利用ABL之WL步驟	利用ABL之WL步驟	利用BL屏蔽之WL步驟	利用BL屏蔽之WL步驟	利用ABL之CELSRC步驟
CMD B	利用ABL之CELSRC步驟	利用BL屏蔽之CELSRC步驟	利用ABL之CELSRC步驟	利用BL屏蔽之CELSRC步驟	利用BL屏蔽之CELSRC步驟

圖12

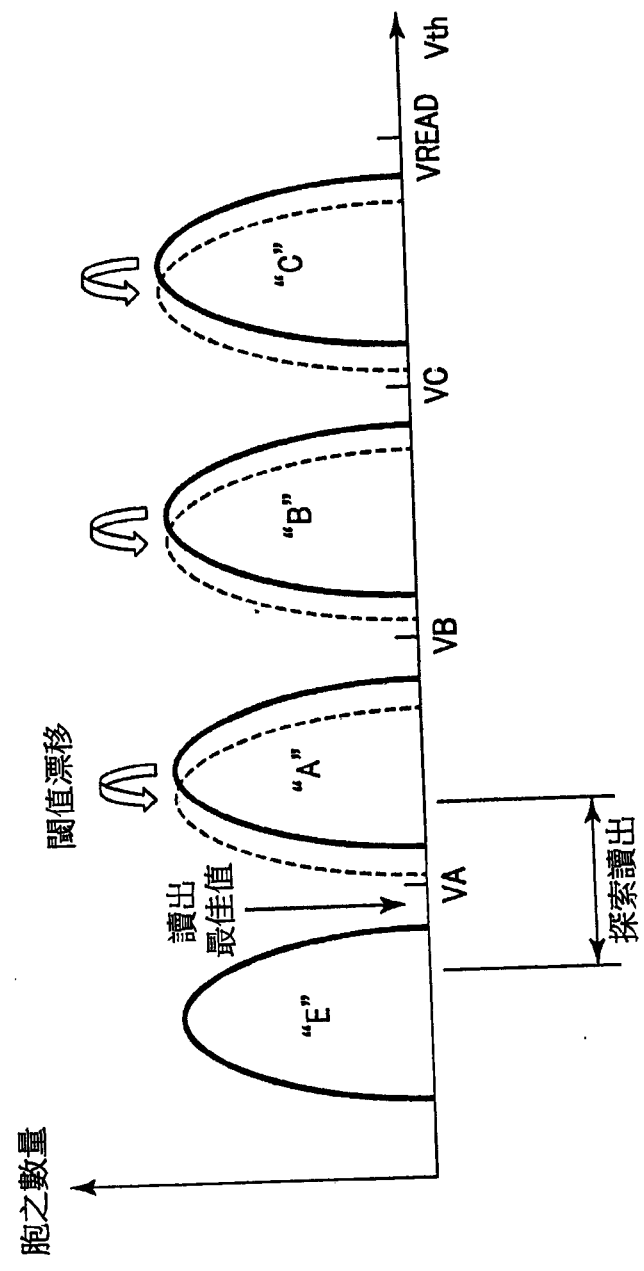


圖13



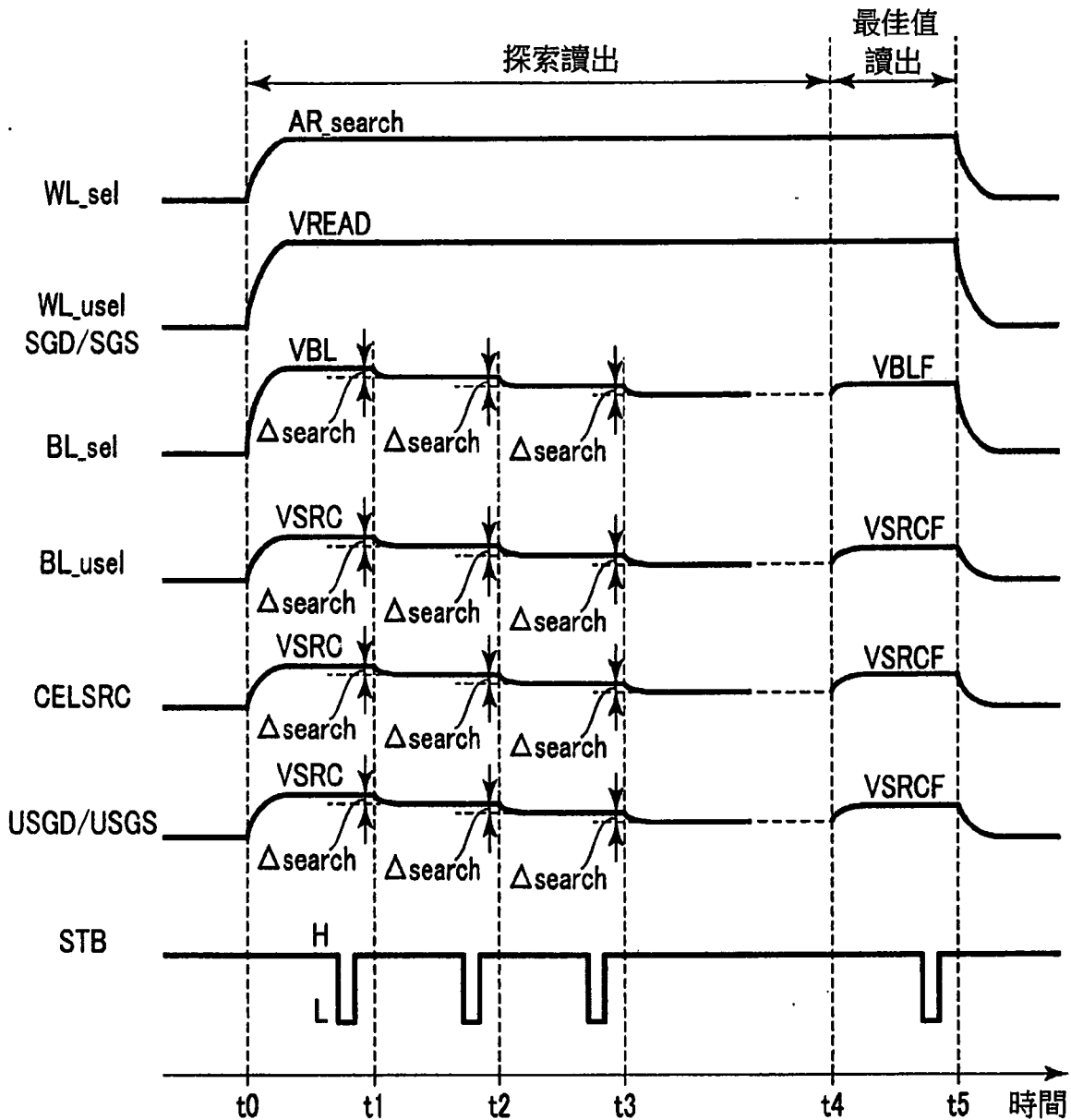


圖14

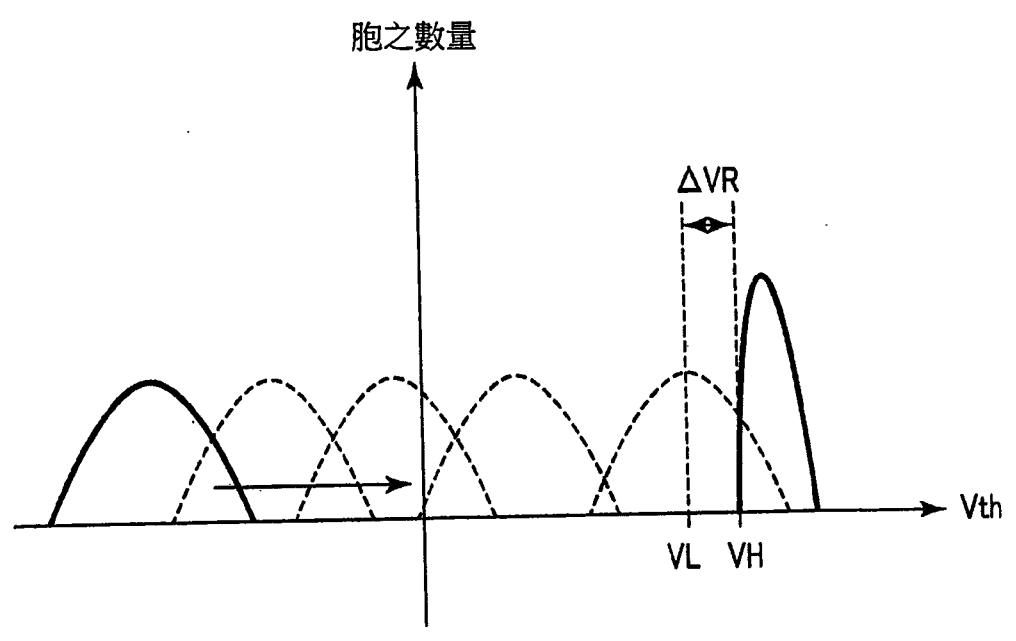


圖15

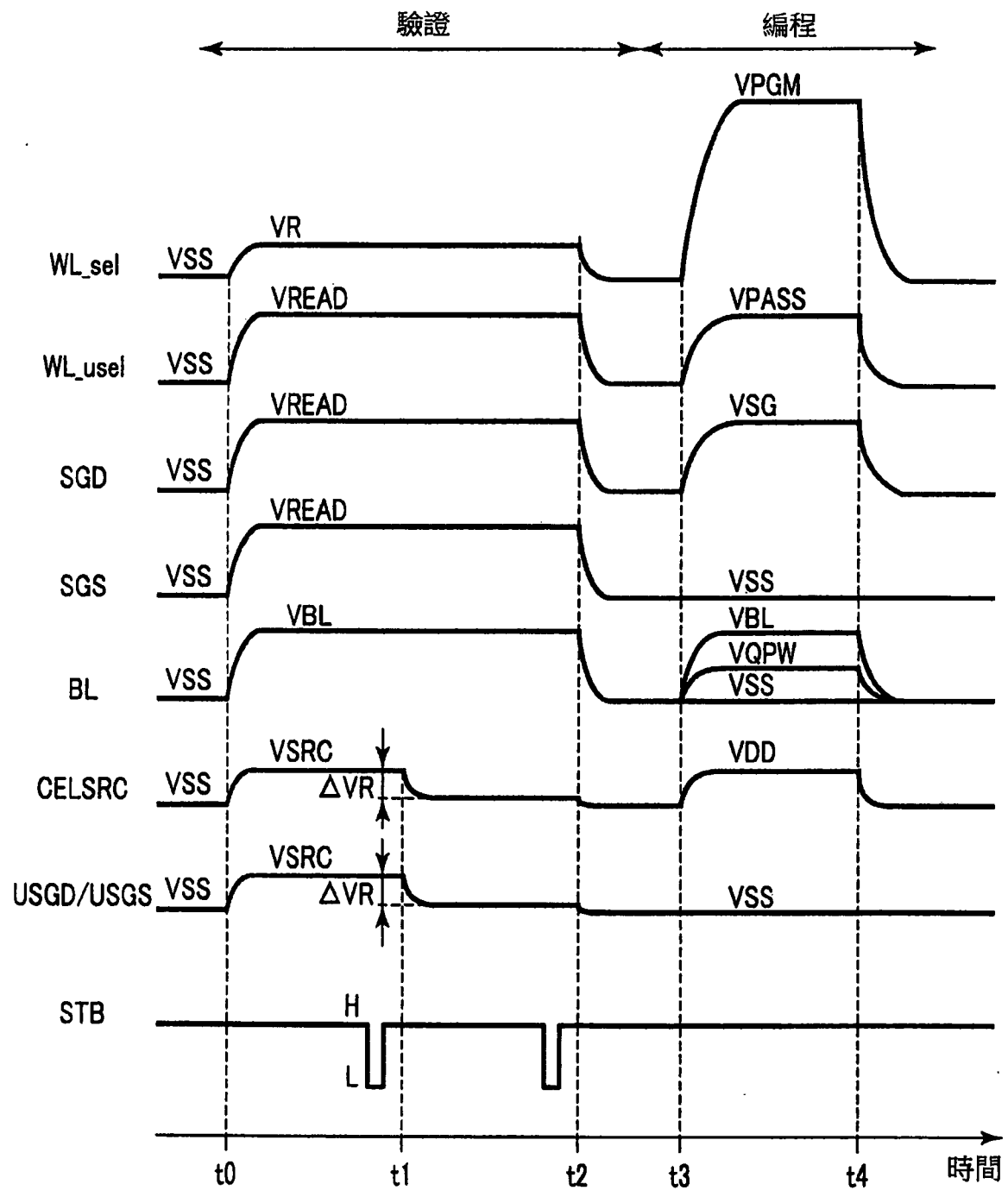


圖16

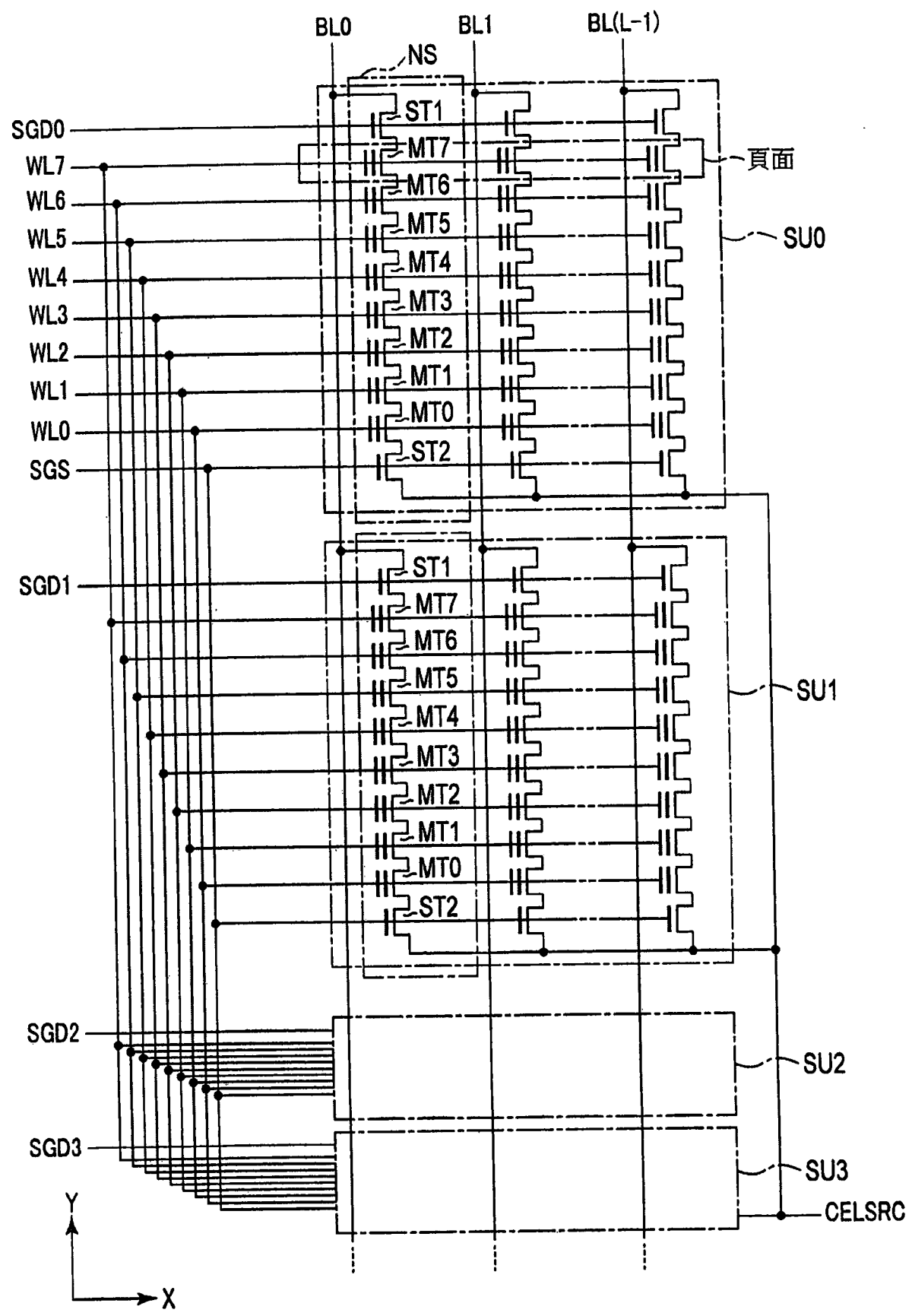


圖17





## 【代表圖】

【本案指定代表圖】：第（7）圖。

【本代表圖之符號簡單說明】：

BL	位元線
CELSRC	源極線
H	位準
L	位準
SGD	選擇閘極線
SGS	選擇閘極線
STB	控制信號
t0	時刻
t1	時刻
t2	時刻
t3	時刻
t4	時刻
USGD	非選擇選擇閘極線
USGS	非選擇選擇閘極線
VA	讀出電壓
VBL	電壓
VREAD	電壓
VSRC	電壓
VSS	電壓
WL__sel	選擇字元線
WL__usel	非選擇字元線
$\Delta AC$	讀出電壓VC與讀出電壓VA之差

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

## 申請專利範圍

1. 一種半導體記憶裝置，其特徵在於包含：
  - 記憶胞，其能夠保持資料；
  - 字元線，其電性連接於上述記憶胞之閘極；及
  - 源極線，其電性連接於上述記憶胞之一端；且於上述記憶胞之讀出動作中，對上述源極線於第1閾值之判定時施加第1電壓，且於第2閾值之判定時施加與上述第1電壓不同之第2電壓，
  - 對上述字元線於上述第1閾值及上述第2閾值之判定時施加第3電壓，且
  - 上述第2閾值為正。
2. 如請求項1之半導體記憶裝置，其進而包含電性連接於上述記憶胞之另一端之位元線，且
  - 於寫入動作中，對上述位元線於上述第1閾值及上述第2閾值之判定結果為失敗(fail)之情形時施加第3電壓，於上述第1閾值及上述第2閾值中之一者之判定結果為通過(pass)、而另一者之判定結果為失敗之情形時施加較上述第3電壓高的第4電壓，且於上述第1閾值及上述第2閾值之判定結果為通過之情形時施加較上述第4電壓高的第5電壓。
3. 如請求項1之半導體記憶裝置，其中上述讀出動作包含第1讀出動作及第2讀出動作，
  - 於上述第1讀出動作中，對上述判定時之上述源極線施加上述第1或第2電壓，
  - 於上述第2讀出動作中，於上述第1閾值之判定時對上述字元線施加第3電壓，於上述第2閾值之判定時對上述字元線施加與

上述第3電壓不同之第4電壓，且對上述源極線於上述第1閾值及上述第2閾值之判定時施加上述第1電壓。

4. 如請求項3之半導體記憶裝置，其包含根據指令而執行讀出動作之控制電路，且

上述控制電路於接收到第1指令之情形時執行上述第1讀出動作，且於接收到第2指令之情形時執行上述第2讀出動作。

5. 如請求項3之半導體記憶裝置，其中上述第1讀出動作之處理時間較上述第2讀出動作短。
6. 如請求項1之半導體記憶裝置，其中於上述第2閾值高於上述第1閾值之情形時，上述第2電壓低於上述第1電壓，於上述第2閾值低於上述第1閾值之情形時，上述第2電壓高於上述第1電壓。
7. 如請求項1之半導體記憶裝置，其進而包含：

第1選擇電晶體，其連接於上述記憶胞之一端；

第2選擇電晶體，其連接於上述源極線與上述記憶胞之間；

第1選擇線，其連接於上述第1選擇電晶體之閘極；及

第2選擇線，其連接於上述第2選擇電晶體之閘極；且

於上述讀出動作中，對非選擇之第1選擇線及第2選擇線施加與上述源極線大致相同之電壓。

8. 如請求項1之半導體記憶裝置，其中上述第1閾值為正。

9. 一種半導體記憶裝置，其特徵在於包含：

記憶胞，其能夠保持資料；

字元線，其電性連接於上述記憶胞之閘極；及

源極線，其電性連接於上述記憶胞之一端；且

於上述記憶胞之讀出動作中，對上述源極線，於由第1閾值所決定之第1資料之判定時施加第1電壓，且於由第2閾值所決定之第2資料之判定時施加與上述第1電壓不同之第2電壓，且

對上述字元線，於上述第1資料及上述第2資料之判定時施加第3電壓。

10. 如請求項9之半導體記憶裝置，其進而包含電性連接於上述記憶胞之另一端之位元線，且

於寫入動作中，對上述位元線，於上述第1資料及上述第2資料之判定結果為失敗之情形時施加第3電壓，於上述第1資料及上述第2資料中之一者之判定結果為通過且另一者之判定結果為失敗之情形時施加較上述第3電壓高的第4電壓，且於上述第1資料及上述第2資料之判定結果為通過之情形時施加較上述第4電壓高的第5電壓。

11. 如請求項9之半導體記憶裝置，其中上述讀出動作包含第1讀出動作及第2讀出動作，

於上述第1讀出動作中，對上述判定時之上述源極線施加上述第1或第2電壓，

於上述第2讀出動作中，於上述第1資料之判定時對上述字元線施加第3電壓，於上述第2資料之判定時對上述字元線施加與上述第3電壓不同之第4電壓，且對上述源極線，於上述第1資料及上述第2資料之判定時施加上述第1電壓。

12. 如請求項11之半導體記憶裝置，其包含：根據指令而執行讀出動作之控制電路，且

上述控制電路係：於接收到第1指令之情形時執行上述第1讀出動作，於接收到第2指令之情形時執行上述第2讀出動作。

13. 如請求項11之半導體記憶裝置，其中上述第1讀出動作係：處理時間較上述第2讀出動作短。

14. 如請求項9之半導體記憶裝置，其中於上述第2閾值高於上述第1閾值之情形時，上述第2電壓低於上述第1電壓，於上述第2閾值

低於上述第1閾值之情形時，上述第2電壓高於上述第1電壓。

15. 如請求項9之半導體記憶裝置，其進而包含：

第1選擇電晶體，其連接於上述記憶胞之一端；

第2選擇電晶體，其連接於上述源極線與上述記憶胞之間；

第1選擇線，其連接於上述第1選擇電晶體之閘極；及

第2選擇線，其連接於上述第2選擇電晶體之閘極；且

於上述讀出動作中，對非選擇之第1選擇線及第2選擇線施加與上述源極線大致相同之電壓。

16. 如請求項9之半導體記憶裝置，其中上述第2閾值為正。

17. 如請求項9之半導體記憶裝置，其中上述第1閾值及第2閾值為正。