

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS
PATENT- OCH REGISTERSTYRELSEN
FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 891785 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application **891785**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification (IPC⁶)
G06F 12/08
G06F 13/20

(22) Tekemispäivä - Ingningsdag - Filing date **14.04.1989**

(23) Saapumispäivä - Ankomstdag - Reception date **14.04.1989**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **27.11.1989**

(43) Julkaisupäivä - Publiceringsdag - Publication date **12.06.2019**

(32) (33) (31) Etuoikeus - Prioritet - Priority

26.05.1988 US 198893

(71) Hakija - Sökande - Applicant

1 •International Business Machines Corporation, Armonk, NY 10504, AMERIKAN YHDYSVALLAT, (US)

(72) Keksijä - Uppfinnare - Inventor

1 •Begun, Ralph Murray, USA, AMERIKAN YHDYSVALLAT, (US)

2 •Dean, Mark Edward, USA, AMERIKAN YHDYSVALLAT, (US)

3 •Bland, Patrick Maurice, USA, AMERIKAN YHDYSVALLAT, (US)

(74) Asiamies - Ombud - Agent

Kolster Oy Ab, Salmisaarenaukio 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Mikrotietokonejärjestelmä sisältäen merkittyjä kirjoitusjaksoja käyttävän välimuistijärjestelmän

Mikrodatorsystem inkluderande ett mellanminneundersystem som använder införda skrivcykler

Mikrotietokonejärjestelmä sisältäen merkittyjä kirjoitusjaksoja käyttävän välimuistijärjestelmän

5 Esillä oleva keksintö liittyy tietokonejärjestelmiin, erityisesti mikrotietokonejärjestelmiin, joissa käytetään sellaista välimuistijärjestelmää, johon sisältyy välimuistiohjain ja jolla kirjoitusjaksoja voidaan siirtää myöhemmäksi.

10 Välimuisti-alijärjestelmien käyttäminen mikrotietokonejärjestelmissä johtaa useampaan mielenkiintoiseen etuun käytön kannalta. Välimuisti-alijärjestelmää käyttävä mikrotietokonejärjestelmä on itse asiassa mikrotietokone kaksoisväylällä. Suoritin ja välimuisti on kytketty yhteen väylällä, jota voidaan kutsua CPU:n paikallisväyläksi.

15 CPU:n paikallisväylästä erillisenä on järjestelmäväylä, johon muut laitteet (I/O-laitteet, lisämuistit, jne.) voidaan kytkeä. Käyttämällä välimuistia vapautetaan järjestelmäväylä kaikista muistin lukemistoiminnoista niin, että haettu informaatio löytyy välimuistista. Koska kaikkea

20 haluttua tietoa ei löydetä välimuisti-alijärjestelmästä, ja koska kirjoitustoiminta yleensä kohdistuu sekä välimuisti-alijärjestelmään että muistiin, on järjestelmäväylän ja CPU:n paikallisväylän välillä tietenkin oltava jokin yhteys. Silloin kun tällaisena yhteytenä on pitopiiri-puskuri, ovat muut edut mahdollisia, erityisesti myöhemmin tapahtuvat kirjoittamistoimet.

Tarkemmin sanottuna on kaikissa kirjoittamistoiminnoissa päästävä muistiin (joka ei ole CPU:n paikallisväylällä). Informaatio (data ja osoite) sijoitetaan kirjoittamista varten aluksi CPU:n paikallisväylälle, jossa sitä

30 voidaan käyttää välimuistiin kirjoittamista varten. Koska CPU:n paikallisväylän ja järjestelmäväylän välisenä sovituksena on pitopiiri-puskuri, voidaan sama data pitää puskurissa (lukita puskuriin). Kun tämä informaatio on lukittu

35 puskuriin, sitä ei enää tarvitse ohjata CPU:lla. Siten

myöhennetty kirjoittamisjakso perustuu siihen tosiasiaan, että muistin kirjoittamistoiminnan data- ja osoitetieto on käytettävissä pitopiiri-puskurissa. Tämän kirjoittamisjakson täydentäminen ei vaadi CPU:n huomiota. Siten "myö-

5 hemmäksi siirretty" kirjoittaminen sisältää sen, että kirjoittamisjakson data ja osoite lukitaan CPU:n paikallisväylän ja järjestelmäväylän rajapinnassa olevaan puskuriin, jonka jälkeen CPU voi jatkaa seuraavan toimintajakson aloittamisella. Välimuistin ohjausjärjestelmä (välimuistin

10 ohjain mukaanlukien) voi sitten valvoa muistiin kirjoittamisen loppuun saattamisen.

Mikrotietokonejärjestelmät, jotka käsittävät 80386-prosessorin ja 82385-välimuistin ohjaimen, joita molempia valmistaa Intel Corporation, on järjestetty siten,

15 että ne hyödyntävät myöhemmäksi siirrettyä kirjoittamistoimintaa täsmälleen tällä tavalla.

80386 ja sen kehittämät signaalit on selitetty julkaisussa "Introduction to the 80386 Including the 80386 Data Sheet", Intel Corporation, huhtikuu 1986. Välimuistiohjainta 82385 ja sen kehittämää signaaleja selitetään

20 julkaisussa "82385 High Performance 32-Bit Cache Controller", jota saa Intel Corporation:ilta (heinäkuu 1987).

80386:n toinen kiinnostava piirre on sen kyky toimia

25 niin sanotulla dynaamisella väylän muodostuksella. 80386 on nimellisesti 32-bittinen kone, ts. sen dataväylän leveys on 32 bittiä. Dynaaminen väylän muodostus viittaa 80386-prosessorin kykyyn toimia yhdessä sekä 32-bittisten laitteiden (muisti, I/O, jne.) kanssa ja lisäksi myös sel-

30 laisten laitteiden kanssa, joilla ei ole 32-bittisen laitteen ominaisuutta, ts. laitteiden kanssa, jotka eivät pysty siirtämään 32-bittistä dataa yhden jakson aikana. On esimerkiksi olemassa laaja valikoima muisti- ja/tai I/O-laitteita, jotka ovat 16-bittisiä laitteita, ts. ne voivat

35 siirtää vain 16 databittiä yhden jakson aikana. Lisäksi

on olemassa 8-bittisiä I/O-, muisti- ja muita laitteita. Sellaiset laitteet voivat siirtää vain kahdeksan databittii määrättyssä jaksossa.

80386:ssa on varauduttu BS16-signaaliin. Kun tämä
 5 signaali esitetään, sillä on seuraava vaikutus. Jos 80386 on kehittänyt 32-bittisen jakson, ts. se on kehittänyt ja/tai odottaa hyväksyvänsä 32-bittii dataa, niin BS16-signaalin esittäminen osoittaa 80386:lle, ettei se toimi 32-bittisen laitteen kanssa. BS16-signaalin esittä-
 10 minen aloittaa 32-bittisen jakson aikana automaattisesti toisen jakson kehittämisen. Määritelmän mukaisesti mikä tahansa 16-bittinen laite on järjestetty siirtämään ennalta määrätyn 16 bitin ryhmän 32-bittiseltä väylältä. BS16-signaalin johdosta kehitetyn toisen jakson aikana
 15 80386 sijoittaa tämän 16 bitin ryhmän, joka ensimmäisessä jaksossa ei ollut ennalta määrättyssä databittien ryhmässä, ennalta määrättyyn datajohtojen ryhmään, joka liittyy 16 bitin ennalta määrättyyn ryhmään. Vastaavasti, ensimmäisessä näistä kahdesta jaksosta, 16-bittinen laite siirtää
 20 annetun 16 bitin ryhmän 32-bittisestä data-avaruudesta. Toisessa jaksossa 16-bittinen laite siirtää toiset 16 databittii, niin että nämä kaksi 16-bittistä jaksoa yhdessä siirtävät 32 bittii.

Myöhemmäksi siirrettyjen kirjoittamisjaksojen ja
 25 dynaamisen väylän muodostuksen välillä on kuitenkin olemassa ristiriita. Tämä ristiriita johtuu seuraavasta syystä. Oletetaan, että 80386 aloittaa myöhemmäksi siirretyn kirjoittamisen. Myöhemmäksi siirretyn kirjoittamisjakson data ja osoite on lukittu CPU:n paikallisväylän ja järjestelmäväylän puskuroituun rajapintaan. Vaikkei kirjoittamis-
 30 jakso vielä ole päättynyt, palautetaan 80386:lle valmis--signaali. Se simuloi kirjoittamisjakson päättymistä, niin että 80386 voi aloittaa seuraavan toiminnan. Koska BS16--signaali (joka on palautettu 80386:lle sen laitteen koon
 35 ilmoittamiseksi, jonka kanssa se toimii) kehitetään tällä

laitteella, tätä signaalia ei kehitetä ennenkuin laite on tunnistanut osoitteensa. Esimerkkiä jatkaaksemme, ja olettaen että laite, jolle myöhemmäksi siirretty kirjoittamisjakso on tarkoitettu, tosiasiassa on 16-bittinen laite, 5 niin sillä hetkellä kun BS16-signaali palautetaan 80386:lle, tämä on jo ohittanut annetun toiminnan ja on varattuna seuraavaa toimintaa varten. Tämän johdosta 80386 ei pysty kehittämään toista, 16-bittiselle laitteelle välttämätöntä jaksoa.

10 Keksinnön tarkoituksena on siten kirjoittamisjaksojen siirtäminen valikoidusti myöhemmäksi. Koska myöhemmäksi siirretty kirjoittamisjakso tunnistetaan kehittämällä aikainen valmis-signaali 80386:lle, keksintö aikaansaa logiikan, jolla kehitetään valmis-signaali 80386:lle vain 15 silloin kun myöhemmäksi siirretty kirjoittaminen on oikeaan osunut toimenpide.

Keksinnön mukaisesti aikaansaadaan mikrotietokonejärjestelmä, joka käsittää mikroprosessorin, välimuistin kiinteällä datan leveydellä, sekä välimuistin ohjaimen, 20 jotka kaikki on kytketty paikallisväylään, joka puolestaan on kytketty pitovälineiden kautta järjestelmäväylään, johon on liitetty järjestelmän osia, joiden dataleveydet poikkeavat toisistaan, jolloin mainittu mikroprosessori voi toimia siirtäen järjestelmäväylälle kirjoittamisia myöhemmäksi, jolloin data ja osoitteet mikroprosessorilta luki- 25 taan pitovälineeseen ja valmis-signaali johdetaan mikroprosessorille välimuistin ohjaimelta seuraavan mikroprosessorijakson aloittamiseksi, tunnettu mikroprosessorin osoitelähtöihin kytketystä dekooderista, jolla aikaansaad- 30 daan lähtösignaaleja, jotka osoittavat välimuistin saavuttamattomissa olevia osoitealueita, sekä loogisesta elimestä, joka on kytketty vastaanottamaan mainitun dekooderin lähtösignaaleja ja mainitun valmis-signaalin, mainitun valmis-signaalin pidättämiseksi mikroprosessorilta kun 35 mainittu mikroprosessori osoittaa välimuistin saavuttamattomissa olevia osoitealueita.

Seuraavassa selitetään keksinnön erästä suoritusmuotoa viitaten oheisiin piirustuksiin, joissa:

Kuvio 1 on kolmiulotteinen kokonaiskuvanto tyyppillisestä mikrotietokonejärjestelmästä, jossa käytetään esillä olevaa keksintöä;

Kuvio 2 on yksityiskohtainen lohkokaavio useimmista komponenteista tyyppillisessä mikrotietokonejärjestelmässä, jossa käytetään esillä olevaa keksintöä;

Kuvio 3 on jonkinverran yksityiskohtaisempi lohkokaavio kuin kuviossa 2, jossa esitetään valmistajan suosittelemat 80386:n ja 82385:n väliset yhteydet, ja joka on hyödyllinen sen ymmärtämiseksi, miksi sellainen järjestely on ristiriidassa dynaamisen väylän muodostuksen kanssa; ja

Kuvio 4 on lohkokaavio samaan tapaan kuin kuvio 3, mutta jossa havainnollistetaan esillä olevan keksinnön mukaista kirjoittamisjaksojen valikoitua myöhemmäksi siirtämisen soveltamista.

Kuvio 1 esittää tyyppillisen mikrotietokonejärjestelmän, jossa esillä olevaa keksintöä voidaan soveltaa. Kuten on esitetty, käsittää mikrotietokonejärjestelmä 10 joukon osia, jotka on kytketty toisiinsa. Tarkemmin ottaen, järjestelmäyksikkö 30 on kytketty monitoriin 20 (kuten esimerkiksi tavanomaiseen videonäyttöön), jota se ohjaa. Järjestelmäyksikkö 30 on myös kytketty syöttölaitteisiin, kuten näppäimistöön 40 ja hiireen 50. Tulostuslaite, kuten kirjoitin 60, voidaan myös liittää järjestelmäyksikköön 30. Lopuksi järjestelmäyksikkö 30 voi sisältää yhden tai useampia levyasemia, kuten levyaseman 70. Kuten alla selitetään, järjestelmäyksikkö 30 reagoi syöttölaitteisiin, näppäimistöön 40 ja hiireen 50, ja syöttö/tulostus-laitteisiin, kuten levyasemaan 70, signaalien aikaansaamiseksi tulostuslaitteiden, kuten monitorin 20 ja kirjoittimen 60 ohjaamiseksi. Alan ammattilaiset ovat tietenkin selvillä siitä, että järjestelmäyksikköön 30 myös voidaan liittää muita ja tavanomaisia osia vuorovaikutusta varten. Esillä

olevan keksinnön mukaisesti mikrotietokonejärjestelmä 10 sisältää (kuten alempana tarkemmin selitetään) välimuisti--alijärjestelmän, niin että on olemassa CPU:n paikallisväylä, joka yhdistää prosessorin, välimuistin ohjaimen ja välimuistin, joka CPU:n paikallisväylä on kytketty puskurin kautta järjestelmäväylään. Järjestelmäväylä on liitetty ja on vuorovaikutuksessa I/O-laitteisiin, kuten näppäimistöön 40, hiireen 50, levyasemaan 70, monitoriin 20 ja kirjoittimeen 60. Lisäksi järjestelmäyksikkö 30 keksinnön mukaisesti voi sisältää kolmannen väylän, joka käsittää Micro Channel(TM)-väylän, järjestelmäväylän ja muiden (valinnaisten) syöttö/tulostus-laitteiden liittämiseksi.

Kuvio 2 on ylemmän tason lohkokaavio, joka havainnollistaa tyypillisen mikrotietokonejärjestelmän eri osia esillä olevan keksinnön mukaisesti. CPU:n paikallisväylä 230 (joka sisältää data-, osoite- ja ohjausosat) hoitaa mikroprosessorin 225 (kuten 80386), välimuistin ohjaimen 260 (joka voi sisältää 82385 välimuistiohjaimen) ja haja-saantityyppisen välimuistin 255. CPU:n paikallisväylään 230 on kytketty myös puskuri 240. Puskuri 240 on kytketty järjestelmäväylään 250, joka myös käsittää osoite-, data ja ohjausosat. Järjestelmäväylä 250 ulottuu puskurin 240 ja toisen puskurin 253 välille.

Järjestelmäväylä 250 on myös kytketty väylän ohjaus- ja ajastuselementtiin 265 sekä DMA-ohjaimeen 325. Hallinnan ohjausväylä 340 yhdistää väylän ohjaus- ja ajastuselementin 265 ja hallinnan valvontaelimen 335. Keskusmuisti 350 on myös kytketty järjestelmäväylään 250. Keskusmuisti sisältää muistin ohjauselementin 351, osoitemultiplekserin 352 ja datapuskurin 353. Nämä elementit on kytketty muistielementteihin 360 - 364, kuten kuviossa 2 on esitetty. Muistilaitteen ja välimuistilaitteita voidaan kytkeä väylään 320; tyypillinen muistilaitte 331 on esitetty kuviossa 2.

Lisäpuskuri 254 on kytketty järjestelmäväylän 250 ja planaariväylän 270 väliin. Planaariväylä 270 sisältää

vastaavasti osoite-, data- ja ohjausosat. Planaariväylälle 270 on kytketty erilaisia I/O-sovittimia ja muita komponentteja, kuten näytön sovitin 275 (jota käytetään monitorin 20 ohjaamiseksi), kello 280, toinen hajasaantimuisti 285, RS232-sovitin 290 (jota käytetään sarjamuotoisia I/O-toimintoja varten), kirjoittimen sovitin 295 (jota voidaan käyttää kirjoittimen 60 ohjaamiseen), ajastin 300, levykeaseman sovitin 305 (joka on yhteistoiminnassa levykeaseman 70 kanssa), keskeytysohjain 310 ja lukumuisti 315.

10 Toinen puskuri 253 on kytketty järjestelmäväylän 250 ja toisen väylän, kuten Micro Channel(TM)-väylän 320 väliin, johon voidaan liittää valinnaisia toiminneblokkeja.

Kuvio 3 on lohkokaavio valmistajan suosittelemista yksiköiden 80386, välimuistiohjain 82385, CPU:n paikallisväylän ja järjestelmäväylän välisen sovituksen muodostava pitopiiri-puskuri 240, välisistä liitännöistä. Erityisesti kuvio 3 esittää CPU:n paikallisväylän CPULBA (joka sisältää osoitejohtimet A2 - A31 ja ohjausjohtimet D/C, W/R ma M/IO) osoite- ja ohjausosien liittymisen ohjatun osoitelukituksen (AL) tuloon, joka edustaa osaa puskurista 240. Lukituksen AL lähdöt ovat järjestelmäväylän osoiteosaan SBA ja ohjausosaan SBC. Samaten 80386:n datan tulo/lähtö-liitäntä (käsittäen johtimet D0 - D31) on kytketty CPU:n paikallisväylän ja järjestelmäväylän välillä olevaan datan lukitukseen (DL), joka edustaa toista elementtiä puskurissa 240. DL:n toinen liitäntä on järjestelmäväylän SBD dataosa. Kuvio 3 osoittaa, että 82385 välimuistiohjain aikaansaa READYO-signaalin 80386:lle ulkoisen logiikan kautta, jota edustavat JA-portti 300 ja TAI-portti 301. READYI on valmis-signaali, joka osoittaa, että joko väyläjakso on lopetettu tai että se on esitetty ennen järjestelmäväylän jakson päättymistä myöhemmäksi siirretyllä kirjoittamistoiminnalla. Koska DL on kaksisuuntainen, eli se voi lukita dataa joko CPU:n paikallisväyläosalta (CPULBD) tai järjestelmäväylän dataosalta (SBD), niin 82385 myös tarjoaa

suuntasignaalin (BT/R), jolla osoitetaan siirtääkö DL dataa CPU:n paikallisväylältä tai järjestelmäväylältä. Signaalit BE0 - BE3 (sekä 80386:n tulostamat signaalit että 82385:n tulostamat toistosignaalit) ovat osoituksen lisäsignaaleja.

5 80386/82385-mikrotietokonejärjestelmä on järjestetty osoittamaan jokaisella muistin osoituksella datan "linjaa", joka edustaa neljää tavua. 4-bittisiä osoitussignaaleja (BE0 - BE3) voidaan käyttää valitsemaan yhden tai useampia tavuja "johdon" neljästä tavusta. Signaalit BHOLD ja BHLDA

10 ovat väylän pito, väylän pitopyyntö, eli signaalipari, joka välitetään välimuistin ohjaimen 82385 ja hallinnan ohjaimen 335 välillä. BADS on signaali, joka osoittaa, että järjestelmäväylän SBA osoituselementillä on kelvollinen osoite. BREADY on valmis-signaali järjestelmäväylältä 250

15 82385:lle.

Kuten kuviossa 3 esitetään ja kuten viitatuissa Intel-käsikirjoissa selitetään, kaikki kirjoittamiset ovat myöhemmäksi siirrettyjä, ts. osoite ja data lukitaan puskurin 240 elementteihin DL ja AL, jonka jälkeen 82385

20 esittää READY0:n, jolloin 80386 aloittaa seuraavan toimintansa. Myöhemmäksi siirretty kirjoittaminen voidaan sitten suorittaa loppuun AL:ssä ja DL:ssä olevalla datalla, 82385:n valvonnassa. Aina kun ne laitteet, joille myöhemmäksi siirretty kirjoittaminen on suunnattu, ovat

25 32-bittisiä laitteita, tai aina kun myöhemmäksi siirretty kirjoittaminen on 16-bittinen kirjoittaminen 16-bittiselle laitteelle, jne., niin myöhemmäksi siirretty kirjoittaminen toimii. Toisaalta, jos myöhemmäksi siirretty kirjoittaminen koskee dataa, joka kooltaan ylittää sen laitteen, jolle

30 myöhemmäksi siirretty kirjoittaminen on suunnattu, niin myöhemmäksi siirretty kirjoittaminen ei ole sopiva. Sopimattomuuden syynä on se, että kaikissa sellaisissa tapauksissa vaaditaan lisäjaksoja (32-bittinen jakso 16-bittiselle laitteelle vaatii kaksi jaksoa, jne.). Silloin kun

35 80386 vastaanottaa BS16-signaalin, joka osoittaa (32-bitti-

sellä jaksolla), että myöhemmäksi siirretty kirjoittaminen koskee 16-bittistä laitetta, se kuitenkin jo on seuraavassa toiminnassaan, eikä voi toistaa aikaisempaa jaksoa.

Kuvio 4 on samanlainen kuin kuvio 3, mutta se esittää 5 miten 80386, 82385, AL, DL, CPU:n paikallisväylä 230 ja järjestelmäväylä 250 on liitetty esillä olevan keksinnön mukaisesti. 82385:n BT/R-lähtö on nyt, sen sijaan että se olisi liitetty DL:ään, liitetty uuden ohjauselementin C tuloon. Ohjauselementin muita tuloja ovat DOE#-signaali 10 ja WBS-signaali 82385:ltä ja READY0 (joka aikaisemmin oli liitetty 80386:een, ks. kuvio 3). Dekooderi CADR on kytetty CPU:n paikallisväylän osoitekomponenttiin (CPULBA), ja erityisesti sen merkkibitit A17 - A26 ja A31. CADR esittää signaalin NCA, joka syötetään ohjauselementille C 15 osoittamaan sitä, että CPULBA:lla on osoite, joka on välimuistin ulottumattomissa olevan laitteen osoite. Samaten ohjaussignaali elementille DL, erityisesti LEAB (jolla lukitaan data elementtiin DL) ja OEAB# (jolla vapautetaan elementin DL lähtö), kehitetään nyt ohjauselementillä C. 20 Ohjauselementille C tulee lisäksi signaali BREADY, jonka järjestelmäväylä kehittää.

Dekooderi CADR vastaanottaa, sen CPULBA:sta tulevien bittien A17 - A26 ja A31 lisäksi, ohjelmoitavat välimuistibitit (PCB). Käytännössä toteutetussa suoritusmuodossa 25 ensimmäinen näistä kolmesta bitistä edustaa päätöstä, jolla sallitaan ROM-tilan välimuistiin asettaminen. Toinen bitti joko sallii sen, että CADR:n lähettää NCA:n dekodatun informaation perusteella, tai vaihtoehtoisesti, ilmoittaa, että kaikki osoittamiset ovat sellaisia, jotka eivät voi 30 käyttää välimuistia, ts. se esittää NCA:n riippumatta CPULBA:lla olevasta osoitteesta. Lopuksi kolmas bitti osoittaa toisessa tilassaan, että osoiteavaruus välillä 0 - 8 megatavua on välimuistin käytettävissä ja että osoiteavaruus välillä 8 - 16 megatavua ei ole välimuistin 35 käytettävissä. Toisessa tilassaan tämä bitti ilmoittaa,

että osoiteavaruus välillä 0 - 16 megatavua on kokonaan välimuistin käytettävissä. Haluttaessa tämän bitin vaikutus voidaan moninkertaistaa yksinkertaisesti heijastamalla ensimmäisen 16 megatavun tila seuraavien 16 megatavun alueiden läpi. Näiden erityisten välimuistiosoitimien (tai muiden) käyttäminen ei tietenkään ole keksinnölle oleellista. On kuitenkin tärkeätä, että CADR järjestetään siten, että se nopeasti voi dekodata tulonsa ja tuottaa NCA:n. Käytännössä toteutetussa suoritusmuodossa ajastusikkuna NCA:n tuottamiseksi CPULBA:lla voimassa olevista osoitteista oli hyvin lyhyt, suuruusluokkaa kymmenen nanosekuntia.

Termi CPUREADY määritellään alla (ks. yhtälö 7). Yhtälön viides rivi (yhtäläisyysmerkin oikealla puolella) osoittaa CPUREADY:n riippuvutta NCA:sta, ts. kun NCA esitetään READY0:n kanssa, CPUREADY invertoidaan.

Samanaikaisesti kun CPUREADY esitetään, on myös LEAB esitettävä DL:ään kirjoitettavan datan lukitsemiseksi. Signaali LEAB määritellään yhtälössä 8 (alla). Se sisältää asetusterman (ensimmäisellä rivillä, yhtäläisyysmerkin oikealla puolella) ja kaksi pitotermiä toisella ja kolmannella rivillä. Asetustermi vaatii suureiden /BUSCYC386, /CPUREADY, (W/R), CLK ja ADS samanaikaisen esiintymisen.

Käytännössä toteutetussa suoritusmuodossa ohjauslogiikka C (samoin kuin muu ohjauslogiikka, jota ei ole esitetty, mutta jolla toteutettiin muut yhtälöt 1 - 11 alla) toteutettiin ohjelmoitavan logiikan (PAL) avulla. Alan ammattilaiselle on ilmeistä, että muutkin tavanomaiset logiikkasovellutukset ovat mahdollisia.

Näin ollen, kuviossa 4 esitettyä ulkoista logiikkaa käyttäen (jota selitetään alla loogisten yhtälöiden yhteydessä), myöhemmäksi siirretty kirjoittaminen on mahdollista vain välimuistia käyttävillä osoitustoimenpiteillä. Määritelmän mukaisesti välimuistia käyttävä osoitustoimenpide on 32-bittinen laite, vaikka hyvinkin voi esiintyä muita

32-bittisiä laitteita, joilla välimuistia ei voida käyttää. Tärkein päätös, joka vaaditaan tämän keksinnön soveltamisessa, on päätös siitä, voidaanko kirjoittamista siirtää myöhemmäksi. Kun tämä päätös on tehty, sitä sovelletaan 5 kehittämällä soveltuvat ohjaussignaalit DL:lle ja AL:lle. 82385:n kehittämät signaalit soveltuvat tähän, kunhan ne ovat yhteensopivia tehdyn päätöksen kanssa kirjoittamisen myöhemmäksi siirtämisestä.

Keksintöä käyttämällä voivat myöhemmäksi siirretyt 10 kirjoittamiset siten edetä riippumatta siitä, että pienempiä kuin 32-bittisiä laitteita on liitetty järjestelmäväylään ja/tai lisätoiminneväylään.

Edellä mainitut loogiset yhtälöt esitetään tässä alla. Tässä yhteydessä symboleilla on seuraavat merkityk- 15 set:

	Symboli	Määritelmä
	/	negaatio
	:=	rekisteröity termi, yhtä suuri kuin
	=	kombinatorinen termi, yhtä suuri kuin
20	&	looginen JA
	+	looginen TAI

Loogiset yhtälöt

/BREADY385=/BUSCYC385 & /BREADY & HISS1 (1)

/BT2:=BUSCYC385 & PIPECYC385 & /BADS & CLK & BT2 (2)
 + BUSCYC385 & /PIPECYC385 & BADS & CLK & NACACHE & BT2
 + MISS1 & /BUSCYC385 & /BADS & /(BW/R) & CLK & NCA & /BREADY
 + /MISS1 & /BREADY & /BUSCYC385 & CLK
 + /BT2 & BREADY & NACACHE
 + /CLK & /BT2

/BUFWREND:=WBS & /BUSCYC385 & /BREADY & CLK (3)

/BUSCYC385:=BUSCYC385 & /BADS & CLK (4)
 + BUSCYC385 & /PIPECYC385 & CLK
 + BUSCYC385 & /BT2 & CLK
 + /BUSCYC385 & BREADY
 + /BUSCYC385 & /CLK

/BUSCYC386:=BUSCYC386 & /ADS & CLK & /RESET (5)
 + BUSCYC386 & /PIPECYC386 & CLK & /RESET
 + /BUSCYC386 & CPUREADY & /RESET
 + /BUSCYC386 & /CLK & /RESET

/CPUNA:=/MISS1 & CLK & CPUNA & /NACACHE (6)
 + /MISS1 & CLK & CPUNA & /BREADY & /BUSCYC385
 + /CPUNA & /CLK
 + /CPUNA & /MISS1 & CLK
 + /CPUNA & CLK & BREADY
 + /CPUNA & BUSCYC385 & NACACHE & CLK

/CPUREADY=/READYO & /(W/R) (7)
 + /BRDYEN & /BREADY & MISS1 & /BUSCYC385
 + /READYO387
 + /BREADY385 & (W/R) & /LEAB
 + /READYO & (W/R) & NCA
 + /RDY387PAL

LEAB:=/LEAB & /BUSCYC386 & /CPUREADY & (W/R) & CLK & ADS (8)
 + LEAB & BUFWREND & /CLK
 + LEAB & WBS & CLK

/MISS1:=MISS1 & BUSCYC385 & CPUNA & /BADS & /(BW/R) & CLK & NCA (9)
 + MISS1 & BUSCYC385 & /BADS & /(BW/R) & CLK & NCA & /BREADY
 + /MISS1 & /CLK
 + /MISS1 & BREADY

/PIPECYC385:=PIPECYC385 & /BADS & /BUSCYC385 & CLK & /BREADY (10)
 + PIPECYC385 & /MISS1 & BT2 & /BUSCYC385 & CLK & /BREADY
 + /PIPECYC385 & /CLK

/PIPECYC386:= (11)
 PIPECYC386 & /ADS & CLK & /CPUREADY & /RESET & /BUSCYC386
 + /PIPECYC386 & /CLK & /RESET

Edellä olevissa loogisissa yhtälöissä olevia seuraavia signaaleja selitetään, tai niihin viitataan, edellä viitatuissa Intel:in julkaisuissa:

	ADS	
5	BADS	
	BRDYEN	
	BREADY	
	(BW/R)	tähän viitataan itse asiassa muodossa BW/R; sulkuja käytetään sen osoittamiseksi, että kyseinen termi on yksi signaali
10	CLK	
	READY	
	RESET	
15	WBS	
	(W/R)	tähän viitataan itse asiassa muodossa W/R; sulkuja käytetään sen osoittamiseksi, että kyseinen termi on yksi signaali
20	Kun ADS on aktiivinen, se ilmaisee CPU:n paikallisväylällä 230 olevan kelvollisen osoitteen. Aktiivinen BADS ilmaisee järjestelmäväylällä 250 olevan kelvollisen osoitteen. BRDYEN on 82385:n lähtö, joka edeltää READY-signaaleja. BREADY on järjestelmäväylän 250 valmis-signaali CPU:n paikallisväylälle 230. BW/R määrittelee järjestelmäväylän	
25	250 kirjoittamisen tai lukemisen. CLK on prosessorin kello-signaali, joka on samanvaiheinen prosessorin 225 kanssa. READY0 on 82385:n toinen lähtö valmis-signaalien jonossa. RESET lienee ilmeinen. WBS osoittaa kirjoittamispuskurin tilan. (W/R) on tavanomainen kirjoittamis- tai lukemis-	
30	signaali CPU:n paikallisväylälle 230. Yhtälöt (1) - (11) määrittelevät:	
	BREADY385	
	BT2	
	BUFWREND	
35	BUSCYC385	

BUSCYC386

CPUNA

LEAB

MISS1

5

PIPECYC385

PIPECYC386

CPUREADY

määriteltujen signaalien, viitatuissa Intel:in julkaisuissa selitettyjen tai viitattujen signaalien, sekä
10 NCA:n, NACACHE:n, READYO387:n ja RDY387PAL:n perusteella.

BREADY385 on BREADY:n tapainen signaali, jota käytännössä toteutetussa suoritustavassa muunnettiin ottamaan huomioon 64K-välimuistin. 32K-välimuistin tapauksessa (kuten valmistaja suosittelee) BREADY:a voidaan käyttää
15 BREADY385:n sijasta.

BT2 edustaa järjestelmäväylän 250 tilaa. Tila BT2 on viitatuissa Intel:in julkaisuissa määritelty tila.

BUFWREND edustaa puskuroidun kirjoittamijakson loppua. BUSCYC385 edustaa myös järjestelmäväylän 250 tilaa.
20 Se on ylhäällä väylän tiloilla BTI, BT1, BT1P, ja alhaalla väylän tiloilla BT2, BT2P ja BT2I (nämä ovat jälleen väylän tiloja, joihin viitataan viitatuissa Intel:in julkaisuissa).

BUSCYC386 on ylhäällä CPU:n paikallisväylän 230
25 tiloilla TI, T1, T1P, T2I, ja alhaalla tilan T2 osalta. Se on myös alhaalla T2P:n osalta, ellei T2I esiinny ensin.

CPUNA on signaali 80386, joka sallii liukuhihnäksittelyn.

LEAB on pitopiirin aktivointi (puskurille 240) myöhemmäksi siirrettyjä kirjoittamisia varten.
30

MISS1 on aktiivinen, määritellen kaksoisjakson ensimmäisen jakson, 64-bittisten lukemisten käsittelemiseksi välimuistia käyttäville laitteille.

PIPECYC385 on aktiivinen BT1P:n aikana (joka on
35 tila, johon viitataan viitatuissa Intel:in julkaisuissa).

PIPECYC386 on alhaalla CPU:n paikallisväylän 230 tilan T1P aikana.

CPUREADY on valmis-tulo 80386:lle.

NCA on signaali, joka kehitetään dekoddaamalla CPU:n
 5 paikallisväylällä 230 oleva osoitekomponentti, ja joka
 aktiivisena edustaa sellaista osoitusta, jolla välimuistia
 ei voida käyttää. Välimuistin käyttömahdollisuus määritel-
 lään merkkikomponentilla (A31 - A17), jolloin ohjelmoitava
 informaatio määrittelee mitkä merkit (jos niitä ylipäättään
 10 käytetään) viittaavat välimuistia käyttäviin osoitteisiin,
 välimuistia käyttämättömien osoitteiden vastakohtana.

NACACHE on samantapainen signaali kuin BNA. BNA on
 järjestelmän kehittämä signaali, joka pyytää seuraavaa
 osoitetta CPU:n paikallisväylältä 230, ja jota käsitellään
 15 viitatuissa Intel:in julkaisuissa. NACACHE eroaa BNA:sta
 vain siinä suhteessa, että BNA on kehitetty 32K-välimuis-
 tilille, kun taas NACACHE on luotu 64K-välimuistille. Jos
 välimuisti on 32K, kuten mainitaan Intel:in julkaisuissa,
 voitaisiin tässä mainittu NACACHE korvata BNA-signaalilla.

20 READYO387 on matematiikka-rinnakkaisprosessorin
 80387 valmis-lähtö, kun se on lisätty järjestelmään.

RDY387PAL on ulkoisen logiikan lähtö, jota käytetään
 siinä tapauksessa, ettei matematiikka-rinnakkaisprosessoria
 80387 ole asennettu, niin ettei matematiikka-rinnakkais-
 25 prosessorin puuttuminen vaikuta järjestelmän toimintaan.

Tulisi olla ilmeistä, että esillä olevalla keksin-
 nöllä on voitettu kaikki mahdolliset ristiriidat dynaamisen
 väylän muodostuksen ja myöhemmäksi siirretyn kirjoittamisen
 välillä. Täsmällisemmin sanottuna tämä ristiriita poiste-
 30 taan ilmaisemalla, onko CPU:n paikallisväylälle 230 esi-
 tetty osoite sellaisella alueella, joka on määriteltä väli-
 muistia käyttäväksi. Myöhemmäksi siirretty kirjoittaminen
 on sallittu vain välimuistia käyttäville laitteille.
 CPUREADY kehitetään, jotta CPU voi siirtyä seuraavaan toi-
 35 mintaan. Se voidaan kehittää, tai jättää kehittämättä,

ennen käsittelyn alaisen toiminnan lopettamista. Yhtälöön 7 viitaten, rivillä 1 määritelty termi viittaa lukemisen osumaan. Tämä toiminta on vuorovaikutuksessa välimuistin kanssa, ja se on toiminta ilman odotustilaa, joten CPUREADY on aktiivinen. Rivi 2 liittyy välimuistin lukemisen epäonnistumisiin. CPUREADY muuttuu aktiiviseksi vain siloin kun BREADY on aktiivinen, ts. jaksoa ei siirretä myöhemmäksi. Rivi 4 liittyy kirjoittamiseen, jota ei ole siirretty myöhemmäksi, esim. CPUREADY on aktiivinen vain BREADY385:n (samantapainen kuin BREADY) yhteydessä. Rivi 5 liittyy välimuistia käyttävään (NCA ei aktiivinen) kirjoittamiseen, ja siten se on myöhemmäksi siirretty toiminta, ts. CPUREADY on aktiivinen ilman BREADY:a tai BREADY385:ä.

Patenttivaatimukset:

1. Mikrotietokonejärjestelmä, joka käsittää mikroprosessorin, välimuistin kiinteällä datan leveydellä, sekä välimuistin ohjaimen, jotka kaikki on kytketty paikallisväylään, joka puolestaan on kytketty pitovälineiden kautta järjestelmäväylään, johon on liitetty järjestelmän osia, joiden dataleveydet poikkeavat toisistaan, jolloin mainittu mikroprosessori voi toimia siirtäen järjestelmäväylälle kirjoittamisia myöhemmäksi, jolloin data ja osoitteet mikroprosessorilta lukitaan pitovälineeseen ja valmis-signaali johdetaan mikroprosessorille välimuistin ohjaimelta seuraavan mikroprosessorijakson aloittamiseksi, t u n n e t t u mikroprosessorin osoitelähtöihin kytketystä dekooderista, jolla aikaansaadaan lähtösignaaleja, jotka osoittavat välimuistin saavuttamattomissa olevia osoitealueita, sekä loogisesta elimestä, joka on kytketty vastaanottamaan mainitun dekooderin lähtösignaaleja ja mainitun valmis-signaalin, mainitun valmis-signaalin pidättämiseksi mikroprosessorilta kun mainittu mikroprosessori osoittaa välimuistin saavuttamattomissa olevia osoitealueita.

2. Patenttivaatimuksen 1 mukainen mikrotietokonejärjestelmä, t u n n e t t u siitä, että mainittu looginen elin on kytketty vastaanottamaan väylän valmis-signaalin mainitulta järjestelmäväylältä, jolloin mainittua valmis-signaalia loogisesta elimestä mikroprosessorille pidätetään siihen saakka, kunnes vastaanotetaan väylän valmis-signaali.

3. Patenttivaatimuksen 1 tai 2 mukainen mikrotietokonejärjestelmä, t u n n e t t u siitä, että mainittu pitoväline sisältää kaksisuuntaisen datapuskurin, joka on kytketty paikallisväylän ja järjestelmäväylän väliin, ja jolla on tulojen aktivoinnin ohjaustulo sekä lähdön aktivoinnin ohjaustulo, jolloin mainittu looginen elin sisältää

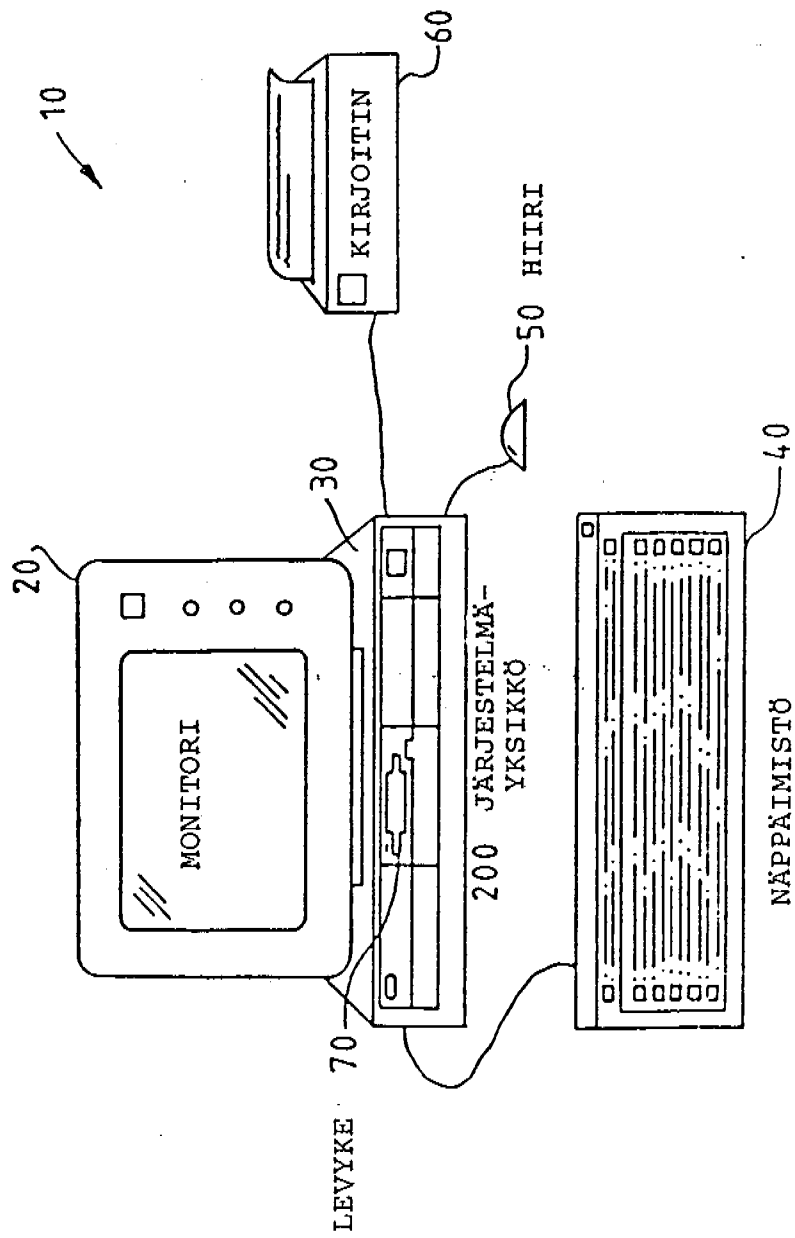
ohjauselimet ohjaussignaalien kehittämiseksi mainituille tuloille.

4. Jonkin edellisen patenttivaatimuksen mukainen mikrotietokonejärjestelmä, t u n n e t t u siitä, että
5 mainittu looginen elin reagoi dekooderin signaaliin, joka ilmaisee sellaisen osoitteen kehittämisen, joka on välimuistin käytettävissä olevan osoitealueen puitteissa, mainitun valmis-signaalin kehittämiseksi ennen väylän valmis-signaalin vastaanottamista järjestelmäväylältä.

10 5. Jonkin edellisen patenttivaatimuksen mukainen mikrotietokonejärjestelmä, t u n n e t t u siitä, että mainittu osoitteen dekooderi on kytketty vastaanottamaan vain valittuja mikroprosessorin osoitelähtöjä.

6. Patenttivaatimuksen 5 mukainen mikrotietokonejärjestelmä, t u n n e t t u siitä, että mainittu osoite-
15 dekooderi on kytketty vastaanottamaan muita ohjaussignaaleja, jotka liittyvät mikroprosessorin kehittämien osoitteiden välimuistin käyttömahdollisuuteen.

7. Jonkin edellisen patenttivaatimuksen mukainen
20 mikrotietokonejärjestelmä, t u n n e t t u siitä, että siihen lisäksi sisältyy valinnaisten toiminteiden väylä, joka on kytketty valinnaisten toiminnepiirilevyjen paikkojen joukkoon valinnaisten toiminneyksiköiden kytkemiseksi valinnaisten toiminteiden väylään, jolloin mainituilla
25 yksiköillä on poikkeavat dataleveydet, kytkentäelin valinnaisten toiminteiden väylän kaksisuuntaista järjestelmäväylään kytkemistä varten, tämän yksikön kirjoittamistoinnin lopuksi kehitetyn väylän valmis-signaalin suuntaamiseksi valinnaisesta toiminneyksiköstä järjestelmäväylän
30 kautta paikallisväylälle valmis-signaalin johtamiseksi mikroprosessorille, kun valmis-signaali loogisesta elimestä on pidätetty.

FIG. 1



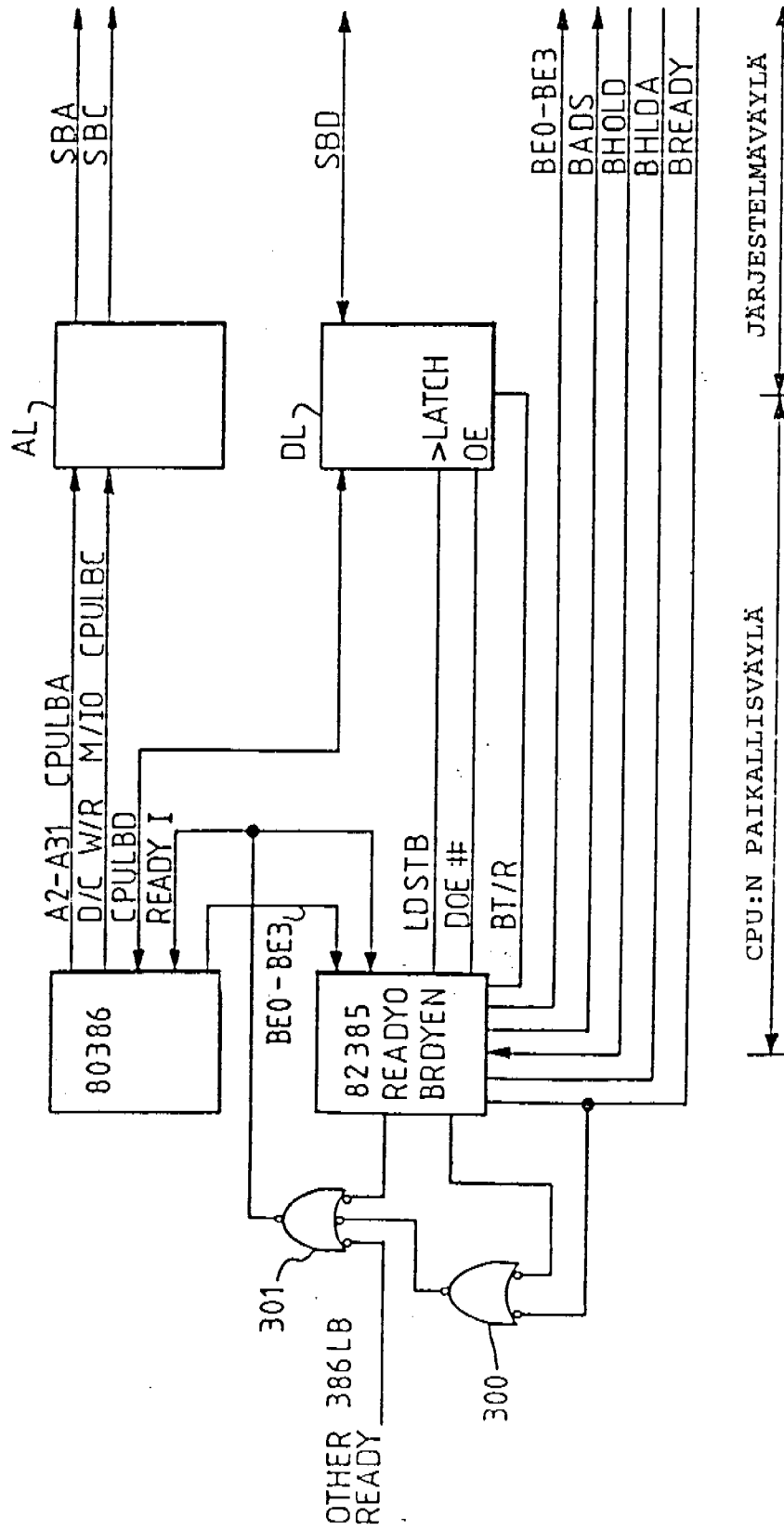


FIG. 3

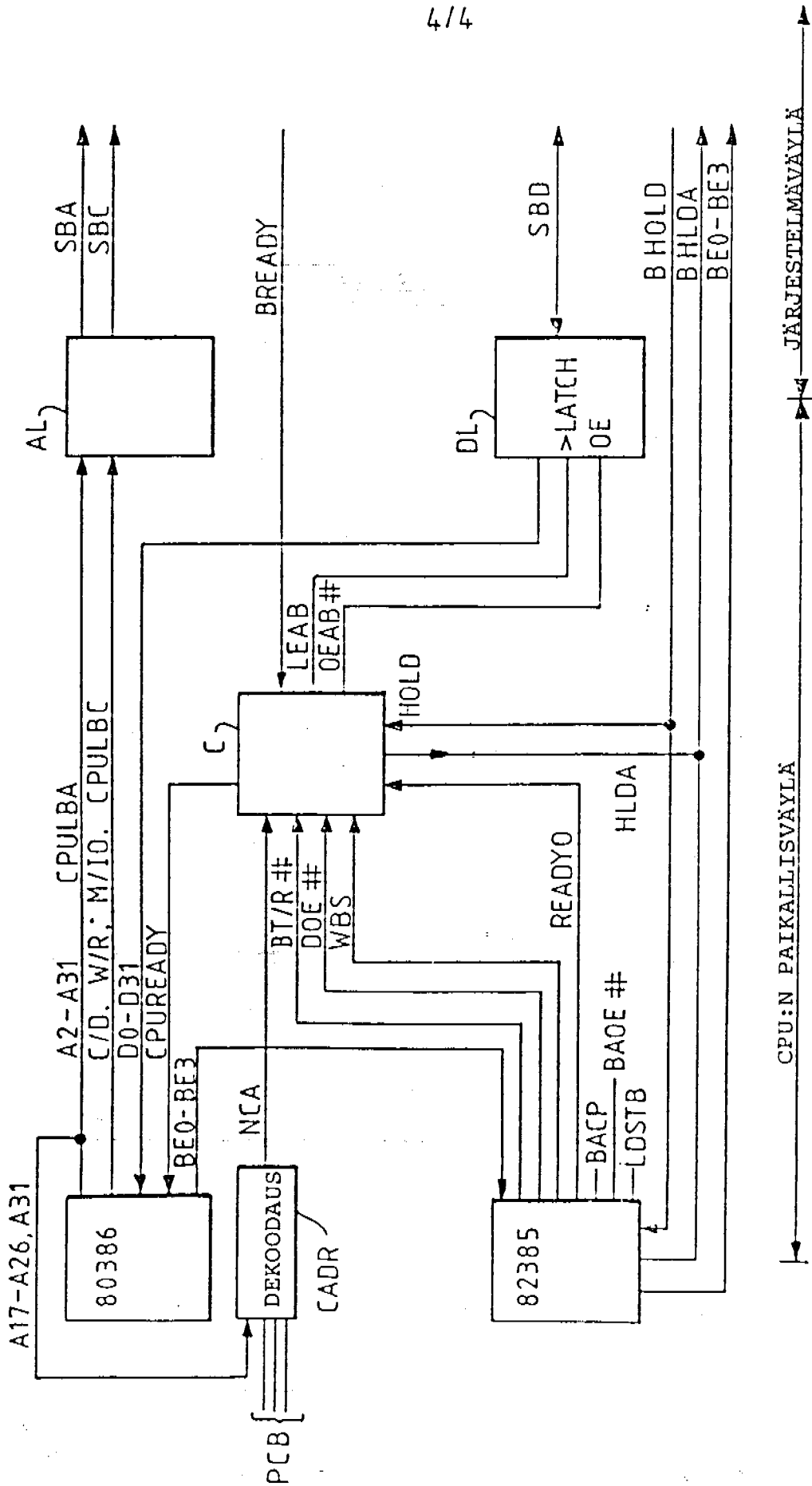


FIG. 4