

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4066211号
(P4066211)

(45) 発行日 平成20年3月26日(2008.3.26)

(24) 登録日 平成20年1月18日(2008.1.18)

(51) Int.Cl. F I
H03K 5/08 (2006.01) H03K 5/08 T
GO1R 19/165 (2006.01) GO1R 19/165 A

請求項の数 11 (全 30 頁)

(21) 出願番号	特願平10-157366	(73) 特許権者	000173658
(22) 出願日	平成10年6月5日(1998.6.5)		財団法人国際科学振興財団
(65) 公開番号	特開平11-195966		茨城県つくば市赤塚字牛ヶ淵586-9
(43) 公開日	平成11年7月21日(1999.7.21)	(74) 代理人	100088096
審査請求日	平成17年6月2日(2005.6.2)		弁理士 福森 久夫
(31) 優先権主張番号	特願平9-149631	(72) 発明者	小谷 光司
(32) 優先日	平成9年6月6日(1997.6.6)		宮城県仙台市青葉区荒巻字青葉(無番地)
(33) 優先権主張国	日本国(JP)		東北大学工学部電子工学科内
(31) 優先権主張番号	特願平9-304598	(72) 発明者	大見 忠弘
(32) 優先日	平成9年11月6日(1997.11.6)		宮城県仙台市青葉区米ヶ袋2の1の17の301
(33) 優先権主張国	日本国(JP)	(72) 発明者	新田 雄久
			東京都文京区本郷4丁目1番4号株式会社 ウルトラクリーンテクノロジー開発研究所 内

最終頁に続く

(54) 【発明の名称】 電荷転送増幅回路、電圧比較器及びセンスアンプ

(57) 【特許請求の範囲】

【請求項1】

MOSトランジスタと、前記MOSトランジスタのソース電極およびドレイン電極にそれぞれ接続された第1の容量および第2の容量と、前記第1の容量の両端子間と前記第2の容量の両端子間をそれぞれ所定の電位差に設定する手段と、前記MOSトランジスタのゲート・ソース間電位差を外部より変化せしめる手段とを有し、前記第1の容量を前記第2の容量よりも大きくし前記第1の容量の前記MOSトランジスタのゲート電極に接続されていない側の電位を変化させて電圧増幅を行うことを特徴とする電荷転送増幅装置。

【請求項2】

P型MOSトランジスタと、前記P型MOSトランジスタのソース電極およびドレイン電極にそれぞれ接続された第1の容量と、前記第1の容量の両端子間をそれぞれ所定の電位差に設定する手段と、前記PMOSトランジスタのゲート・ソース間電位差を外部より変化せしめる手段とを有する第1の回路と、

N型MOSトランジスタと、前記N型MOSトランジスタのソース電極およびドレイン電極にそれぞれ接続された第1の容量と、前記第1の容量の両端子間をそれぞれ所定の電位差に設定する手段と、前記N型MOSトランジスタのゲート・ソース間電位差を外部から変化せしめる手段とを有する第2の回路とからなり、

前記第1の回路と第2の回路とが、前記PMOSトランジスタ及び前記NMOSトランジスタのドレイン電極において接続され、該ドレイン電極に接続された第2の容量の両端子間を所定の電位差に設定する手段が設けられ、さらに前記第1の回路及び第2の回路にお

10

20

ける第 1 の容量のいずれも前記第 2 の容量よりも大きくしたことを特徴とする電荷転送増幅回路。

【請求項 3】

前記第 1 の回路は、前記第 1 の容量の前記 P 型 MOS トランジスタのゲート電極に接続されていない側の電位を変化させて電圧増幅を行うことを特徴とする請求項 2 に記載の電荷転送増幅回路。

【請求項 4】

前記第 2 の回路は、前記第 1 の容量の前記 N 型 MOS トランジスタのゲート電極に接続されていない側の電位を変化させて電圧増幅を行うことを特徴とする請求項 2 に記載の電荷増幅回路。

10

【請求項 5】

前記 P 型 MOS トランジスタのゲート電極と、前記 N 型 MOS トランジスタのゲート電極を接続して共通の端子としたことを特徴とする請求項 2 に記載の電荷転送増幅回路。

【請求項 6】

前記ゲート・ソース間電位差を外部より変化せしめる手段は、前記 MOS トランジスタのゲート電極の電位を変化させる手段を有していることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の電荷転送増幅回路。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の電荷転送増幅回路の前記ドレイン電極にダイナミックラッチ回路を接続したことを特徴とする電圧比較器。

20

【請求項 8】

第 1 の MOS トランジスタと、該第 1 の MOS トランジスタとは反対導電型の第 2 の MOS トランジスタと、前記第 1 の MOS トランジスタのソース電極と前記第 2 の MOS トランジスタのソース電極間に接続された蓄積容量と、
該蓄積容量の両端子をリセット期間においてそれぞれ所定の電位に設定する手段と、
前記第 2 の MOS トランジスタのゲート電極と前記第 1 の MOS トランジスタのドレイン電極とを接続する手段及び前記第 1 の MOS トランジスタのドレイン電極を前記リセット期間に後続するプリチャージ期間において所定の電位に設定し、該プリチャージ期間に後続する増幅期間において解放する手段、又は / 並びに前記第 1 の MOS トランジスタのゲート電極と前記第 2 の MOS トランジスタのドレイン電極とを接続する手段及び前記第 2 の MOS トランジスタのドレイン電極を前記プリチャージ期間において所定の電位に設定し、前記増幅期間において解放する手段と、
前記増幅期間において電圧が変化する入力信号に応じて前記第 1 の MOS トランジスタのゲート・ソース間電圧又は / 及び前記第 2 の MOS トランジスタのゲート・ソース間電圧を変化させる機構とを有することを特徴とする電荷転送正帰還増幅回路。

30

【請求項 9】

前記第 1 の MOS トランジスタを P 型 MOS トランジスタとした請求項 6 に記載の第 1 の電荷転送正帰還増幅回路と、前記第 1 の MOS トランジスタを N 型 MOS トランジスタとした請求項 6 に記載の第 2 の電荷転送正帰還増幅回路とからなり、

前記第 1 の電荷転送正帰還増幅回路の P 型 MOS トランジスタのドレイン電極と前記第 2 の電荷転送正帰還増幅回路の N 型 MOS トランジスタのドレイン電極とを接続し、
又は / 及び、前記第 1 の電荷転送正帰還増幅回路の N 型 MOS トランジスタのドレイン電極と前記第 2 の電荷転送正帰還増幅回路の P 型 MOS トランジスタのドレイン電極とを接続したことを特徴とする電荷転送正帰還増幅回路。

40

【請求項 10】

請求項 8 又は 9 に記載の電荷転送正帰還増幅回路において、プリチャージ期間において所定の電位に設定し、増幅期間において電荷を開放する手段が設けられた節点の少なくとも一つを出力とし、前記節点に直接又は容量を介してラッチ回路を接続したことを特徴とする電圧比較器。

【請求項 11】

50

請求項 8 又は 9 に記載の電荷転送正帰還増幅回路の入力に、複数のメモリ素子が接続されたビットラインが接続されたことを特徴とするセンスアンプ。

【発明の詳細な説明】

【0001】

【発明属する技術分野】

本発明は、高精度な増幅が可能な電荷転送増幅回路、電圧比較器路及びセンスアンプに係る。

【0002】

【従来の技術】

アナログ信号をデジタル信号に変換する回路である A / D コンバータは、諸量がすべてアナログ信号であるリアルワールドとデジタル量であるコンピュータワールドを繋ぐインターフェースとして欠くことができない重要な回路である。特に近年、情報端末機器の小型化・携帯化が進行しており、A / D コンバータに対しても低消費電力化の要求が強くなってきている。

10

【0003】

一般的な A / D コンバータは、比較器としてチョッパ型 CMOS インバータか、差動アンプを用いており、定常的な直流電流（チョッパ型のオートゼロ電流、差動アンプのバイアス電流）が流れることから消費電力を増大させていた。

低消費電力化のため、この部分に定常的な電力消費のないダイナミックラッチ（センスアンプ）電圧比較器回路（図 17 参照）を用いた A / D コンバータが開発されている。

20

【0004】

しかし、このダイナミックラッチ回路は、しきい値等の素子特性の揺らぎをキャンセルする機構を持たないため、比較器として用いた場合にオフセット電圧のばらつきが発生し、比較精度が悪く、高精度の A / D コンバータには応用できなかった。

【0005】

【発明が解決しようとする課題】

そこで本発明は、素子特性の揺らぎをキャンセルし、定常電流を流さないで電圧増幅を行う半導体回路を実現し、ダイナミックラッチ回路のオフセット電圧ばらつきを実効的に小さくして、高精度の低消費電力 A / D コンバータを提供することを目的としている。

【0006】

さらに、本発明では、より高速動作が可能でかつ増幅率も大きく、消費電力も小さい電圧増幅回路を実現し、高精度の低消費電力 A / D コンバータ用電圧比較器を提供することを目的としている。

30

【0007】

【課題を解決するための手段】

本発明の電荷転送増幅回路は、MOS トランジスタと、前記 MOS トランジスタのソース電極およびドレイン電極にそれぞれ接続された第 1 の容量および第 2 の容量と、前記第 1 の容量の両端子間と前記第 2 の容量の両端子間をそれぞれ所定の電位差に設定する手段と、前記 MOS トランジスタのゲート・ソース間電位差を外部より変化せしめる手段とを有し、前記第 1 の容量を前記第 2 の容量よりも大きくし前記第 1 の容量の前記 MOS トランジスタのゲート電極に接続されていない側の電位を変化させて電圧増幅を行うことを特徴とする。

40

【0008】

本発明の他の電荷転送増幅回路は、PMOS トランジスタと、PMOS トランジスタのソース電極に実質的に接続された第 1 の容量と、前記第 1 の容量の両端子間をそれぞれ適宜所定の電位差に設定したり解放したりする手段と、前記 PMOS トランジスタのゲート・ソース間電位差を適宜外部より変化せしめる手段とを有する第 1 の回路と、

NMOS トランジスタと、前記 NMOS トランジスタのソース電極に実質的に接続された第 1 の容量と、前記第 1 の容量の両端子間を適宜所定の電位差に設定したり解放したりする手段と、前記 NMOS トランジスタのゲート・ソース間電位差を適宜外部より変化せし

50

める手段とを有する第 2 の回路とからなり、
前記第 1 の回路と前記第 2 回路とが前記 P M O S トランジスタ及び前記 N M O S トランジスタのドレイン電極において接続され、該ドレイン電極に実質的に接続された第 2 の容量の両端子間を適宜所定の電位差に設定したり解放したりする手段が設けられ、さらに前記第 1 の回路及び第 2 の回路における第 1 の容量のいずれも前記第 2 の容量よりも大きくしたことを特徴とする。

【 0 0 0 9 】

本発明の電圧比較器は、上記本発明の電荷転送増幅回路の前記ドレイン電極にダイナミックラッチ回路を接続したことを特徴とする。

【 0 0 1 0 】

本発明の電荷転送正帰還増幅回路は、
第 1 の M O S トランジスタと、
該第 1 の M O S トランジスタとは反対導電型の第 2 の M O S トランジスタと、
前記第 1 の M O S トランジスタのソース電極と前記第 2 の M O S トランジスタのソース電極間に接続された蓄積容量と、

該蓄積容量の両端子をリセット期間においてそれぞれ適宜所定の電位に設定する手段と、
前記第 2 の M O S トランジスタのゲート電極と前記第 1 の M O S トランジスタのドレイン電極とを接続する手段及び前記第 1 の M O S トランジスタのドレイン電極を前記リセット期間に後続するプリチャージ期間において適宜所定の電位に設定し該プリチャージ期間に後続する増幅期間において解放する手段、又は / 並びに前記第 1 の M O S トランジスタのゲート電極と前記第 2 の M O S トランジスタのドレイン電極とを接続する手段及び前記第 2 の M O S トランジスタのドレイン電極を前記プリチャージ期間において適宜所定の電位に設定し前記増幅期間において解放する手段と、

前記増幅期間において電圧が変化する入力信号に応じて前記第 1 の M O S トランジスタのゲート・ソース間電圧又は / 及び前記第 2 の M O S トランジスタのゲート・ソース間電圧を変化させる機構と、
を有することを特徴とする。

【 0 0 1 1 】

本発明の電圧比較器は、本発明の電荷転送正帰還増幅回路において、プリチャージ期間において適宜所定の電位に設定し増幅期間において解放する手段が設けられた節点の少なくとも一つを出力とし、前記節点に直接又は容量を介してラッチ回路を接続したことを特徴とする。

【 0 0 1 2 】

さらに、本発明のセンスアンプは、本発明の電荷転送正帰還増幅回路の入力に、複数のメモリ素子が接続されたビットラインが接続されたことを特徴とする。

【 0 0 1 3 】

【実施例】

以下に実施例を挙げ本発明を詳細に説明するが、本発明がこれらの実施例に限定されるものではないことはいうまでもない。

【 0 0 1 4 】

(実施例 1)

図 1 は、本発明の第 1 の実施例を示す回路の構成図である。この回路は、N 型 M O S トランジスタを用いた電荷転送増幅回路である。図において 1 0 1 は容量が C_T の蓄積容量 (第 1 の容量)、1 0 2 は容量 C_O の出力容量 (第 2 の容量) である。出力容量 1 0 2 は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっている。1 0 3 は N 型 M O S トランジスタで、そのソース電極は節点 1 0 4 で蓄積容量 1 0 1 および蓄積容量 1 0 1 のリセット用スイッチ 1 0 5 と接続されている。N 型トランジスタ 1 0 3 のドレイン電極は、出力節点 1 0 6 で出力容量 1 0 2 およびプリチャージ用スイッチ 1 0 7 と接続されている。N 型トランジスタ 1 0 3 のゲート電極は、入力節点 1 0 8 となっている。

【 0 0 1 5 】

回路は3段階で動作する。第1段階はリセット段階で、蓄積容量101のリセットが行われる。スイッチ105がオンし、節点104が接地され、蓄積容量101がリセットされる。別の表現では蓄積容量101の電荷が放電される。

【 0 0 1 6 】

第2段階はプリチャージ段階である。スイッチ105がオフし、スイッチ107がオンする。N型MOSトランジスタ103のゲート電極、つまり回路の入力節点108には電圧 V_G が印加されているものとする。この時、出力容量102がプリチャージ電圧 V_{PR} でプリチャージされると共に、電流がN型トランジスタ103を通して流れ、蓄積容量101の充電（プリチャージ）が開始される。やがて、節点104の電位が上昇し、N型MOSトランジスタ103のゲート・ソース間電位差がN型MOSトランジスタ103のしきい値 V_{TH} と等しくなったところでN型MOSトランジスタ103がオフして電流が流れなくなり、蓄積容量101のプリチャージが自動的に終了する。このとき、N型MOSトランジスタ103のソース電極である節点104の電位は、 $V_G - V_{TH}$ となる。

10

【 0 0 1 7 】

第3段階は増幅段階である。スイッチ107がオフとなる。スイッチ105はオフのままである。このとき、N型MOSトランジスタ103のゲート電極、つまり回路の入力節点108の電位が V_G から V_G 増えて、 $V_G + V_G$ になったとする。すると、N型MOSトランジスタ103のゲート・ソース間電圧がしきい値 V_{TH} より大きくなるため、N型MOSトランジスタ103が再びオンし電流が流れはじめる。この時流れる電流は、出力容量102に蓄えられていた電荷が転送されるものである。やがて、N型MOSトランジスタ103のゲート・ソース間電位差がN型MOSトランジスタ103のしきい値 V_{TH} と再び等しくなったところでN型MOSトランジスタ103がオフして電流が流れなくなる。この時、N型MOSトランジスタ103のソース電極である節点104の電位は、 $V_G - V_{TH} + V_G$ となる。つまり、N型MOSトランジスタ103のゲート電極の電位変化と同じく、プリチャージ段階から V_G だけ変化する。この時出力容量102から蓄積容量101に転送された電荷量は $Q = C_T \cdot V_G$ となる。出力容量102から $Q = C_T \cdot V_G$ の電荷が減少するため、出力容量の端子電圧、つまり出力節点106の電位は、 $V_O = -C_T \cdot V_G / C_O$ だけ変化する。つまり、増幅率 $-C_T / C_O$ の増幅が行われることになる。

20

30

【 0 0 1 8 】

回路動作から明らかなように、回路に定常的な直流電流は流れない。低消費電力で電圧増幅が可能である。

【 0 0 1 9 】

また、増幅率の表式からも明らかなように、N型MOSトランジスタ103のデバイスパラメータ、たとえばしきい値 V_{TH} がたとえ変動しても、増幅作用には影響を与えない。つまり、素子特性のばらつきを補正する機能を持っている。

【 0 0 2 0 】

本実施例においては、MOSトランジスタとしてN型MOSトランジスタを用いたがP型MOSトランジスタを用いても良い事は言うまでもない。また、出力容量102は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっているが、実際に容量を設けても良い事は言うまでもない。さらに、MOSトランジスタのゲート・ソース間電圧を変化させる手法として、直接ゲート電極の電位を変化させる手法について説明したが、容量等を介して間接的にゲート電極の電位を変化させても良く、また、ゲート電極の電位は固定とし、蓄積容量101の接地側端子の電位を増幅段階で変化させても良い。蓄積容量101のリセットとして節点104を接地するように構成したが、接地する必要は必ずしも無く、N型MOSトランジスタのゲート電極電位からしきい値を引いた電位より低い電位を印加しても良い。

40

【 0 0 2 1 】

(実施例2)

50

図 2 は、本発明の第 2 の実施例を示す電荷電送増幅回路の構成図である。この回路は、P 型 MOS トランジスタを用いた第 1 の回路と N 型 MOS トランジスタを用いた第 2 の回路を組み合わせた CMOS 電荷転送増幅回路である。

【 0 0 2 2 】

図において 2 0 1 および 2 0 2 は容量が C_T の蓄積容量（第 1 の容量）、2 0 3 は容量 C_O の出力容量（第 2 の容量）である。出力容量 2 0 3 は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっている。2 0 4 は N 型 MOS トランジスタで、そのソース電極はスイッチ 2 0 5 を介し節点 2 0 6 で蓄積容量 2 0 1 および蓄積容量 2 0 1 のリセット用スイッチ 2 0 7 と接続されている。2 0 8 は P 型 MOS トランジスタで、そのソース電極はスイッチ 2 0 9 を介し節点 2 1 0 で蓄積容量 2 0 2 および蓄積容量 2 0 2 のリセット用スイッチ 2 1 1 と接続されている。N 型 MOS トランジスタ 2 0 4 のドレイン電極および P 型 MOS トランジスタ 2 0 8 のドレイン電極は、出力節点 2 1 2 で出力容量 2 0 3 およびプリチャージ用スイッチ 2 1 3 と接続されている。N 型 MOS トランジスタ 2 0 4 のゲート電極と P 型 MOS トランジスタ 2 0 8 のゲート電極は接続され、入力節点 2 1 4 となっている。

【 0 0 2 3 】

回路は第 1 の実施例の N 型トランジスタ回路と同様に 3 段階で動作する。第 1 段階はリセット段階で、蓄積容量 2 0 1 および 2 0 2 のリセットが行われる。スイッチ 2 0 7 および 2 1 1 がオンし、節点 2 0 6 が接地されるとともに節点 2 1 0 が電源に接続され、蓄積容量 2 0 1 および 2 0 2 がリセットされる。このとき、スイッチ 2 0 5 および 2 0 9 はオフとなっており、P 型 MOS トランジスタ 2 0 8、出力節点 2 1 2、N 型 MOS トランジスタ 2 0 4 を通して貫通電流が流れるのを防止している。

【 0 0 2 4 】

第 2 段階はプリチャージ段階である。スイッチ 2 0 7 および 2 1 1 がオフし、スイッチ 2 1 3、2 0 5、2 0 9 がオンとなる。回路の入力節点 2 1 4 には電圧 V_F が印加されているものとする。この時、出力容量 2 0 3 がプリチャージ電圧 V_{PR} でプリチャージされると共に、電流が N 型トランジスタ 2 0 4 および P 型 MOS トランジスタ 2 0 8 を通して流れ蓄積容量 2 0 1 および 2 0 2 の充電（プリチャージ）が開始される。やがて、節点 2 0 6 の電位が上昇し、N 型 MOS トランジスタ 2 0 4 のゲート・ソース間電位差が N 型 MOS トランジスタ 2 0 4 のしきい値 V_{THN} と等しくなったところで N 型 MOS トランジスタ 2 0 4 がオフして電流が流れなくなり、蓄積容量 2 0 1 のプリチャージが自動的に終了する。同様に、節点 2 1 0 の電位は低下し、P 型 MOS トランジスタ 2 0 8 のゲート・ソース間電位差が P 型 MOS トランジスタ 2 0 8 のしきい値 V_{THP} と等しくなったところで P 型 MOS トランジスタ 2 0 8 がオフして電流が流れなくなり、蓄積容量 2 0 2 のプリチャージが自動的に終了する。このとき、N 型 MOS トランジスタ 2 0 4 のソース電極と接続されている節点 2 0 6 の電位は、 $V_F - V_{THN}$ となる。同様に P 型 MOS トランジスタ 2 0 8 のソース電極と接続されている節点 2 1 0 の電位は、 $V_F - V_{THP}$ となる。

【 0 0 2 5 】

実際には、MOS トランジスタのゲート・ソース間電位差がしきい値と等しくなりさらに小さくなくても、MOS トランジスタには微小な弱反転電流が流れ続ける。しかし、本実施例の CMOS 電荷転送増幅回路では、N 型 MOS トランジスタ 2 0 4 を流れる弱反転電流と P 型 MOS トランジスタ 2 0 8 を流れる弱反転電流がほぼバランスし、実質的にプリチャージ電源 V_{PR} からの電荷の流入 / 流出はほとんど無くなる。したがって実質的にプリチャージが終了するのである。

【 0 0 2 6 】

第 3 段階は増幅段階である。スイッチ 2 1 3 がオフとなる。スイッチ 2 0 7 および 2 1 1 はオフ、スイッチ 2 0 5 および 2 0 9 はオンのままである。このとき、回路の入力節点 2 1 4 の電位が V_F から V_F 増えて、 $V_F + V_F$ になったとする。すると、実施例 1 の N 型 MOS トランジスタ回路と同様に、N 型 MOS トランジスタ 2 0 4 のゲート・ソース間電圧がしきい値 V_{THN} より大きくなるため、N 型 MOS トランジスタ 2 0 4 が再びオンし電

10

20

30

40

50

流が流れはじめる。この時流れる電流は、出力容量 203 に蓄えられていた電荷が転送されるものである。やがて、N型MOSトランジスタ204のゲート・ソース間電位差がしきい値 V_{THN} と再び等しくなったところでN型MOSトランジスタ204がオフして電流が流れなくなる。N型MOSトランジスタ204のソース電極が接続されている節点206の電位は、 $V_F - V_{THN} + V_F$ となる。つまり、入力節点214の電位変化と同じく、プリチャージ段階から V_F だけ変化する。この時、P型MOSトランジスタ208は、入力節点214の電位 V_F から V_F 増えて、 $V_F + V_F$ になったことによりゲート・ソース間電圧の絶対値がしきい値 V_{THP} の絶対値より小さくなるため、オフのままであり、電流は流れない。したがって、電荷の流れは出力容量203から蓄積容量201への流れだけであり、その電荷量は $Q = C_T \cdot V_F$ となる。出力容量203から $Q = C_T \cdot V_F$ の電荷が減少するため、出力容量の端子電圧、つまり出力節点212の電位は、 $V_O = -C_T \cdot V_F / C_O$ だけ変化する。つまり、増幅率 $-C_T / C_O$ の増幅が行われることになる。

10

【0027】

回路の入力節点214の電位が逆に減少した場合は、N型MOSトランジスタはオフのまま、P型MOSトランジスタが再活性化され、P型MOSトランジスタにつながる蓄積容量202と出力容量203の間で電荷転送が行われ、同様に増幅が行われる。

【0028】

実際には、本実施例のCMOS電荷転送増幅回路においては、プリチャージ段階の説明で述べたように、N型MOSトランジスタ204およびP型MOSトランジスタ208には、増幅段階の初期状態では弱反転電流が流れている。入力節点214の電位変化によりN型MOSトランジスタ204およびP型MOSトランジスタ208に流れる弱反転電流に差が生じ、その差の分だけ出力容量203との間で電荷転送が行われるのであるが、実質的には上述したようにN型MOSトランジスタ204あるいはP型MOSトランジスタ208のどちらか一方にだけ電流が流れると解釈しても問題ない。

20

【0029】

以上述べたように、本実施例のCMOS電荷転送増幅回路は、入力信号の正負両方向の変化に対して増幅作用を持った回路である。

【0030】

回路動作から明らかのように、回路に定常的な直流電流は流れない。低消費電力で電圧増幅が可能である。

30

【0031】

また、N型MOSトランジスタ204やP型MOSトランジスタ208の素子特性、たとえばしきい値 V_{THN} や V_{THP} がたとえ変動しても、増幅作用には影響を与えない。つまり、素子特性のばらつきを補正する機能を持っている。

【0032】

図3は、本実施例の回路の動作波形を示している。上図の301は入力節点214の電位変化、302は出力節点212の電位変化を示している。また下図の303はN型MOSトランジスタ204を流れる電流変化、304はP型MOSトランジスタ208を流れる電流変化を示している。プリチャージ段階においては、N型MOSトランジスタを流れる電流303とP型MOSトランジスタの電流304がほぼ等しいことがわかる。また、1回目の増幅段階の時、入力節点214の電位を2.5Vから+5mV変化させている。これにより、N型MOSトランジスタを流れる電流303が増加し、P型MOSトランジスタの電流304が減少していることがわかる。この電流の差に相当する電荷が転送されたことになり、出力節点の電位が302で示されるように大きく約-30mV変化している。2回目の増幅段階には、入力節点214の電位を2.5Vから-5mV変化させている。これにより、N型MOSトランジスタを流れる電流303が減少し、P型MOSトランジスタの電流304が増加していることがわかる。出力節点の電位302は、約+30mV変化している。 $-C_T / C_O$ を-6と設定したので増幅度は約-6となっている。

40

【0033】

50

図4は、本実施例のCMOS電荷転送増幅回路の動作に対する、デバイス特性のゆらぎの影響を調べた結果である。N型MOSトランジスタ204のしきい値 V_{THN} が ± 200 mV変動したときに、回路の入力オフセット電圧はどれくらい変動するかプロットしてある。ここで、入力オフセット電圧とは、増幅段階において、出力電位変化をゼロに留める為に入力節点に与えなければならない電位変化であり、理想的にはゼロである。しかし、回路内の素子特性のアンバランス等により有限の入力オフセット電圧が存在し、素子特性ばらつきを補正する機構を持たない回路は、回路内の素子特性のばらつきにより入力オフセット電圧も揺らいでしまう。一方、本実施例の回路では、図4が示すように、 ± 200 mVのしきい値変動に対し、入力オフセット電圧は0.4 mV程度しか変化してない。本実施例のCMOS電荷転送増幅回路が、素子特性のゆらぎを補正する機能を持っていることがわかる。

10

【0034】

本実施例においては、出力容量203は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっているが、実際に容量を設けても良い事は言うまでもない。蓄積容量201と202は同じ容量値としたが回路のアンバランスが問題にならないのであれば別に異なっても構わない。さらに、MOSトランジスタのゲート・ソース間電圧を変化させる手法として、直接ゲート電極の電位を変化させる手法について説明したが、容量等を介して間接的にゲート電極の電位を変化させても良く、また、ゲート電極の電位は固定とし、蓄積容量201の接地側端子の電位および蓄積容量202の電源側端子の電位を増幅段階で変化させても良い。蓄積容量201のリセットとして節点206を接地するように構成したが、接地する必要は必ずしも無く、N型MOSトランジスタのゲート電極電位からしきい値を引いた電位より低い電位を印加しても良い。同様に蓄積容量202のリセットとして節点210を電源に接続するように構成したが、電源に接続する必要は必ずしも無く、P型MOSトランジスタのゲート電極電位からしきい値の絶対値を足した電位より高い電位を印加しても良い。リセット段階時の貫通電流を防止するためスイッチ205および209を配したが、貫通電流が防止できれば別の手法でも良く、例えば、リセット時には蓄積容量201および202のそれぞれの端子間をスイッチで短絡してリセットを行うがそのとき節点206および210とは反対側の端子をそれぞれ電氣的にフローティングにする機構を設けて貫通電流を防止しても良い。

20

【0035】

(実施例3)

図5は、本発明の第3の実施例を示す電圧比較器の構成図である。この回路は、第2の実施例で示したCMOS電荷転送増幅回路の出力にダイナミックラッチ回路を接続し、かつ入力部には入力サンプリング回路を接続して構成した電圧比較器である。図において、501は第2の実施例で述べたCMOS電荷転送増幅回路である。502は第1の入力切り替えスイッチ、503は第2の入力切り替えスイッチ、504は入力サンプリング容量、505はプリチャージスイッチである。506はCMOS電荷転送増幅回路501の入力端子である。507はダイナミックラッチ回路である。ダイナミックラッチ回路507の内部では、508は第1のN型MOSトランジスタ、509は第1のP型MOSトランジスタ、510は第2のN型MOSトランジスタ、511は第2のP型MOSトランジスタであり、512は第1のラッチ制御スイッチ、513は第2のラッチ制御スイッチである。514は、CMOS電荷転送増幅回路501の出力とダイナミックラッチ507の入力の接続・切り放しを制御するスイッチである。515は、ダイナミックラッチ507の他方の入力端子と参照電圧として用いる V_{PR} との接続・切り放しを制御するスイッチである。

30

40

【0036】

ダイナミックラッチ507も、CMOS電荷転送増幅回路501と同じく3段階で一周期の動作のため、それらを組み合わせた本実施例の電圧比較器も3段階で動作する。

【0037】

第1段階では、CMOS電荷転送増幅回路501はリセット動作、ダイナミックラッチ5

50

07はラッチ動作を行う。すなわち、ダイナミックラッチ507においては、スイッチ514および515がオフとなり、ダイナミックラッチ回路が切り離される。ダイナミックラッチ回路内のラッチ制御スイッチ512および513がオンとなり、前の周期で入力されていた信号を増幅し、出力が接地電位か電源電位に変位して安定化する。

【0038】

第2段階では、CMOS電荷転送増幅回路501はプリチャージ動作、ダイナミックラッチ507はリセット動作を行う。このとき、入力切り替えスイッチ502はオン、503はオフ、プリチャージスイッチ505はオンである。したがって、入力サンプリング容量504の両端には、比較器の入力信号 V_{IN} とプリチャージ電圧 V_{PR} が印加される。CMOS電荷転送増幅回路501の入力端子506、つまり、CMOS電荷転送増幅回路内のN型MOSトランジスタとP型MOSトランジスタのゲート電極にもプリチャージ電圧 V_{PR} が印加され、CMOS電荷転送増幅回路のプリチャージが行われる。一方、スイッチ514および515はオン、ダイナミックラッチ507内のラッチ制御スイッチ512および513はオフとなり、ダイナミックラッチの両入力端子がプリチャージ電圧 V_{PR} でリセットされる。

【0039】

第3段階では、CMOS電荷転送増幅回路501は増幅動作、ダイナミックラッチ507は入力転送動作を行う。まず、プリチャージスイッチ505がオフになり、CMOS電荷転送増幅回路501の入力端子506がフローティング状態になる。入力切り替えスイッチ502がオフ、503がオンとなり、入力サンプリング容量504には参照電圧 V_{REF} が印加されることになる。このとき、この参照信号 V_{REF} と第2段階で印加されていた入力信号 V_{IN} との電位差が、入力サンプリング容量504と、CMOS電荷転送増幅回路の入力容量、つまり、N型MOSトランジスタのゲート容量とP型MOSトランジスタのゲート容量を足したもので、容量分割され、入力端子506に電位変化として現れる。入力サンプリング容量504の容量をCMOS電荷転送増幅回路の入力容量に比べて十分大きくとると、入力端子506には、参照信号 V_{REF} と入力信号 V_{IN} との電位差にほぼ等しい電位変化が生じる。この入力端子の電位変化によりCMOS電荷転送増幅回路501内で電圧増幅が行われ、その出力がスイッチ514を通してダイナミックラッチ507の一方の入力端子に転送される。他方の入力端子には、スイッチ515を通してプリチャージ電圧が印加され続けているので、ダイナミックラッチ507の2つの入力端子間に電位差が生じることになる。この電位差は、次の周期の第1段階で、ダイナミックラッチのラッチ動作を通して増幅され、入力信号 V_{IN} と参照信号 V_{REF} のどちらが大きかったかが出力される。

【0040】

以上の3段階で構成される周期を繰り返すことにより、周期的に連続して電圧比較が行われる。

【0041】

第2の実施例で示したように、CMOS電荷転送増幅回路は、素子特性ゆらぎの影響を受けずに電圧増幅が可能である。したがって、ダイナミックラッチに入力オフセット電圧があり、かつそれが回路間でばらついていたとしても、CMOS電荷転送増幅回路を前段に接続した本実施例の電圧比較器は、実質的に入力オフセット電圧のばらつきを小さくできるため、高い比較精度が得られる。高分解能A/D変換器に応用可能である。

【0042】

また、CMOS電荷転送増幅回路501およびダイナミックラッチ507は、共に定常的な貫通電流を流さないため、本実施例の電圧比較器は消費電力が極めて小さいという特徴を持っている。

【0043】

図6は、電圧比較器のオフセット電圧のばらつきを測定したものである。ダイナミックラッチそのものを電圧比較器として用いた場合を上段に、本実施例で示したようにダイナミックラッチの前段にCMOS電荷転送増幅回路を接続して構成した電圧比較器の場合を下

10

20

30

40

50

段に示している。ダイナミックラッチのみだと、オフセット電圧は約20 mVの範囲でばらついている。しかし、CMOS電荷転送増幅回路を装備した比較器においては、6 mV程度しかばらついていない。これは、3 Vフルスケールレンジの8ビットA/D変換器の量子化電圧(LSB)の11.7 mVの半分程度であり、この電圧比較器が十分8ビットA/D変換器に適用できることを示している。図6下図においてオフセット電圧の平均値自体は、-12 mV程度シフトしているが、これは、CMOS電荷転送増幅回路内のN型MOSトランジスタとP型MOSトランジスタの電流のアンバランスによるCMOS電荷転送増幅回路自身のオフセット電圧で、同じ設計の回路では、個体間で素子特性が少々ばらついても同じオフセット電圧シフトとして現れる。このような全体的なシフトは、A/D変換器応用等では、非直線性に影響を与えないため問題ない。

10

【0044】

本実施例の電圧比較器を15個用いて、4ビットのA/D変換器を構成した。微分非直線性の測定結果を図7に示す。微分非直線性誤差は ± 4 mV以下である。図において点線は、3 Vフルスケールレンジの8ビットA/D変換器における許容値 ± 0.5 LSB (± 5.86 mV)を示している。本実施例の電圧比較器は8ビット精度を実現していることが分かる。

【0045】

図8は4ビットA/D変換器の消費電力を示している。消費電力が変換周波数に比例していることから、全ての回路において定常的な貫通電流が流れてないことが分かる。一つの電圧比較器当たり、変換周波数1 MS/s当たり消費する電力は約4.3 μ Wであり、従来の電圧比較器に比べて低消費電力である。

20

【0046】

なお、本実施例においては、ダイナミックラッチ回路として典型的な回路を用いたが、定常電流を流さない回路であれば他のものでも良く、例えば電流制御型のラッチセンスアンブ回路等でも良い。また、本実施例においては、入力サンプリング容量504に、第2段階で入力信号 V_{IN} が、第3段階で参照信号 V_{REF} が印加されているが、用途によっては逆でも良いことは言うまでもない。第1段階で入力サンプリング容量504に印加される信号は、入力信号 V_{IN} でも参照信号 V_{REF} でも良く、あるいは何も印加しなくても良い。

【0047】

(実施例4)

本発明の電荷転送正帰還増幅回路は、構造的には、蓄積容量と、蓄積容量の両端子に各々のソース電極が接続されたN型MOSトランジスタとP型MOSトランジスタと、N型MOSトランジスタのドレイン電極とP型MOSトランジスタのゲート電極とを接続する帰還ループ、あるいは、P型MOSトランジスタのドレイン電極とN型MOSトランジスタのゲート電極とを接続する帰還ループのうち少なくとも1つにとより構成されている。

30

【0048】

本発明の電荷転送正帰還増幅回路は3段階で動作する。すなわち、リセット期間、プリチャージ期間、増幅期間である。

【0049】

リセット期間においては、蓄積容量の両端子は、それぞれの端子の電位とそれぞれの端子につながるMOSトランジスタのゲート電極電位との差の絶対値が、それぞれのトランジスタのしきい値の絶対値よりも大きくなるように設定される。

40

【0050】

プリチャージ期間においては、それぞれのMOSトランジスタのドレイン電極をそれぞれ所定の電位にバイアスし、それぞれのMOSトランジスタを通して蓄積容量を充電する。リセット期間においてそれぞれの端子につながるMOSトランジスタのゲート電極電位との差の絶対値がそれぞれのトランジスタのしきい値の絶対値よりも大きくなるように設定された蓄積容量の両端子の電位は、それぞれのトランジスタのゲート電極電位に向けて変化し、やがて、それぞれの端子につながるMOSトランジスタのゲート電極電位との差(MOSトランジスタのゲート・ソース間電位)の絶対値がそれぞれのトランジスタのしき

50

い値の絶対値と等しくなったところで、ソースフォロアの原理で蓄積容量の充電は自動的に停止する。

【 0 0 5 1 】

増幅期間においては、2つのMOSトランジスタのドレイン電極の、帰還ループのつながっているドレイン電極が電氣的にフローティングとなる。同時に、入力電圧の変化が、2つのMOSトランジスタの少なくとも片方のゲート・ソース間電圧の絶対値の増大の変化として伝えられ、伝えられたMOSトランジスタが再びオンして電流が流れ始める。この電流により、該MOSトランジスタのソース電極に接続された蓄積容量の端子の電位は、該MOSトランジスタのゲート電圧に近づく。該蓄積容量の容量結合により、該蓄積容量の反対側の端子電位も同じ方向に変化する。この変化は、該蓄積容量の反対側の端子に接続されたMOSトランジスタのゲート・ソース間電位の絶対値を増大させる方向に働く。同時に、入力信号が伝えられたMOSトランジスタのドレイン電極に帰還ループが接続されていれば、電氣的にフローティングとなった該ドレイン電極の電位は、該ドレイン電極に係る容量と蓄積容量との間の電荷転送によりゲート電位の変化とは逆方向に変化する。この電位変化は、帰還ループによって、反対側のMOSトランジスタのゲート電極に伝えられ、該MOSトランジスタのゲート・ソース間電位の絶対値が増大する方向に働く。

10

【 0 0 5 2 】

以上の機構により、入力電圧の変化が、少なくとも片方のMOSトランジスタのゲート・ソース間電圧の絶対値の増大の変化として伝えられ、さらに、伝えられたMOSトランジスタとは蓄積容量を挟んで反対側の反対導電型のMOSトランジスタのゲート・ソース間電圧の絶対値の増大の変化として伝えられる。

20

【 0 0 5 3 】

さらに、この変化は、同様の原理により、入力電圧の変化が伝えられたMOSトランジスタのゲート・ソース間電圧を更に増大させる方向に伝えられる。この正帰還機構により、微小な電圧変化としての入力信号が、非常に大きな電圧変化として増幅され、電氣的にフローティングとなっているドレイン電極に現れるのである。

【 0 0 5 4 】

つまり、本発明の回路は、入力端子の微小な電圧変化を検出し、高速に増幅して大きな電位変化として出力に取り出す回路である。

【 0 0 5 5 】

本発明では、ソースフォロアによる電荷転送機構および正帰還機構により、高速にかつ高増幅率で電圧増幅が可能となる。直流電流を流さないで電圧増幅が可能となり、また、素子特性の揺らぎに対して動作特性が影響を受けにくい特徴を持つ。ダイナミックラッチ回路の前段に配置することによって、実効的にダイナミックラッチ回路のオフセット電圧のばらつきを小さくすることができ、高精度低消費電力の電圧比較器が実現できる。A/Dコンバータに応用すれば、低電力の高精度A/Dコンバータが実現できる。また、メモリ回路のセンスアンプに応用すれば、高速高精度の低消費電力センスアンプが実現できる。

30

【 0 0 5 6 】

以下に、図9を参照して本発明の電荷転送正帰還増幅回路を具体的に説明する。

【 0 0 5 7 】

図9において、901は容量が C_T の蓄積容量、902は容量 C_O の出力容量、903は容量 C_{IN} の入力容量（増幅期間において電圧が変化する入力信号に応じて第1のMOSトランジスタのゲート・ソース間電圧を変化させる機構）である。出力容量902は、出力端子の寄生容量や次段の回路の入力容量が等価的に本回路の出力容量となっている。904はN型MOSトランジスタ（第1のMOSトランジスタ）で、そのソース電極は、接続スイッチ905を介して節点906で蓄積容量901および蓄積容量901のリセット用スイッチ（蓄積容量の端子をリセット期間においてそれぞれ適宜所定の電位に設定する手段）907と接続されている。908はP型MOSトランジスタ（第2のMOSトランジスタ）で、そのソース電極は、接続スイッチ909を介して節点910で蓄積容量901および蓄積容量901のリセット用スイッチ（蓄積容量の端子をリセット期間においてそれ

40

50

ぞれ適宜所定の電位に設定する手段) 911と接続されている。N型MOSトランジスタ904のドレイン電極は、出力容量902およびプリチャージ用スイッチ(第1のMOSトランジスタのドレイン電極をリセット期間に後続するプリチャージ期間において適宜所定の電位に設定し該プリチャージ期間に後続する増幅周期において解放する手段) 912と接続されている。

【0058】

P型MOSトランジスタ908のドレイン電極は、入力容量903およびプリチャージ用スイッチ(第2のMOSトランジスタのドレイン電極をプリチャージ期間において適宜所定の電位に設定し増幅周期において解放する手段) 913と接続されている。さらに、P型MOSトランジスタ908のゲート電極はN型MOSトランジスタ904のドレイン電極に接続され(第2のMOSトランジスタのゲート電極と第1のMOSトランジスタのドレイン電極の間の接続)、N型MOSトランジスタ904のゲート電極はP型MOSトランジスタ908のドレイン電極に接続され(第1のMOSトランジスタのゲート電極と第2のMOSトランジスタのドレイン電極の間の接続)、二重の正帰還ループが構成されている。

【0059】

回路は3段階で動作する。

【0060】

第1段階はリセット期間で、蓄積容量901のリセットが行われる。リセットスイッチ907及び911がオンし、節点906が接地され節点910が V_{DD} 電源に接続され、蓄積容量901がリセットされる。このとき、接続スイッチ905および909はオフに制御され、貫通電流が流れるのを防いでいる。

【0061】

第2段階はプリチャージ期間である。リセットスイッチ907およびスイッチ911がオフし、接続スイッチ905および909がオンする。同時に、プリチャージスイッチ912および913がオンする。この時、回路の入力節点には電圧 V_{IN} が印加されているものとする。出力容量902が電源電圧の半分の電圧に設定されたプリチャージ電圧 V_{PR} でプリチャージされると共に、電流がN型MOSトランジスタ904を通して流れ、また同時に入力容量903に入力電圧 V_{IN} とプリチャージ電圧 V_{PR} の差電圧でプリチャージされると共に、電流がP型MOSトランジスタ908を通して流れ、蓄積容量901の充電(プリチャージ)が開始される。やがて、節点906の電位が上昇し、N型MOSトランジスタ904のゲート・ソース間電位差がしきい値 V_{THN} と等しくなったところで該N型MOSトランジスタ904がオフして電流が流れなくなり、また、節点910の電位は減少し、P型MOSトランジスタ908のゲート・ソース間電位差がしきい値 V_{THP} と等しくなったところで該P型MOSトランジスタ908がオフして電流が流れなくなる。これにより蓄積容量901のプリチャージが自動的に終了する。

【0062】

第3段階は増幅期間である。プリチャージスイッチ912および913がオフとなる。このとき、入力端子の電位が増大したとする。すると、入力容量903の容量結合により、P型MOSトランジスタ908のドレイン電極およびN型MOSトランジスタ904のゲート電位が上昇する。N型MOSトランジスタ904のゲート・ソース間電圧がしきい値 V_{THN} より大きくなるため、N型MOSトランジスタ904が再びオンし電流が流れはじめる。この時流れる電流は、出力容量902に蓄えられていた電荷が転送されるものである。電荷転送原理により、節点906の電位は上昇し、出力節点となるN型MOSトランジスタ904のドレイン電極電位は減少する。節点906の電位が上昇することにより、蓄積容量901の容量結合により節点910の電位が上昇する。同時に、N型MOSトランジスタ904のドレイン電極電位が減少することにより、N型MOSトランジスタ904のドレイン電極に接続されているP型MOSトランジスタ908のゲート電極の電位も減少する。これら2つの作用の結果、P型MOSトランジスタ908のゲート・ソース間電位差の絶対値は増大し、P型MOSトランジスタ908が再びオンする。

【 0 0 6 3 】

電流が流れて電荷転送原理により、節点 9 1 0 の電位が減少すると共に P 型 MOS トランジスタ 9 0 8 のドレイン電位が上昇する。節点 9 1 0 の電位減少に伴い、蓄積容量 9 0 1 の容量結合により節点 9 0 6 の電位が減少し、同時に P 型 MOS トランジスタ 9 0 8 のドレイン電位の上昇により、N 型 MOS トランジスタ 9 0 4 のゲート電極電位が上昇し、結果として N 型 MOS トランジスタ 9 0 4 のゲート・ソース電位差が更に増大し、電荷転送が一層促進される。

【 0 0 6 4 】

以上のような正帰還により、出力節点である N 型 MOS トランジスタ 9 0 4 のドレイン電極の電位は急速に減少し P 型 MOS トランジスタ 9 0 8 のドレイン電極の電位は急速に上昇する。N 型 MOS トランジスタ 9 0 4 のドレイン電極の電位と節点 9 0 6 との電位差が無くなり、P 型 MOS トランジスタ 9 0 8 のドレイン電極の電位と節点 9 1 0 の電位差が無くなったところで正帰還による電圧変化が停止する。

10

【 0 0 6 5 】

つまり、この回路は、入力端子の微小な正の電圧変化を検出し、二重の正帰還ループにより高速に増幅して大きな負の電位変化として出力に取り出す回路である。

【 0 0 6 6 】

回路動作から明らかなように、回路に定常的な直流電流は流れない。低消費電力で電圧増幅が可能である。

【 0 0 6 7 】

また、N 型 MOS トランジスタ 9 0 4 や P 型 MOS トランジスタ 9 0 8 のデバイスパラメータ、たとえばしきい値 V_{THN} や V_{THP} がたとえ変動しても、増幅作用には影響を与えない。つまり、素子特性のばらつきを補正する機能を持っている。

20

【 0 0 6 8 】

本実施例においては、第 1 MOS トランジスタとして N 型 MOS トランジスタ、第 2 の MOS トランジスタとして P 型 MOS トランジスタを用いたが、反対であっても良い事は言うまでもない。その場合、入力信号の負の変化を増幅し大きな正の電位変化として出力する回路となる。

【 0 0 6 9 】

また、出力容量 9 0 2 は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっているが、実際に容量を設けても良い事は言うまでもない。

30

【 0 0 7 0 】

さらに、出力は N 型 MOS トランジスタ 9 0 4 のドレイン電極からとったが、別の場所でも良く、例えば P 型 MOS トランジスタ 9 0 8 のドレイン電極でもよい。この場合、出力は、入力信号と同相の大きな正の電位変化となる。

【 0 0 7 1 】

さらにまた、MOS トランジスタのゲート・ソース間電圧を変化させる手法として、入力容量 9 0 3 の容量結合により、P 型 MOS トランジスタ 9 0 8 のドレイン電極と接続された N 型 MOS トランジスタ 9 0 4 のゲート電位を変化させる機構を採ったが、別の機構でも良く、例えば、N 型 MOS トランジスタ 9 0 4 のドレイン電極と接続された P 型 MOS トランジスタ 9 0 8 のゲート電位を変化させる機構でも良い。

40

【 0 0 7 2 】

また、蓄積容量 9 0 1 のリセットとして節点 9 0 6 を接地、節点 9 1 0 を電源電圧 V_{DD} に接続するように構成したが、必ずしもそうする必要は無く、それぞれの MOS トランジスタのゲート・ソース間電位の絶対値が、それぞれのしきい値の絶対値より大きくなるように適当な電圧を印加しても良い。

【 0 0 7 3 】

また、プリチャージ電源として、電源電圧の半分の電圧の電源を用いたが他の電圧でも良いことは言うまでもない。

50

【0074】

なお、本実施例では、N型MOSトランジスタ904のソース電極と蓄積容量901の端子906の間及びP型MOSトランジスタ908のソース電極と蓄積容量901の端子910の間に接続スイッチ905および909を挿入してあるが、これは、リセット期間に貫通電流が流れるのを防ぐためであり、MOSトランジスタのソース側、ドレイン側のどちら側に挿入しても良く、貫通電流による電力消費の増大が無視できれば無くても良い。

【0075】

(実施例5)

図10は、本発明の第5の実施例を示す回路の構成図である。図において、1001は容量が C_T の蓄積容量、1002は容量 C_O の出力容量である。出力容量1002は、出力端子の寄生容量や次段の回路の入力容量が等価的に本回路の出力容量となっている。1003はN型MOSトランジスタ(第1のMOSトランジスタ)で、そのソース電極は、接続スイッチ1004を介して節点1005で蓄積容量1001および蓄積容量1001のリセット用スイッチ(蓄積容量の端子をリセット期間においてそれぞれ適宜所定の電位に設定する手段)1006と接続されている。1007はP型MOSトランジスタ(第2のMOSトランジスタ)で、そのソース電極は、節点1008で蓄積容量1001および蓄積容量1001のリセット用スイッチ(蓄積容量の端子をリセット期間においてそれぞれ適宜所定の電位に設定する手段)1009と接続されている。P型MOSトランジスタ1007のドレイン電極は、接続スイッチ1010を介して電源電圧の半分の電圧に設定されたプリチャージ電圧 V_{PR} に接続されている。

【0076】

N型トランジスタ1003のドレイン電極は、出力容量1002およびプリチャージ用スイッチ(第1のMOSトランジスタのドレイン電極をリセット期間に後続するプリチャージ期間において適宜所定の電位に設定し該プリチャージ期間に後続する増幅周期において解放する手段)1011と接続されている。P型MOSトランジスタ1007のゲート電極はN型MOSトランジスタ1003のドレイン電極に接続され(第2のMOSトランジスタのゲート電極と第1のMOSトランジスタのドレイン電極の間の接続)、正帰還ループが構成されている。N型トランジスタ1003のゲート電極は入力端子となっている(増幅期間において電圧が変化する入力信号に応じて第1のMOSトランジスタのゲート・ソース間電圧を変化させる機構)。

【0077】

回路は以下に示すの3段階で動作する。

【0078】

第1段階はリセット期間で、蓄積容量1001のリセットが行われる。リセットスイッチ1006及び1009がオンし、節点1005が接地され節点1008が V_{DD} 電源に接続され、蓄積容量1001がリセットされる。このとき、接続スイッチ1004および1010はオフに制御され、貫通電流が流れるのを防いでいる。

【0079】

第2段階はプリチャージ期間である。リセットスイッチ1006およびスイッチ1009がオフし、接続スイッチ1004および1010がオンする。同時に、プリチャージスイッチ1011がオンする。この時、回路の入力節点には電圧 V_{IN} が印加されているものとする。出力容量1002が電源電圧の半分の電圧に設定されたプリチャージ電圧 V_{PR} でプリチャージされると共に、電流がN型トランジスタ1003を通して流れ、また同時に電流がP型MOSトランジスタ1007を通して流れ、蓄積容量1001の充電(プリチャージ)が開始される。やがて、節点1005の電位が上昇し、N型MOSトランジスタ1003のゲート・ソース間電位差がしきい値 V_{THN} と等しくなったところでN型MOSトランジスタ1003がオフして電流が流れなくなり、また、節点1008の電位は減少し、P型MOSトランジスタ1007のゲート・ソース間電位差がしきい値 V_{THP} と等しくなったところでP型MOSトランジスタ1007がオフして電流が流れなくなる。これにより蓄積容量1001のプリチャージが自動的に終了する。

【 0 0 8 0 】

第3段階は増幅期間である。プリチャージスイッチ1011がオフとなる。このとき、入力端子であるN型MOSトランジスタ1003のゲート電位が増大したとする。N型MOSトランジスタ1003のゲート・ソース間電圧がしきい値 V_{THN} より大きくなるため、N型MOSトランジスタ1003が再びオンし電流が流れはじめる。この時流れる電流は、出力容量1002に蓄えられていた電荷が転送されるものである。

【 0 0 8 1 】

電荷転送原理により、節点1005の電位は上昇し、出力節点となるN型MOSトランジスタ1003のドレイン電圧は減少する。節点1005の電位が上昇することにより、蓄積容量1001の容量結合により節点1008の電位が上昇する。同時に、N型MOSトランジスタ1003のドレイン電極電位が減少することにより、N型MOSトランジスタ1003のドレイン電極に接続されているP型MOSトランジスタ1007のゲート電極の電位も減少する。その結果、P型MOSトランジスタ1007のゲート・ソース間電位差の絶対値は増大し、P型MOSトランジスタ1007が再びオンする。

【 0 0 8 2 】

電流が流れて節点1008の電荷が放電され節点1008の電位が減少する。節点1008の電位の減少により、蓄積容量1001の容量結合で節点1005の電位も減少し、結果としてN型MOSトランジスタのゲート・ソース電位差を更に増大させ、電荷転送が一層促進される。以上のような正帰還により、出力節点であるN型MOSトランジスタ1003のドレイン電極の電位は急速に減少する。N型MOSトランジスタ1003のドレイン電極の電位と節点1005との電位差が無くなったところで正帰還による電圧変化が停止する。

【 0 0 8 3 】

つまり、この回路は、入力端子の微小な正の電圧変化を検出し、一重の正帰還ループにより高速に増幅して大きな負の電位変化として出力に取り出す回路である。

【 0 0 8 4 】

回路動作から明らかのように、回路に定常的な直流電流は流れない。低消費電力で電圧増幅が可能である。

【 0 0 8 5 】

また、N型MOSトランジスタ1003やP型MOSトランジスタ1007のデバイスパラメータ、たとえばしきい値 V_{THN} や V_{THP} がたとえ変動しても、増幅作用には影響を与えない。つまり、素子特性のばらつきを補正する機能を持っている。

【 0 0 8 6 】

本実施例においては、第1のMOSトランジスタとしてN型MOSトランジスタ、第2のMOSトランジスタとしてP型MOSトランジスタを用いたが、反対であっても良い事は言うまでもない。その場合、入力信号の負の変化を増幅し大きな正の電位変化として出力する回路となる。また、出力容量1002は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっているが、実際に容量を設けても良い事は言うまでもない。さらに、MOSトランジスタのゲート・ソース間電圧を変化させる手法として、N型MOSトランジスタ1003のゲート電位を直接変化させる機構を採ったが、別の機構でも良く、例えば、N型MOSトランジスタ1003のドレイン電極と接続されたP型MOSトランジスタ1007のゲート電位を容量を介して変化させる機構でも良い。蓄積容量1001のリセットとして節点1005を接地、節点1008を電源電圧 V_{DD} に接続するように構成したが、必ずしもそうする必要は無く、それぞれのMOSトランジスタのゲート・ソース間電位の絶対値が、それぞれのしきい値の絶対値より大きくなるように適当な電圧を印加しても良い。また、プリチャージ電源として、電源電圧の半分の電圧の電源を用いたが他の電圧でも良いことは言うまでもない。N型MOSトランジスタ1003のソース電極と蓄積容量1001の端子1005の間及びP型MOSトランジスタ1007のドレイン電極とプリチャージ電源 V_{PR} の間に接続スイッチ1004および1010を挿入してあるが、これは、リセット期間に貫通電流が流れるのを防ぐため

であり、MOSトランジスタのソース側、ドレイン側のどちら側に挿入しても良く、貫通電流による電力消費の増大が無視できれば無くても良い。

【0087】

(実施例6)

図11は、本発明の第6の実施例を示す回路の構成図である。第1のMOSトランジスタとしてP型MOSトランジスタ1101、第2のMOSトランジスタとしてN型MOSトランジスタ1102を用いた2重帰還ループを持つ第1の回路1103と、第1のMOSトランジスタとしてN型MOSトランジスタ1104、第2のMOSトランジスタとしてP型MOSトランジスタ1105を用いた2重帰還ループを持つ第2の回路1106が、第1の回路1103のP型MOSトランジスタ1101のドレイン電極と、第2の回路1106のN型MOSトランジスタ1104のドレイン電極が節点1107において接続され、出力端子となっている。

10

【0088】

第1の回路1103および第2の回路1106の詳細な動作は、実施例4と同様なので省略する。増幅期間における入力の前側の電位変化に対しては、第2の回路1106が動作し、出力となるN型MOSトランジスタ1104のドレイン電極の電位を大きく負の方向に変化させようとする。このとき第1の回路1103は、正の入力信号変化に対して不応となり出力端子となるP型MOSトランジスタ1101のドレイン電極は、ほぼ電氣的にフローティングとなる。したがって、共通の出力端子1107は、第2の回路に引っ張られ、大きな負の出力変化を生ずる。

20

【0089】

逆に、増幅期間における入力の負の電位変化に対しては、第1の回路1103が動作し、出力となるP型MOSトランジスタ1101のドレイン電極の電位を大きく正の方向に変化させようとする。このとき第2の回路1106は、負の入力信号変化に対して不応となり出力端子となるN型MOSトランジスタ1104のドレイン電極は、ほぼ電氣的にフローティングとなる。したがって、共通の出力端子1107は、第1の回路に引っ張られ、大きな正の出力変化を生ずる。

【0090】

つまり、本実施例の回路は、増幅期間における入力信号の正及び負の電位変化を増幅し、大きな振幅の反転信号を出力する回路である。

30

【0091】

回路動作から明らかなように、回路に定常的な直流電流は流れない。低消費電力で電圧増幅が可能である。

【0092】

また、第1の回路1103および第2の回路1106内の各MOSトランジスタのデバイスパラメータ、たとえばしきい値がたとえ変動しても、増幅作用には影響を与えない。つまり、素子特性のばらつきを補正する機能を持っている。

【0093】

図12は、本実施例の回路の動作波形を示している。上図の1201は入力の電位変化、下図の1202は出力節点の電位変化を示している。1回目の増幅期間の時、入力の電位を2.5Vから+5mV変化させている。これにより、第2の回路1106のN型MOSトランジスタ1104が活性化され、電荷転送が始まり、出力節点1107の電位が減少する。この変化は、P型MOSトランジスタ1105に伝達され、帰還ループによって大きく増幅される。やがて、出力節点1107の電位が1202で示されるように大きく約-650mV変化して、N型MOSトランジスタのソース・ドレイン間電位差が無くなったところで飽和している。2回目の増幅期間には、入力節点の電位を2.5Vから-5mV変化させている。これにより、出力節点の電位1202は、大きく約+720mV変化して飽和している。増幅率としては、100以上となっている。

40

【0094】

図13は、本実施例のCMOS電荷転送正帰還増幅回路の動作に対する、デバイス特性の

50

ゆらぎの影響を調べた結果である。第2の回路1106のN型MOSトランジスタ1104のしきい値 V_{THN} が ± 100 mV変動したときの回路の入力オフセット電圧の変動を1301に、第2の回路1106のP型MOSトランジスタ1105のしきい値 V_{THP} が ± 100 mV変動したときの回路の入力オフセット電圧の変動を1302に示してある。ここで、入力オフセット電圧とは、増幅期間において、出力電位変化をゼロに留める為に入力節点に与えなければならない電位変化であり、理想的にはゼロである。しかし、回路内の素子特性のアンバランス等により有限の入力オフセット電圧が存在し、素子特性ばらつきを補正する機構を持たない回路は、回路内の素子特性のばらつきにより入力オフセット電圧も揺らいでしまう。図13を見ると、 ± 100 mVのしきい値変動に対し、入力オフセット電圧は高々 ± 1 mV以下しか変化してない。本発明のCMOS電荷転送正帰還増幅回路が、素子特性のゆらぎを補正する機能を持っていることがわかる。

10

【0095】

本実施例においては、第1の回路1103および第2の回路1106として、実施例4で示した様な2重帰還ループを持った回路を使用したが、別の回路でも良く、例えば、実施例5で示したような1重の帰還ループを持つ回路でも良い。また、出力容量は、実際に容量を設けているのではなく、次段の回路の入力容量が等価的に本回路の出力容量となっているが、実際に容量を設けても良い事は言うまでもない。さらに、MOSトランジスタのゲート・ソース間電圧を変化させる手法として、第1の回路1103のP型MOSトランジスタ1101のゲート電位を容量を介して変化させ、第2の回路1106のN型MOSトランジスタ1104のゲート電位を容量を介して変化させる機構を採ったが、別の機構でも良く、例えば、出力端子1107に容量を介して入力信号を印加し、第1の回路1103のN型MOSトランジスタ1102のゲート電位を変化させ、第2の回路1106のP型MOSトランジスタ1105のゲート電位を変化させる機構でも良い。同様に、回路の入力端子と出力端子を入れ替えても良い。さらに、第1の回路1103のN型MOSトランジスタ1102のドレイン電極と、第2の回路1106のP型MOSトランジスタ1105のドレイン電極を接続して共通の端子としても良い。

20

【0096】

本実施例では、第1の回路1103のP型MOSトランジスタ1101のドレイン電極と、第2の回路1106のN型MOSトランジスタ1104のドレイン電極が節点1107において直接接続され、共通の出力端子とする構成を採っているが、別の出力構成でも良く、例えば、第1の回路1103のP型MOSトランジスタ1101のドレイン電極と節点1107間、及び第2の回路1106のN型MOSトランジスタ1104のドレイン電極と節点1107間にそれぞれ結合容量を配し、容量的に接続された出力端子としても良い。

30

【0097】

(実施例7)

図14は、本発明の第7の実施例を示す回路の構成図である。この回路は、電荷転送正帰還増幅回路の出力にダイナミックラッチ回路を接続し、かつ入力部には入力サンプリング回路を接続して構成した電圧比較器である。

【0098】

図において、1401は、第1のMOSトランジスタとしてP型MOSトランジスタ、第2のMOSトランジスタとしてN型MOSトランジスタを用いた2重帰還ループを持つ第1の回路と、第1のMOSトランジスタとしてN型MOSトランジスタ、第2のMOSトランジスタとしてP型MOSトランジスタを用いた2重帰還ループを持つ第2の回路が、第1の回路のN型MOSトランジスタのドレイン電極と、第2の回路のP型MOSトランジスタのドレイン電極が接続されて入力端子となり、第1の回路のP型MOSトランジスタのドレイン電極と、第2の回路のN型MOSトランジスタのドレイン電極が接続されて出力端子となっている電荷転送正帰還増幅回路である。1402は第1の入力切り替えスイッチ、1403は第2の入力切り替えスイッチ、1404は入力サンプリング容量、1405はプリチャージスイッチである。1406は電荷転送正帰還増幅回路1401の入

40

50

力端子である。1407はダイナミックラッチ回路である。ダイナミックラッチ回路1407の内部では、1408は第1のN型MOSトランジスタ、1409は第1のP型MOSトランジスタ、1410は第2のN型MOSトランジスタ、1411は第2のP型MOSトランジスタであり、1412は第1のラッチ制御スイッチ、1413は第2のラッチ制御スイッチである。1414は、電荷転送正帰還増幅回路1401の出力とダイナミックラッチ1407の入力の接続・切り放しを制御するスイッチである。1415は、ダイナミックラッチ1407の他方の入力端子と参照電圧として用いる V_{PR} との接続・切り放しを制御するスイッチである。

【0099】

ダイナミックラッチ1407も、電荷転送正帰還増幅回路1401と同じく3期間で一周期の動作のため、それらを組み合わせた本実施例の比較器も3期間で動作する。

10

【0100】

第1期間では、電荷転送正帰還増幅回路1401はリセット動作、ダイナミックラッチ1407はラッチ動作を行う。すなわち、ダイナミックラッチ1407においては、スイッチ1414および1415がオフとなり、ダイナミックラッチ回路が切り離される。ダイナミックラッチ回路内のラッチ制御スイッチ1412および1413がオンとなり、前の周期で入力されていた信号を増幅し、出力が接地電位か電源電位に変位して安定化する。

【0101】

第2期間では、電荷転送正帰還増幅回路1401はプリチャージ動作、ダイナミックラッチ1407はリセット動作を行う。このとき、入力切り替えスイッチ1402はオン、1403はオフ、プリチャージスイッチ1405はオンである。したがって、入力サンプリング容量1404の両端には、比較器の入力信号 V_{IN} とプリチャージ電圧 V_{PR} が印加される。電荷転送正帰還増幅回路1401の入力端子1406、つまり、電荷転送正帰還増幅回路内の第1の回路のP型MOSトランジスタと第2の回路のN型MOSトランジスタのゲート電極にもプリチャージ電圧 V_{PR} が印加され、電荷転送正帰還増幅回路のプリチャージが行われる。一方、スイッチ1414および1415はオン、ダイナミックラッチ1407内のラッチ制御スイッチ1412および1413はオフとなり、ダイナミックラッチの両入力端子がプリチャージ電圧 V_{PR} でリセットされる。

20

【0102】

第3期間では、電荷転送正帰還増幅回路1401は増幅動作、ダイナミックラッチ1407は入力転送動作を行う。まず、プリチャージスイッチ1405がオフになり、電荷転送正帰還増幅回路1401の入力端子1406がフローティング状態になる。入力切り替えスイッチ1402がオフ、1403がオンとなり、入力サンプリング容量1404には参照電圧 V_{REF} が印加されることになる。このとき、この参照信号 V_{REF} と第2期間で印加されていた入力信号 V_{IN} との電位差が、入力サンプリング容量1404と、電荷転送正帰還増幅回路の入力容量で容量分割され、入力端子1406に電位変化として現れる。入力サンプリング容量1404の容量を電荷転送正帰還増幅回路の入力容量に比べて十分大きくとると、入力端子1406には、参照信号 V_{REF} と入力信号 V_{IN} との電位差にほぼ等しい電位変化が生じる。この入力端子の電位変化により電荷転送正帰還増幅回路1401内で電圧増幅が行われ、その出力がスイッチ1414を通してダイナミックラッチ1407の一方の入力端子に転送される。他方の入力端子には、スイッチ1415を通してプリチャージ電圧が印加され続けているので、ダイナミックラッチ1407の2つの入力端子間に電位差が生じることになる。この電位差は、次の周期の第1期間で、ダイナミックラッチのラッチ動作を通して増幅され、入力信号 V_{IN} と参照信号 V_{REF} のどちらが大きかったかが出力される。

30

40

【0103】

以上の3期間で構成される周期を繰り返すことにより、周期的に連続して電圧比較が行われる。

【0104】

これまでの実施例で示したように、電荷転送正帰還増幅回路は、素子特性ゆらぎの影響を

50

受けずに電圧増幅が可能である。したがって、ダイナミックラッチに入力オフセット電圧があり、かつそれが回路間でばらついていたとしても、電荷転送正帰還増幅回路を前段に接続した本実施例の電圧比較器は、実質的に入力オフセット電圧のばらつきを小さくできるため、高い比較精度が得られる。高分解能 A / D 変換器に応用可能である。

【 0 1 0 5 】

また、電荷転送正帰還増幅回路 1 4 0 1 およびダイナミックラッチ 1 4 0 7 は、共に定常的な貫通電流を流さないため、本実施例の電圧比較器は消費電力が極めて小さいという特徴を持っている。

【 0 1 0 6 】

なお、本実施例においては、電荷転送正帰還増幅回路として、第 1 の MOS トランジスタとして P 型 MOS トランジスタ、第 2 の MOS トランジスタとして N 型 MOS トランジスタを用いた 2 重帰還ループを持つ第 1 の回路と、第 1 の MOS トランジスタとして N 型 MOS トランジスタ、第 2 の MOS トランジスタとして P 型 MOS トランジスタを用いた 2 重帰還ループを持つ第 2 の回路が、第 1 の回路の N 型 MOS トランジスタのドレイン電極と、第 2 の回路の P 型 MOS トランジスタのドレイン電極が接続されて入力端子となり、第 1 の回路の P 型 MOS トランジスタのドレイン電極と、第 2 の回路の N 型 MOS トランジスタのドレイン電極が接続されて出力端子となっている電荷転送正帰還増幅回路を用いたが、他の電荷転送正帰還増幅回路でもよく、例えば、第 1 の MOS トランジスタとして P 型 MOS トランジスタ、第 2 の MOS トランジスタとして N 型 MOS トランジスタを用いた 1 重帰還ループを持つ第 1 の回路と、第 1 の MOS トランジスタとして N 型 MOS トランジスタ、第 2 の MOS トランジスタとして P 型 MOS トランジスタを用いた 1 重帰還ループを持つ第 2 の回路が、第 1 の回路の P 型 MOS トランジスタのドレイン電極と、第 2 の回路の N 型 MOS トランジスタのドレイン電極が接続され、出力端子となっている電荷転送正帰還増幅回路を用いてもよく、または実施例 3 で示した電荷転送正帰還増幅回路等でも良いことは言うまでもない。

【 0 1 0 7 】

また、ラッチ回路として定常電流を流さない典型的なダイナミックラッチ回路を用いたが、他のものでも良く、例えば電流制御型のラッチセンスアンプ回路やインバータたすき掛け形式の典型的なラッチ回路等でも良い。また、本実施例においては、入力サンプリング容量 1 4 0 4 に、第 2 期間で入力信号 V_{IN} が、第 3 期間で参照信号 V_{REF} が印加されているが、用途によっては逆でも良いことは言うまでもない。第 1 期間で入力サンプリング容量 1 4 0 4 に印加される信号は、入力信号 V_{IN} でも参照信号 V_{REF} でも良く、あるいは何も印加しなくても良い。

【 0 1 0 8 】

(実施例 8)

図 1 5 は、本発明の第 8 の実施例を示す回路の構成図である。この回路は、複数のメモリ素子が接続されたビットラインを入力とする電荷転送正帰還増幅回路を用いて、選択されたメモリ素子のデータによるビットラインの微小な電位変化を増幅して出力するセンスアンプ回路を構成したものである。

【 0 1 0 9 】

図において、1 5 0 1 は、第 1 の MOS トランジスタとして P 型 MOS トランジスタ、第 2 の MOS トランジスタとして N 型 MOS トランジスタを用いた 1 重帰還ループを持つ第 1 の回路と、第 1 の MOS トランジスタとして N 型 MOS トランジスタ、第 2 の MOS トランジスタとして P 型 MOS トランジスタを用いた 1 重帰還ループを持つ第 2 の回路が、第 1 の回路の P 型 MOS トランジスタのドレイン電極と、第 2 の回路の N 型 MOS トランジスタのドレイン電極が接続されて出力端子となっている電荷転送正帰還増幅回路である。第 1 の回路の P 型 MOS トランジスタのゲート電極と第 2 の回路の N 型 MOS トランジスタのゲート電極は接続され、入力端子となっている。1 5 0 2 はダイナミックメモリのメモリセルであり、MOS トランジスタスイッチ 1 5 0 3 と蓄積容量 1 5 0 4 から構成されている。MOS トランジスタスイッチ 1 5 0 3 のゲート電極は、ワードライン 1 5 0 5

に接続されている。複数のメモリセルがつながる1506は、ビットラインであり、電荷転送正帰還増幅回路1501の入力端子と接続されている。ビットラインは、プリチャージスイッチ1507を介して適宜プリチャージされる機構を有している。電荷転送正帰還増幅回路の出力は、ラッチ回路1508に接続され、最終的にデジタル信号が出力される。

【0110】

電荷転送正帰還増幅回路1501の詳細な動作は、これまでの実施例と同様なので省略する。

【0111】

電荷転送正帰還増幅回路1501のプリチャージ期間にあわせて、ビットライン1506のプリチャージスイッチ1507もオンし、ビットライン1506を電源電圧の半分に設定されたプリチャージ電圧 V_{PR} でプリチャージする。

【0112】

次に、電荷転送正帰還増幅回路が増幅期間に移行するタイミングに合わせて、プリチャージスイッチ1507がオフすると共に、ビットライン1506に接続された複数のメモリセルのどれか一つのセルにつながるワードラインが活性化され、セル内のMOSトランジスタスイッチがオンし、蓄積容量とビットライン1506を接続する。蓄積容量に予め電荷が蓄積されていない場合(0が書き込まれていた場合)、MOSトランジスタスイッチのオンにより電荷がビットライン1506から流れ込む。ビットライン1506に付随する非常に大きな寄生容量と、蓄積容量の間で電荷分配が行われビットライン1506の電位が僅かに減少する。この電位変化が電荷転送正帰還増幅回路1501に入力され、正帰還により反転増幅され、非常に大きな正の信号変化として出力され、電荷転送正帰還増幅回路の後段に接続されるラッチ回路1508によりデジタル信号として1がラッチされ、選択されたメモリセルの内容が反転信号として読み出されたことになる。

【0113】

逆に、蓄積容量が予め電源電圧で充電され電荷が蓄積されている場合(1が書き込まれていた場合)、MOSトランジスタスイッチのオンにより電荷が蓄積容量からビットライン1506へ流れ込む。ビットライン1506に付随する非常に大きな寄生容量と、蓄積容量の間で電荷分配が行われビットライン1506の電位が僅かに増加する。この電位変化が電荷転送正帰還増幅回路1501に入力され、正帰還により反転増幅され、非常に大きな負の信号変化として出力され、電荷転送正帰還増幅回路の後段に接続されるラッチ回路1508によりデジタル信号として0がラッチされ、選択されたメモリセルの内容が反転信号として読み出されたことになる。

【0114】

本実施例に示されるように、電荷転送正帰還増幅回路をセンスアンプとして用いることにより、ビットラインの微小な電位変化を高速にかつ高精度で非常に大きな電圧に増幅することができ、かつ消費電力を小さく抑えることができる。

【0115】

なお、本実施例においては、電荷転送正帰還増幅回路として、第1のMOSトランジスタとしてP型MOSトランジスタ、第2のMOSトランジスタとしてN型MOSトランジスタを用いた1重帰還ループを持つ第1の回路と、第1のMOSトランジスタとしてN型MOSトランジスタ、第2のMOSトランジスタとしてP型MOSトランジスタを用いた1重帰還ループを持つ第2の回路が、第1の回路のP型MOSトランジスタのドレイン電極と、第2の回路のN型MOSトランジスタのドレイン電極が接続されて出力端子となっている電荷転送正帰還増幅回路を用いたが、他の電荷転送正帰還増幅回路でもよく、例えば、実施例6や実施例7で示した電荷転送正帰還増幅回路でも良いことは言うまでもない。

【0116】

また、電荷転送正帰還増幅回路およびビットラインのプリチャージ電源として、電源電圧の半分の電圧の電源を用いたが他の電圧でも良いことは言うまでもない。メモリセルとして、蓄積容量とスイッチMOSトランジスタからなるダイナミックメモリセルを例に挙げ

10

20

30

40

50

たが、他の構造のメモリセルでも良く例えばスタティックメモリセルや不揮発性メモリセルでも良いことは言うまでもない。

【0117】

(実施例9)

図16は、本発明の第9の実施例を示す回路の構成図である。この回路は、電荷転送正帰還増幅回路を対称構造にして精度を向上し、ダイナミックラッチ回路を接続し、かつ入力部には入力サンプリング回路を接続して構成した電圧比較器である。

【0118】

実施例7(図14)で示した電荷転送正帰還増幅回路は、実施例4(図9)で示した単極性(入力電圧変化の極性が正か負かどちらか一方に限られるもの)電荷転送正帰還増幅回路を左右ひっくり返して組み合わせた回路と見なすことができる。つまり1つ目の単極性電荷転送増幅回路の入力と出力を、それぞれ2つ目の単極性電荷転送増幅回路の出力と入力に接続した回路である。そして、2つの単極性電荷転送増幅回路を接続した2つの節点の内、片方を入力、他方を出力と見なして、入力側には入力サンプリング回路、出力側にはダイナミックラッチ回路を接続したものである。本来、同じ単極性電荷転送増幅回路の入出力をひっくり返して接続した2つの節点は等価であるので、どちらを入力に、あるいは出力にしても構わない。言い換えれば、入出力を区別する必要はない。

【0119】

本実施例では、双方の節点を、入出力共通の節点として差動型の電荷転送増幅回路を構成したものである。

【0120】

図16において、1601及び1602は単極性電荷転送増幅回路であり、差動節点1603および1604に対して相補的に結合している。本実施例では、単極性電荷転送増幅回路において、実施例4や実施例7と異なり、貫通電流を防ぐための接続スイッチがMOSトランジスタのドレイン側に設けられている。1605は、実施例7でも用いたダイナミックラッチ回路である。1606、1607は、それぞれ差動接点1603、1604をプリチャージ電源 V_{PR} と接続するプリチャージスイッチである。1608および1609は、第1の入力サンプリング容量1610を介して入力信号 V_{IN}^+ や基準信号 V_{REF}^+ を差動接点1603に伝達するための入力切り替えスイッチである。1611および1612は、第2の入力サンプリング容量1613を介して反転入力信号 V_{IN}^- や反転基準信号 V_{REF}^- を差動接点1604に伝達するための入力切り替えスイッチである。入力切り替えスイッチ1611は同1608と同相で動作し、同1612は同1609と同相で動作する。その他の回路構成、および動作の詳細は実施例7と同様なので省略する。

【0121】

本実施例においては、2つの差動接点1603、1604に対して回路構成が完全に対称である。したがって、実施例6で主じていたオフセット電圧の全体的なシフト(図13の1302で示されるMOSトランジスタのしきい値変動による電荷転送正帰還増幅回路のオフセット電圧の変動のグラフで、MOSトランジスタのしきい値変動がゼロの時のオフセット電圧約0.95mV。これは、P型MOSトランジスタとN型MOSトランジスタの電流-電圧特性が完全には対称でなく、その影響が、電荷転送正帰還増幅回路の対称構造となっていない入出力節点に異なる影響を与えるために発生する)を防止することができ、電荷転送正帰還増幅回路の精度を向上することが可能となっている。

【0122】

なお、本実施例においては、単極性電荷転送増幅回路において、貫通電流を防ぐための接続スイッチがMOSトランジスタのドレイン側に設けられているが、実施例4や実施例7と同様にMOSトランジスタのソース側に設けても良いことは言うまでもない。また、ラッチ回路として定常電流を流さない典型的なダイナミックラッチ回路を用いたが、他のものでも良く、例えば電流制御型のラッチセンスアンプ回路やインバータたすき掛け形式の典型的なラッチ回路等でも良い。

【0123】

【発明の効果】

本発明では、直流電流を流さないで電荷転送原理により電圧増幅が可能となる。また、素子特性の揺らぎに対して動作特性が影響を受けにくい特徴を持つ。ダイナミックラッチ回路の前段に配置することによって、実効的にダイナミックラッチ回路のオフセット電圧のばらつきを小さくすることができ、高精度の低消費電力比較器が実現できる。A/Dコンバータに応用すれば、低電力の高精度A/Dコンバータが実現できる。

【0124】

本発明では、ソースフォロアによる電荷転送機構および正帰還機構により、高速にかつ高増幅率で電圧増幅が可能となる。直流電流を流さないで電圧増幅が可能となり、また、素子特性の揺らぎに対して動作特性が影響を受けにくい特徴を持つ。

10

【0125】

本発明の電荷転送正帰還増幅回路をダイナミックラッチ回路の前段に配置することによって、実効的にダイナミックラッチ回路のオフセット電圧のばらつきを小さくすることができ、高精度低消費電力の電圧比較器が実現できる。

【0126】

また、A/Dコンバータに応用すれば、低電力の高精度A/Dコンバータが実現できる。さらに、メモリ回路のセンスアンプに応用すれば、高速高精度の低消費電力センスアンプが実現できる。

【図面の簡単な説明】

【図1】実施例1の電荷電送増幅回路を示す構成図である。

20

【図2】実施例2の電荷電送増幅回路を示す構成図である。

【図3】実施例2の電荷電送増幅回路の動作波形を示すグラフである。

【図4】実施例2のCMOS電荷転送増幅回路のしきい値変動に対する入力オフセット電圧の関係を示すグラフである。

【図5】実施例3を示す電圧比較器のを示す回路構成図である。

【図6】電圧比較器のオフセット電圧のばらつき頻度を示すグラフである。

【図7】4ビットのA/D変換器の微分非直線性の測定結果を示すグラフである。

【図8】4ビットA/D変換器の消費電力と変換周波数の関係を示すグラフである。

【図9】実施例4の電荷転送正帰還増幅回路を示す回路構成図である。

【図10】実施例5の電荷転送正帰還増幅回路を示す回路構成図である。

30

【図11】実施例6の電荷転送正帰還増幅回路を示す回路構成図である。

【図12】実施例6の電荷転送正帰還増幅回路の動作波形を示すグラフである。

【図13】実施例6の電荷転送正帰還増幅回路の動作に対するデバイス特性のゆらぎの影響を示すグラフである。

【図14】本発明の電圧比較器を示す回路構成図である。

【図15】本発明のセンスアンプを示す回路構成図である。

【図16】実施例9の電荷転送正帰還増幅回路を示す回路構成図である。

【図17】従来のダイナミックラッチ電圧比較器を示す回路である。

【符号の説明】

101 蓄積容量(第1の容量)、

40

102 出力容量(第2の容量)、

103 N型MOSトランジスタ、

104 節点、

105 蓄積容量のリセット用スイッチ、

106 出力節点、

107 プリチャージ用スイッチ、

108 入力節点、

201、202 蓄積容量(第1の容量)、

203 出力容量(第2の容量)、

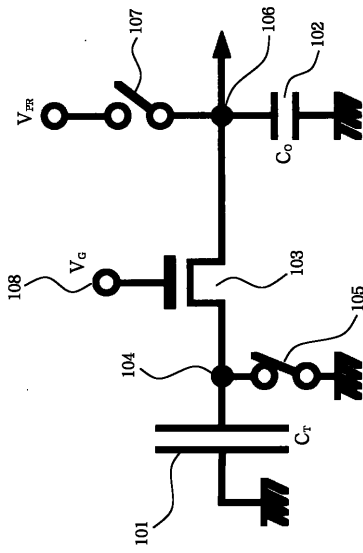
204 N型MOSトランジスタ、

50

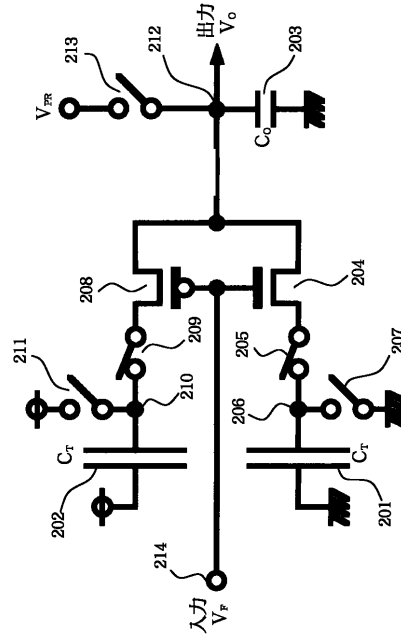
2 0 5	スイッチ、	
2 0 6	節点、	
2 0 7	リセット用スイッチ、	
2 0 8	P型MOSトランジスタ、	
2 0 9	スイッチ、	
2 1 0	節点、	
2 1 1	リセット用スイッチ、	
2 1 2	出力節点、	
2 1 3	プリチャージ用スイッチ、	
2 1 4	入力節点、	10
3 0 1	入力節点、	
3 0 2	出力節点、	
3 0 3	N型MOSトランジスタを流れる電流変化、	
3 0 4	P型MOSトランジスタを流れる電流変化、	
5 0 1	CMOS電荷転送増幅回路、	
5 0 2	第1の入力切り替えスイッチ、	
5 0 3	第2の入力切り替えスイッチ、	
5 0 4	入力サンプリング容量、	
5 0 5	プリチャージスイッチ、	
5 0 6	CMOS電荷転送増幅回路、	20
5 0 7	ダイナミックラッチ回路、	
5 0 8	第1のN型MOSトランジスタ、	
5 0 9	第1のP型MOSトランジスタ、	
5 1 0	第2のN型MOSトランジスタ、	
5 1 1	第2のP型MOSトランジスタ、	
5 1 2	第1のラッチ制御スイッチ、	
5 1 3	第2のラッチ制御スイッチ、	
5 1 4	制御するスイッチ、	
5 1 5	制御するスイッチ、	
9 0 1	蓄積容量、	30
9 0 2	出力容量、	
9 0 3	入力容量、	
9 0 4	N型MOSトランジスタ、	
9 0 5、9 0 9	接続スイッチ、	
9 0 6、9 1 0	節点、	
9 0 7、9 1 1	リセット用スイッチ、	
9 0 8	P型MOSトランジスタ、	
9 1 2、9 1 3	プリチャージ用スイッチ、	
1 0 0 1	蓄積容量、	
1 0 0 2	出力容量、	40
1 0 0 3	N型MOSトランジスタ、	
1 0 0 4、1 0 1 0	接続スイッチ、	
1 0 0 5、1 0 0 8	節点、	
1 0 0 6、1 0 0 9	リセット用スイッチ、	
1 0 0 7	P型MOSトランジスタ、	
1 0 1 1	プリチャージ用スイッチ、	
1 1 0 1	P型MOSトランジスタ、	
1 1 0 2	N型MOSトランジスタ、	
1 1 0 3	第1の回路、	
1 1 0 4	N型MOSトランジスタ、	50

1 1 0 5	P型MOSトランジスタ、	
1 1 0 6	第2の回路306、	
1 1 0 7	節点、	
1 2 0 1	入力の電位変化、	
1 2 0 2	出力節点の電位変化、	
1 3 0 1、1 3 0 2	入力オフセット電圧の変動、	
1 4 0 1	電荷転送正帰還増幅回路、	
1 4 0 2、1 4 0 3	入力切り替えスイッチ、	
1 4 0 4	入力サンプリング容量、	
1 4 0 5	プリチャージスイッチ、	10
1 4 0 6	入力端子、	
1 4 0 7	ダイナミックラッチ回路、	
1 4 0 8、1 4 1 0	N型MOSトランジスタ、	
1 4 0 9、1 4 1 1	第1のP型MOSトランジスタ、	
1 4 1 2、1 4 1 3	ラッチ制御スイッチ、	
1 4 1 4、1 4 1 5	スイッチ、	
1 5 0 1	電荷転送正帰還増幅回路、	
1 5 0 2	ダイナミックメモリのメモリセル、	
1 5 0 3	スイッチ、	
1 5 0 4	蓄積容量、	20
1 5 0 5	ワードライン、	
1 5 0 6	ビットライン、	
1 5 0 7	プリチャージスイッチ、	
1 5 0 8	ラッチ回路、	
1 6 0 1、1 6 0 2	電荷転送正帰還増幅回路、	
1 6 0 3、1 6 0 4	作動接点、	
1 6 0 5	ダイナミックラッチ回路、	
1 6 0 6、1 6 0 7	プリチャージスイッチ、	
1 6 0 8、1 6 0 9、1 6 1 1、1 6 1 2	入力切替スイッチ、	
1 6 1 0	第1の入力サンプリング容量、	30
1 6 1 3	第2の入力サンプリング容量。	

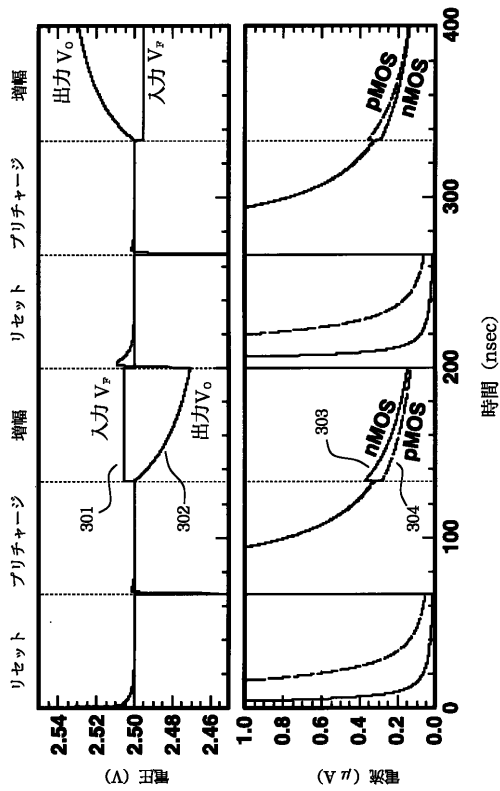
【図1】



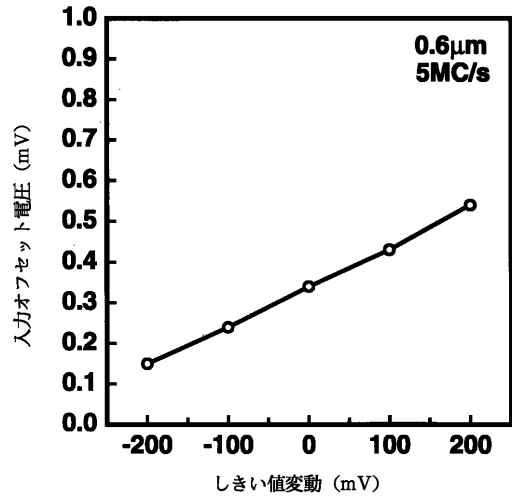
【図2】



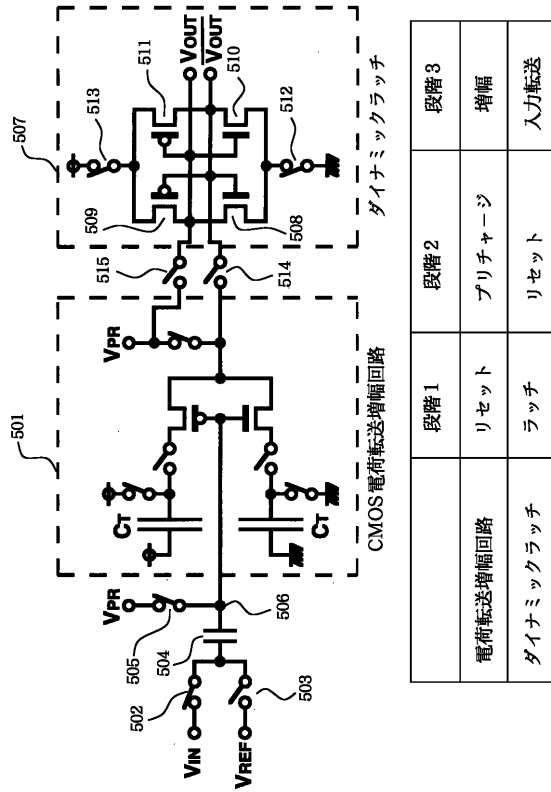
【図3】



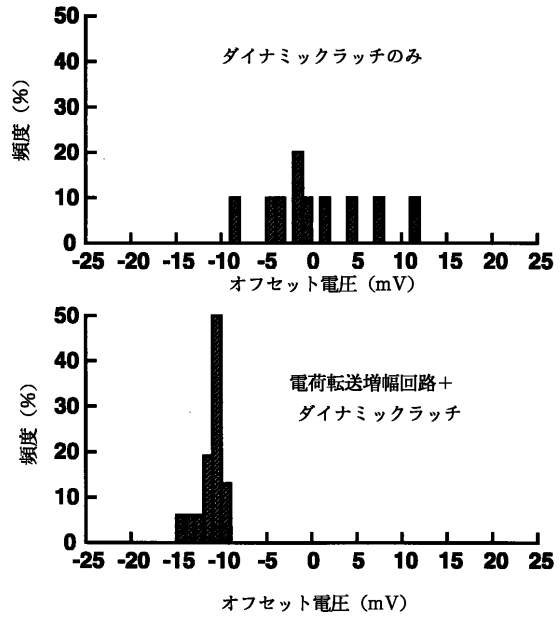
【図4】



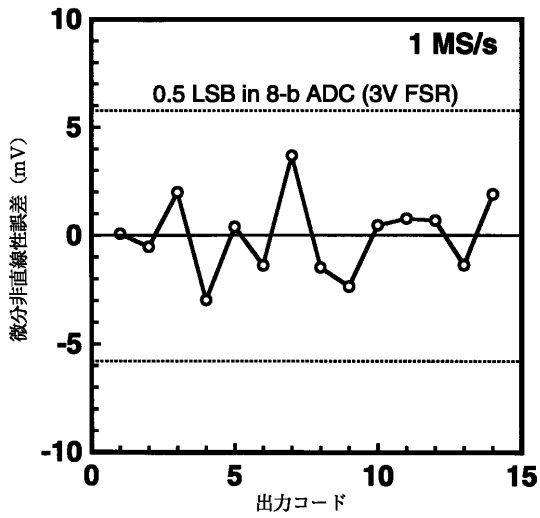
【 図 5 】



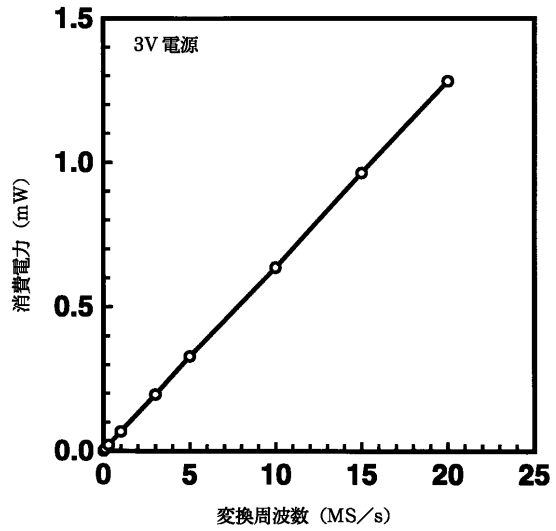
【 図 6 】



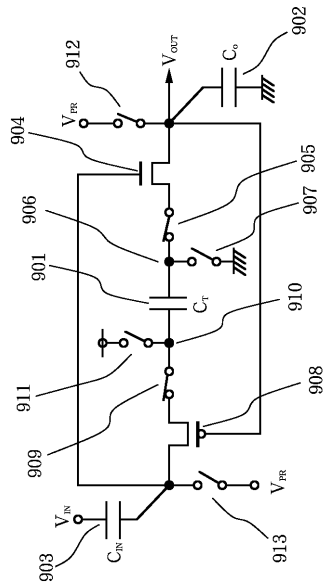
【 図 7 】



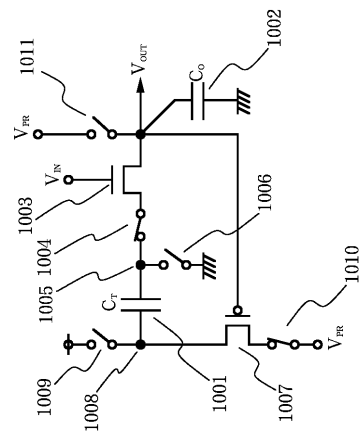
【 図 8 】



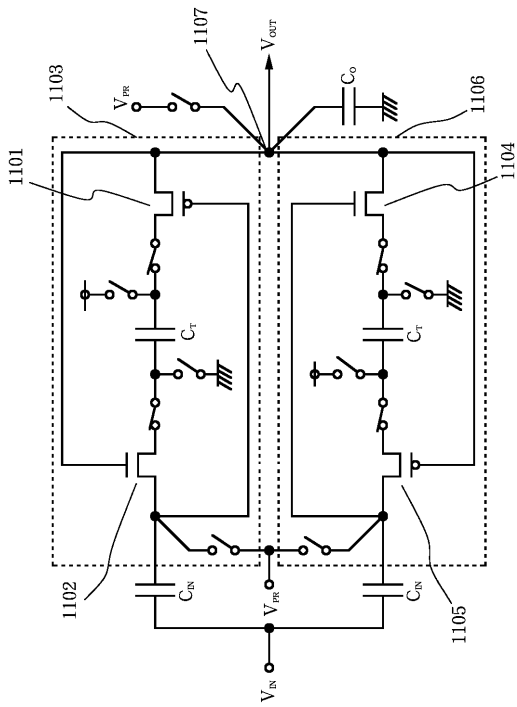
【図 9】



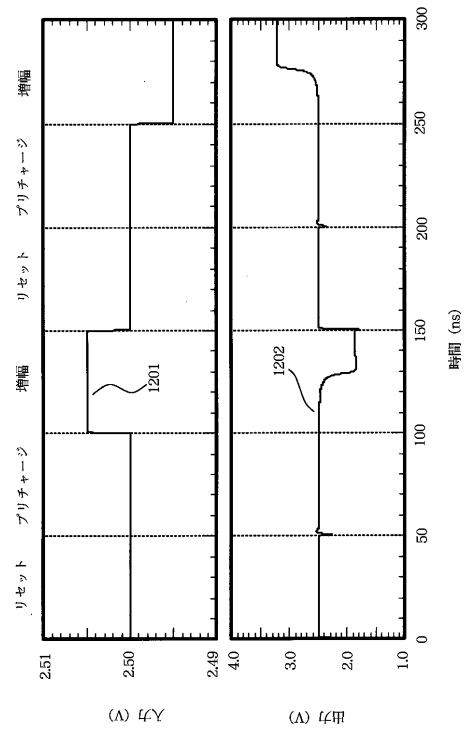
【図 10】



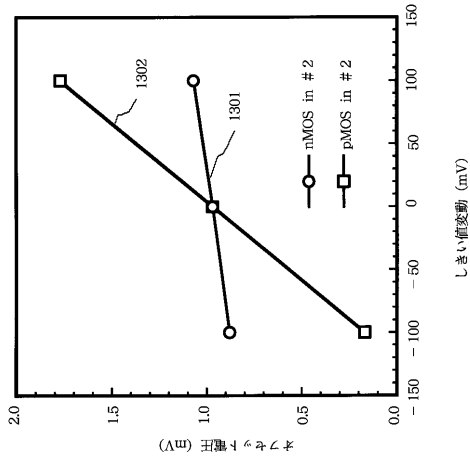
【図 11】



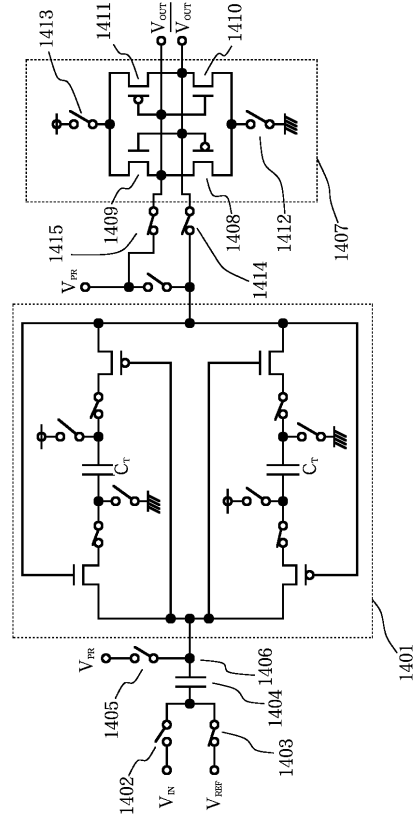
【図 12】



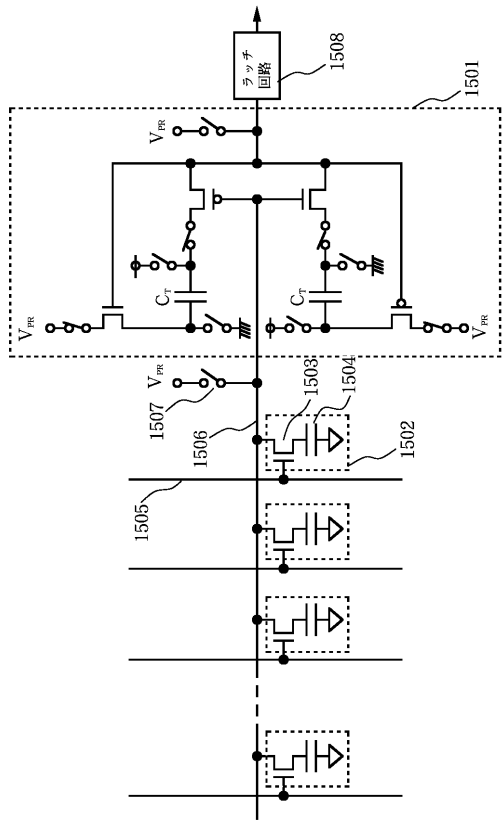
【図13】



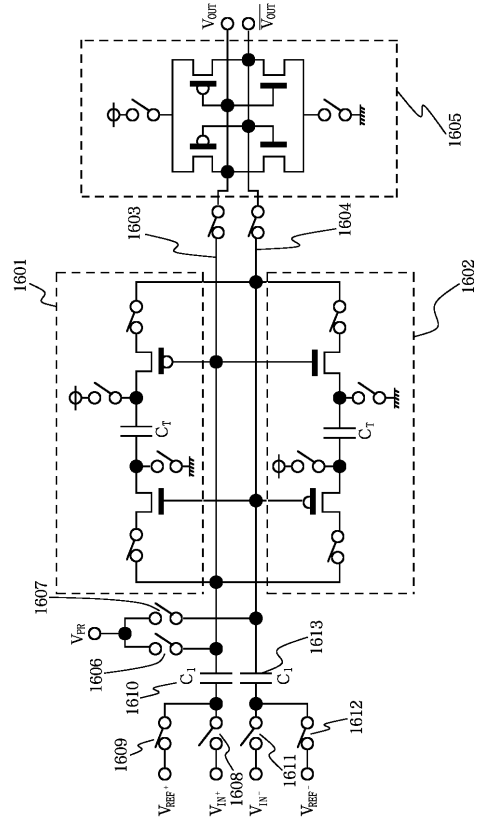
【図14】



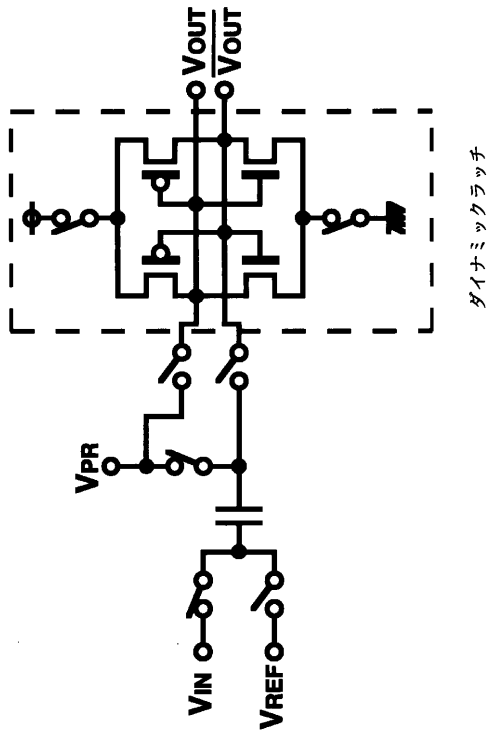
【図15】



【図16】



【図17】



フロントページの続き

審査官 石田 勝

- (56)参考文献 特開昭57-157556(JP,A)
特開平02-140014(JP,A)
特開平08-221504(JP,A)
特開平08-195091(JP,A)
特開昭57-157555(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/00-5/02;5/08-5/12;5/15-5/26

H03F 3/70

G01R 19/165