

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年9月12日(12.09.2024)



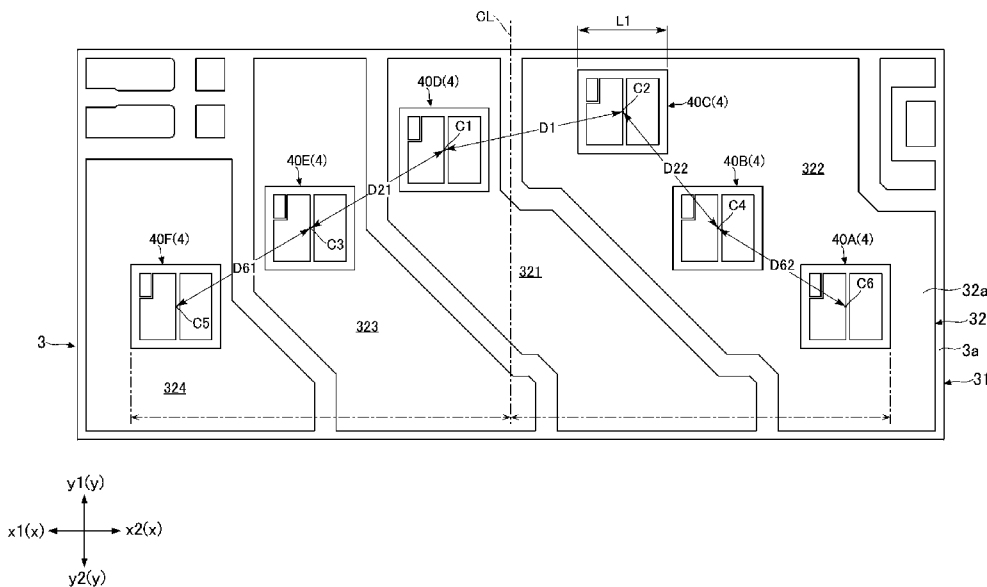
(10) 国際公開番号  
**WO 2024/185420 A1**

- (51) 国際特許分類:  
*H01L 23/473* (2006.01) *H01L 25/18* (2023.01)  
*H01L 25/07* (2006.01)
- (21) 国際出願番号: PCT/JP2024/004975
- (22) 国際出願日: 2024年2月14日(14.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-033629 2023年3月6日(06.03.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 塚本 美久 (TSUKAMOTO Yoshihisa);  
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR ASSEMBLY, AND VEHICLE

(54) 発明の名称: 半導体装置、半導体装置アッセンブリ、および車両

FIG.9



(57) Abstract: This semiconductor device comprises: a support conductor that has a first main surface directed toward one side in the thickness direction; four or more semiconductor elements arranged on the first main surface; and a sealing resin that covers the semiconductor elements and the support conductor. The semiconductor elements are arranged side by side in a first direction orthogonal to the thickness direction. The semiconductor elements include first and second semiconductor elements near the center in the first direction. A first distance between the center of the first semiconductor

WO 2024/185420 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

element and the center of the second semiconductor element is larger than a second distance between the center of one of the first and second semiconductor elements and the center of a third semiconductor element or a fourth semiconductor element adjacent to one of the first and second semiconductor elements in the first direction.

(57) 要約 : 半導体装置は、厚さ方向の一方側を向く第1主面を有する支持導体と、前記第1主面上に配置された4つ以上の複数の半導体素子と、前記複数の半導体素子および前記支持導体を覆う封止樹脂と、を備え、前記複数の半導体素子は、厚さ方向と直交する第1方向において並んで配置されており、前記複数の半導体素子は、前記第1方向の中央に近い第1半導体素子および第2半導体素子を含み、前記第1半導体素子の中心と前記第2半導体素子の中心の距離である第1距離は、前記第1半導体素子および前記第2半導体素子のいずれかの中心と前記第1方向において前記第1半導体素子および前記第2半導体素子のいずれかに隣接する第3半導体素子または第4半導体素子の中心との距離である第2距離よりも大である。

## 明 細 書

発明の名称：半導体装置、半導体装置アッセンブリ、および車両  
技術分野

[0001] 本開示は、半導体装置、半導体装置アッセンブリ、および車両に関する。

### 背景技術

[0002] 従来、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) などの複数の電力用スイッチング素子を備える半導体装置が知られている。このような半導体装置は、産業機器から家電や情報端末、自動車用機器まであらゆる電子機器に搭載される。特許文献1には、従来の半導体装置が開示されている。特許文献1に記載の半導体装置では、リード（導電部）上に複数の半導体チップ（半導体素子）が配置されている。複数の半導体チップは、リードの厚さ方向と直交するx方向に沿って、直線状に所定間隔で整列している。

[0003] 上記半導体装置の使用時には、複数の半導体チップから熱が発生する。昨今では、半導体装置の大電流化に伴い、複数の半導体チップでの発熱量が増大している。上記のように配列された複数の半導体チップにおいては、当該複数の半導体チップで発生した熱の干渉によっても温度上昇を招く。また、複数の半導体チップの配列方向であるx方向の中央付近に配置された半導体チップにおいては、隣接する半導体チップとの熱干渉の影響が大きく、熱が集中して高温状態となるおそれがある。このような熱干渉による影響は熱抵抗の増大を招き、半導体装置に大電流を流すことの妨げとなる。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：国際公開第2019/244372号

### 発明の概要

#### 発明が解決しようとする課題

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題

とする。特に本開示は、上記した事情に鑑み、複数の半導体素子で発生した熱の干渉を抑制し、熱抵抗の低減を図るのに適した半導体装置を提供することをその一の課題とする。

### 課題を解決するための手段

- [0006] 本開示の第1の側面によって提供される半導体装置は、厚さ方向の一方側を向く第1主面、および前記第1主面とは反対側を向く第1裏面を有する導電部と、前記第1主面上に配置された4つ以上の複数の半導体素子と、前記複数の半導体素子、および前記導電部の少なくとも一部を覆う封止樹脂と、を備える。前記複数の半導体素子は、前記厚さ方向と直交する第1方向において並んで配置されている。前記複数の半導体素子の数が偶数である場合において、前記複数の半導体素子は、前記第1方向の中央に近い第1半導体素子および第2半導体素子を含み、前記第1半導体素子の中心と前記第2半導体素子の中心の距離である第1距離は、前記第1半導体素子および前記第2半導体素子のいずれかの中心と前記第1方向において前記第1半導体素子および前記第2半導体素子のいずれかに隣接する他の前記半導体素子の中心との距離である第2距離よりも大である。前記複数の半導体素子の数が奇数である場合において、前記複数の半導体素子は、前記第1方向の中央に近い第3半導体素子と、前記第3半導体素子に対して前記第1方向の一方側に隣接する第4半導体素子と、前記第3半導体素子に対して前記第1方向の他方側に隣接する第5半導体素子と、を含み、前記第3半導体素子の中心と前記第4半導体素子の中心との距離である第3距離、および前記第3半導体素子の中心と前記第5半導体素子の中心との距離である第4距離の各々は、前記第4半導体素子および前記第5半導体素子のいずれかの中心と前記第1方向において前記第4半導体素子および前記第5半導体素子のいずれかに隣接する他の前記半導体素子の中心との距離である第5距離よりも大である。
- [0007] 本開示の第2の側面によって提供される半導体装置アセンブリは、本開示の第1の側面に係る半導体装置と、冷却器と、前記冷却器を冷却する冷却手段と、を備える。前記支持体の前記第2裏面は、前記封止樹脂から露出し

ており、前記冷却器は、前記第2裏面に接触する部位を有する。

[0008] 本開示の第3の側面によって提供される車両は、本開示の第1の側面に係る半導体装置を含んで構成された電力変換装置を備える。

### 発明の効果

[0009] 上記構成によれば、複数の半導体素子による熱干渉を抑制し、熱抵抗の低減を図ることが可能である。

[0010] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

### 図面の簡単な説明

- [0011] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。
- [図2]図2は、本開示の第1実施形態に係る半導体装置を示す平面図である。
- [図3]図3は、本開示の第1実施形態に係る半導体装置を示す平面図である。
- [図4]図4は、本開示の第1実施形態に係る半導体装置を示す底面図である。
- [図5]図5は、図3のV-V線に沿う断面図である。
- [図6]図6は、図3のV'-V'線に沿う断面図である。
- [図7]図7は、図3のV''-V''線に沿う断面図である。
- [図8]図8は、図3のV'''-V'''線に沿う断面図である。
- [図9]図9は、本開示の第1実施形態に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。
- [図10]図10は、本開示の第1実施形態に係る半導体装置を備えた車両の概要図である。
- [図11]図11は、本開示の第1実施形態に係る半導体装置を備えた半導体装置アセンブリの第1例を示す断面図である。
- [図12]図12は、図11に示す半導体装置アセンブリの構成を示すブロック図である。
- [図13]図13は、本開示の第1実施形態に係る半導体装置を備えた半導体装置アセンブリの第2例を示す断面図である。
- [図14]図14は、複数の半導体素子の配置の変形例を示す概略平面図である。

- 
- [図15]図15は、複数の半導体素子の配置の変形例を示す概略平面図である
- 
- [図16]図16は、複数の半導体素子の配置の変形例を示す概略平面図である
- 
- [図17]図17は、複数の半導体素子の配置の変形例を示す概略平面図である
- 
- [図18]図18は、本開示の第2実施形態に係る半導体装置を示す平面図である。
- [図19]図19は、図18のX | X - X | X線に沿う断面図である。
- [図20]図20は、図18のX X - X X線に沿う断面図である。
- [図21]図21は、図18のX X | - X X |線に沿う断面図である。
- [図22]図22は、本開示の第2実施形態に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。
- [図23]図23は、本開示の第3実施形態に係る半導体装置を示す平面図である。
- [図24]図24は、本開示の第3実施形態に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。
- [図25]図25は、本開示の第3実施形態に係る半導体装置を備えた車両の概要図である。
- [図26]図26は、第3実施形態の第1変形例に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。
- [図27]図27は、第3実施形態の第1変形例に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。
- [図28]図28は、第3実施形態の第1変形例に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。
- [図29]図29は、第3実施形態の第1変形例に係る半導体装置における複数の半導体素子の配置を示す概略平面図である。

## 発明を実施するための形態

[0012] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0013] 本開示における「第1」、「第2」、「第3」等の用語は、単に識別のために用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0014] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0015] 第1実施形態：

図1～図8は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A1は、複数のリード1、複数のリード2、支持体3、支持導体32、複数の半導体素子4、配線部5、サーミスタ6、複数ずつ

のワイヤ71、72、73、74、および封止樹脂8を備えている。

[0016] 図1は、半導体装置A1を示す斜視図である。図2は、半導体装置A1を示す平面図である。図3は、半導体装置A1を示す平面図であり、封止樹脂8を透過した図である。図4は、半導体装置A1を示す底面図である。図5は、図3のV-V線に沿う断面図である。図6は、図3のV1-V1線に沿う断面図である。図7は、図3のV11-V11線に沿う断面図である。図8は、図3のV111-V111線に沿う断面図である。なお、図3においては、封止樹脂8の外形を想像線（二点鎖線）で示している。図5～図8においては、ワイヤ71を省略している。

[0017] 半導体装置A1の説明においては、支持体3の厚さ方向（平面視方向）は、本開示の「厚さ方向」の一例であり、「厚さ方向z」と呼ぶ。厚さ方向zに対して直交する方向は、本開示の「第1方向」の一例であり、「第1方向x」と呼ぶ。厚さ方向zおよび第1方向xの双方に対して直交する方向は、本開示の「第2方向」の一例であり、「第2方向y」と呼ぶ。また、図2、図3において図中左側は本開示の「第1方向の一方側」の一例であり、「第1方向xのx1側」と呼び、図中右側は本開示の「第1方向の他方側」の一例であり、「第1方向xのx2側」と呼ぶ。図2、図3において図中上側は本開示の「第2方向の一方側」の一例であり、「第2方向yのy1側」と呼び、図中下側は本開示の「第2方向の他方側」の一例であり、「第2方向yのy2側」と呼ぶ。図5～図8において図中上側は本開示の「厚さ方向の一方側」の一例であり、「厚さ方向zのz1側」と呼び、図中下側は本開示の「厚さ方向の他方側」の一例であり、「厚さ方向zのz2側」と呼ぶ。

[0018] 図3、図5～図8に示すように、支持体3および支持導体32は、複数の半導体素子4を支持する。支持体3の具体的構成は何ら限定されず、たとえばAMB（Active Metal Brazing）基板またはDBC（Direct Bonded Copper）基板により構成される。本実施形態において、支持体3は、絶縁基板31および金属層33からなるものと定義する。支持体3は、第2主面3aおよび第2裏面3bを有する。第2主面3aは、厚さ方向zのz1側を向く。第

2裏面3bは、第2主面3aとは反対側（厚さ方向zのz2側）を向く。支持体3を構成するAMB基板やDBC基板は、絶縁基板31、支持導体32および金属層33を含む。支持体3を含む絶縁基板31、支持導体32および金属層33の全体の厚さ（厚さ方向zの寸法）は特に限定されず、たとえば0.4mm~3.0mm程度である。

[0019] 絶縁基板31は、たとえば熱伝導性の優れたセラミックスである。このようなセラミックスとしては、たとえば窒化ケイ素（SiN）、アルミナ（Al<sub>2</sub>O<sub>3</sub>）が挙げられる。絶縁基板31は、セラミックスに限定されず、絶縁樹脂シートなどであってもよい。絶縁基板31の形状は特に限定されず、たとえば平面視矩形状である。本実施形態において、絶縁基板31は、厚さ方向zに見て第1方向xを長手方向とする長矩形状である。絶縁基板31は、第2主面3aを有する。第2主面3aは、厚さ方向zのz1側を向く平面である。絶縁基板31の厚さは特に限定されず、たとえば0.05mm~1.0mm程度である。

[0020] 支持導体32は、絶縁基板31の第2主面3a上に形成されている。支持導体32の構成材料は、たとえば銅（Cu）を含む。当該構成材料は銅以外のたとえばアルミニウム（Al）を含んでいてもよい。上記DBC基板等を用いることで、たとえば第2主面3aに接合された銅箔をパターンニングすることにより、後述の第1導体部321~第8導体部328を含む支持導体32を容易に形成することができる。支持導体32は、第1主面32aおよび第1裏面32bを有する。第1主面32aは、厚さ方向zのz1側を向く。第1裏面32bは、第1主面32aとは反対側（厚さ方向zのz2側）を向き、第2主面3aと対向している。支持導体32の厚さは特に限定されず、たとえば0.1mm~1.5mm程度である。

[0021] 支持導体32は、第1導体部321、第2導体部322、第3導体部323、第4導体部324、第5導体部325、第6導体部326、第7導体部327および第8導体部328を含む。これら第1導体部321~第8導体部328の表面には、たとえば銀（Ag）めっきを施してもよい。

[0022] 第1導体部321は、絶縁基板31の第2主面3a上において第1方向xの中央付近に配置されている。第1導体部321は、複数の半導体素子4のいずれかを支持している。第2導体部322は、第1導体部321に対して第1方向xのx2側に配置され、当該第1導体部321に隣接している。第2導体部322は、複数の半導体素子4のいずれかを支持している。第3導体部は、第1導体部321に対して第1方向xのx1側に配置され、当該第1導体部321に隣接している。第3導体部323は、複数の半導体素子4のいずれかを支持している。第4導体部324は、第3導体部323に対して第1方向xのx1側に配置され、当該第3導体部323に隣接している。第4導体部324は、複数の半導体素子4のいずれかを支持している。

[0023] 第5導体部325および第6導体部326は、絶縁基板31の第1方向xのx2側、且つ第2方向yのy1側の角部付近に配置されている。第5導体部325には、ワイヤ73が接合されている。第6導体部326には、ワイヤ72が接合されている。第7導体部327および第8導体部328は、絶縁基板31の第1方向xのx1側、且つ第2方向yのy1側の角部付近に配置されている。第7導体部327および第8導体部328は、第3導体部323に対して第1方向xのx1側に位置し、第4導体部324に対して第2方向yのy1側に位置する。第7導体部327には、ワイヤ73が接合されている。第8導体部328には、ワイヤ72が接合されている。複数の半導体素子4を支持する支持導体32は、本開示の「導電部」の一例に相当する。

[0024] 金属層33は、絶縁基板31の下面（厚さ方向zのz2側を向く面）に接合されている。金属層33の構成材料は、支持導体32の構成材料と同じである。金属層33は、第2裏面3bを有する。第2裏面3bは、厚さ方向zのz2側を向く平面である。本実施形態において、第2裏面3bは、封止樹脂8から露出する。第2裏面3bには、図示しない放熱部材（たとえばヒートシンク）などが取り付け可能である。支持導体32および支持体3（絶縁基板31と金属層33）からなる構造体（たとえばAMB基板やDBC基板

)の熱容量は、たとえば0.01~15 J/Kである。また、支持導体32および支持体3からなる構造体(たとえばAMB基板やDBC基板)の熱抵抗は、たとえば0.0003~1.5 K/Wである。

[0025] 配線部5は、絶縁基板31の第2主面3a上に形成されている。配線部5は、導電性材料からなる。配線部5を構成する導電性材料は特に限定されない。配線部5の導電性材料としては、たとえば銀(Ag)、銅(Cu)、金(Au)等を含むものが挙げられる。以降の説明においては、配線部5が銀を含む場合を例に説明する。なお、配線部5は、銀に代えて銅を含んでもよいし、銀または銅に代えて金を含んでもよい。あるいは、配線部5は、Ag-PtやAg-Pdを含んでもよい。配線部5の形成手法は限定されず、たとえばこれらの金属を含むペーストを焼成することによって形成される。配線部5の厚さは特に限定されず、たとえば5 $\mu$ m~30 $\mu$ m程度である。配線部5の厚さは、上記した支持導体32の厚さよりも小である。

[0026] 配線部5の形状等は特に限定されない。本実施形態では、配線部5は、たとえば図3に示すように、2つの配線501を含んでいる。2つの配線501は、絶縁基板31の第1方向xのx1側、且つ第2方向yのy1側の角部付近に配置されている。2つの配線501は、互いに離れており、第2方向yに並んで配置されている。各配線501は、パッド部502を有する。パッド部502は、配線501において第1方向xのx2側の端に位置する。2つのパッド部502には、サーミスタ6の各端子がそれぞれ接合される。

[0027] 複数のリード1は、金属を含んで構成されており、たとえば絶縁基板31よりも熱伝導率が高い。リード1を構成する金属は特に限定されず、たとえば銅、アルミニウム、鉄(Fe)、無酸素銅、またはこれらの合金(たとえばCu-Sn合金、Cu-Zr合金、Cu-Fe合金等)である。また、複数のリード1には、ニッケル(Ni)めっきが施されていてもよい。複数のリード1は、たとえば、金型を金属板に押し付けるプレス加工により形成されてもよいし、金属板をエッチングでパターンングすることにより形成さ

れてもよい。なお、複数のリード1の形成方法は限定されない。各リード1の厚さは特に限定されず、たとえば0.4mm~0.8mm程度である。各リード1は、互いに離隔している。

[0028] 本実施形態においては、複数のリード1は、リード11、リード12、リード13、リード14およびリード15を含んでいる。リード11、リード12、リード13、リード14およびリード15は、半導体素子4への導通経路を構成しており、封止樹脂8の第2方向yのy2側（図2においては図中下側）を向く側面（後述する樹脂側面86）から突出している。

[0029] リード11は、支持導体32上に配置されており、本実施形態においては、第2導体部322上に配置されている。図7に示すように、リード11は、導電性接合材19を介して第2導体部322に接合されている。導電性接合材19は、リード11を第2導体部322に接合し、かつ、リード11と第2導体部322とを電氣的に接続しうるものであればよい。導電性接合材19は、たとえば銀ペースト、銅ペーストやはんだ等が用いられる。

[0030] リード11の構成は特に限定されない。本実施形態においては、図3、図7に示すように、リード11を、接続端部111、突出部112、傾斜部113および平行部114に区分けして説明する。

[0031] 接続端部111は、平面視矩形状であり、第2導体部322に接合される部分である。接続端部111は、導電性接合材19を介して第2導体部322の第2方向yのy2側の端部に導通接合されている。傾斜部113および平行部114、封止樹脂8によって覆われている。傾斜部113は、接続端部111および平行部114につながっており、接続端部111および平行部114に対して傾斜している。平行部114は、傾斜部113および突出部112につながっており、接続端部111に対して平行である。突出部112は、平行部114の端部につながり、リード11のうち封止樹脂8から突出する部分である。図示した例では、2つの突出部112が第1方向xに間隔を隔てて設けられている。各突出部112は、第2方向yにおいて接続端部111とは反対側に突出している。突出部112は、たとえば半導体装

置 A 1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 1 1 2 は、厚さ方向 z において絶縁基板 3 1 の第 2 主面 3 a が向く側に折り曲げられている。

[0032] リード 1 2 は、支持導体 3 2 上に配置されており、本実施形態においては、第 1 導体部 3 2 1 上に配置されている。リード 1 2 は、導電性接合材を介して第 1 導体部 3 2 1 に接合されている。リード 1 2 の構成は特に限定されない。本実施形態においては、図 3 に示すように、リード 1 2 を、接続端部 1 2 1、突出部 1 2 2、傾斜部 1 2 3 および平行部 1 2 4 に区分けして説明する。

[0033] 接続端部 1 2 1 は、平面視矩形状であり、第 1 導体部 3 2 1 に接合される部分である。接続端部 1 2 1 は、導電性接合材を介して第 1 導体部 3 2 1 の第 2 方向 y の y 2 側の端部に導通接合されている。傾斜部 1 2 3 および平行部 1 2 4 は、封止樹脂 8 によって覆われている。傾斜部 1 2 3 は、接続端部 1 2 1 および平行部 1 2 4 につながっており、接続端部 1 2 1 および平行部 1 2 4 に対して傾斜している。平行部 1 2 4 は、傾斜部 1 2 3 および突出部 1 2 2 につながっており、接続端部 1 2 1 に対して平行である。平行部 1 2 4 には、ワイヤ 7 1 が接合されている。突出部 1 2 2 は、平行部 1 2 4 の端部につながり、リード 1 2 のうち封止樹脂 8 から突出する部分である。突出部 1 2 2 は、第 2 方向 y において接続端部 1 2 1 とは反対側に突出している。突出部 1 2 2 は、たとえば半導体装置 A 1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 1 2 2 は、厚さ方向 z において絶縁基板 3 1 の第 2 主面 3 a が向く側に折り曲げられている。

[0034] リード 1 3 は、支持導体 3 2 上に配置されており、本実施形態においては、第 3 導体部 3 2 3 上に配置されている。図 6 に示すように、リード 1 3 は、導電性接合材 1 9 を介して第 3 導体部 3 2 3 に接合されている。リード 1 3 の構成は特に限定されない。本実施形態においては、図 3、図 6 に示すように、リード 1 3 を、接続端部 1 3 1、突出部 1 3 2、傾斜部 1 3 3 および平行部 1 3 4 に区分けして説明する。

[0035] 接続端部131は、平面視矩形形状であり、第3導体部323に接合される部分である。接続端部131は、導電性接合材19を介して第3導体部323の第2方向yのy2側の端部に導通接合されている。傾斜部133および平行部134は、封止樹脂8によって覆われている。傾斜部133は、接続端部131および平行部134につながっており、接続端部131および平行部134に対して傾斜している。平行部134は、傾斜部133および突出部132につながっており、接続端部131に対して平行である。平行部134には、ワイヤ71が接合されている。突出部132は、平行部134の端部につながり、リード13のうち封止樹脂8から突出する部分である。突出部132は、第2方向yにおいて接続端部131とは反対側に突出している。突出部132は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部132は、厚さ方向zにおいて絶縁基板31の第2主面3aが向く側に折り曲げられている。

[0036] リード14は、支持導体32上に配置されており、本実施形態においては、第4導体部324上に配置されている。リード14は、導電性接合材を介して第4導体部324に接合されている。リード14の構成は特に限定されない。本実施形態においては、図3に示すように、リード14を、接続端部141、突出部142、傾斜部143および平行部144に区分けして説明する。

[0037] 接続端部141は、平面視矩形形状であり、第4導体部324に接合される部分である。接続端部141は、導電性接合材を介して第4導体部324の第2方向yのy2側の端部に導通接合されている。傾斜部143および平行部144は、封止樹脂8によって覆われている。傾斜部143は、接続端部141および平行部144につながっており、接続端部141および平行部144に対して傾斜している。平行部144は、傾斜部143および突出部142につながっており、接続端部141に対して平行である。平行部144には、ワイヤ71が接合されている。突出部142は、平行部144の端

部につながり、リード14のうち封止樹脂8から突出する部分である。突出部142は、第2方向yにおいて接続端部141とは反対側に突出している。突出部142は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部142は、厚さ方向zにおいて絶縁基板31の第2主面3aが向く側に折り曲げられている。

[0038] リード15は、本実施形態では、支持導体32上に配置されておらず、封止樹脂8によって支持されている。リード15は、リード13の接続端部131および傾斜部133に相当する部位を含んでいない。なお、リード15の構成はこれに限定されない。本実施形態においては、図3に示すように、リード15を、突出部152および平行部154に区別して説明する。

[0039] 平行部154は、封止樹脂8によって覆われている。平行部154は、支持導体32に対して平行である。平行部154には、ワイヤ71が接合されている。突出部152は、平行部154の端部につながり、リード15のうち封止樹脂8から突出する部分である。突出部152は、封止樹脂8から第2方向yのy2側に突出している。突出部152は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部152は、厚さ方向zにおいて絶縁基板31の第2主面3aが向く側に折り曲げられている。

[0040] 複数のリード2は、金属を含んで構成されており、たとえば絶縁基板31よりも熱伝導率が高い。リード2を構成する金属は特に限定されず、たとえば銅、アルミニウム、鉄(Fe)、無酸素銅、またはこれらの合金(たとえば、Cu-Sn合金、Cu-Zr合金、Cu-Fe合金等)である。また、複数のリード2には、ニッケル(Ni)めっきが施されていてもよい。複数のリード2は、たとえば、金型を金属板に押し付けるプレス加工により形成されてもよいし、金属板をエッチングでパターンングすることにより形成されてもよい。なお、複数のリード2の形成方法は限定されない。各リード2の厚さは特に限定されず、たとえば0.4mm~0.8mm程度である。各リード2は、互いに離隔している。

- [0041] 本実施形態においては、複数のリード2は、複数のリード21、複数のリード22、および2つのリード23を含んでいる。リード21およびリード22は、半導体素子4の後述するソース電極43およびゲート電極44への導通経路を構成しており、封止樹脂8の第2方向yのy1側（図2においては図中上側）を向く側面（後述する樹脂側面85）から突出している。2つのリード23は、サーミスタ6への導通経路を構成しており、封止樹脂8の第2方向yのy1側を向く側面から突出している。
- [0042] 複数のリード21は、それぞれ、支持導体32上に配置されておらず、封止樹脂8によって支持されている。複数のリード21は、第1方向xにおいて間隔を隔てて配置されている。リード21の構成は特に限定されない。本実施形態においては、図3、図6に示すように、リード21を、突出部212および平行部214に区分けして説明する。
- [0043] 平行部214は、封止樹脂8によって覆われている。平行部214は、支持導体32に対して平行である。平行部214には、ワイヤ73が接合されている。突出部212は、平行部214の端部につながり、リード21のうち封止樹脂8から突出する部分である。突出部212は、封止樹脂8から第2方向yのy1側に突出している。突出部212は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部212は、厚さ方向zにおいて絶縁基板31の第2主面3aが向く側に折り曲げられている。
- [0044] 複数のリード22は、それぞれ、支持導体32上に配置されておらず、封止樹脂8によって支持されている。複数のリード22は、第1方向xにおいて間隔を隔てて配置されている。複数のリード22の各々は、複数のリード21のいずれかと対をなすように近接し配置されている。リード22の構成は特に限定されない。本実施形態においては、図3、図7に示すように、リード22を、突出部222および平行部224に区分けして説明する。
- [0045] 平行部224は、封止樹脂8によって覆われている。平行部224は、支持導体32に対して平行である。平行部224には、ワイヤ72が接合され

ている。突出部 2 2 2 は、平行部 2 2 4 の端部につながり、リード 2 2 のうち封止樹脂 8 から突出する部分である。突出部 2 2 2 は、封止樹脂 8 から第 2 方向 y の y 1 側に突出している。突出部 2 2 2 は、たとえば半導体装置 A 1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 2 2 2 は、厚さ方向 z において絶縁基板 3 1 の第 2 主面 3 a が向く側に折り曲げられている。

[0046] 2つのリード 2 3 は、それぞれ、支持導体 3 2 上に配置されておらず、封止樹脂 8 によって支持されている。2つのリード 2 3 は、第 1 方向 x に並んで配置されている。リード 2 3 の構成は特に限定されない。本実施形態においては、図 3、図 5 に示すように、リード 2 3 を、突出部 2 3 2 および平行部 2 3 4 に区分けして説明する。

[0047] 平行部 2 3 4 は、封止樹脂 8 によって覆われている。平行部 2 3 4 は、支持導体 3 2 に対して平行である。平行部 2 3 4 には、ワイヤ 7 4 が接合されている。突出部 2 3 2 は、平行部 2 3 4 の端部につながり、リード 2 3 のうち封止樹脂 8 から突出する部分である。突出部 2 3 2 は、封止樹脂 8 から第 2 方向 y の y 1 側に突出している。突出部 2 3 2 は、たとえば半導体装置 A 1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 2 3 2 は、厚さ方向 z において絶縁基板 3 1 の第 2 主面 3 a が向く側に折り曲げられている。

[0048] 複数の半導体素子 4 はそれぞれ、半導体装置 A 1 の機能中枢となる電子部品であり、本実施形態では、スイッチング素子である。複数の半導体素子 4 は、支持導体 3 2 の第 1 主面 3 2 a 上に配置されている。具体的には、4つ以上の複数の半導体素子 4 が互いに離隔して配置されており、当該複数の半導体素子 4 は、それぞれ、支持導体 3 2 の第 1 導体部 3 2 1 ~ 第 4 導体部 3 2 4 のいずれかに支持されている。本実施形態においては、複数の半導体素子 4 は、半導体素子 4 0 A ~ 4 0 F を含む。また、図示された例においては、6つの半導体素子 4 0 A ~ 4 0 F を備えているがこれは一例であり、半導体素子 4 の個数は 4 つ以上であれば何ら限定されない。

[0049] 半導体素子4（半導体素子40A～40Fの各々）は、たとえばワイドバンドギャップ半導体およびウルトラワイドバンドギャップ半導体の少なくともいずれかを含んで構成される。ワイドバンドギャップ半導体としては、たとえばSiC（炭化シリコン）、GaN（窒化ガリウム）などが挙げられる。ウルトラワイドバンドギャップ半導体としては、たとえばGa<sub>2</sub>O<sub>3</sub>（酸化ガリウム）、C（ダイヤモンド）などが挙げられる。本実施形態において、半導体素子4（半導体素子40A～40Fの各々）は、たとえばSiC（炭化シリコン）基板からなるMOSFET（SiC MOSFET（metal-oxide-semiconductor field-effect transistor））である。なお、半導体素子4は、SiC基板に変えてSi（シリコン）基板からなるMOSFETであってもよく、たとえばIGBT素子を含んでいてもよい。また、GaN（窒化ガリウム）を含むMOSFETであってもよい。また、半導体素子4は、上述のスイッチング素子に替えてダイオードでもよい。

[0050] 図3、図5～図8に示すように、半導体素子4は、平面視矩形状の板状であり、素子主面41、素子裏面42、ソース電極43、ゲート電極44、およびドレイン電極45を備えている。素子主面41および素子裏面42は、厚さ方向zにおいて互いに反対側を向いている。素子主面41は、厚さ方向zのz1側を向く面である。素子裏面42は、厚さ方向zのz2側を向く面である。素子主面41には、図3に示すように、ソース電極43およびゲート電極44が配置されている。素子裏面42には、図5～図7に示すように、ドレイン電極45が配置されている。なお、ソース電極43、ゲート電極44、およびドレイン電極45の形状および配置は限定されない。図示した例では、厚さ方向zに見て、ゲート電極44よりもソース電極43が大きい。また、ソース電極43は、厚さ方向zに見て、分離した2つの領域により構成される。各半導体素子4の熱容量は、たとえば0.0001～0.5 J/Kである。また、各半導体素子4の熱抵抗は、たとえば0.0003～1.5 K/Wである。

[0051] 半導体素子40A、40B、40Cは、図3、図7、図8に示すように、

第2導体部322上に配置されている。半導体素子40A, 40B, 40Cは、図7、図8に示すように、素子裏面42を第2導体部322に向けて、導電性接合材47によって第2導体部322に接合されている。これにより、半導体素子40A, 40B, 40Cの各々のドレイン電極45は、導電性接合材47によって、第2導体部322に導通接続される。導電性接合材47は、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。また、図3に示すように、半導体素子40Aのソース電極43は、ワイヤ71によって、リード12に導通接続される。半導体素子40Bのソース電極43は、ワイヤ71によって、リード13に導通接続される。半導体素子40Cのソース電極43は、ワイヤ71によって、リード14に導通接続される。ワイヤ71は、たとえば、アルミニウム(AI)や銅(Cu)からなる。なお、ワイヤ71の材料、線径、および本数は限定されない。

[0052] 半導体素子40Dは、図3に示すように、第1導体部321上に配置されている。半導体素子40Dは、素子裏面42を第1導体部321に向けて、図示しない導電性接合材によって第2導体部322に接合されている。これにより、半導体素子40Dのドレイン電極45は、導電性接合材によって、第1導体部321に導通接続される。半導体素子40Dのソース電極43は、ワイヤ71によって、リード15に導通接続される。

[0053] 半導体素子40Eは、図3、図6、図8に示すように、第3導体部323上に配置されている。半導体素子40Eは、図6、図8に示すように、素子裏面42を第3導体部323に向けて、導電性接合材47によって第3導体部323に接合されている。これにより、半導体素子40Eのドレイン電極45は、導電性接合材47によって、第3導体部323に導通接続される。図3に示すように、半導体素子40Eのソース電極43は、ワイヤ71によって、リード15に導通接続される。

[0054] 半導体素子40Fは、図3、図5に示すように、第4導体部324上に配置されている。半導体素子40Fは、図5に示すように、素子裏面42を第4導体部324に向けて、導電性接合材47によって第4導体部324に接

合されている。これにより、半導体素子40Fのドレイン電極45は、導電性接合材47によって、第4導体部324に導通接続される。図3に示すように、半導体素子40Fのソース電極43は、ワイヤ71によって、リード15に導通接続される。

[0055] 半導体素子40Aのゲート電極44は、ワイヤ72によって第6導体部326に接続され、この第6導体部326は、ワイヤ72によってリード22に接続される。半導体素子40Aのゲート電極44は、ワイヤ72および第6導体部326によって、リード22に導通接続される。半導体素子40Aのゲート電極44に導通接続されたリード22は、半導体素子40Aの駆動信号入力用の端子（ゲート端子）である。半導体素子40Aのソース電極43は、ワイヤ73によって第5導体部325に接続され、この第5導体部325は、ワイヤ73によってリード21に接続される。半導体素子40Aのソース電極43は、ワイヤ73および第5導体部325によって、リード21に導通接続される。半導体素子40Aのソース電極43に導通接続されたリード22は、半導体素子40Aのソース信号検出用の端子（ソースセンス端子）である。ワイヤ72, 73は、たとえば、金（Au）、銀（Ag）、銅（Cu）、アルミニウム（Al）等からなる。なお、ワイヤ72, 73の材料、線径、および本数は限定されない。

[0056] 半導体素子40Bのゲート電極44は、ワイヤ72によってリード22に導通接続される。半導体素子40Bのゲート電極44に導通接続されたリード22は、半導体素子40Bのゲート端子である。半導体素子40Bのソース電極43は、ワイヤ73によってリード21に導通接続される。半導体素子40Bのソース電極43に導通接続されたリード21は、半導体素子40Bのソースセンス端子である。

[0057] 半導体素子40Cのゲート電極44は、ワイヤ72によってリード22に導通接続される。半導体素子40Cのゲート電極44に導通接続されたリード22は、半導体素子40Cのゲート端子である。半導体素子40Cのソース電極43は、ワイヤ73によってリード21に導通接続される。半導体素

子40Cのソース電極43に導通接続されたリード21は、半導体素子40Cのソースセンス端子である。

[0058] 半導体素子40Dのゲート電極44は、ワイヤ72によってリード22に導通接続される。半導体素子40Dのゲート電極44に導通接続されたリード22は、半導体素子40Dのゲート端子である。半導体素子40Dのソース電極43は、ワイヤ73によってリード21に導通接続される。半導体素子40Dのソース電極43に導通接続されたリード21は、半導体素子40Dのソースセンス端子である。

[0059] 半導体素子40Eのゲート電極44は、ワイヤ72によってリード22に導通接続される。半導体素子40Eのゲート電極44に導通接続されたリード22は、半導体素子40Eのゲート端子である。半導体素子40Eのソース電極43は、ワイヤ73によってリード21に導通接続される。半導体素子40Eのソース電極43に導通接続されたリード21は、半導体素子40Eのソースセンス端子である。

[0060] 半導体素子40Fのゲート電極44は、ワイヤ72によってリード22に導通接続される。本実施形態では、ワイヤ72は、一方の端部が半導体素子40Fのゲート電極44に接合され、中間部分が第8導体部328に接合され、他方の端部がリード22に接合される。半導体素子40Fのゲート電極44に導通接続されたリード22は、半導体素子40Fのゲート端子である。半導体素子40Fのソース電極43は、ワイヤ73によってリード21に導通接続される。本実施形態では、ワイヤ73は、一方の端部が半導体素子40Fのソース電極43に接合され、中間部分が第7導体部327に接合され、他方の端部がリード21に接合される。半導体素子40Fのソース電極43に導通接続されたリード21は、半導体素子40Fのソースセンス端子である。

[0061] 半導体装置A1は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、外部でリード12、リード13およびリード14が導通接続されて、半導体素子40A、40B、40Cは、半導体装置A1の

上アーム回路を構成し、半導体素子40D、40E、40Fは、下アーム回路を構成する。上アーム回路において、半導体素子40A、40B、40Cは互いに並列に接続され、下アーム回路において、半導体素子40D、40E、40Fは互いに並列に接続される。各半導体素子40A、40B、40Cと各半導体素子40D、40E、40Fとは、直列に接続され、ブリッジ層を構成する。半導体装置A1において、リード11およびリード15には、電力変換対象となる直流電圧が入力される。リード11は正極（P端子）であり、リード15は負極（N端子）である。リード12、リード13およびリード14から、半導体素子40A～40Fにより電力変換された交流電圧が出力される。

[0062] 図3、図9に示すように、本実施形態において、複数の半導体素子4（半導体素子40A～40F）は、第1方向xにおいて並んで配置されている。半導体素子40Aは第1方向xのx2側の端に位置し、半導体素子40Fは第1方向xのx1側の端に位置し、半導体素子40A～40Fは、第1方向xのx2側から第1方向xのx1側に向けてこの順に配置されている。

[0063] 半導体素子40Cおよび半導体素子40Dは、第1方向xの中央に近い位置に配置されている。ここで、「第1方向xの中央」とは、第1方向xに並んだ複数の半導体素子40A～40Fについて当該第1方向xにおけるセンターラインCLのことをいい、後述の各変形例等においても同様である。本実施形態のように、複数の半導体素子4（半導体素子40A～40F）の数が偶数である場合、複数の半導体素子4の第1方向xの中央の近くには2つの半導体素子40Cおよび半導体素子40Dが配置されている。

[0064] 図示した例では、半導体素子40A～40Fは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Bは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Aに対して第2方向yのy1側に位置する。半導体素子40Cは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Bに対して第2方向yのy1側に位置する。また、半導体素子40Cは、第2方向yに

において、第1方向xのx1側に隣接する半導体素子40Dに対して第2方向yのy1側に位置する。半導体素子40Dは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Eに対して第2方向yのy1側に位置する。半導体素子40Eは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Fに対して第2方向yのy1側に位置する。半導体素子40Eは、第2方向yにおいて半導体素子40Bと同じ（あるいは略同じ）位置にある。半導体素子40Fは、第2方向yにおいて半導体素子40Aと同じ（あるいは略同じ）位置にある。このように配置された複数の半導体素子4（半導体素子40A～40F）において、半導体素子40Dは本開示の「第1半導体素子」の一例に相当し、半導体素子40Cは本開示の「第2半導体素子」の一例に相当する。半導体素子40D（第1半導体素子）が配置された第1導体部321は本開示の「第1部」の一例に相当し、半導体素子40C（第2半導体素子）が配置された第2導体部322は本開示の「第2部」の一例に相当する。

[0065] 図9に示すように、複数の半導体素子4（半導体素子40A～40F）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離である第1距離D1は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離である第2距離D21よりも大である。また、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離である第2距離D22よりも大である。また、本実施形態において、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0066] 半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第

1 距離 D 1) は、複数の半導体素子 4 のうち第 1 方向 x において互いに隣接する他の半導体素子 4 0 E および半導体素子 4 0 F の中心 C 3, C 5 どちらの距離である第 6 距離 D 6 1 よりも大である。また、上記第 1 距離 D 1 は、複数の半導体素子 4 のうち第 1 方向 x において互いに隣接する他の半導体素子 4 0 B および半導体素子 4 0 A の中心 C 4, C 6 どちらの距離である第 6 距離 D 6 2 よりも大である。

[0067] 半導体素子 4 0 D の中心 C 1 と半導体素子 4 0 E の中心 C 3 との距離 (第 2 距離 D 2 1) は、第 1 方向 x において互いに隣接する他の半導体素子 4 0 E および半導体素子 4 0 F の中心 C 3, C 5 どちらの距離 (第 6 距離 D 6 1) よりも大である。また、半導体素子 4 0 C の中心 C 2 と半導体素子 4 0 B の中心 C 4 との距離 (第 2 距離 D 2 2) は、第 1 方向 x において互いに隣接する他の半導体素子 4 0 B および半導体素子 4 0 A の中心 C 4, C 6 どちらの距離 (第 6 距離 D 6 2) よりも大である。

[0068] サーミスタ 6 は、温度検出素子であり、絶縁基板 3 1 の第 2 主面 3 a 上に実装されている。サーミスタ 6 は、温度変化に対して電気抵抗の変化の大きい抵抗体であり、周囲の温度に応じて抵抗値が変化することで、端子間電圧が変化する。サーミスタ 6 の端子間電圧に基づいて、サーミスタ 6 の周囲の温度が検出される。なお、サーミスタ 6 の特性は限定されない。サーミスタ 6 は、N T C (negative temperature coefficient) サーミスタであってもよいし、P T C (Positive temperature coefficient) サーミスタであってもよいし、その他の特性を有するサーミスタであってもよい。

[0069] サーミスタ 6 は、半導体装置 A 1 の温度を検出するためのものである。図 3、図 5 に示すように、サーミスタ 6 は、配線部 5 (配線 5 0 1) の 2 つのパッド部 5 0 2 にまたがって配置されている。サーミスタ 6 は、導電性接合材 6 3 を介してパッド部 5 0 2 に接合されている。導電性接合材 6 3 は、サーミスタ 6 をパッド部 5 0 2 に接合し、かつ、サーミスタ 6 とパッド部 5 0 2 とを電氣的に接続しうるものであればよい。導電性接合材 6 3 は、たとえば銀ペースト、銅ペーストやはんだ等が用いられる。サーミスタ 6 の一方の

端子は、導電性接合材 63 を介して一方のパッド部 502 に導通接合され、サーミスタ 6 の他方の端子は、導電性接合材 63 を介して他方のパッド部 502 に導通接合されている。

[0070] 2つのパッド部 502 (配線 501) の各々は、ワイヤ 74 を介してリード 23 に導通接続されている。パッド部 502 (配線 501) およびワイヤ 74 は、サーミスタ 6 とリード 23 とを導通させる導通経路である。2つのリード 23 は、半導体装置 A1 の温度検出のための端子になり、サーミスタ 6 の端子間電圧を出力する。

[0071] 本実施形態において、図 5 に示すように、半導体装置 A1 は、絶縁部材 62 を備える。絶縁部材 62 は、絶縁基板 31 の第 2 主面 3a と、サーミスタ 6 との間に介在しており、電気絶縁性を有する。絶縁部材 62 は、厚さ方向 z において第 2 主面 3a とサーミスタ 6 との間に充填されたアンダーフィルである。絶縁部材 62 の構成材料は特に限定されず、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。図 3 に示すように、サーミスタ 6 は、絶縁基板 31 の第 1 方向 x の x1 側、且つ第 2 方向 y の y1 側の角部付近に配置されている。

[0072] 半導体装置 A1 は、サーミスタ 6 に代えて、他の温度検出素子を備えてもよい。他の温度検出素子としては、半導体温度センサなどが考えられる。半導体温度センサは、温度変化に対して順方向電圧の変化の大きい Si ダイオードなどであり、所定の電流を流したときの端子間電圧に基づいて、周囲の温度が検出される。なお、本実施形態と異なり、上記サーミスタ 6 などの温度検出素子を備えない構成であってもよい。

[0073] 封止樹脂 8 は、半導体素子 40A~40F、配線部 5、サーミスタ 6 およびワイヤ 71~74 と、複数のリード 1 および複数のリード 2 各々の一部と、支持体 3 の一部とを少なくとも覆っている。封止樹脂 8 の構成材料は特に限定されず、たとえば黒色のエポキシ樹脂で構成される。封止樹脂 8 は、たとえばモールド成形により形成される。

[0074] 封止樹脂 8 は、樹脂主面 81、樹脂裏面 82、および複数の樹脂側面 83

～86を有する。図5～図8に示すように、樹脂主面81および樹脂裏面82は、厚さ方向zにおいて互いに反対側を向く面であり、ともに厚さ方向zに対して直交する平坦面である。樹脂主面81は、厚さ方向zのz1側を向き、樹脂裏面82は、厚さ方向zのz2側を向く。樹脂裏面82は、図4に示すように、平面視において支持体3（金属層33）の第2裏面3bを囲む枠状である。支持体3の第2裏面3bは、封止樹脂8の樹脂裏面82から露出し、たとえば樹脂裏面82と面一である。なお、支持体3の第2裏面3bは、封止樹脂8の樹脂裏面82よりも厚さ方向zのz2側に突出していてもよい。

[0075] 複数の樹脂側面83～86はそれぞれ、樹脂主面81および樹脂裏面82の双方につながり、かつ、厚さ方向zにおいてこれらに挟まれている。図2などに示すように、樹脂側面83と樹脂側面84とは第1方向xに離隔する。樹脂側面83は第1方向xのx1側を向き、樹脂側面84は、第1方向xのx2側を向く。図2などに示すように、樹脂側面85と樹脂側面86とは第2方向yに離隔する。樹脂側面85は第2方向yのy1側を向き、樹脂側面86は、第2方向yのy2側を向く。樹脂側面85から複数のリード2それぞれの一部が突き出ている。樹脂側面86から複数のリード1それぞれの一部が突き出ている。図2～図4などに示すように、樹脂側面83には、第1方向xに凹んだ凹部831が形成されている。樹脂側面84には、第1方向xに凹んだ凹部841が形成されている。凹部831および凹部841、たとえば半導体装置A1を実装する際の固定などに用いられる。また、詳細な説明は省略するが、樹脂側面85、86のそれぞれには、第2方向yに凹んだ複数ずつの凹部が形成されている。

[0076] 次に、図10に基づき、半導体装置A1の使用例について説明する。同図は、半導体装置A1を備えた車両B1の概要図である。車両B1は、AC-DC変換装置871、受電装置872、蓄電池873、駆動系統874およびDC-DC変換装置875を備える。半導体装置A1は、AC-DC変換装置871の一部（PFC回路）を構成している。車両B1が、屋外等に設

置された交流電源である充電施設870から交流電力を給電されると、AC-DC変換装置871により高電圧直流電力に変換される。AC-DC変換装置871は、高電圧直流電力を蓄電池873に給電する。受電装置872は、非接触充電システムにより蓄電池873に給電するものであり、駐車場等に設置された非接触充電器（図示せず）から電磁誘導方式により電力供給される。蓄電池873に蓄えられた電力は、インバータ、交流モータおよび変速機から構成される駆動系統874に給電される。駆動系統874は、車両B1を駆動する。DC-DC変換装置875は、車両B1の走行駆動以外の電装品等への電力供給を行うものであり、たとえば降圧型のDC-DCコンバータである。上記のAC-DC変換装置871は、本開示の「電力変換装置」の一例である。

[0077] 次に、本実施形態の半導体装置A1の作用について説明する。

[0078] 半導体装置A1は、支持導体32、4つ以上の複数の半導体素子4（半導体素子40A~40F）、および封止樹脂8を備える。複数の半導体素子40A~40Fは、第1方向xにおいて中央に近い半導体素子40D（第1半導体素子）および半導体素子40C（第2半導体素子）を含む。半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離（第2距離D21）よりも大であり、また、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離（第2距離D22）よりも大である。このような構成によれば、複数の半導体素子40A~40Fの中央付近にある半導体素子40Dおよび半導体素子40Cの相互間の熱干渉が抑制される。これにより、複数の半導体素子40A~40Fで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置A1によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0079] 半導体素子40Dの中心C1と半導体素子40Cの中心C2とは、複数の

半導体素子40A~40Fが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A~40Fの中央付近に配置された半導体素子40Dおよび半導体素子40Cにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置A1の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）を大きくすることが可能である。

[0080] 図9を参照したように、複数の半導体素子4（半導体素子40A~40F）において、第1方向xにおいて互いに隣接する半導体素子4の中心どうしは、第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A~40Fにおいて発生した熱を周囲により効率よく逃がすことができる。

[0081] 半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40A~40Fの中央付近にある半導体素子40Dおよび半導体素子40Cの熱干渉を適切に抑制することができる。本構成は、半導体装置A1の熱抵抗を低減する上でより好ましい。

[0082] 半導体素子40Dの中心C1と半導体素子40Eの中心C3との距離（第2距離D21）は、半導体素子40Eの中心C3と半導体素子40Fの中心C5との距離（第6距離D61）よりも大である。また、半導体素子40Cの中心C2と半導体素子40Bの中心C4との距離（第2距離D22）は、半導体素子40Bの中心C4と半導体素子40Aの中心C6との距離（第6距離D62）よりも大である。このような構成によれば、複数の半導体素子4（半導体素子40A~40F）は、第1方向xにおいて、当該第1方向xの中央から遠ざかるにつれて互いに隣接する半導体素子4の相互間の距離が小さくなる。これにより、複数の半導体素子4（半導体素子40A~40F）の相互の熱干渉を抑制するとともに、半導体装置A1の第1方向xの寸法

を小さくすることができる。

[0083] 支持導体32は、互いに分離する第1導体部321（第1部）および第2導体部322（第2部）を含む。第1導体部321には、複数の半導体素子40A～40Fのうち半導体素子40D（第1半導体素子）のみが配置されている。第2導体部322には、複数の半導体素子40A～40Fのうち、半導体素子40C（第2半導体素子）および当該半導体素子40Cに隣接する半導体素子40Bが配置されている。半導体素子40D（第1半導体素子）の中心C1は、第2方向yにおいて半導体素子40A、40B、40E、40Fのいずれの中心よりも第2方向yのy1側に位置する。半導体素子40C（第2半導体素子）の中心C2は、半導体素子40Dの中心C1よりも第2方向yのy1側に位置する。共通する第2導体部322上に配置された半導体素子40Cおよび半導体素子40Bで発生した熱は第2導体部322に滞留しやすく、半導体素子40Cおよび半導体素子40Bで発生した熱の干渉により第2導体部322の温度上昇を招きやすい。上記のように半導体素子40Cがすべての半導体素子40A～40Fのうち第2方向yのy2側に最も偏倚した配置によれば、半導体素子40Cが搭載される第2導体部322においては、半導体素子40Cで発生した熱を当該半導体素子40Cの周囲に効率よく逃がすことが可能である。したがって、半導体素子40D、40C、40Bの相互の熱干渉が抑制され、半導体装置A1の熱抵抗の低減を図ることができる。

[0084] 半導体装置A1は、支持体3を備えている。複数の半導体素子4（半導体素子40A～40F）が搭載された支持導体32の第1裏面32bは、支持体3（絶縁基板31）の第2主面3aに接合されている。支持体3（金属層33）の第2裏面3bは、封止樹脂8から露出している。このような構成によれば、半導体素子4から支持体3（絶縁基板31）に伝わった熱を第2裏面3bから効率よく外部に逃がすことができ、半導体装置A1の放熱性が高められる。

[0085] 第1実施形態の半導体装置を備えた半導体装置アセンブリの第1例：

図 1 1、図 1 2 は、半導体装置 A 1 を備えて構成された半導体装置アッセンブリの第 1 例を示している。図 1 1 は、本例の半導体装置アッセンブリ B 2 を示す要部断面図である。図 1 2 は、半導体装置アッセンブリ B 2 の構成を示すブロック図である。半導体装置アッセンブリ B 2 は、半導体装置 A 1、冷却器 9 1、取付け部材 9 2、締結部材 9 3、制御手段 9 4、冷却手段 9 5 および加熱手段 9 6 を備えている。

[0086] 冷却器 9 1 は、半導体装置 A 1 を冷却するための放熱部材である。冷却器 9 1 は、熱伝導性に優れた金属材料からなる。冷却器 9 1 の構成材料は特に限定されず、たとえばアルミニウム (A l)、銅 (C u)、あるいはこれらの合金である。冷却器 9 1 は、取付け面 9 1 1 および流路 9 1 2 を有する。取付け面 9 1 1 は、厚さ方向 z の z 1 側を向く平坦面である。流路 9 1 2 は、冷却器 9 1 の内部に形成された中空部分である。この流路 9 1 2 には、たとえば冷媒としての冷却水が通流させられる。半導体装置 A 1 は冷却器 9 1 の取付け面 9 1 1 上に配置されている。当該取付け面 9 1 1 は、半導体装置 A 1 の支持体 3 の第 2 裏面 3 b および封止樹脂 8 の樹脂裏面 8 2 に対向しており、第 2 裏面 3 b および樹脂裏面 8 2 に面接触している。

[0087] 取付け部材 9 2 は、半導体装置 A 1 を冷却器 9 1 に保持するためのものである。取付け部材 9 2 は、半導体装置 A 1 を第 2 方向 y に横切って配置される。取付け部材 9 2 は、たとえば板バネである。取付け部材 9 2 は、半導体装置 A 1 の第 2 方向 y の両側に位置する 2 つの取付け穴 9 1 3 に 2 つの締結部材 9 3 を挿通させることによって冷却器 9 1 に取り付けられる。2 つの締結部材 9 3 は、たとえばボルトである。圧接して取付けた状態においては、取付け部材 9 2 のバネ弾性力によって半導体装置 A 1 が冷却器 9 1 に押圧されており、冷却器 9 1 の取付け面 9 1 1 と半導体装置 A 1 の支持体 3 の第 2 裏面 3 b とが密着している。なお、取付け面 9 1 1 と第 2 裏面 3 b との密着が不十分な場合には、冷却器 9 1 は、図示しない T I M (Thermal Interface Material) 材を含む構成としてもよい。当該 T I M 材は、たとえば放熱グリスや放熱シートなどからなり、取付け面 9 1 1 と第 2 裏面 3 b との間に介在

させられる。TIM材は、取付け面911と第2裏面3bとを接合し、取付け面911および第2裏面3bの双方に十分に密着する。

[0088] 冷却手段95は、冷却器91を冷却するものである。冷却手段95は、たとえば図示しない冷却水供給源および開閉切り換え可能なバルブを含んで構成される。たとえば冷却手段95により冷却器91を冷却する際、上記バルブが開状態となり、上記冷却水供給源から送られる冷却水が流路912を通流する。また、冷却器91の冷却を停止する際、上記バルブが閉状態となり、流路912における冷却水の通流が停止される。なお、冷却手段95は冷却器91を冷却可能であればよく、冷却手段95の具体的構成は何ら限定されない。

[0089] 加熱手段96は、冷却器91を加熱するものである。加熱手段96は、たとえば冷却器91に取付けられた図示しないヒータを含んで構成される。たとえば加熱手段96により冷却器91を加熱する際、ヒータが作動する。なお、加熱手段96は冷却器91を加熱可能であればよく、加熱手段96の具体的構成は何ら限定されない。

[0090] 制御手段94は、半導体装置A1のサーミスタ6により検出された温度に基づいて冷却手段95および加熱手段96の制御を行う。たとえばサーミスタ6による検出温度が所定の第1温度を超えた場合、制御手段94は、冷却手段95を作動させて冷却器91を冷却する。また、サーミスタ6による検出温度が所定の第2温度（第1温度よりも低い温度）を下回った場合、加熱手段96を作動させて冷却器91を加熱する。なお、制御手段94による冷却手段95および加熱手段96の具体的な制御方法は、何ら限定されない。

[0091] 次に、本例の半導体装置アセンブリB2の作用について説明する。

[0092] 本例の半導体装置アセンブリB2は、半導体装置A1、冷却器91、冷却器91を冷却する冷却手段95、および制御手段94を備える。半導体装置A1における支持体3の第2裏面3bは封止樹脂8から露出しており、冷却器91は、当該支持体3の第2裏面3bに接触する部位（取付け面911あるいはTIM材）を有する。このような構成によれば、半導体装置A1の

温度上昇を抑制することができる。

[0093] 半導体装置アッセンブリB 2は、制御手段9 4を備える。制御手段9 4は、半導体装置A 1のサーミスタ6により検出された温度に基づいて冷却手段9 5の制御を行う。このような構成によれば、半導体装置A 1の温度を監視しながら当該半導体装置A 1の過度な温度上昇を防止することができ、半導体装置A 1を適切に駆動させることができる。

[0094] 半導体装置アッセンブリB 2は、冷却器9 1を加熱する加熱手段9 6を備え、制御手段9 4は、サーミスタ6により検出された温度に基づいて加熱手段9 6の制御を行う。このような構成によれば、半導体装置A 1がたとえば自動車用機器に搭載された場合、寒冷地等での使用において、半導体装置A 1の温度を監視しながら当該半導体装置A 1の過度な温度低下を防止することができ、半導体装置A 1を適切に駆動させることができる。

[0095] 第1実施形態の半導体装置を備えた半導体装置アッセンブリの第2例：

図1 3は、半導体装置A 1を備えて構成された半導体装置アッセンブリの第2例を示している。図1 3は、本例の半導体装置アッセンブリB 2 1を示す要部断面図である。半導体装置アッセンブリB 2 1の構成は、上述の図1 2に示した第1例の半導体装置アッセンブリB 2と同様である。図1 2、図1 3に示すように、半導体装置アッセンブリB 2 1は、半導体装置A 1、冷却器9 1、締結部材9 3、制御手段9 4、冷却手段9 5および加熱手段9 6を備えている。冷却器9 1、制御手段9 4、冷却手段9 5および加熱手段9 6は上述の半導体装置アッセンブリB 2と同様であり、詳細な説明は省略する。

[0096] 半導体装置アッセンブリB 2 1において、半導体装置A 1は冷却器9 1の取付け面9 1 1上に配置されている。当該取付け面9 1 1は、半導体装置A 1の支持体3の第2裏面3 bおよび封止樹脂8の樹脂裏面8 2に対向しており、少なくとも第2裏面3 bに面接触している。

[0097] 半導体装置アッセンブリB 2 1において、冷却器9 1は2つの取付け穴9 1 3を有する。当該2つの取付け穴9 1 3は、半導体装置A 1の凹部8 3 1

および凹部 841 に対応する位置に形成されている。2つの締結部材 93 を凹部 831 および凹部 841 に通し、且つ 2つの取付け穴 913 に挿通させるとによって、半導体装置 A1 は、冷却器 91 に固定される。2つの締結部材 93 は、たとえばボルトである。半導体装置 A1 を冷却器 91 に固定した状態においては、半導体装置 A1 が冷却器 91 に押圧されており、冷却器 91 の取付け面 911 と半導体装置 A1 の支持体 3 の第 2 裏面 3b とが密着している。なお、取付け面 911 と第 2 裏面 3b との密着が不十分な場合には、冷却器 91 は、図示しない TIM 材を含む構成としてもよい。当該 TIM 材については、第 1 例の半導体装置アセンブリ B2 に関して上述したのと同様であるので、説明を省略する。

[0098] 本例の半導体装置アセンブリ B2 は、半導体装置 A1、冷却器 91、冷却器 91 を冷却する冷却手段 95、および制御手段 94 を備える。半導体装置 A1 における支持体 3 の第 2 裏面 3b は封止樹脂 8 から露出しており、冷却器 91 は、当該支持体 3 の第 2 裏面 3b に接触する部位（取付け面 911 あるいは TIM 材）を有する。このような構成によれば、半導体装置 A1 の温度上昇を抑制することができる。

[0099] 次に、本例の半導体装置アセンブリ B21 の作用について説明する。

[0100] 本例の半導体装置アセンブリ B2 は、半導体装置 A1、冷却器 91、冷却器 91 を冷却する冷却手段 95、および制御手段 94 を備える。半導体装置 A1 における支持体 3 の第 2 裏面 3b は封止樹脂 8 から露出しており、冷却器 91 は、当該支持体 3 の第 2 裏面 3b に接触する部位（取付け面 911 あるいは TIM 材）を有する。このような構成によれば、半導体装置 A1 の温度上昇を抑制することができる。その他にも、半導体装置アセンブリ B21 は、上記の半導体装置アセンブリ B2 と同様の作用効果を奏する。

[0101] 複数の半導体素子の配置の変形例：

図 14～図 17 は、複数の半導体素子 4 の配置の変形例を示している。図 14～図 17 の各々は、複数の半導体素子 4 の配置を示す概略平面図である。複数の半導体素子 4 およびこれを支持する支持導体 32 以外の構成（複数

のリード1、複数のリード2、支持体3、配線部5、サーミスタ6、複数ずつのワイヤ71, 72, 73, 74、および封止樹脂8)は、上記実施形態の半導体装置A1と同様であり、これらの記載を省略している。なお、図14以降の図面において、上記実施形態の半導体装置A1と同一または類似の要素には、上記実施形態と同一の符号を付しており、適宜説明を省略する。また、図14以降の各変形例等における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0102] 図14に示した複数の半導体素子4の配置例では、複数の半導体素子4は、5つの半導体素子40G~40Kを含む。複数の半導体素子4(半導体素子40G~40K)は、第1方向xにおいて並んで配置されている。半導体素子40Gは第1方向xのx2側の端に位置し、半導体素子40Kは第1方向xのx1側の端に位置し、半導体素子40G~40Kは、第1方向xのx2側から第1方向xのx1側に向けてこの順に配置されている。図14に示すように、複数の半導体素子4(半導体素子40G~40K)の数が奇数である場合、複数の半導体素子4の第1方向xの中央付近には半導体素子40Iが配置されている。

[0103] 図示した例では、半導体素子40G~40Kは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Hは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Gに対して第2方向yのy1側に位置する。半導体素子40Iは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Hに対して第2方向yのy1側に位置する。また、半導体素子40Iは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Jに対して第2方向yのy1側に位置する。半導体素子40Jは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Kに対して第2方向yのy1側に位置する。半導体素子40Jは、第2方向yにおいて半導体素子40Hと同じ(あるいは略同じ)位置にある。半導体素子40Kは、第2方向yにおいて半導体素子40Gと同じ(あるいは略同じ)位置にある。このように配置さ

れた複数の半導体素子4（半導体素子40G～40K）において、半導体素子40Iは本開示の「第3半導体素子」の一例に相当し、半導体素子40Jは本開示の「第4半導体素子」の一例に相当し、半導体素子40Hは本開示の「第5半導体素子」の一例に相当する。

[0104] 図14に示した複数の半導体素子4（半導体素子40G～40K）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Iの中心C7と当該半導体素子40Iに対して第1方向xのx1側に隣接する半導体素子40Jの中心C8との距離である第3距離D3、および半導体素子40Iの中心C7と当該半導体素子40Iに対して第1方向xのx2側に隣接する半導体素子40Hの中心C9との距離である第4距離D4の各々は、半導体素子40Jの中心C8と、第1方向xにおいて当該半導体素子40Jに隣接する半導体素子40Kの中心C10との距離である第5距離D51よりも大である。また、上記第3距離D3および第4距離D4の各々は、半導体素子40Hの中心C9と、第1方向xにおいて当該半導体素子40Hに隣接する半導体素子40Gの中心C11との距離である第5距離D52よりも大である。また、図示した例では、半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0105] 図14に示した複数の半導体素子40G～40Kは、第1方向xにおいて中央に近い半導体素子40I（第3半導体素子）と、当該半導体素子40Iに対して第1方向xのx1側に隣接する半導体素子40J（第4半導体素子）と、半導体素子40Iに対して第1方向xのx2側に隣接する半導体素子40H（第5半導体素子）と、を含む。半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）の各々は、半導体素子40Jの中心C8と、第1方向xにおいて当該半導体素子

40Jに隣接する半導体素子40Kの中心C10との距離（第5距離D51）よりも大であり、また、半導体素子40Hの中心C9と、半導体素子40Gの中心C11との距離（第5距離D52）よりも大である。このような構成によれば、複数の半導体素子40G～40Kの中央付近にある半導体素子40I、およびこれに隣接する半導体素子40J、40Hの相互間の熱干渉が抑制される。これにより、複数の半導体素子40G～40Kで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置の大電流化への対応が容易であり、半導体装置の耐久性向上を図ることができる。

[0106] 半導体素子40Iの中心C7と、半導体素子40Jの中心C8および半導体素子40Hの中心C9とは、複数の半導体素子40G～40Kが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40G～40Kの中央付近に配置された半導体素子40I、およびこれに隣接する半導体素子40J、40Hにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）の各々を大きくすることが可能である。

[0107] 複数の半導体素子4（半導体素子40G～40K）において、第1方向xにおいて互いに隣接する半導体素子4の中心どうしは、第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40G～40Kにおいて発生した熱を周囲により効率よく逃がすことができる。

[0108] 半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40G～40Kの中央付近にある半導体素子40Iおよびこれに隣接

する半導体素子40J, 40Hの熱干渉を適切に抑制することができる。本構成は、半導体装置の熱抵抗を低減する上でより好ましい。

[0109] 図15に示した複数の半導体素子4の配置例では、複数の半導体素子4は、8つの半導体素子40A~40F, 40L, 40Mを含む。複数の半導体素子4（半導体素子40L, 40A~40F, 40M）は、第1方向xにおいて並んで配置されている。半導体素子40Lは第1方向xのx2側の端に位置し、半導体素子40Mは第1方向xのx1側の端に位置し、半導体素子40L, 40A~40F, 40Mは、第1方向xのx2側から第1方向xのx1側に向けてこの順に配置されている。図15に示すように、複数の半導体素子4（半導体素子40L, 40A~40F, 40M）の数が偶数である場合、第1方向xの中央付近には2つの半導体素子40D（第1半導体素子）および半導体素子40C（第2半導体素子）が配置されている。図示した例では、複数の半導体素子40L, 40A~40F, 40Mは、第1方向xに沿って配列されており、第2方向yにおいて同じ（あるいは略同じ）位置に揃う。

[0110] 図15に示した複数の半導体素子4（半導体素子40L, 40A~40F, 40M）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離である第1距離D1は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離である第2距離D21よりも大である。また、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離である第2距離D22よりも大である。また、図示した例では、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0111] 半導体素子40Dの中心C1と半導体素子40Eの中心C3との距離（第2距離D21）は、第1方向xにおいて互いに隣接する他の半導体素子40Eおよび半導体素子40Fの中心C3，C5どうしの距離（第6距離D61）よりも大である。また、半導体素子40Cの中心C2と半導体素子40Bの中心C4との距離（第2距離D22）は、第1方向xにおいて互いに隣接する他の半導体素子40Bおよび半導体素子40Aの中心C4，C6どうしの距離（第6距離D62）よりも大である。

[0112] 図15に示すように、第1方向xにおいて互いに隣接する半導体素子40Eおよび半導体素子40Fの中心C3，C5どうしの距離（第6距離D61）は、第1方向xにおいて互いに隣接する半導体素子40Fおよび半導体素子40Mの中心C5，C12どうしの距離（第6距離D63）よりも大である。半導体素子40Mは、半導体素子40Fよりも第1方向xの中央から離れた位置にある。また、第1方向xにおいて互いに隣接する半導体素子40Bおよび半導体素子40Aの中心C4，C6どうしの距離（第6距離D62）は、第1方向xにおいて互いに隣接する半導体素子40Aおよび半導体素子40Lの中心C6，C13どうしの距離（第6距離D64）よりも大である。半導体素子40Lは、半導体素子40Aよりも第1方向xの中央から離れた位置にある。

[0113] 図15に示した複数の半導体素子40L，40A～40F，40Mは、第1方向xにおいて中央に近い半導体素子40D（第1半導体素子）および半導体素子40C（第2半導体素子）を含む。半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離（第2距離D21）よりも大であり、また、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離（第2距離D22）よりも大である。

このような構成によれば、複数の半導体素子40L，40A～40F，40

Mの中央付近にある半導体素子40Dおよび半導体素子40Cの相互間の熱干渉が抑制される。これにより、複数の半導体素子40L, 40A~40F, 40Mで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置の大電流化への対応が容易であり、半導体装置の耐久性向上を図ることができる。

[0114] 半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40L, 40A~40F, 40Mの中央付近にある半導体素子40Dおよび半導体素子40Cの熱干渉を適切に抑制することができる。本構成は、半導体装置の熱抵抗を低減する上でより好ましい。

[0115] 半導体素子40Dの中心C1と半導体素子40Eの中心C3との距離（第2距離D21）は、半導体素子40Eの中心C3と半導体素子40Fの中心C5との距離（第6距離D61）よりも大である。半導体素子40Eおよび半導体素子40Fの中心C3, C5どうしの距離（第6距離D61）は、半導体素子40Fおよび半導体素子40Mの中心C5, C12どうしの距離（第6距離D63）よりも大である。また、半導体素子40Cの中心C2と半導体素子40Bの中心C4との距離（第2距離D22）は、半導体素子40Bの中心C4と半導体素子40Aの中心C6との距離（第6距離D62）よりも大である。半導体素子40Bおよび半導体素子40Aの中心C4, C6どうしの距離（第6距離D62）は、半導体素子40Aおよび半導体素子40Lの中心C6, C13どうしの距離（第6距離D64）よりも大である。このような構成によれば、複数の半導体素子4（半導体素子40L, 40A~40F, 40M）は、第1方向xにおいて、当該第1方向xの中央から遠ざかるにつれて互いに隣接する半導体素子4の相互間の距離が小さくなる。これにより、複数の半導体素子4（半導体素子40L, 40A~40F, 40M）の相互の熱干渉を抑制するとともに、半導体装置の第1方向xの寸法を小さくすることができる。

[0116] 図16に示した複数の半導体素子4の配置例では、複数の半導体素子4は、9つの半導体素子40G~40K, 40N, 40P, 40Q, 40Rを含む。複数の半導体素子4（半導体素子40Q, 40N, 40G~40K, 40P, 40R）は、第1方向xにおいて並んで配置されている。半導体素子40Qは第1方向xのx2側の端に位置し、半導体素子40Rは第1方向xのx1側の端に位置し、半導体素子40Q, 40N, 40G~40K, 40P, 40Rは、第1方向xのx2側から第1方向xのx1側に向けてこの順に配置されている。図16に示すように、複数の半導体素子4（半導体素子40Q, 40N, 40G~40K, 40P, 40R）の数が奇数である場合、第1方向xの中央付近には半導体素子40Iが配置されている。図示した例では、複数の半導体素子40Q, 40N, 40G~40K, 40P, 40Rは、第1方向xに沿って配列されており、第2方向yにおいて同じ（あるいは略同じ）位置に揃う。

[0117] 図16に示した複数の半導体素子4（半導体素子40Q, 40N, 40G~40K, 40P, 40R）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Iの中心C7と当該半導体素子40Iに対して第1方向xのx1側に隣接する半導体素子40Jの中心C8との距離である第3距離D3、および半導体素子40Iの中心C7と当該半導体素子40Iに対して第1方向xのx2側に隣接する半導体素子40Hの中心C9との距離である第4距離D4の各々は、半導体素子40Jの中心C8と、第1方向xにおいて当該半導体素子40Jに隣接する半導体素子40Kの中心C10との距離である第5距離D51よりも大である。また、上記第3距離D3および第4距離D4の各々は、半導体素子40Hの中心C9と、第1方向xにおいて当該半導体素子40Hに隣接する半導体素子40Gの中心C11との距離である第5距離D52よりも大である。また、図示した例では、半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心

C 9との距離（第4距離D 4）は、半導体素子4の第1方向xに沿う辺の長さ（長さL 1）の2倍以上である。

[0118] 半導体素子4 0 Jの中心C 8と半導体素子4 0 Kの中心C 1 0との距離（第5距離D 5 1）は、第1方向xにおいて互いに隣接する他の半導体素子4 0 Kおよび半導体素子4 0 Pの中心C 1 0, C 1 4どうしの距離（第7距離D 7 1）よりも大である。また、半導体素子4 0 Hの中心C 9と半導体素子4 0 Gの中心C 1 1との距離（第5距離D 5 2）は、第1方向xにおいて互いに隣接する他の半導体素子4 0 Gおよび半導体素子4 0 Nの中心C 1 1, C 1 5どうしの距離（第7距離D 7 2）よりも大である。

[0119] 図1 6に示すように、第1方向xにおいて互いに隣接する半導体素子4 0 Kおよび半導体素子4 0 Pの中心C 1 0, C 1 4どうしの距離（第7距離D 7 1）は、第1方向xにおいて互いに隣接する半導体素子4 0 Pおよび半導体素子4 0 Rの中心C 1 4, C 1 6どうしの距離（第7距離D 7 3）よりも大である。半導体素子4 0 Rは、半導体素子4 0 Pよりも第1方向xの中央から離れた位置にある。また、第1方向xにおいて互いに隣接する半導体素子4 0 Gおよび半導体素子4 0 Nの中心C 1 1, C 1 5どうしの距離（第7距離D 7 2）は、第1方向xにおいて互いに隣接する半導体素子4 0 Nおよび半導体素子4 0 Qの中心C 1 5, C 1 7どうしの距離（第7距離D 7 4）よりも大である。半導体素子4 0 Qは、半導体素子4 0 Nよりも第1方向xの中央から離れた位置にある。

[0120] 図1 6に示した複数の半導体素子4 0 Q, 4 0 N, 4 0 G~4 0 K, 4 0 P, 4 0 Rは、第1方向xにおいて中央に近い半導体素子4 0 I（第3半導体素子）と、当該半導体素子4 0 Iに対して第1方向xのx 1側に隣接する半導体素子4 0 J（第4半導体素子）と、半導体素子4 0 Iに対して第1方向xのx 2側に隣接する半導体素子4 0 H（第5半導体素子）と、を含む。半導体素子4 0 Iの中心C 7と半導体素子4 0 Jの中心C 8との距離（第3距離D 3）、および半導体素子4 0 Iの中心C 7と半導体素子4 0 Hの中心C 9との距離（第4距離D 4）の各々は、半導体素子4 0 Jの中心C 8と、

第1方向xにおいて当該半導体素子40Jに隣接する半導体素子40Kの中心C10との距離(第5距離D51)よりも大であり、また、半導体素子40Hの中心C9と、半導体素子40Gの中心C11との距離(第5距離D52)よりも大である。このような構成によれば、複数の半導体素子40Q, 40N, 40G~40K, 40P, 40Rの中央付近にある半導体素子40I、およびこれに隣接する半導体素子40J, 40Hの相互間の熱干渉が抑制される。これにより、複数の半導体素子40G~40Kで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置の大電流化への対応が容易であり、半導体装置の耐久性向上を図ることができる。

[0121] 半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離(第3距離D3)、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離(第4距離D4)は、半導体素子4の第1方向xに沿う辺の長さ(長さL1)の2倍以上である。このような構成によれば、複数の半導体素子40Q, 40N, 40G~40K, 40P, 40Rの中央付近にある半導体素子40Iおよびこれに隣接する半導体素子40J, 40Hの熱干渉を適切に抑制することができる。本構成は、半導体装置の熱抵抗を低減する上でより好ましい。

[0122] 半導体素子40Jの中心C8と半導体素子40Kの中心C10との距離(第5距離D51)は、半導体素子40Kの中心C10と半導体素子40Pの中心C14との距離(第7距離D71)よりも大である。半導体素子40Kおよび半導体素子40Pの中心C10, C14どうしの距離(第7距離D71)は、半導体素子40Pおよび半導体素子40Rの中心C14, C16どうしの距離(第7距離D73)よりも大である。また、半導体素子40Hの中心C9と半導体素子40Gの中心C11との距離(第5距離D52)は、半導体素子40Gの中心C11と半導体素子40Nの中心C15との距離(第7距離D72)よりも大である。半導体素子40Gおよび半導体素子40Nの中心C11, C15どうしの距離(第7距離D72)は、半導体素子4

0Nおよび半導体素子40Qの中心C15, C17どうしの距離(第7距離D74)よりも大である。このような構成によれば、複数の半導体素子4(半導体素子40Q, 40N, 40G~40K, 40P, 40R)は、第1方向xにおいて、当該第1方向xの中央から遠ざかるにつれて互いに隣接する半導体素子4の相互間の距離が小さくなる。これにより、複数の半導体素子4(半導体素子40Q, 40N, 40G~40K, 40P, 40R)の相互の熱干渉を抑制するとともに、半導体装置の第1方向xの寸法を小さくすることができる。

[0123] 図17に示した複数の半導体素子4の配置例では、複数の半導体素子4は、7つの半導体素子40G~40K, 40N, 40Pを含む。複数の半導体素子4(半導体素子40N, 40G~40K, 40P)は、第1方向xにおいて並んで配置されている。半導体素子40Nは第1方向xのx2側の端に位置し、半導体素子40Pは第1方向xのx1側の端に位置し、半導体素子40N, 40G~40K, 40Pは、第1方向xのx2側から第1方向xのx1側に向けてこの順に配置されている。図17に示すように、複数の半導体素子4(半導体素子40N, 40G~40K, 40P)の数が奇数である場合、第1方向xの中央付近には半導体素子40Iが配置されている。

[0124] 図示した例では、半導体素子40N, 40G~40K, 40Pは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Gは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Nに対して第2方向yのy1側に位置する。半導体素子40Hは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Gに対して第2方向yのy2側に位置する。半導体素子40Iは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Hに対して第2方向yのy1側に位置する。半導体素子40Jは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Iに対して第2方向yのy2側に位置する。半導体素子40Kは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Jに対して第2方向yのy1側に位置す

る。半導体素子40Pは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Kに対して第2方向yのy2側に位置する。図17に示されるように、複数の半導体素子40N, 40G~40K, 40Pは、第2方向yにおいてジグザグ状に配置されている。

[0125] 図17に示した複数の半導体素子4（半導体素子40N, 40G~40K, 40P）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Iの中心C7と当該半導体素子40Iに対して第1方向xのx1側に隣接する半導体素子40Jの中心C8との距離である第3距離D3、および半導体素子40Iの中心C7と当該半導体素子40Iに対して第1方向xのx2側に隣接する半導体素子40Hの中心C9との距離である第4距離D4の各々は、半導体素子40Jの中心C8と、第1方向xにおいて当該半導体素子40Jに隣接する半導体素子40Kの中心C10との距離である第5距離D51よりも大である。また、上記第3距離D3および第4距離D4の各々は、半導体素子40Hの中心C9と、第1方向xにおいて当該半導体素子40Hに隣接する半導体素子40Gの中心C11との距離である第5距離D52よりも大である。また、図示した例では、半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0126] 半導体素子40Jの中心C8と半導体素子40Kの中心C10との距離（第5距離D51）は、第1方向xにおいて互いに隣接する他の半導体素子40Kおよび半導体素子40Pの中心C10, C14どうしの距離（第7距離D71）よりも大である。また、半導体素子40Hの中心C9と半導体素子40Gの中心C11との距離（第5距離D52）は、第1方向xにおいて互いに隣接する他の半導体素子40Gおよび半導体素子40Nの中心C11, C15どうしの距離（第7距離D72）よりも大である。

[0127] 図17に示した複数の半導体素子40N, 40G~40K, 40Pは、第1方向xにおいて中央に近い半導体素子40I（第3半導体素子）と、当該半導体素子40Iに対して第1方向xのx1側に隣接する半導体素子40J（第4半導体素子）と、半導体素子40Iに対して第1方向xのx2側に隣接する半導体素子40H（第5半導体素子）と、を含む。半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）の各々は、半導体素子40Jの中心C8と、第1方向xにおいて当該半導体素子40Jに隣接する半導体素子40Kの中心C10との距離（第5距離D51）よりも大であり、また、半導体素子40Hの中心C9と、半導体素子40Gの中心C11との距離（第5距離D52）よりも大である。このような構成によれば、複数の半導体素子40N, 40G~40K, 40Pの中央付近にある半導体素子40I、およびこれに隣接する半導体素子40J, 40Hの相互間の熱干渉が抑制される。これにより、複数の半導体素子40G~40Kで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置の大電流化への対応が容易であり、半導体装置の耐久性向上を図ることができる。

[0128] 半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40N, 40G~40K, 40Pの中央付近にある半導体素子40Iおよびこれに隣接する半導体素子40J, 40Hの熱干渉を適切に抑制することができる。本構成は、半導体装置の熱抵抗を低減する上でより好ましい。

[0129] 半導体素子40Iの中心C7と、半導体素子40Jの中心C8および半導体素子40Hの中心C9とは、複数の半導体素子40N, 40G~40K, 40Pが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。

このような構成によれば、複数の半導体素子40N, 40G~40K, 40Pの中央付近に配置された半導体素子40I、およびこれに隣接する半導体素子40J, 40Hにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Iの中心C7と半導体素子40Jの中心C8との距離（第3距離D3）、および半導体素子40Iの中心C7と半導体素子40Hの中心C9との距離（第4距離D4）の各々を大きくすることが可能である。

[0130] 複数の半導体素子4（半導体素子40N, 40G~40K, 40P）において、第1方向xにおいて互いに隣接する半導体素子4の中心どうしは、第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40N, 40G~40K, 40Pにおいて発生した熱を周囲により効率よく逃がすことができる。また、図17に示した例では、複数の半導体素子40N, 40G~40K, 40Pは、第2方向yにおいてジグザグ状に配置されている。上記構成によれば、複数の半導体素子4（半導体素子40N, 40G~40K, 40P）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離を所望に確保しつつ、半導体装置の第1方向xの寸法および第2方向yの大きくなるのを防ぐことができる。

[0131] 半導体素子40Jの中心C8と半導体素子40Kの中心C10との距離（第5距離D51）は、半導体素子40Kの中心C10と半導体素子40Pの中心C14との距離（第7距離D71）よりも大である。また、半導体素子40Hの中心C9と半導体素子40Gの中心C11と半導体素子40Nの中心C15との距離（第5距離D52）は、半導体素子40Gの中心C11と半導体素子40Nの中心C15との距離（第7距離D72）よりも大である。このような構成によれば、複数の半導体素子4（半導体素子40N, 40G~40K, 40P）は、第1方向xにおいて、当該第1方向xの中央から遠ざかるにつれて互いに隣接する半導体素子4の相互間の距離が小さくなる。これにより、複数の半導体素子4（半導体素子40N, 40G~40K,

40P)の相互の熱干渉を抑制するとともに、半導体装置の第1方向xの寸法を小さくすることができる。

[0132] 第2実施形態：

図18～図21は、本開示の第2実施形態に係る半導体装置を示している。本実施形態の半導体装置A2は、複数のリード1（リード11～15）、複数のリード2（複数のリード21、複数のリード22、および2つのリード23）、絶縁基板30、複数の半導体素子4（半導体素子40A～40F）、配線部5、複数の接合部511～515、接合部521、サーミスタ6、複数ずつのワイヤ71、72、73、および封止樹脂8を備えている。図18は、半導体装置A2を示す平面図であり、封止樹脂8を透過した図である。図19は、図18のX-X線に沿う断面図である。図20は、図18のX-X線に沿う断面図である。図21は、図18のX-X線に沿う断面図である。なお、図18においては、封止樹脂8の外形を想像線（二点鎖線）で示している。図19～図21においては、ワイヤ71を省略している。図19、図21においては、ワイヤ72、73を省略している。

[0133] 本実施形態の半導体装置A2において、主に、上記実施形態の支持体3に代えて絶縁基板30を備える点、複数のリード1（リード11～15）、複数のリード2（複数のリード21、複数のリード22、および2つのリード23）の各部の構成、配線部5の構成が、上記実施形態と異なっている。

[0134] 絶縁基板30は、複数の半導体素子40A～40Fを支持する。絶縁基板30の材質は特に限定されない。絶縁基板30の材質としては、たとえば、封止樹脂8の材質よりも熱伝導率が高い材質が好ましい。絶縁基板30の材質としては、たとえばアルミナ（ $Al_2O_3$ ）、窒化珪素（SiN）、窒化アルミ（AlN）、ジルコニア入りアルミナ等のセラミックスが例示される。絶縁基板30の厚さは特に限定されず、たとえば0.1mm～1.0mm程度である。

[0135] 絶縁基板30の形状は特に限定されない。図18～図21に示すように、

本実施形態においては、絶縁基板30は、第2主面3aおよび第2裏面3bを有する。第2主面3aは、厚さ方向zのz1側を向く。第2裏面3bは、第2主面3aとは反対側（厚さ方向zのz2側）を向く。本実施形態において、第2裏面3bは、封止樹脂8から露出する。第2裏面3bには、図示しない放熱部材（たとえばヒートシンク）などが取り付け可能である。図示された例においては、絶縁基板30は、平面視矩形状である。また、絶縁基板30は、厚さ方向zに見て第1方向xを長手方向とする長矩形状である。絶縁基板30は、本開示の「支持体」の一例であり、当該支持体は、絶縁基板30からなる。

[0136] 配線部5は、絶縁基板30上に形成されている。本実施形態においては、配線部5は、絶縁基板30の第2主面3a上に形成されている。配線部5は、導電性材料からなる。配線部5を構成する導電性材料は特に限定されない。配線部5の導電性材料としては、たとえば銀（Ag）、銅（Cu）、金（Au）等を含むものが挙げられる。以降の説明においては、配線部5が銀を含む場合を例に説明する。なお、配線部5は、銀に代えて銅を含んでいてもよいし、銀または銅に代えて金を含んでいてもよい。あるいは、配線部5は、Ag-PtやAg-Pdを含んでいてもよい。また、配線部5の形成手法は限定されず、たとえばこれらの金属を含むペーストを焼成することによって形成される。配線部5の厚さは特に限定されず、たとえば5 $\mu$ m~30 $\mu$ m程度である。

[0137] 配線部5の形状等は特に限定されない。本実施形態では、配線部5は、たとえば図18、図19に示すように、2つの配線501を含んでいる。2つの配線501は、絶縁基板30の第1方向xのx1側、且つ第2方向yのy1側の角部付近に配置されている。2つの配線501は、互いに離れており、第2方向yに並んで配置されている。各配線501は、パッド部502を有する。パッド部502は、配線501において第1方向xのx2側の端に位置する。2つのパッド部502には、サーミスタ6の各端子がそれぞれ接合される。

[0138] 図19～図21に示すように、複数の接合部511～515, 521は、絶縁基板30上に形成されている。本実施形態においては、複数の接合部511～515, 521は、絶縁基板30の第2主面3a上に形成されている。接合部511～515, 521の材質は特に限定されず、たとえば、絶縁基板30とリード1とを接合可能な材料で構成されている。接合部511～515, 521は、たとえば導電性材料からなる。接合部511～515, 521を構成する導電性材料は特に限定されない。接合部511～515, 521を構成する導電性材料としては、たとえば銀(Ag)、銅(Cu)、金(Au)等を含むものが挙げられる。以降の説明においては、接合部511～515, 521が銀を含む場合を例に説明する。この例における接合部511～515, 521は、配線部5を構成する導電性材料と同じものを含む。なお、接合部511～515, 521は、銀に代えて銅を含んでもよいし、銀または銅に代えて金を含んでもよい。あるいは、接合部511～515, 521は、Ag-PtやAg-Pdを含んでもよい。また接合部511～515, 521の形成手法は限定されず、たとえば配線部5と同様に、これらの金属を含むペーストを焼成することによって形成される。接合部511～515, 521の厚さは特に限定されず、たとえば5 $\mu$ m～30 $\mu$ m程度である。

[0139] 複数のリード1は、金属を含んで構成されており、たとえば絶縁基板30よりも放熱特性に優れている。リード1を構成する金属は特に限定されず、たとえば銅(Cu)、アルミニウム、鉄(Fe)、無酸素銅、またはこれらの合金(たとえば、Cu-Sn合金、Cu-Zr合金、Cu-Fe合金等)である。また、複数のリード1には、ニッケル(Ni)めっきが施されていてもよい。複数のリード1は、たとえば、金型を金属板に押し付けるプレス加工により形成されていてもよいし、金属板をエッチングでパターンングすることにより形成されていてもよいし、これに限られない。各リード1の厚さは特に限定されず、たとえば0.4mm～0.8mm程度である。各リード1は、互いに離隔している。

- [0140] 本実施形態においては、複数のリード1は、リード11、リード12、リード13、リード14およびリード15を含んでいる。リード11、リード12、リード13、リード14およびリード15は、たとえば半導体素子4への導通経路を構成している。
- [0141] リード11は、絶縁基板30上に配置されており、本実施形態においては、第2主面3a上に配置されている。リード11は、接合材18を介して接合部511に接合されている。接合材18は、リード11を接合部511に接合しうるものであればよい。リード11からの熱を絶縁基板30により効率よく伝達する観点から、接合材18は、熱伝導率がより高いものがこのましく、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。ただし、接合材18は、エポキシ系樹脂やシリコン系樹脂等の絶縁性材料であってもよい。また、絶縁基板30に接合部511が形成されていない場合、リード11は、絶縁基板30に接合されていてもよい。
- [0142] リード11の構成は特に限定されず、本実施形態においては、図18、図20、図21に示すように、リード11を、搭載部110、突出部112および傾斜部113に区分けして説明する。
- [0143] 搭載部110は、絶縁基板30の第2主面3a上において第1方向xのx2側寄りに配置されている。搭載部110の上面（厚さ方向zのz1側を向く第1主面）には、半導体素子40A、40B、40Cが配置されている。搭載部110は、本開示の「導電部」の一部を構成する。なお、図示した例と異なり、搭載部110は、当該搭載部110の上面から厚さ方向zのz2側に凹む複数の凹部を有する構成であってもよい。搭載部110の下面（厚さ方向zのz2側を向く第1裏面）は、接合材18によって接合部511に接合されている。傾斜部113は、搭載部110につながっており、搭載部110に対して傾斜している。突出部112は、傾斜部113につながっており、その大部分が封止樹脂8から突出している。図示した例では、2つの突出部112が第1方向xに間隔を隔てて設けられている。各突出部112は、第2方向yにおいて搭載部110とは反対側に突出している。突出部1

12は、たとえば半導体装置A2を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部112は、厚さ方向zにおいて絶縁基板30の第2主面3aが向く側に折り曲げられている。

[0144] リード12は、絶縁基板30上に配置されており、本実施形態においては、第2主面3a上に配置されている。リード12は、接合材18を介して接合部512に接合されている。リード12の構成は特に限定されず、本実施形態においては、図18、図21に示すように、リード12を、搭載部120、突出部122および傾斜部123に区分けして説明する。

[0145] 搭載部120は、搭載部110に対して第1方向xのx1側に配置され、当該搭載部110に隣接している。搭載部120の上面（厚さ方向zのz1側を向く第1主面）には、半導体素子40Dが配置されている。搭載部120は、本開示の「導電部」の一部を構成する。なお、図示した例と異なり、搭載部120は、当該搭載部120の上面から厚さ方向zのz2側に凹む複数の凹部を有する構成であってもよい。搭載部120の下面（厚さ方向zのz2側を向く第1裏面）は、接合材18によって接合部512に接合されている。傾斜部123は、搭載部120につながっており、搭載部120に対して傾斜している。突出部122は、傾斜部123につながっており、その大部分が封止樹脂8から突出している。突出部122は、第2方向yにおいて搭載部120とは反対側に突出している。突出部122は、たとえば半導体装置A2を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部122は、厚さ方向zにおいて絶縁基板30の第2主面3aが向く側に折り曲げられている。

[0146] リード13は、絶縁基板30上に配置されており、本実施形態においては、第2主面3a上に配置されている。リード13は、接合材18を介して接合部513に接合されている。リード13の構成は特に限定されず、本実施形態においては、図18、図21に示すように、リード13を、搭載部130、突出部132および傾斜部133に区分けして説明する。

[0147] 搭載部130は、搭載部120に対して第1方向xのx1側に配置され、

当該搭載部120に隣接している。搭載部130の上面（厚さ方向zのz1側を向く第1主面）には、半導体素子40Eが配置されている。搭載部130は、本開示の「導電部」の一部を構成する。なお、図示した例と異なり、搭載部130は、当該搭載部130の上面から厚さ方向zのz2側に凹む複数の凹部を有する構成であってもよい。搭載部130の下面（厚さ方向zのz2側を向く第1裏面）は、接合材18によって接合部513に接合されている。傾斜部133は、搭載部130につながっており、搭載部130に対して傾斜している。突出部132は、傾斜部133につながっており、その大部分が封止樹脂8から突出している。突出部132は、第2方向yにおいて搭載部130とは反対側に突出している。突出部132は、たとえば半導体装置A2を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部132は、厚さ方向zにおいて絶縁基板30の第2主面3aが向く側に折り曲げられている。

[0148] リード14は、絶縁基板30上に配置されており、本実施形態においては、第2主面3a上に配置されている。リード14は、接合材18を介して接合部512に接合されている。リード12の構成は特に限定されず、本実施形態においては、図18、図19、図21に示すように、リード14を、搭載部140、突出部142および傾斜部143に区分けして説明する。

[0149] 搭載部140は、搭載部130に対して第1方向xのx1側に配置され、当該搭載部130に隣接している。搭載部140の上面（厚さ方向zのz1側を向く第1主面）には、半導体素子40Fが配置されている。搭載部140は、本開示の「導電部」の一部を構成する。なお、図示した例と異なり、搭載部140は、当該搭載部140の上面から厚さ方向zのz2側に凹む複数の凹部を有する構成であってもよい。搭載部140の下面（厚さ方向zのz2側を向く第1裏面）は、接合材18によって接合部514に接合されている。傾斜部143は、搭載部140につながっており、搭載部140に対して傾斜している。突出部142は、傾斜部143につながっており、その大部分が封止樹脂8から突出している。突出部142は、第2方向yにおい

て搭載部140とは反対側に突出している。突出部142は、たとえば半導体装置A2を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部142は、厚さ方向zにおいて絶縁基板30の第2主面3aが向く側に折り曲げられている。

[0150] リード15は、絶縁基板30上に配置されており、本実施形態においては、第2主面3a上に配置されている。図18、図19に示すように、リード15は、接合材18を介して接合部515に接合されている。リード15の構成は特に限定されず、本実施形態においては、図18、図19に示すように、リード15を、パッド部151、突出部152および傾斜部153に区分けして説明する。

[0151] パッド部151は、封止樹脂8によって覆われている。パッド部151は、絶縁基板30に対して平行である。パッド部151の上面（厚さ方向zのz1側を向く面）には、ワイヤ71が接合されている。パッド部151の下面（厚さ方向zのz2側を向く面）は、接合材18によって接合部515に接合されている。傾斜部153は、パッド部151につながっており、パッド部151に対して傾斜している。突出部152は、傾斜部153につながっており、その大部分が封止樹脂8から突出している。突出部152は、たとえば半導体装置A2を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部152は、厚さ方向zにおいて絶縁基板30の第2主面3aが向く側に折り曲げられている。

[0152] 複数のリード2は、金属を含んで構成されており、たとえば絶縁基板31よりも熱伝導率が高い。リード2を構成する金属は特に限定されず、たとえば銅、アルミニウム、鉄（Fe）、無酸素銅、またはこれらの合金（たとえば、Cu-Sn合金、Cu-Zr合金、Cu-Fe合金等）である。また、複数のリード2には、ニッケル（Ni）めっきが施されていてもよい。複数のリード2は、たとえば、金型を金属板に押し付けるプレス加工により形成されてもよいし、金属板をエッチングでパターンングすることにより形成されてもよい。なお、複数のリード2の形成方法は限定されない。各リード2

の厚さは特に限定されず、たとえば0.4 mm～0.8 mm程度である。各リード2は、互いに離隔している。

[0153] 複数のリード2は、金属を含んで構成されており、たとえば絶縁基板30よりも熱伝導率が高い。リード2を構成する金属は特に限定されず、たとえば銅、アルミニウム、鉄(Fe)、無酸素銅、またはこれらの合金(たとえば、Cu-Sn合金、Cu-Zr合金、Cu-Fe合金等)である。また、複数のリード2には、ニッケル(Ni)めっきが施されていてもよい。複数のリード2は、たとえば、金型を金属板に押し付けるプレス加工により形成されてもよいし、金属板をエッチングでパターンングすることにより形成されてもよい。なお、複数のリード2の形成方法は限定されない。各リード2の厚さは特に限定されず、たとえば0.4 mm～0.8 mm程度である。各リード2は、互いに離隔している。

[0154] 本実施形態においては、複数のリード2は、複数のリード21、複数のリード22、および2つのリード23を含んでいる。リード21およびリード22は、半導体素子4(半導体素子40A～40F)のソース電極43およびゲート電極44への導通経路を構成している。2つのリード23は、サーミスタ6への導通経路を構成している。

[0155] 複数のリード21は、それぞれ、絶縁基板30上に配置されており、本実施形態においては、第2主面3a上に配置されている。複数のリード21は、第1方向xにおいて間隔を隔てて配置されている。リード21の構成は特に限定されない。本実施形態においては、図18、図20に示すように、リード21を、突出部212、傾斜部213および平行部214に区分けして説明する。

[0156] 平行部214は、封止樹脂8によって覆われている。平行部214は、絶縁基板30に対して平行である。平行部214の下面(厚さ方向zのz2側を向く面)は、導電性接合材28によって接合部521に接合されている。傾斜部213は、平行部214の端部につながり、平行部214に対して傾斜している。突出部212は、傾斜部213の端部につながり、リード21

のうち封止樹脂 8 から突出する部分である。突出部 2 1 2 は、封止樹脂 8 から第 2 方向 y の y 1 側に突出している。突出部 2 1 2 は、たとえば半導体装置 A 2 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 2 1 2 は、厚さ方向 z において絶縁基板 3 0 の第 2 主面 3 a が向く側に折り曲げられている。

[0157] 複数のリード 2 2 は、それぞれ、絶縁基板 3 0 上に配置されており、本実施形態においては、第 2 主面 3 a 上に配置されている。複数のリード 2 2 は、第 1 方向 x において間隔を隔てて配置されている。複数のリード 2 2 の各々は、複数のリード 2 1 のいずれかと対をなすように近接し配置されている。リード 2 2 の構成は特に限定されない。本実施形態においては、図 1 8 に示すように、リード 2 2 を、突出部 2 2 2、傾斜部 2 2 3 および平行部 2 2 4 に分けして説明する。

[0158] 平行部 2 2 4 は、封止樹脂 8 によって覆われている。平行部 2 2 4 は、絶縁基板 3 0 に対して平行である。平行部 2 2 4 の下面（厚さ方向 z の z 2 側を向く面）は、導電性接合材 2 8 によって接合部 5 2 1 に接合されている。傾斜部 2 2 3 は、平行部 2 2 4 の端部につながり、平行部 2 2 4 に対して傾斜している。突出部 2 2 2 は、傾斜部 2 2 3 の端部につながり、リード 2 2 のうち封止樹脂 8 から突出する部分である。突出部 2 2 2 は、封止樹脂 8 から第 2 方向 y の y 1 側に突出している。突出部 2 2 2 は、たとえば半導体装置 A 2 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 2 2 2 は、厚さ方向 z において絶縁基板 3 0 の第 2 主面 3 a が向く側に折り曲げられている。

[0159] 2 つのリード 2 3 は、それぞれ、絶縁基板 3 0 上に配置されており、本実施形態においては、第 2 主面 3 a 上に配置されている。2 つのリード 2 3 は、第 1 方向 x に並んで配置されている。リード 2 3 の構成は特に限定されない。本実施形態においては、図 1 8、図 1 9 に示すように、リード 2 3 を、突出部 2 3 2、傾斜部 2 3 3 および平行部 2 3 4 に分けして説明する。

[0160] 平行部 2 3 4 は、封止樹脂 8 によって覆われている。平行部 2 3 4 は、絶

縁基板30に対して平行である。平行部234の下面（厚さ方向zのz2側を向く面）は、導電性接合材28によって配線501に接合されている。傾斜部233は、平行部234の端部につながり、平行部234に対して傾斜している。突出部232は、傾斜部233の端部につながり、リード23のうち封止樹脂8から突出する部分である。突出部232は、封止樹脂8から第2方向yのy1側に突出している。突出部232は、たとえば半導体装置A2を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部232は、厚さ方向zにおいて絶縁基板30の第2主面3aが向く側に折り曲げられている。

[0161] 半導体素子40A, 40B, 40Cは、図20、図21に示すように、素子裏面42を搭載部110に向けて、導電性接合材47によって搭載部110に接合されている。これにより、半導体素子40A, 40B, 40Cの各々のドレイン電極45は、導電性接合材47によって、搭載部110に導通接続される。搭載部110は、本開示の「第2部」の一例である。

[0162] 半導体素子40Dは、図21に示すように、素子裏面42を搭載部120に向けて、導電性接合材47によって搭載部120に接合されている。これにより、半導体素子40Dのドレイン電極45は、導電性接合材47によって、搭載部120に導通接続される。搭載部120は、本開示の「第1部」の一例である。半導体素子40Eは、図21に示すように、素子裏面42を搭載部130に向けて、導電性接合材47によって搭載部130に接合されている。これにより、半導体素子40Eのドレイン電極45は、導電性接合材47によって、搭載部130に導通接続される。半導体素子40Fは、図19に示すように、素子裏面42を搭載部140に向けて、導電性接合材47によって搭載部140に接合されている。これにより、半導体素子40Fのドレイン電極45は、導電性接合材47によって、搭載部140に導通接続される。

[0163] 図18に示すように、本実施形態において、各半導体素子4（半導体素子40A~40F）のゲート電極44は、ワイヤ72によって複数のリード2

1のいずれかに導通接続される。リード21は、各半導体素子4のゲート端子である。各半導体素子4（半導体素子40A～40F）のソース電極43は、ワイヤ73に複数のリード22のいずれかに導通接続される。リード22は、各半導体素子4のソースセンス端子である。

[0164] 図18、図22に示すように、本実施形態において、複数の半導体素子4（半導体素子40A～40F）は、第1方向xにおいて並んで配置されている。複数の半導体素子4（半導体素子40A～40F）の配置については、上記実施形態の半導体装置A1と同一（あるいは略同一）である。複数の半導体素子4（半導体素子40A～40F）の配置の各々の中心位置の関係や隣接相互の中心どうしの距離等については、上記実施形態において図9を参照して説明したのと同じ（あるいは略同じ）であるので、図22において上記実施形態の図9と同じ符号等を付してその説を省略する。

[0165] 図18に示すように、サーミスタ6は、絶縁基板30の第1方向xのx1側、且つ第2方向yのy1側の角部付近に配置されている。

[0166] 次に、本実施形態の半導体装置A2の作用について説明する。

[0167] 半導体装置A2は、支持導体32、4つ以上の複数の半導体素子4（半導体素子40A～40F）、および封止樹脂8を備える。複数の半導体素子40A～40Fは、第1方向xにおいて中央に近い半導体素子40D（第1半導体素子）および半導体素子40C（第2半導体素子）を含む。半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離（第2距離D21）よりも大であり、また、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離（第2距離D22）よりも大である。このような構成によれば、複数の半導体素子40A～40Fの中央付近にある半導体素子40Dおよび半導体素子40Cの相互間の熱干渉が抑制される。これにより、複数の半導体素子40A～40Fで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。そ

の結果、半導体装置A2によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0168] 半導体素子40Dの中心C1と半導体素子40Cの中心C2とは、複数の半導体素子40A～40Fが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A～40Fの中央付近に配置された半導体素子40Dおよび半導体素子40Cにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置A1の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）を大きくすることが可能である。その他にも、半導体装置A2は、上記実施形態の半導体装置A1と同様の作用効果を奏する。

[0169] なお、本実施形態の半導体装置A2においても、上記の半導体装置A1を備えた半導体装置アッセンブリB2と同様に、冷却器91、取付け部材92、制御手段94、冷却手段95および加熱手段96等をさらに備えた半導体装置アッセンブリの構成を採用することができる。この場合、半導体装置アッセンブリB2に関して上述したのと同様の作用効果を奏する。

[0170] 第3実施形態：

図23および図24は、本開示の第3実施形態に係る半導体装置を示している。本実施形態の半導体装置A3は、複数のリード1（リード11～15）、複数のリード2（複数のリード21、複数のリード22、および2つのリード23）、絶縁基板30、複数の半導体素子4（半導体素子40B、40C、40D、40E）、配線部5、サーミスタ6、複数ずつのワイヤ71、72、73、74、および封止樹脂8を備えている。図23は、半導体装置A3を示す平面図であり、封止樹脂8を透過した図である。図24は、半導体装置A3における複数の半導体素子4の配置を示す概略平面図である。なお、図23においては、封止樹脂8の外形を想像線（二点鎖線）で示している。

- [0171] 本実施形態の半導体装置A3において、主に、複数の半導体素子4の配置が上記実施形態の半導体装置A1と異なっている。本実施形態において、半導体装置A3は、4つの半導体素子4（半導体素子40B、40C、40D、40E）を備える。これら半導体素子40B～40Eそれぞれの配置は、半導体装置A1における半導体素子40B～40Eの配置と同じ（あるいは略同じ）である。半導体装置A3は、たとえばフルブリッジ型のスイッチング回路として構成される。
- [0172] 4つ（偶数）の半導体素子4を備えた半導体装置A3において、半導体素子40Cおよび半導体素子40Dは、第1方向xの中央に近い位置に配置されている。本実施形態のように、複数の半導体素子4（半導体素子40B～40E）の数が偶数である場合、複数の半導体素子4の第1方向xの中央の近くには2つの半導体素子40Cおよび半導体素子40Dが配置されている。
- [0173] 図示した例では、半導体素子40B～40Eは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Cは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Bに対して第2方向yのy1側に位置する。また、半導体素子40Cは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Dに対して第2方向yのy1側に位置する。半導体素子40Dは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Eに対して第2方向yのy1側に位置する。半導体素子40Eは、第2方向yにおいて半導体素子40Bと同じ（あるいは略同じ）位置にある。このように配置された複数の半導体素子4（半導体素子40B～40E）において、半導体素子40Dは本開示の「第1半導体素子」の一例に相当し、半導体素子40Cは本開示の「第2半導体素子」の一例に相当する。半導体素子40D（第1半導体素子）が配置された第1導体部321は本開示の「第1部」の一例に相当し、半導体素子40C（第2半導体素子）が配置された第2導体部322は本開示の「第2部」の一例に相当する。

[0174] 図24に示すように、複数の半導体素子4（半導体素子40B～40E）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離である第1距離D1は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離である第2距離D21よりも大である。また、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離である第2距離D22よりも大である。また、本実施形態において、半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0175] 次に、図25に基づき、半導体装置A3の使用例について説明する。同図は、半導体装置A3を備えた車両B11の概要図である。車両B11は、AC-DC変換装置871、受電装置872、蓄電池873、駆動系統874およびDC-DC変換装置875を備える。車両B11が、屋外等に設置された交流電源である充電施設870から交流電力を給電されると、AC-DC変換装置871により高電圧直流電力に変換される。AC-DC変換装置871は、高電圧直流電力を蓄電池873に給電する。受電装置872は、非接触充電システムにより蓄電池873に給電するものであり、駐車場等に設置された非接触充電器（図示せず）から電磁誘導方式により電力供給される。蓄電池873に蓄えられた電力は、インバータ、交流モータおよび変速機から構成される駆動系統874に給電される。駆動系統874は、車両B11を駆動する。DC-DC変換装置875は、車両B11の走行駆動以外の電装品等への電力供給を行うものであり、たとえば降圧型のDC-DCコンバータである。半導体装置A3は、DC-DC変換装置875の一部を構成している。上記のDC-DC変換装置875は、本開示の「電力変換装置

」の一例である。

[0176] 次に、本実施形態の半導体装置 A 3 の作用について説明する。

[0177] 半導体装置 A 3 は、支持導体 3 2、4 つ以上の複数の半導体素子 4（半導体素子 4 0 B ~ 4 0 E）、および封止樹脂 8 を備える。複数の半導体素子 4 0 B ~ 4 0 E は、第 1 方向 x において中央に近い半導体素子 4 0 D（第 1 半導体素子）および半導体素子 4 0 C（第 2 半導体素子）を含む。半導体素子 4 0 D の中心 C 1 と半導体素子 4 0 C の中心 C 2 との距離（第 1 距離 D 1）は、半導体素子 4 0 D の中心 C 1 と、第 1 方向 x において当該半導体素子 4 0 D に隣接する半導体素子 4 0 E の中心 C 3 との距離（第 2 距離 D 2 1）よりも大であり、また、半導体素子 4 0 C の中心 C 2 と、第 1 方向 x において当該半導体素子 4 0 C に隣接する半導体素子 4 0 B の中心 C 4 との距離（第 2 距離 D 2 2）よりも大である。このような構成によれば、複数の半導体素子 4 0 B ~ 4 0 E の中央付近にある半導体素子 4 0 D および半導体素子 4 0 C の相互間の熱干渉が抑制される。これにより、複数の半導体素子 4 0 B ~ 4 0 E で発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置 A 3 によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0178] 半導体素子 4 0 D の中心 C 1 と半導体素子 4 0 C の中心 C 2 とは、複数の半導体素子 4 0 B ~ 4 0 E が並ぶ第 1 方向 x と直交する第 2 方向 y において異なる位置にある。このような構成によれば、複数の半導体素子 4 0 B ~ 4 0 E の中央付近に配置された半導体素子 4 0 D および半導体素子 4 0 C において発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置 A 3 の第 1 方向 x の寸法が大きくなるのを防ぎつつ、半導体素子 4 0 D の中心 C 1 と半導体素子 4 0 C の中心 C 2 との距離（第 1 距離 D 1）を大きくすることが可能である。

[0179] 図 2 4 を参照したように、複数の半導体素子 4（半導体素子 4 0 B ~ 4 0 E）において、第 1 方向 x において互いに隣接する半導体素子 4 の中心どうしは、第 2 方向 y において異なる位置にある。このような構成によれば、複

数の半導体素子40B~40Eにおいて発生した熱を周囲により効率よく逃がすことができる。

[0180] 半導体素子40Dの中心C1と半導体素子40Cの中心C2との距離（第1距離D1）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40B~40Eの中央付近にある半導体素子40Dおよび半導体素子40Cの熱干渉を適切に抑制することができる。本構成は、半導体装置A3の熱抵抗を低減する上でより好ましい。

[0181] 支持導体32は、互いに分離する第1導体部321（第1部）および第2導体部322（第2部）を含む。第1導体部321には、複数の半導体素子40B~40Eのうち半導体素子40D（第1半導体素子）のみが配置されている。第2導体部322には、複数の半導体素子40B~40Eのうち、半導体素子40C（第2半導体素子）および当該半導体素子40Cに隣接する半導体素子40Bが配置されている。半導体素子40D（第1半導体素子）の中心C1は、第2方向yにおいて半導体素子40B、40Eのいずれの中心よりも第2方向yのy1側に位置する。半導体素子40C（第2半導体素子）の中心C2は、半導体素子40Dの中心C1よりも第2方向yのy1側に位置する。共通する第2導体部322上に配置された半導体素子40Cおよび半導体素子40Bで発生した熱は第2導体部322に滞留しやすく、半導体素子40Cおよび半導体素子40Bで発生した熱の干渉により第2導体部322の温度上昇を招きやすい。上記のように半導体素子40Cがすべての半導体素子40B~40Eのうち第2方向yのy2側に最も偏倚した配置によれば、半導体素子40Cが搭載される第2導体部322においては、半導体素子40Cで発生した熱を当該半導体素子40Cの周囲に効率よく逃がすことが可能である。したがって、半導体素子40D、40C、40Bの相互の熱干渉が抑制され、半導体装置A3の熱抵抗の低減を図ることができる。

[0182] 第3実施形態の第1変形例：

図26は、第3実施形態の第1変形に係る半導体装置を示している。図26は、本変形例の半導体装置A31における複数の半導体素子4の配置を示す概略平面図である。

[0183] 本変形例の半導体装置A31において、主に、複数の半導体素子4の配置が上述の半導体装置A1、A3と異なっている。半導体装置A31は、4つの半導体素子4（半導体素子40A、40B、40D、40E）を備える。これら半導体素子40A、40B、40D、40Eそれぞれの配置は、半導体装置A1における半導体素子40A、40B、40D、40Eの配置と同じ（あるいは略同じ）である。

[0184] 4つ（偶数）の半導体素子4を備えた半導体装置A31において、半導体素子40Bおよび半導体素子40Dは、第1方向xの中央に近い位置に配置されている。本変形例のように、複数の半導体素子4（半導体素子40A、40B、40D、40E）の数が偶数である場合、複数の半導体素子4の第1方向xの中央の近くには2つの半導体素子40Bおよび半導体素子40Dが配置されている。

[0185] 図示した例では、半導体素子40A、40B、40D、40Eは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Bは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Aに対して第2方向yのy1側に位置する。半導体素子40Dは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Cに対して第2方向yのy1側に位置する。また、半導体素子40Dは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Eに対して第2方向yのy1側に位置する。半導体素子40Eは、第2方向yにおいて半導体素子40Bと同じ（あるいは略同じ）位置にある。このように配置された複数の半導体素子4（半導体素子40A、40B、40D、40E）において、半導体素子40Dは本開示の「第1半導体素子」の一例に相当し、半導体素子40Bは本開示の「第2半導体素子」の一例に相当する。

[0186] 図26に示すように、複数の半導体素子4（半導体素子40A, 40B, 40D, 40E）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Dの中心C1と半導体素子40Bの中心C4との距離である第1距離D12は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離である第2距離D21よりも大である。また、半導体素子40Dの中心C1と半導体素子40Bの中心C4との距離（第1距離D12）は、半導体素子40Bの中心C4と、第1方向xにおいて当該半導体素子40Bに隣接する半導体素子40Aの中心C6との距離である第2距離D23よりも大である。また、本変形例において、半導体素子40Dの中心C1と半導体素子40Bの中心C4との距離（第1距離D12）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0187] 半導体装置A31において、複数の半導体素子40A, 40B, 40D, 40Eは、第1方向xにおいて中央に近い半導体素子40D（第1半導体素子）および半導体素子40B（第2半導体素子）を含む。半導体素子40Dの中心C1と半導体素子40Bの中心C4との距離（第1距離D12）は、半導体素子40Dの中心C1と、第1方向xにおいて当該半導体素子40Dに隣接する半導体素子40Eの中心C3との距離（第2距離D21）よりも大であり、また、半導体素子40Bの中心C4と、第1方向xにおいて当該半導体素子40Bに隣接する半導体素子40Aの中心C6との距離（第2距離D23）よりも大である。このような構成によれば、複数の半導体素子40A, 40B, 40D, 40Eの中央付近にある半導体素子40Dおよび半導体素子40Bの相互間の熱干渉が抑制される。これにより、複数の半導体素子40A, 40B, 40D, 40Eで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置A31によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0188] 半導体素子40Dの中心C1と半導体素子40Bの中心C4とは、複数の

半導体素子40A, 40B, 40D, 40Eが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A, 40B, 40D, 40Eの中央付近に配置された半導体素子40Dおよび半導体素子40Bにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置A31の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Dの中心C1と半導体素子40Bの中心C4との距離(第1距離D12)を大きくすることが可能である。

[0189] 複数の半導体素子4(半導体素子40A, 40B, 40D, 40E)において、第1方向xにおいて互いに隣接する半導体素子4の中心どうしは、第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A, 40B, 40D, 40Eにおいて発生した熱を周囲により効率よく逃がすことができる。

[0190] 半導体素子40Dの中心C1と半導体素子40Bの中心C4との距離(第1距離D12)は、半導体素子4の第1方向xに沿う辺の長さ(長さL1)の2倍以上である。このような構成によれば、複数の半導体素子40A, 40B, 40D, 40Eの中央付近にある半導体素子40Dおよび半導体素子40Bの熱干渉を適切に抑制することができる。本構成は、半導体装置A31の熱抵抗を低減する上でより好ましい。

[0191] 第3実施形態の第2変形例:

図27は、第3実施形態の第2変形に係る半導体装置を示している。図27は、本変形例の半導体装置A32における複数の半導体素子4の配置を示す概略平面図である。

[0192] 本変形例の半導体装置A32において、主に、複数の半導体素子4の配置が上述の半導体装置A1, A3と異なっている。半導体装置A32は、4つの半導体素子4(半導体素子40B, 40C, 40E, 40F)を備える。これら半導体素子40B, 40C, 40E, 40Fそれぞれの配置は、半導体装置A1における半導体素子40B, 40C, 40E, 40Fの配置と同

じ（あるいは略同じ）である。

[0193] 4つ（偶数）の半導体素子4を備えた半導体装置A32において、半導体素子40Cおよび半導体素子40Eは、第1方向xの中央に近い位置に配置されている。本変形例のように、複数の半導体素子4（半導体素子40B, 40C, 40E, 40F）の数が偶数である場合、複数の半導体素子4の第1方向xの中央の近くには2つの半導体素子40Cおよび半導体素子40Eが配置されている。

[0194] 図示した例では、半導体素子40B, 40C, 40E, 40Fは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Cは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Bに対して第2方向yのy1側に位置する。また、半導体素子40Cは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Eに対して第2方向yのy1側に位置する。半導体素子40Eは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Fに対して第2方向yのy1側に位置する。半導体素子40Eは、第2方向yにおいて半導体素子40Bと同じ（あるいは略同じ）位置にある。このように配置された複数の半導体素子4（半導体素子40B, 40C, 40E, 40F）において、半導体素子40Eは本開示の「第1半導体素子」の一例に相当し、半導体素子40Cは本開示の「第2半導体素子」の一例に相当する。

[0195] 図27に示すように、複数の半導体素子4（半導体素子40B, 40C, 40E, 40F）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離である第1距離D13は、半導体素子40Eの中心C3と、第1方向xにおいて当該半導体素子40Eに隣接する半導体素子40Fの中心C5との距離である第2距離D24よりも大である。また、半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素

子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離である第2距離D22よりも大である。また、本変形例において、半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0196] 半導体装置A32において、複数の半導体素子40B, 40C, 40E, 40Fは、第1方向xにおいて中央に近い半導体素子40E（第1半導体素子）および半導体素子40C（第2半導体素子）を含む。半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素子40Eの中心C3と、第1方向xにおいて当該半導体素子40Eに隣接する半導体素子40Fの中心C5との距離（第2距離D24）よりも大であり、また、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Bの中心C4との距離（第2距離D22）よりも大である。このような構成によれば、複数の半導体素子40B, 40C, 40E, 40Fの中央付近にある半導体素子40Eおよび半導体素子40Cの相互間の熱干渉が抑制される。これにより、複数の半導体素子40B, 40C, 40E, 40Fで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置A32によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0197] 半導体素子40Eの中心C3と半導体素子40Cの中心C2とは、複数の半導体素子40B, 40C, 40E, 40Fが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40B, 40C, 40E, 40Fの中央付近に配置された半導体素子40Eおよび半導体素子40Cにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置A32の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）を大きくすることが可能である。

[0198] 複数の半導体素子4（半導体素子40B，40C，40E，40F）において、第1方向xにおいて互いに隣接する半導体素子4の中心どうしは、第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40B，40C，40E，40Fにおいて発生した熱を周囲により効率よく逃がすことができる。

[0199] 半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40B，40C，40E，40Fの中央付近にある半導体素子40Eおよび半導体素子40Cの熱干渉を適切に抑制することができる。本構成は、半導体装置A32の熱抵抗を低減する上でより好ましい。

[0200] 第3実施形態の第3変形例：

図28は、第3実施形態の第3変形に係る半導体装置を示している。図28は、本変形例の半導体装置A33における複数の半導体素子4の配置を示す概略平面図である。

[0201] 本変形例の半導体装置A33において、主に、複数の半導体素子4の配置が上述の半導体装置A1，A3と異なっている。半導体装置A33は、4つの半導体素子4（半導体素子40A，40C，40E，40F）を備える。これら半導体素子40A，40C，40E，40Fそれぞれの配置は、半導体装置A1における半導体素子40A，40C，40E，40Fの配置と同じ（あるいは略同じ）である。

[0202] 4つ（偶数）の半導体素子4を備えた半導体装置A32において、半導体素子40Cおよび半導体素子40Eは、第1方向xの中央に近い位置に配置されている。本変形例のように、複数の半導体素子4（半導体素子40A，40C，40E，40F）の数が偶数である場合、複数の半導体素子4の第1方向xの中央の近くには2つの半導体素子40Cおよび半導体素子40Eが配置されている。

[0203] 図示した例では、半導体素子40A，40C，40E，40Fは、第1方

向 $x$ に沿って配列はされておらず、第2方向 $y$ における位置が異なるものを含む。半導体素子40Cは、第2方向 $y$ において、第1方向 $x$ の $x$ 2側に隣接する半導体素子40Aに対して第2方向 $y$ の $y$ 1側に位置する。また、半導体素子40Cは、第2方向 $y$ において、第1方向 $x$ の $x$ 1側に隣接する半導体素子40Eに対して第2方向 $y$ の $y$ 1側に位置する。半導体素子40Eは、第2方向 $y$ において、第1方向 $x$ の $x$ 1側に隣接する半導体素子40Fに対して第2方向 $y$ の $y$ 1側に位置する。半導体素子40Fは、第2方向 $y$ において半導体素子40Aと同じ（あるいは略同じ）位置にある。このように配置された複数の半導体素子4（半導体素子40A、40C、40E、40F）において、半導体素子40Eは本開示の「第1半導体素子」の一例に相当し、半導体素子40Cは本開示の「第2半導体素子」の一例に相当する。半導体素子40E（第1半導体素子）が配置された第3導体部323は本開示の「第1部」の一例に相当し、半導体素子40C（第2半導体素子）が配置された第2導体部322は本開示の「第2部」の一例に相当する。

[0204] 図28に示すように、複数の半導体素子4（半導体素子40A、40C、40E、40F）について、第1方向 $x$ において互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向 $x$ において中央に近い半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離である第1距離D13は、半導体素子40Eの中心C3と、第1方向 $x$ において当該半導体素子40Eに隣接する半導体素子40Fの中心C5との距離である第2距離D24よりも大である。また、半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素子40Cの中心C2と、第1方向 $x$ において当該半導体素子40Cに隣接する半導体素子40Aの中心C6との距離である第2距離D25よりも大である。また、本変形例において、半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素子4の第1方向 $x$ に沿う辺の長さ（長さ $L1$ ）の2倍以上である。

[0205] 半導体装置A33において、複数の半導体素子40A、40C、40E、

40Fは、第1方向xにおいて中央に近い半導体素子40E（第1半導体素子）および半導体素子40C（第2半導体素子）を含む。半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）は、半導体素子40Eの中心C3と、第1方向xにおいて当該半導体素子40Eに隣接する半導体素子40Fの中心C5との距離（第2距離D24）よりも大であり、また、半導体素子40Cの中心C2と、第1方向xにおいて当該半導体素子40Cに隣接する半導体素子40Aの中心C6との距離（第2距離D25）よりも大である。このような構成によれば、複数の半導体素子40A、40C、40E、40Fの中央付近にある半導体素子40Eおよび半導体素子40Cの相互間の熱干渉が抑制される。これにより、複数の半導体素子40A、40C、40E、40Fで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置A33によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0206] 半導体素子40Eの中心C3と半導体素子40Cの中心C2とは、複数の半導体素子40A、40C、40E、40Fが並ぶ第1方向xと直交する第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A、40C、40E、40Fの中央付近に配置された半導体素子40Eおよび半導体素子40Cにおいて発生した熱を周囲に効率よく逃がすことができ、熱干渉がより抑制される。また、上記構成によれば、半導体装置A33の第1方向xの寸法が大きくなるのを防ぎつつ、半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第1距離D13）を大きくすることが可能である。

[0207] 複数の半導体素子4（半導体素子40A、40C、40E、40F）において、第1方向xにおいて互いに隣接する半導体素子4の中心どうしは、第2方向yにおいて異なる位置にある。このような構成によれば、複数の半導体素子40A、40C、40E、40Fにおいて発生した熱を周囲により効率よく逃がすことができる。

[0208] 半導体素子40Eの中心C3と半導体素子40Cの中心C2との距離（第

1 距離  $D13$ ) は、半導体素子 4 の第 1 方向  $x$  に沿う辺の長さ (長さ  $L1$ ) の 2 倍以上である。このような構成によれば、複数の半導体素子 40A, 40C, 40E, 40F の中央付近にある半導体素子 40E および半導体素子 40C の熱干渉を適切に抑制することができる。本構成は、半導体装置 A33 の熱抵抗を低減する上でより好ましい。

[0209] 支持導体 32 は、互いに分離する第 3 導体部 323 (第 1 部) および第 2 導体部 322 (第 2 部) を含む。第 3 導体部 323 には、複数の半導体素子 40A, 40C, 40E, 40F のうち半導体素子 40E (第 1 半導体素子) のみが配置されている。第 2 導体部 322 には、複数の半導体素子 40A, 40C, 40E, 40F のうち、半導体素子 40C (第 2 半導体素子) および当該半導体素子 40C に隣接する半導体素子 40A が配置されている。半導体素子 40E (第 1 半導体素子) の中心  $C3$  は、第 2 方向  $y$  において半導体素子 40A, 40F のいずれの中心よりも第 2 方向  $y$  の  $y1$  側に位置する。半導体素子 40C (第 2 半導体素子) の中心  $C2$  は、半導体素子 40E の中心  $C3$  よりも第 2 方向  $y$  の  $y1$  側に位置する。共通する第 2 導体部 322 上に配置された半導体素子 40C および半導体素子 40A で発生した熱は第 2 導体部 322 に滞留しやすく、半導体素子 40C および半導体素子 40A で発生した熱の干渉により第 2 導体部 322 の温度上昇を招きやすい。上記のように半導体素子 40C がすべての半導体素子 40A, 40C, 40E, 40F のうち第 2 方向  $y$  の  $y2$  側に最も偏倚した配置によれば、半導体素子 40C が搭載される第 2 導体部 322 においては、半導体素子 40C で発生した熱を当該半導体素子 40C の周囲に効率よく逃がすことが可能である。したがって、半導体素子 40E, 40C, 40A の相互の熱干渉が抑制され、半導体装置 A33 の熱抵抗の低減を図ることができる。

[0210] 第 3 実施形態の第 4 変形例 :

図 29 は、第 3 実施形態の第 4 変形に係る半導体装置を示している。図 29 は、本変形例の半導体装置 A34 における複数の半導体素子 4 の配置を示す概略平面図である。

- [0211] 本変形例の半導体装置A34において、主に、複数の半導体素子4の配置が上述の半導体装置A1、A3と異なっている。半導体装置A33は、4つの半導体素子4（半導体素子40A、40B、40E、40F）を備える。これら半導体素子40A、40B、40E、40Fそれぞれの配置は、半導体装置A1における半導体素子40A、40B、40E、40Fの配置と同じ（あるいは略同じ）である。
- [0212] 4つ（偶数）の半導体素子4を備えた半導体装置A33において、半導体素子40Bおよび半導体素子40Eは、第1方向xの中央に近い位置に配置されている。本変形例のように、複数の半導体素子4（半導体素子40A、40B、40E、40F）の数が偶数である場合、複数の半導体素子4の第1方向xの中央の近くには2つの半導体素子40Bおよび半導体素子40Eが配置されている。
- [0213] 図示した例では、半導体素子40A、40B、40E、40Fは、第1方向xに沿って配列はされておらず、第2方向yにおける位置が異なるものを含む。半導体素子40Bは、第2方向yにおいて、第1方向xのx2側に隣接する半導体素子40Aに対して第2方向yのy1側に位置する。半導体素子40Bは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Eと同じ（あるいは略同じ）位置にある。半導体素子40Eは、第2方向yにおいて、第1方向xのx1側に隣接する半導体素子40Fに対して第2方向yのy1側に位置する。半導体素子40Fは、第2方向yにおいて半導体素子40Aと同じ（あるいは略同じ）位置にある。このように配置された複数の半導体素子4（半導体素子40A、40B、40E、40F）において、半導体素子40Eは本開示の「第1半導体素子」の一例に相当し、半導体素子40Bは本開示の「第2半導体素子」の一例に相当する。
- [0214] 図29に示すように、複数の半導体素子4（半導体素子40A、40B、40E、40F）について、第1方向xにおいて互いに隣接する半導体素子4の中心どうしの距離は、以下の関係とされている。第1方向xにおいて中央に近い半導体素子40Eの中心C3と半導体素子40Bの中心C4との距

離である第1距離D14は、半導体素子40Eの中心C3と、第1方向xにおいて当該半導体素子40Eに隣接する半導体素子40Fの中心C5との距離である第2距離D24よりも大である。また、半導体素子40Eの中心C3と半導体素子40Bの中心C4との距離（第1距離D14）は、半導体素子40Bの中心C4と、第1方向xにおいて当該半導体素子40Bに隣接する半導体素子40Aの中心C6との距離である第2距離D23よりも大である。また、本変形例において、半導体素子40Eの中心C3と半導体素子40Bの中心C4との距離（第1距離D14）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。

[0215] 半導体装置A34において、複数の半導体素子40A、40B、40E、40Fは、第1方向xにおいて中央に近い半導体素子40E（第1半導体素子）および半導体素子40B（第2半導体素子）を含む。半導体素子40Eの中心C3と半導体素子40Bの中心C4との距離（第1距離D14）は、半導体素子40Eの中心C3と、第1方向xにおいて当該半導体素子40Eに隣接する半導体素子40Fの中心C5との距離（第2距離D24）よりも大であり、また、半導体素子40Bの中心C4と、第1方向xにおいて当該半導体素子40Bに隣接する半導体素子40Aの中心C6との距離（第2距離D23）よりも大である。このような構成によれば、複数の半導体素子40A、40B、40E、40Fの中央付近にある半導体素子40Eおよび半導体素子40Bの相互間の熱干渉が抑制される。これにより、複数の半導体素子40A、40B、40E、40Fで発生した熱の集中を防止し、熱抵抗の低減を図ることができる。その結果、半導体装置A34によれば、大電流化への対応が容易であり、耐久性向上を図ることができる。

[0216] 半導体素子40Eの中心C3と半導体素子40Bの中心C4との距離（第1距離D14）は、半導体素子4の第1方向xに沿う辺の長さ（長さL1）の2倍以上である。このような構成によれば、複数の半導体素子40A、40B、40E、40Fの中央付近にある半導体素子40Eおよび半導体素子40Bの熱干渉を適切に抑制することができる。本構成は、半導体装置A3

4の熱抵抗を低減する上でより好ましい。

[0217] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0218] 上記実施形態の半導体装置A1等は、封止樹脂8がモールド成形に形成されたモールドモジュールについて説明したが、本開示の半導体装置はこれに限定されない。本開示の半導体装置は、たとえばケースモジュールにより構成してもよく、ケースモジュールの場合、たとえばケースの内側空間に封止樹脂としてシリコンゲル等の絶縁材料が充填される。

[0219] 本開示は、以下の付記に記載した実施形態を含む。

付記1.

厚さ方向の一方側を向く第1主面、および前記第1主面とは反対側を向く第1裏面を有する導電部と、

前記第1主面上に配置された4つ以上の複数の半導体素子と、

前記複数の半導体素子、および前記導電部の少なくとも一部を覆う封止樹脂と、を備え、

前記複数の半導体素子は、前記厚さ方向と直交する第1方向において並んで配置されており、

前記複数の半導体素子の数が偶数である場合において、

前記複数の半導体素子は、前記第1方向の中央に近い第1半導体素子および第2半導体素子を含み、

前記第1半導体素子の中心と前記第2半導体素子の中心の距離である第1距離は、前記第1半導体素子および前記第2半導体素子のいずれかの中心と前記第1方向において前記第1半導体素子および前記第2半導体素子のいずれかに隣接する他の前記半導体素子の中心との距離である第2距離よりも大であり、

前記複数の半導体素子の数が奇数である場合において、

前記複数の半導体素子は、前記第1方向の中央に近い第3半導体素子と、

前記第3半導体素子に対して前記第1方向の一方側に隣接する第4半導体素子と、前記第3半導体素子に対して前記第1方向の他方側に隣接する第5半導体素子と、を含み、

前記第3半導体素子の中心と前記第4半導体素子の中心との距離である第3距離、および前記第3半導体素子の中心と前記第5半導体素子の中心との距離である第4距離の各々は、前記第4半導体素子および前記第5半導体素子のいずれかの中心と前記第1方向において前記第4半導体素子および前記第5半導体素子のいずれかに隣接する他の前記半導体素子の中心との距離である第5距離よりも大である、半導体装置。

付記2.

前記複数の半導体素子の数が偶数である場合において、

前記第1半導体素子の中心と前記第2半導体素子の中心とは、前記厚さ方向および前記第1方向と直交する第2方向において異なる位置にあり、

前記複数の半導体素子の数が奇数である場合において、

前記第3半導体素子の中心と前記第4半導体素子の中心および前記第5半導体素子の中心とは、前記第2方向において異なる位置にある、付記1に記載の半導体装置。

付記3.

前記複数の半導体素子において、前記第1方向において互いに隣接する前記半導体素子の中心どうしは、前記第2方向において異なる位置にある、付記2に記載の半導体装置。

付記4.

前記複数の半導体素子の数が偶数である場合において、

前記第1距離は、前記複数の半導体素子のうち前記第1方向において互いに隣接する他の前記半導体素子の中心どうしの距離である第6距離よりも大であり、

前記複数の半導体素子の数が奇数である場合において、

前記第3距離および前記第4距離の各々は、前記複数の半導体素子のうち

前記第 1 方向において互いに隣接する他の前記半導体素子の中心どうしの距離である第 7 距離よりも大である、付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 5.

前記複数の半導体素子の数が偶数である場合において、  
前記第 2 距離は、前記第 6 距離よりも大であり、  
前記複数の半導体素子の数が奇数である場合において、  
前記第 5 距離は、前記第 7 距離よりも大である、付記 4 に記載の半導体装置。

付記 6.

前記複数の半導体素子の数が偶数である場合において、  
前記第 6 距離は、前記第 1 方向において互いに隣接する他の前記半導体素子が前記第 1 方向において中央から遠ざかるにつれて小さくなり、  
前記複数の半導体素子の数が奇数である場合において、  
前記第 7 距離は、前記第 1 方向において互いに隣接する他の前記半導体素子が前記第 1 方向において中央から遠ざかるにつれて小さくなる、付記 5 に記載の半導体装置。

付記 7.

前記複数の半導体素子の数が偶数である場合において、  
前記第 1 距離は、前記半導体素子の前記第 1 方向に沿う辺の長さの 2 倍以上であり、  
前記複数の半導体素子の数が奇数である場合において、  
前記第 3 距離および前記第 4 距離の各々は、前記半導体素子の前記第 1 方向に沿う辺の長さの 2 倍以上である、付記 1 ないし 6 のいずれかに記載の半導体装置。

付記 8.

前記導電部は、互いに分離する第 1 部および第 2 部を含み、  
前記第 1 部には、前記複数の半導体素子のうち前記第 1 半導体素子のみが

配置されており、

前記第 2 部には、前記複数の半導体素子のうち前記第 2 半導体素子および当該第 2 半導体素子に隣接する他の前記半導体素子が配置されており、

前記第 1 半導体素子の中心は、前記第 2 方向において前記複数の半導体素子のうち他のいずれの前記半導体素子の中心よりも前記第 2 方向の一方側に位置し、

前記第 2 半導体素子の中心は、前記第 2 方向において前記第 1 半導体素子の中心よりも前記第 2 方向の一方側に位置する、付記 2 に記載の半導体装置。

付記 9.

前記厚さ方向の一方側を向く第 2 主面、および前記第 2 主面とは反対側を向く第 2 裏面を有する支持体をさらに備え、

前記導電部の前記第 1 裏面は、前記第 2 主面に接合されている、付記 1 ないし 8 のいずれかに記載の半導体装置。

付記 10.

前記支持体は、前記第 2 主面を有する絶縁基板と、前記絶縁基板の前記第 2 主面とは反対側の面に接合され、且つ前記第 2 裏面を有する金属層と、からなる、付記 9 に記載の半導体装置。

付記 11.

前記絶縁基板は、セラミックスからなる、付記 10 に記載の半導体装置。

付記 12.

前記導電部は、リードにより構成されており、

前記支持体は、絶縁基板により構成されている、付記 9 に記載の半導体装置。

付記 13.

前記複数の半導体素子の各々は、スイッチング素子である、付記 9 ないし 12 のいずれかに記載の半導体装置。

付記 14.

前記複数の半導体素子の各々は、前記厚さ方向の一方側を向く素子主面と、前記厚さ方向の他方側を向く素子裏面と、前記素子主面に配置されたソース電極およびゲート電極と、前記素子裏面に配置されたドレイン電極と、を有する、付記 13 に記載の半導体装置。

付記 15.

前記導電部および前記支持体からなる構造体の熱容量は、 $0.01 \sim 15$  J/K であり、

前記複数の半導体素子の各々の熱容量は、 $0.0001 \sim 0.5$  J/K である、付記 10 または 11 に記載の半導体装置。

付記 16.

前記導電部および前記支持体からなる構造体の熱抵抗は、 $0.0003 \sim 1.5$  K/W であり、

前記複数の半導体素子の各々の熱抵抗は、 $0.0003 \sim 1.5$  K/W である、付記 10 または 11 に記載の半導体装置。

付記 17.

前記複数の半導体素子の各々は、ワイドバンドギャップ半導体およびウルトラワイドバンドギャップ半導体の少なくともいずれかを含む、付記 13 または 14 に記載の半導体装置。

付記 18.

付記 9 ないし 17 のいずれかに記載の半導体装置と、

冷却器と、

前記冷却器を冷却する冷却手段と、を備え、

前記支持体の前記第 2 裏面は、前記封止樹脂から露出しており、

前記冷却器は、前記第 2 裏面に接触する部位を有する、半導体装置アッセンブリ。

付記 19.

制御手段をさらに備え、

前記半導体装置は、前記支持体の前記第 2 主面上に配置された温度検出素

子を含み、

前記制御手段は、前記温度検出素子により検出された温度に基づいて前記冷却手段の制御を行う、付記 18 に記載の半導体装置アセンブリ。

付記 20.

前記冷却器を加熱する加熱手段をさらに備え、

前記制御手段は、前記温度検出素子により検出された温度に基づいて前記加熱手段の制御を行う、付記 19 に記載の半導体装置アセンブリ。

付記 21.

付記 13 または 14 に記載の半導体装置を含んで構成された電力変換装置を備える、車両。

## 符号の説明

- [0220] A 1, A 2, A 3, A 3 1, A 3 2, A 3 3, A 3 4 : 半導体装置  
 B 1, B 1 1 : 車両      B 2, B 2 1 : 半導体装置アセンブリ  
 1, 1 1 ~ 1 5 : リード      1 1 0 : 搭載部 (導電部、第 2 部)  
 1 2 0 : 搭載部 (導電部、第 1 部)  
 1 3 0, 1 4 0 : 搭載部 (導電部)  
 1 8 : 接合材      1 9 : 導電性接合材  
 2, 2 1 ~ 2 3 : リード      2 8 : 導電性接合材  
 3 : 支持体      3 a : 第 2 主面  
 3 b : 第 2 裏面      3 0, 3 1 : 絶縁基板  
 3 2 : 支持導体 (導電部)      3 2 a : 第 1 主面  
 3 2 b : 第 1 裏面      3 2 1 : 第 1 導体部  
 3 2 2 : 第 2 導体部      3 2 3 : 第 3 導体部  
 3 2 4 : 第 4 導体部      3 2 5 : 第 5 導体部  
 3 2 6 : 第 6 導体部      3 2 7 : 第 7 導体部  
 3 2 8 : 第 8 導体部      3 3 : 金属層  
 4, 4 0 A ~ 4 0 N, 4 0 P ~ 4 0 R : 半導体素子      4 1 : 素子主面  
 4 2 : 素子裏面      4 3 : ソース電極

44 : ゲート電極      45 : ドレイン電極  
47 : 導電性接合材      5 : 配線部  
501 : 配線      502 : パッド部  
511 ~ 515, 521 : 接合部      6 : サーミスタ  
62 : 絶縁部材      63 : 導電性接合材  
71 ~ 74 : ワイヤ      8 : 封止樹脂  
81 : 樹脂主面      82 : 樹脂裏面  
83 ~ 86 : 樹脂側面      831, 841 : 凹部  
870 : 充電施設      871 : AC-DC変換装置 (電力変換装置)  
872 : 受電装置      873 : 蓄電池  
874 : 駆動系統      875 : DC-DC変換装置 (電力変換装置)  
91 : 冷却器      911 : 取付け面  
912 : 流路      913 : 取付け穴  
92 : 取付け部材      93 : 締結部材  
94 : 制御手段      95 : 冷却手段  
96 : 加熱手段      D1, D12, D13, D14 : 第1距離  
D21, D21, D23, D24, D25 : 第2距離      D3 : 第3距離  
D4 : 第4距離      D51, D52 : 第5距離  
D61 ~ D64 : 第6距離      D71 ~ D74 : 第7距離

## 請求の範囲

- [請求項1] 厚さ方向の一方側を向く第1主面、および前記第1主面とは反対側を向く第1裏面を有する導電部と、
- 前記第1主面上に配置された4つ以上の複数の半導体素子と、
- 前記複数の半導体素子、および前記導電部の少なくとも一部を覆う封止樹脂と、を備え、
- 前記複数の半導体素子は、前記厚さ方向と直交する第1方向において並んで配置されており、
- 前記複数の半導体素子の数が偶数である場合において、
- 前記複数の半導体素子は、前記第1方向の中央に近い第1半導体素子および第2半導体素子を含み、
- 前記第1半導体素子の中心と前記第2半導体素子の中心の距離である第1距離は、前記第1半導体素子および前記第2半導体素子のいずれかの中心と前記第1方向において前記第1半導体素子および前記第2半導体素子のいずれかに隣接する他の前記半導体素子の中心との距離である第2距離よりも大であり、
- 前記複数の半導体素子の数が奇数である場合において、
- 前記複数の半導体素子は、前記第1方向の中央に近い第3半導体素子と、前記第3半導体素子に対して前記第1方向の一方側に隣接する第4半導体素子と、前記第3半導体素子に対して前記第1方向の他方側に隣接する第5半導体素子と、を含み、
- 前記第3半導体素子の中心と前記第4半導体素子の中心との距離である第3距離、および前記第3半導体素子の中心と前記第5半導体素子の中心との距離である第4距離の各々は、前記第4半導体素子および前記第5半導体素子のいずれかの中心と前記第1方向において前記第4半導体素子および前記第5半導体素子のいずれかに隣接する他の前記半導体素子の中心との距離である第5距離よりも大である、半導体装置。

- [請求項2] 前記複数の半導体素子の数が偶数である場合において、  
前記第1半導体素子の中心と前記第2半導体素子の中心とは、前記厚さ方向および前記第1方向と直交する第2方向において異なる位置にあり、  
前記複数の半導体素子の数が奇数である場合において、  
前記第3半導体素子の中心と前記第4半導体素子の中心および前記第5半導体素子の中心とは、前記第2方向において異なる位置にある、請求項1に記載の半導体装置。
- [請求項3] 前記複数の半導体素子において、前記第1方向において互いに隣接する前記半導体素子の中心どうしは、前記第2方向において異なる位置にある、請求項2に記載の半導体装置。
- [請求項4] 前記複数の半導体素子の数が偶数である場合において、  
前記第1距離は、前記複数の半導体素子のうち前記第1方向において互いに隣接する他の前記半導体素子の中心どうしの距離である第6距離よりも大であり、  
前記複数の半導体素子の数が奇数である場合において、  
前記第3距離および前記第4距離の各々は、前記複数の半導体素子のうち前記第1方向において互いに隣接する他の前記半導体素子の中心どうしの距離である第7距離よりも大である、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 前記複数の半導体素子の数が偶数である場合において、  
前記第2距離は、前記第6距離よりも大であり、  
前記複数の半導体素子の数が奇数である場合において、  
前記第5距離は、前記第7距離よりも大である、請求項4に記載の半導体装置。
- [請求項6] 前記複数の半導体素子の数が偶数である場合において、  
前記第6距離は、前記第1方向において互いに隣接する他の前記半導体素子が前記第1方向において中央から遠ざかるにつれて小さくな

り、

前記複数の半導体素子の数が奇数である場合において、

前記第 7 距離は、前記第 1 方向において互いに隣接する他の前記半導体素子が前記第 1 方向において中央から遠ざかるにつれて小さくなる、請求項 5 に記載の半導体装置。

[請求項 7]

前記複数の半導体素子の数が偶数である場合において、

前記第 1 距離は、前記半導体素子の前記第 1 方向に沿う辺の長さの 2 倍以上であり、

前記複数の半導体素子の数が奇数である場合において、

前記第 3 距離および前記第 4 距離の各々は、前記半導体素子の前記第 1 方向に沿う辺の長さの 2 倍以上である、請求項 1 ないし 6 のいずれかに記載の半導体装置。

[請求項 8]

前記導電部は、互いに分離する第 1 部および第 2 部を含み、

前記第 1 部には、前記複数の半導体素子のうち前記第 1 半導体素子のみが配置されており、

前記第 2 部には、前記複数の半導体素子のうち前記第 2 半導体素子および当該第 2 半導体素子に隣接する他の前記半導体素子が配置されており、

前記第 1 半導体素子の中心は、前記第 2 方向において前記複数の半導体素子のうち他のいずれの前記半導体素子の中心よりも前記第 2 方向の一方側に位置し、

前記第 2 半導体素子の中心は、前記第 2 方向において前記第 1 半導体素子の中心よりも前記第 2 方向の一方側に位置する、請求項 2 に記載の半導体装置。

[請求項 9]

前記厚さ方向の一方側を向く第 2 主面、および前記第 2 主面とは反対側を向く第 2 裏面を有する支持体をさらに備え、

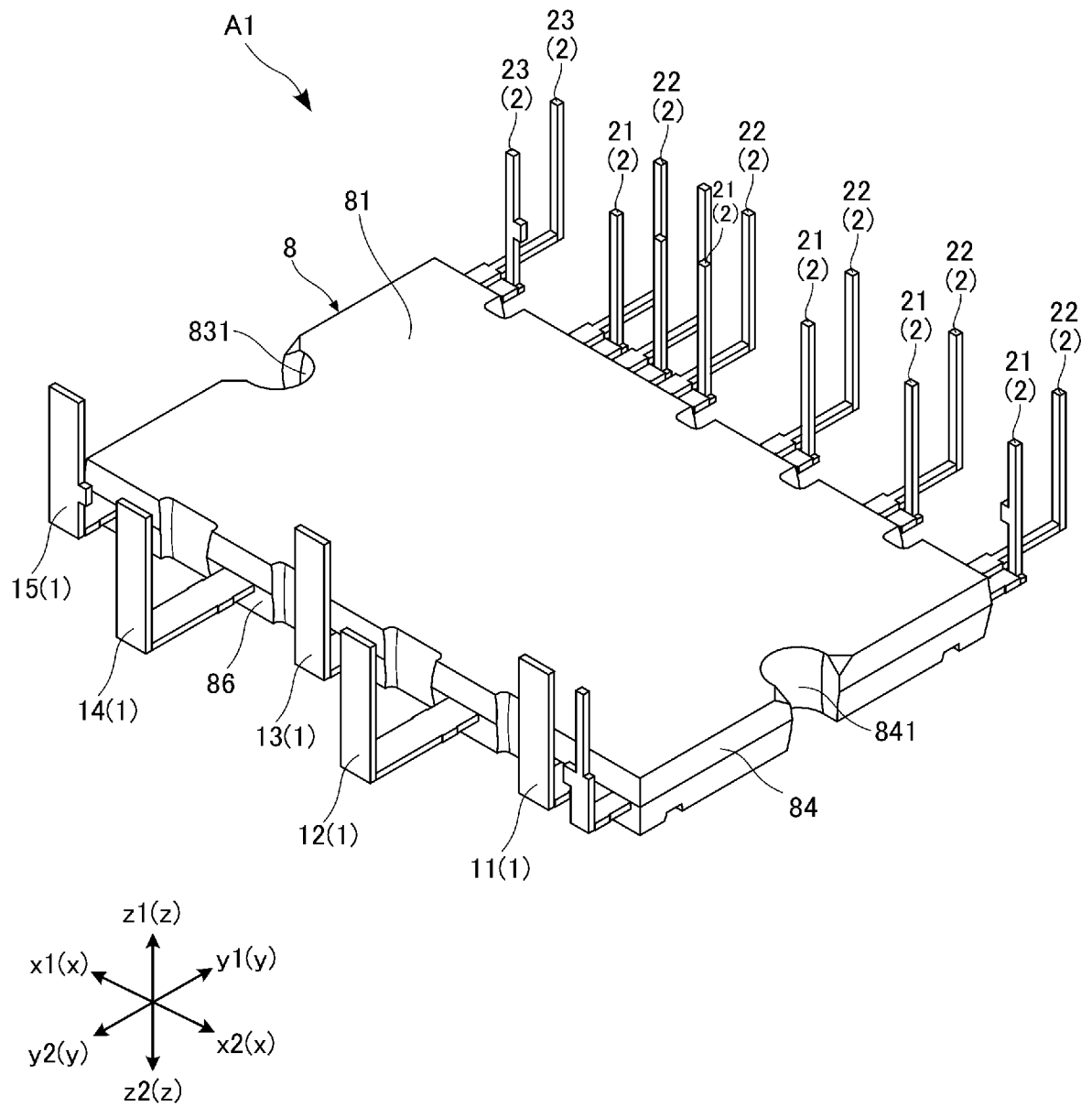
前記導電部の前記第 1 裏面は、前記第 2 主面に接合されている、請求項 1 ないし 8 のいずれかに記載の半導体装置。

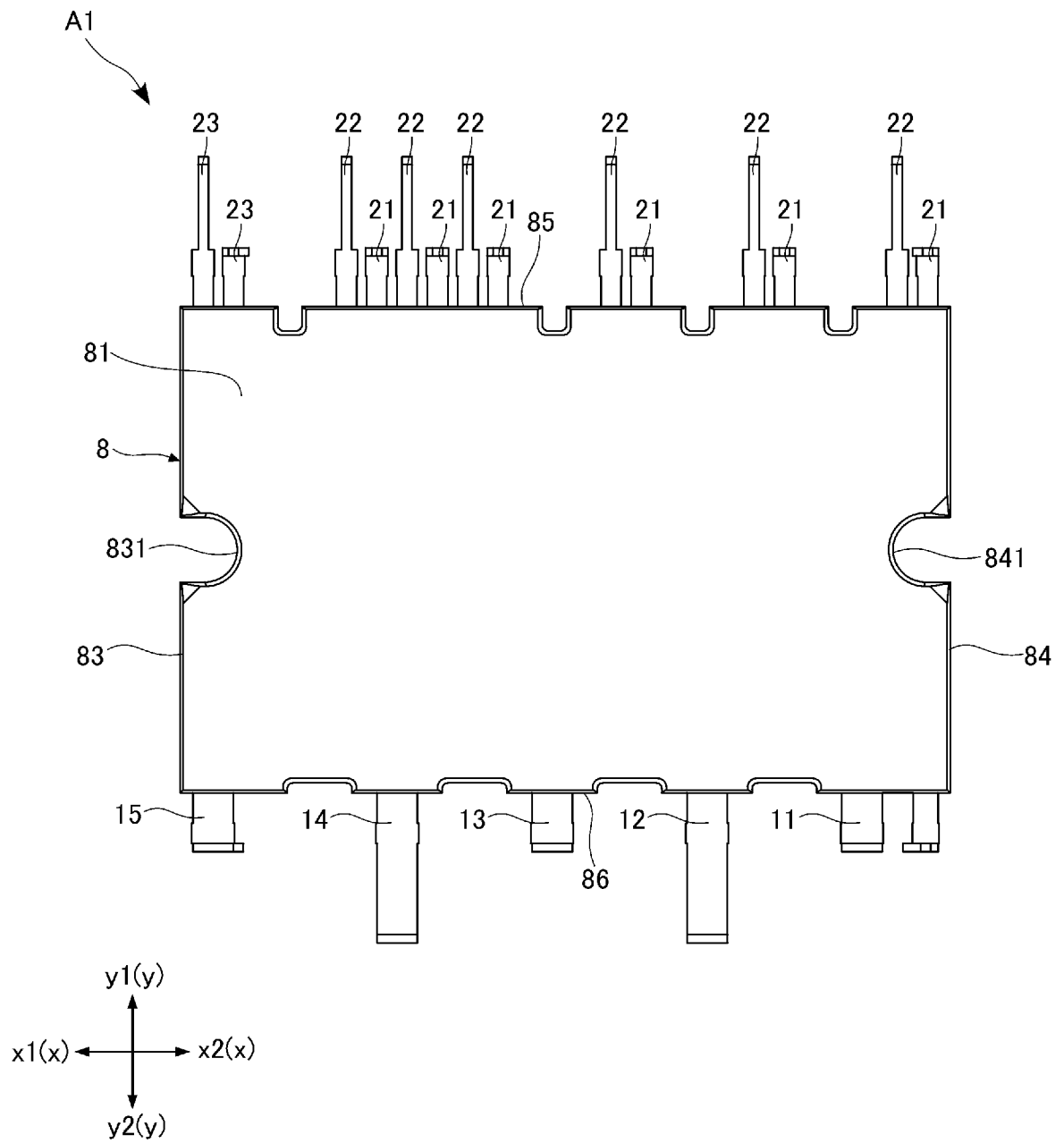
- [請求項10] 前記支持体は、前記第2主面を有する絶縁基板と、前記絶縁基板の前記第2主面とは反対側の面に接合され、且つ前記第2裏面を有する金属層と、からなる、請求項9に記載の半導体装置。
- [請求項11] 前記絶縁基板は、セラミックスからなる、請求項10に記載の半導体装置。
- [請求項12] 前記導電部は、リードにより構成されており、  
前記支持体は、絶縁基板により構成されている、請求項9に記載の半導体装置。
- [請求項13] 前記複数の半導体素子の各々は、スイッチング素子である、請求項9ないし12のいずれかに記載の半導体装置。
- [請求項14] 前記複数の半導体素子の各々は、前記厚さ方向の一方側を向く素子主面と、前記厚さ方向の他方側を向く素子裏面と、前記素子主面に配置されたソース電極およびゲート電極と、前記素子裏面に配置されたドレイン電極と、を有する、請求項13に記載の半導体装置。
- [請求項15] 前記導電部および前記支持体からなる構造体の熱容量は、 $0.01 \sim 15 \text{ J/K}$ であり、  
前記複数の半導体素子の各々の熱容量は、 $0.0001 \sim 0.5 \text{ J/K}$ である、請求項10または11に記載の半導体装置。
- [請求項16] 前記導電部および前記支持体からなる構造体の熱抵抗は、 $0.0003 \sim 1.5 \text{ K/W}$ であり、  
前記複数の半導体素子の各々の熱抵抗は、 $0.0003 \sim 1.5 \text{ K/W}$ である、請求項10または11に記載の半導体装置。
- [請求項17] 前記複数の半導体素子の各々は、ワイドバンドギャップ半導体およびウルトラワイドバンドギャップ半導体の少なくともいずれかを含む、請求項13または14に記載の半導体装置。
- [請求項18] 請求項9ないし17のいずれかに記載の半導体装置と、  
冷却器と、  
前記冷却器を冷却する冷却手段と、を備え、

前記支持体の前記第2裏面は、前記封止樹脂から露出しており、  
前記冷却器は、前記第2裏面に接触する部位を有する、半導体装置  
アセンブリ。

[請求項19] 請求項13または14に記載の半導体装置を含んで構成された電力  
変換装置を備える、車両。

[図1]  
FIG.1



[  
FIG.2

[FIG. 3]

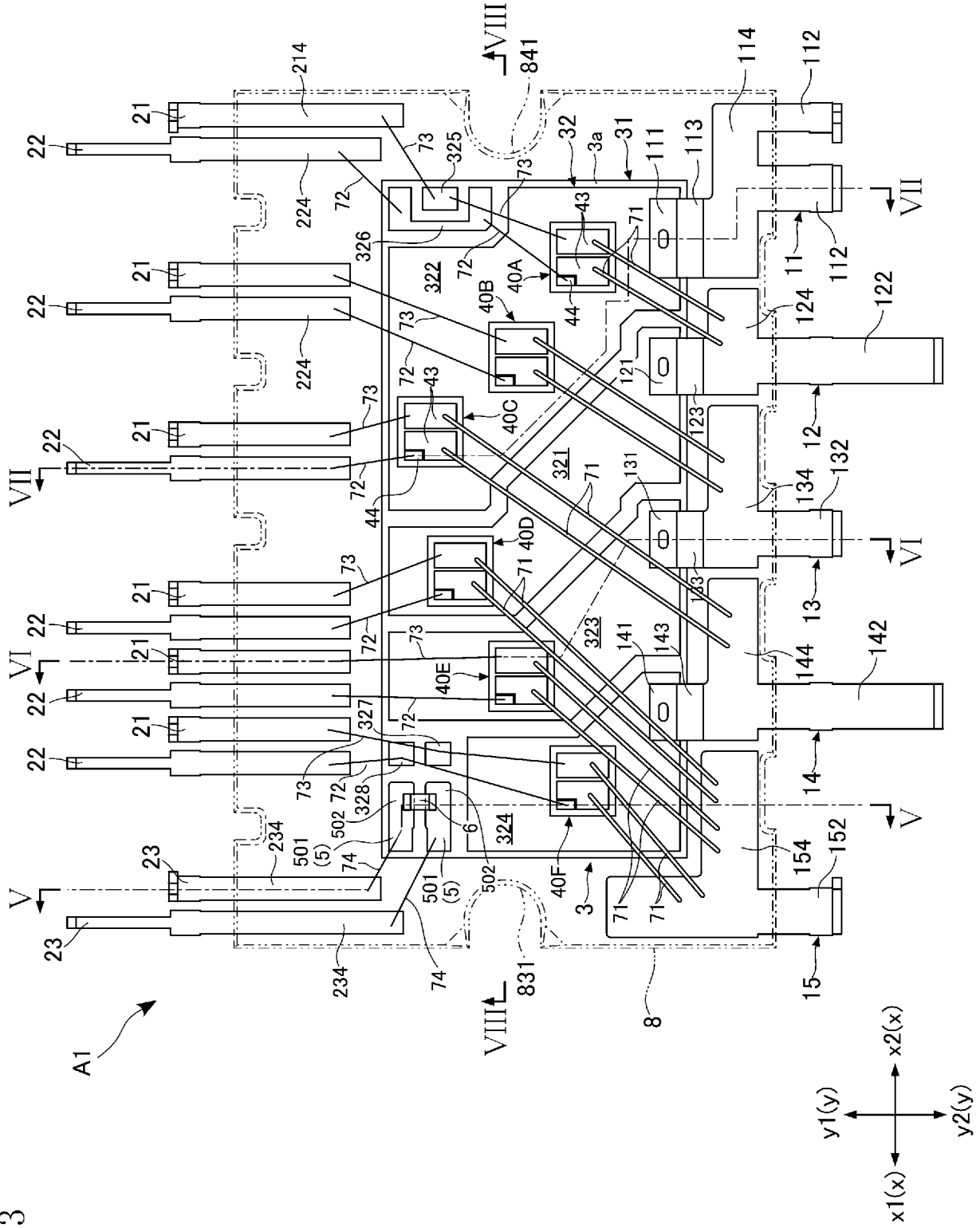
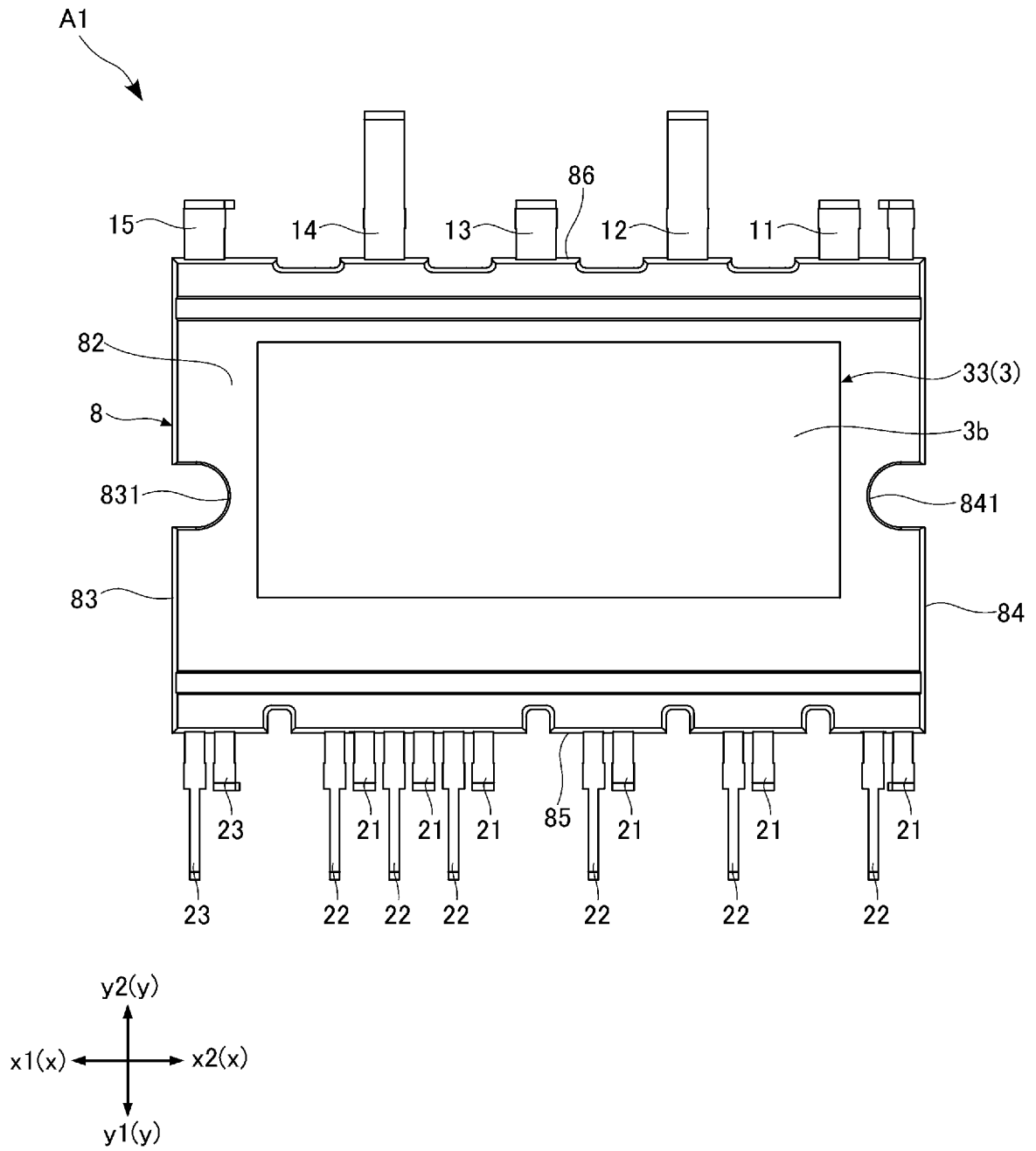


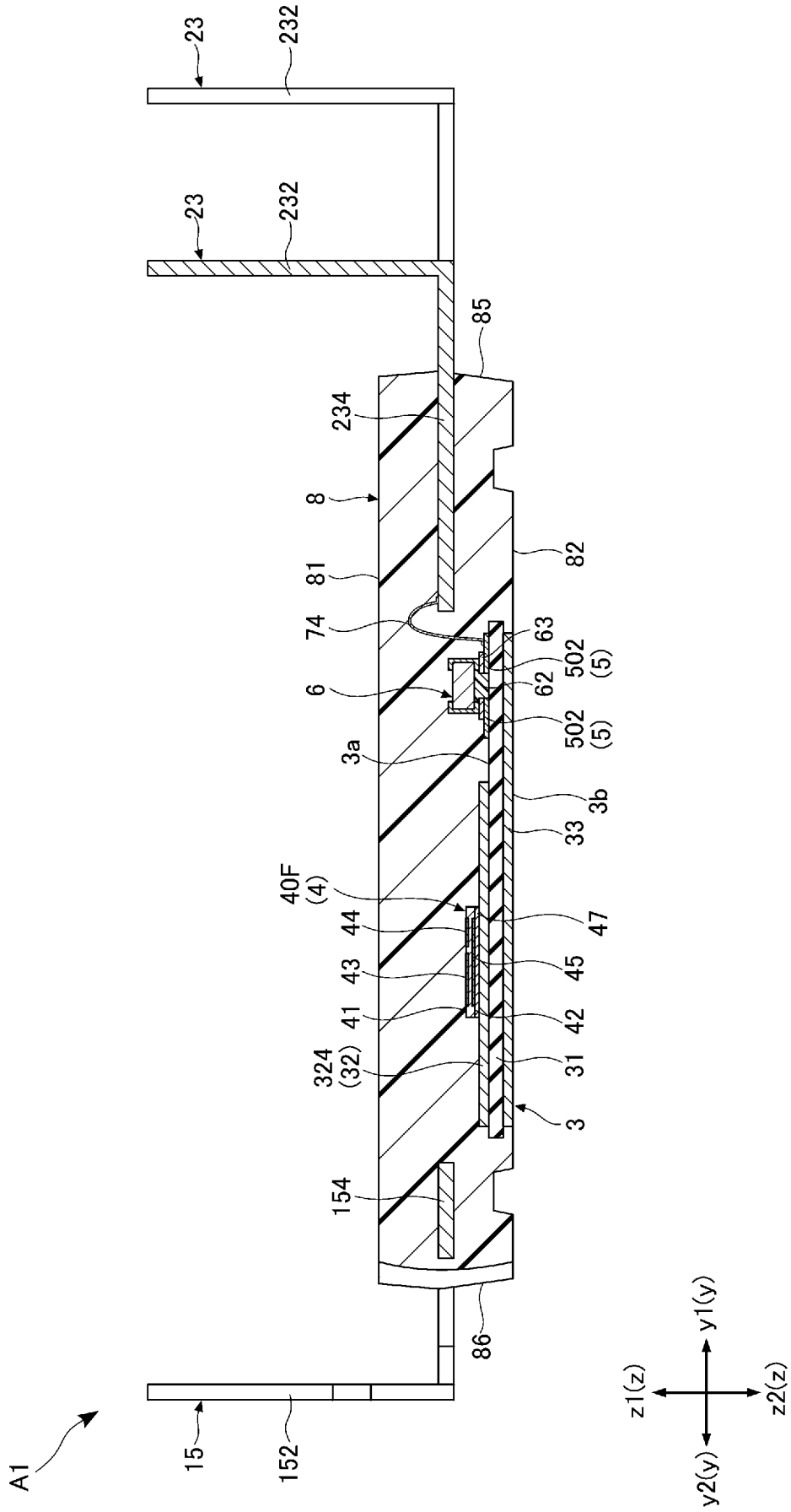
FIG. 3

[図4]  
FIG.4



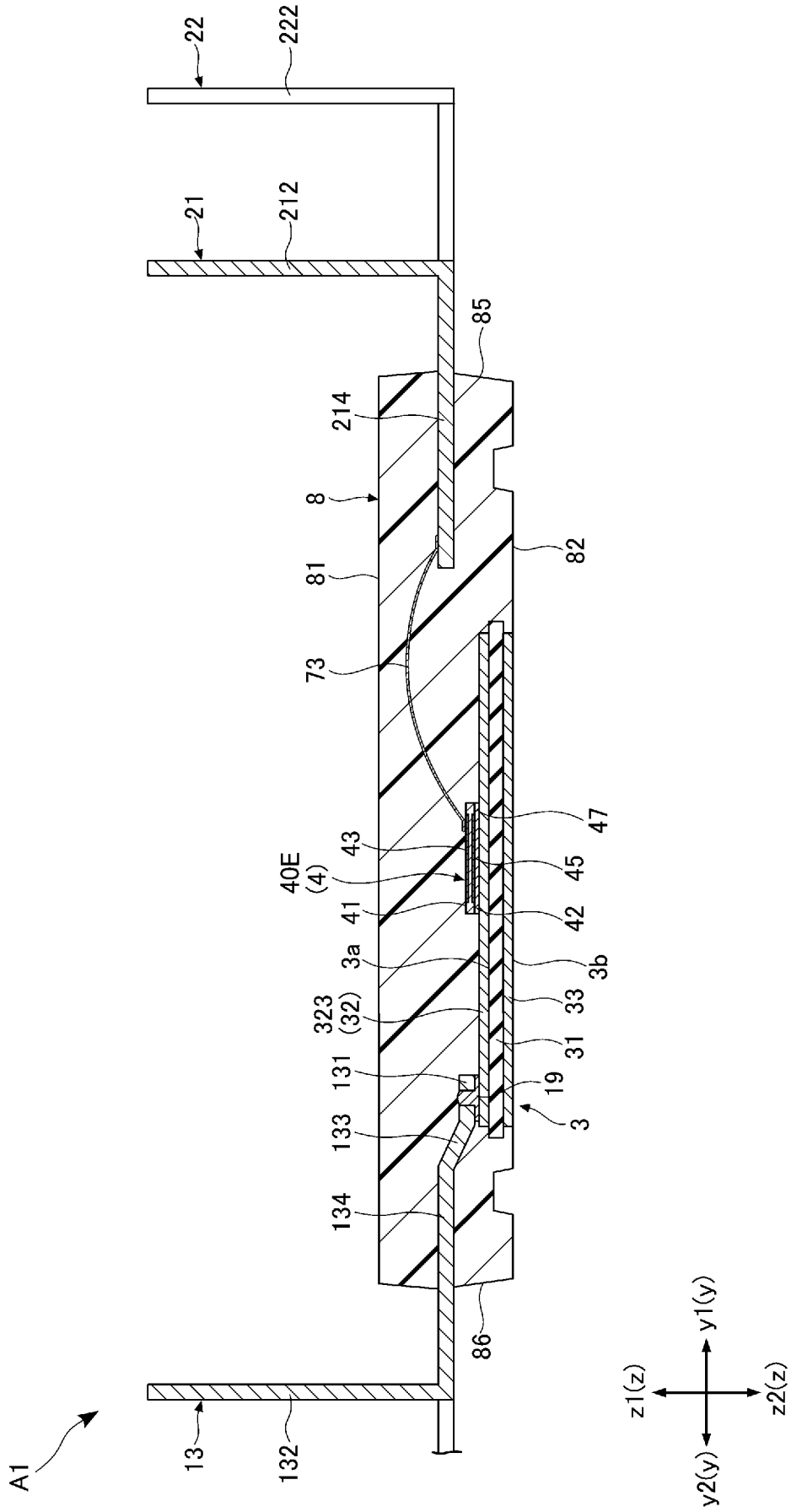
[5]

FIG.5



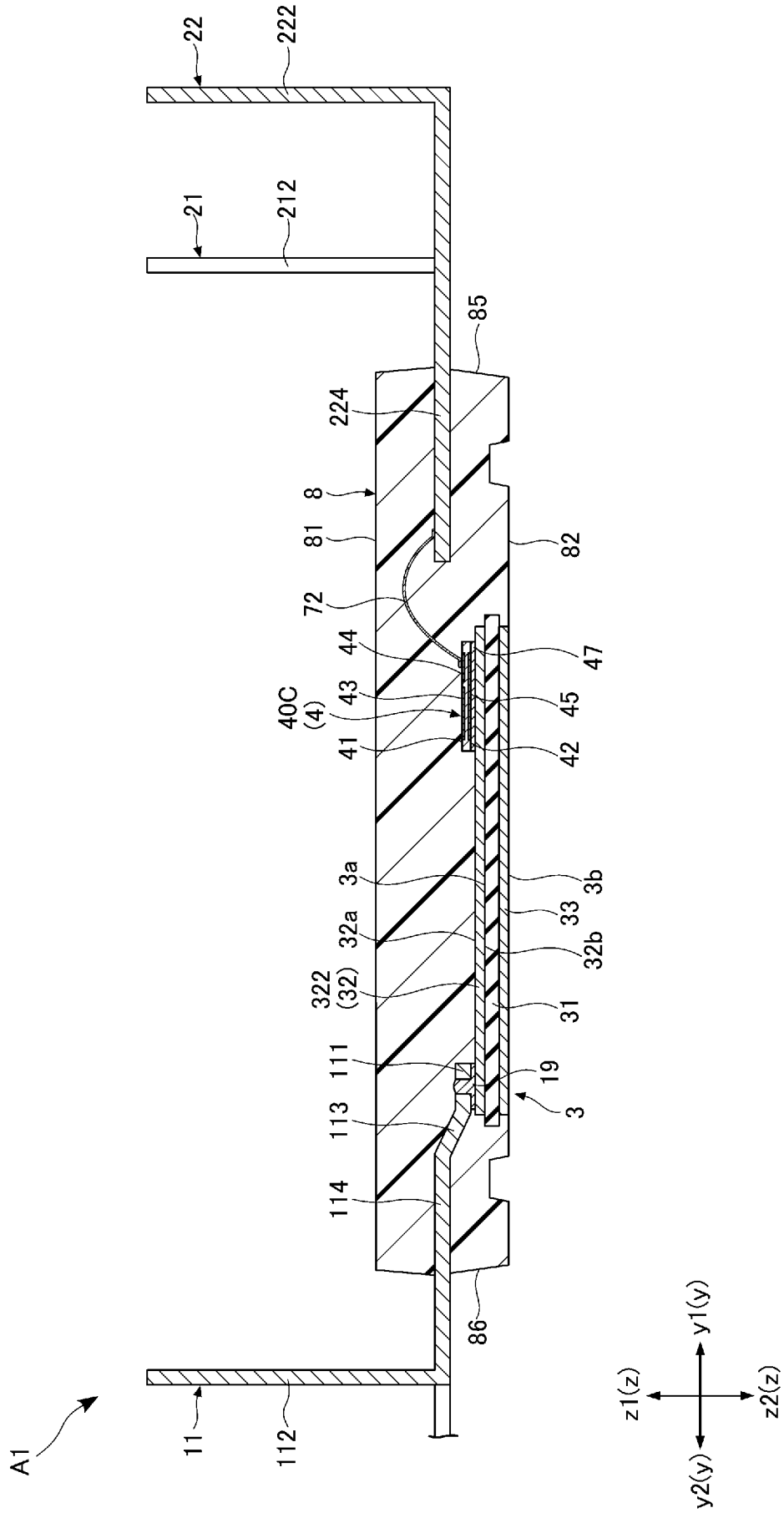
[FIG.6]

FIG.6



[7]

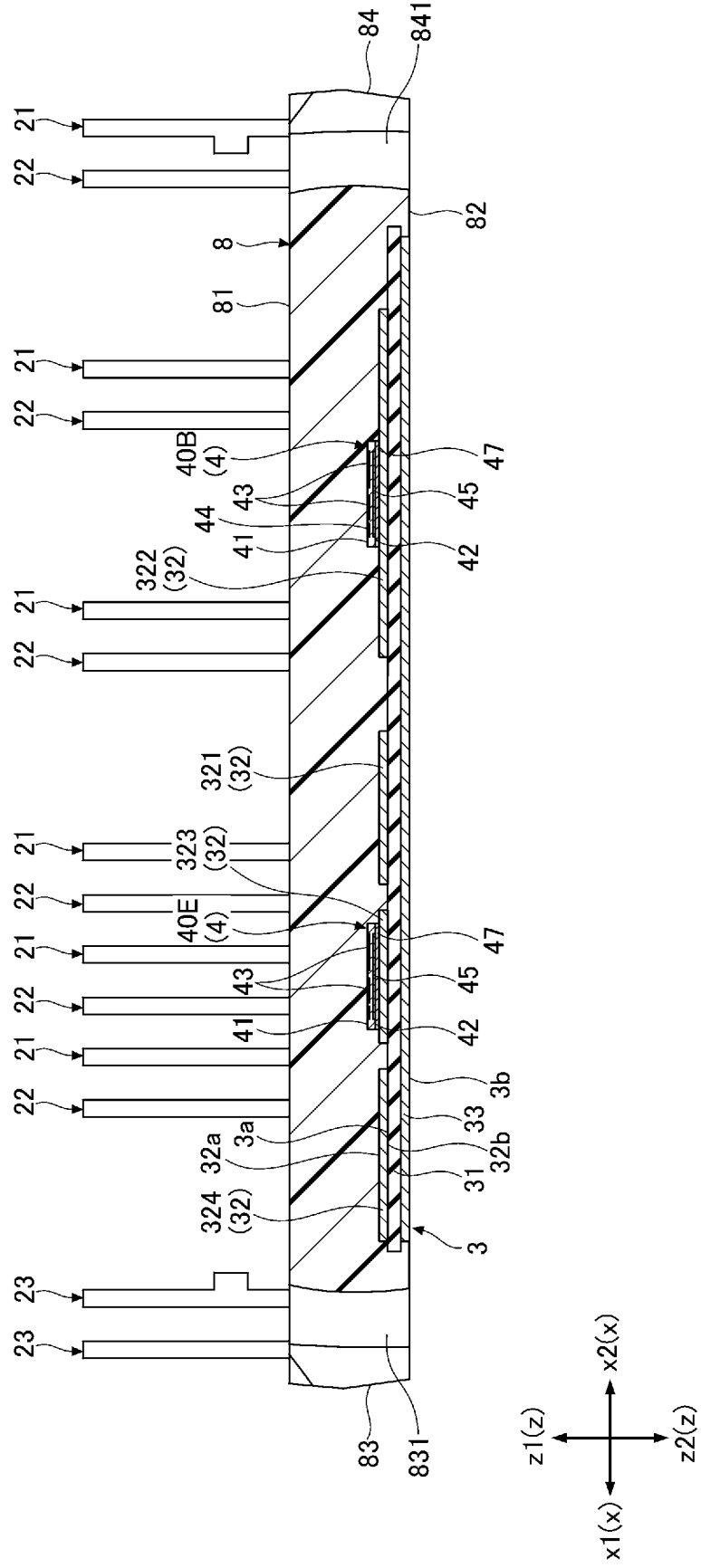
FIG. 7



[8]

FIG.8

A1



[9]

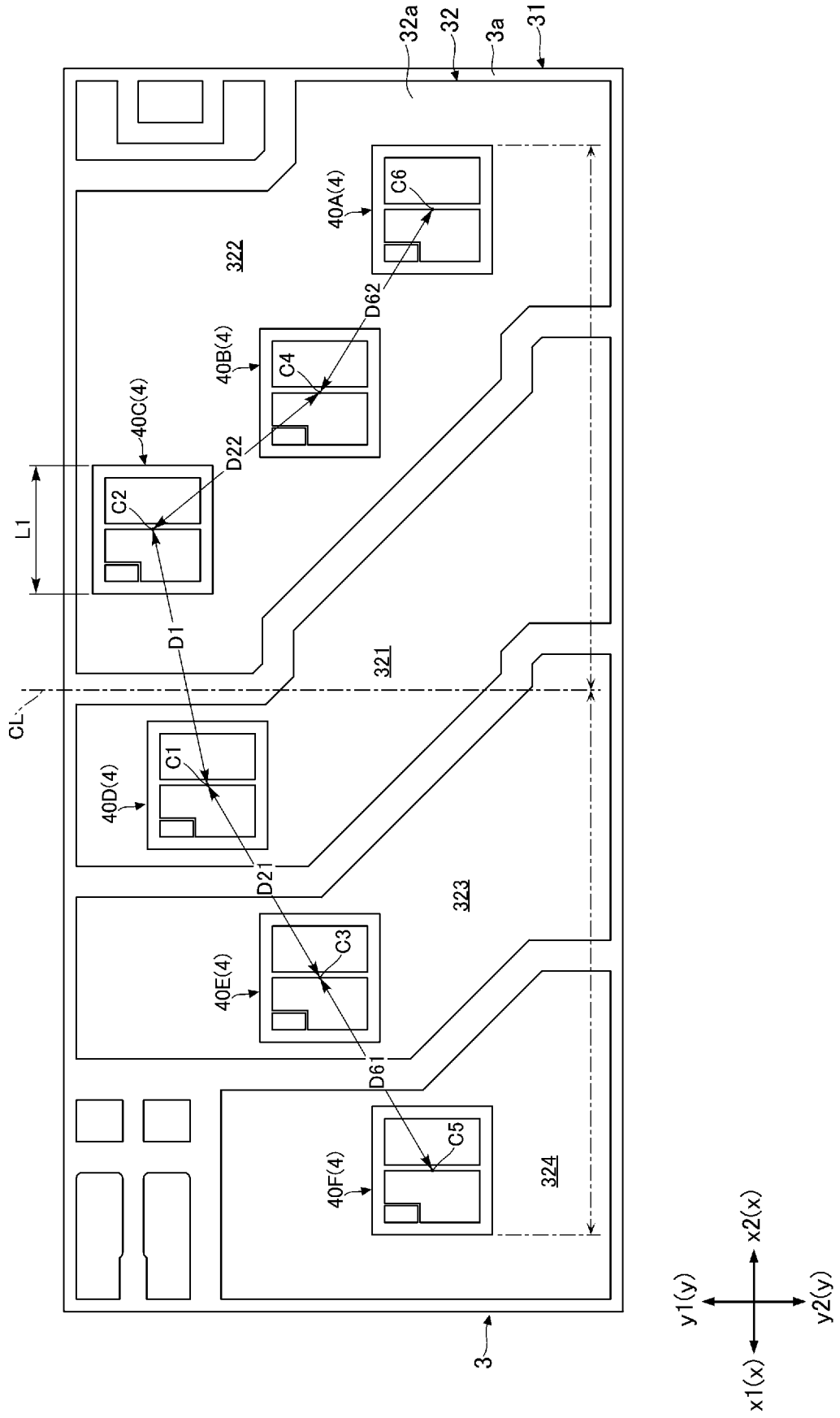
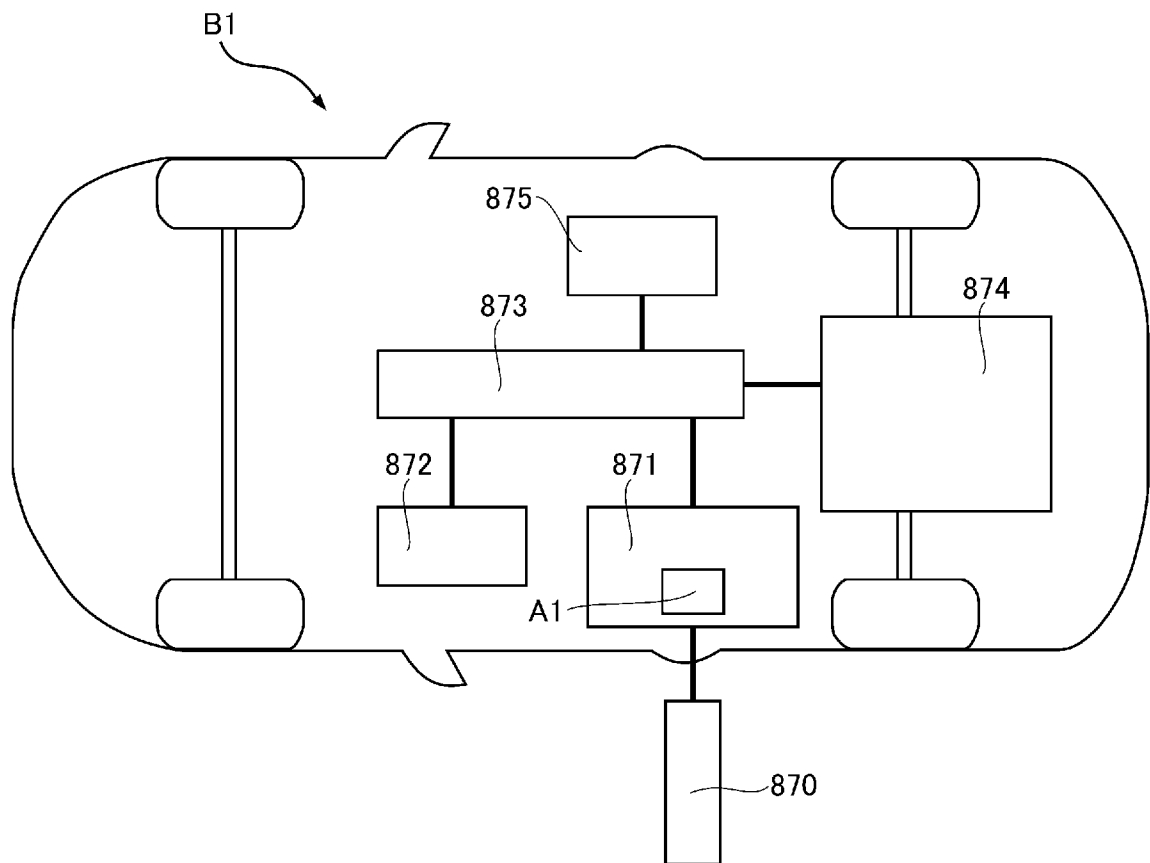


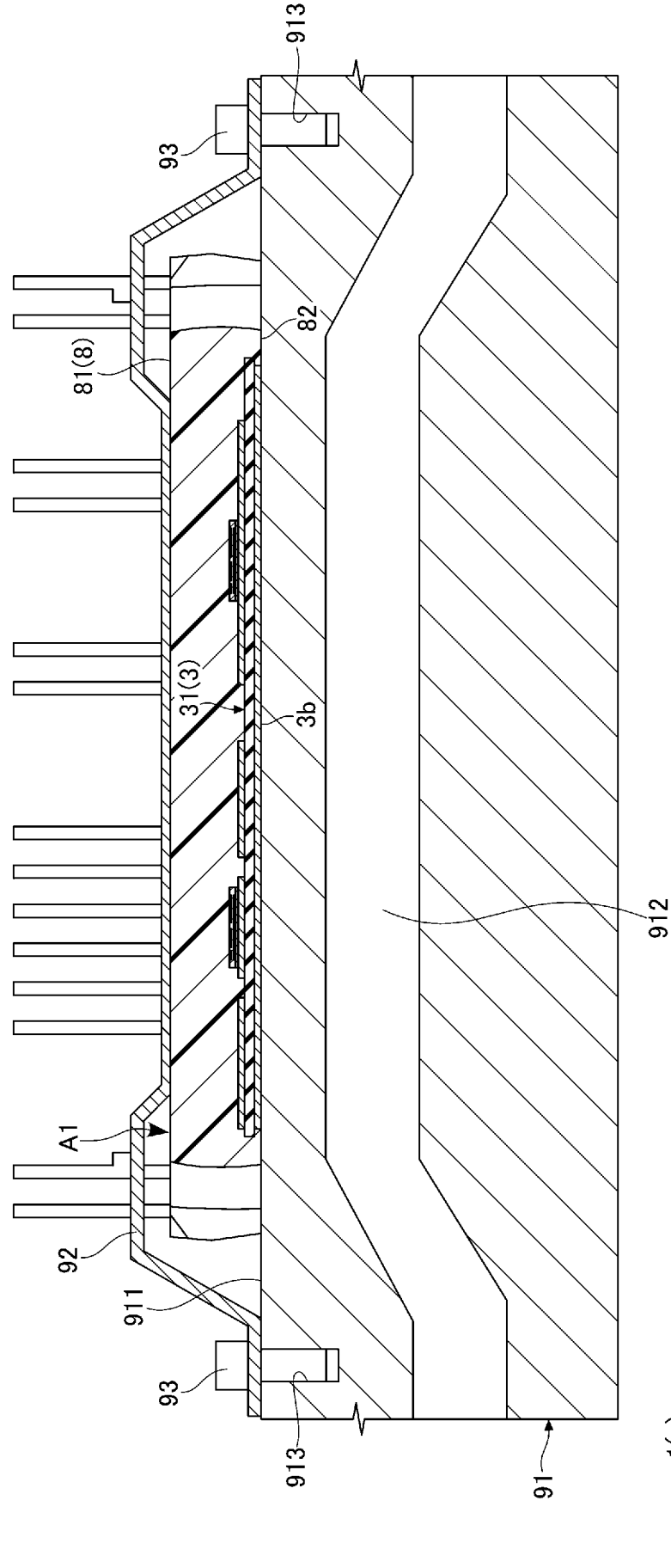
FIG. 9

[図10]  
FIG.10

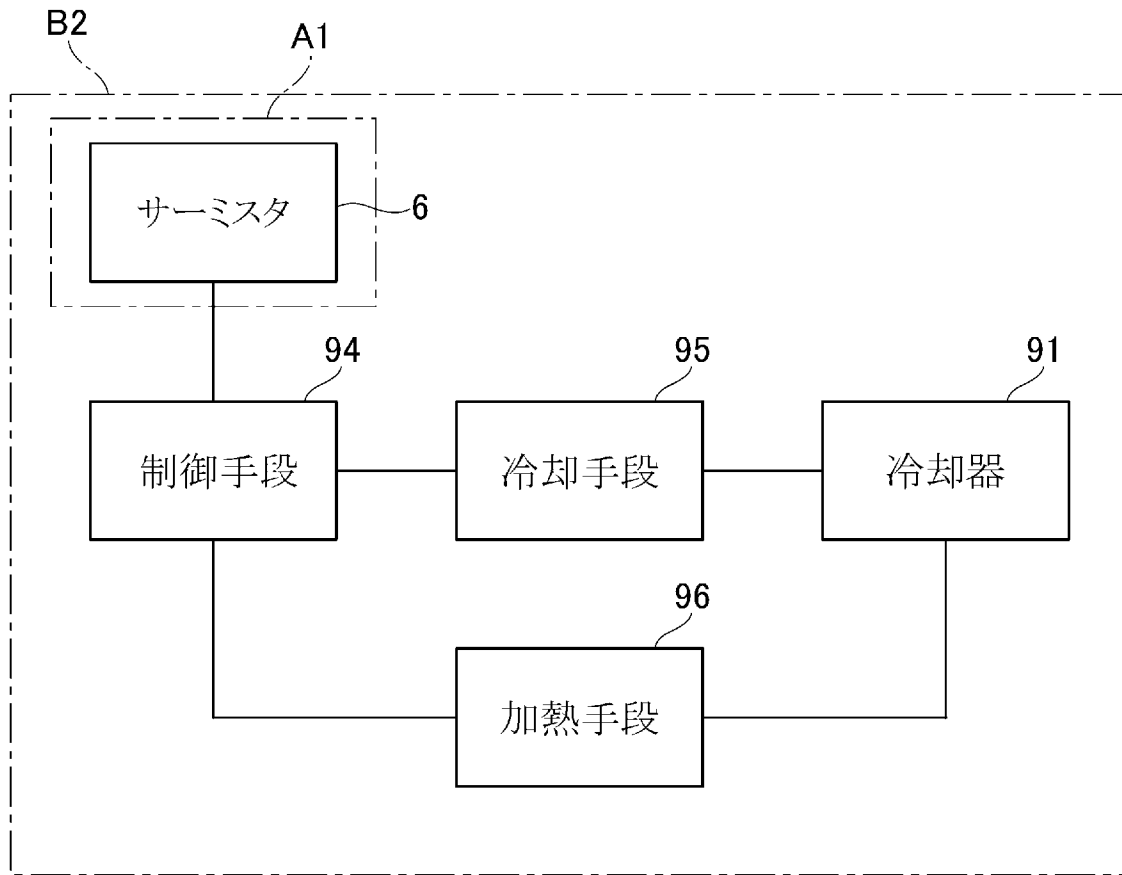
[FIG. 11]

FIG. 11

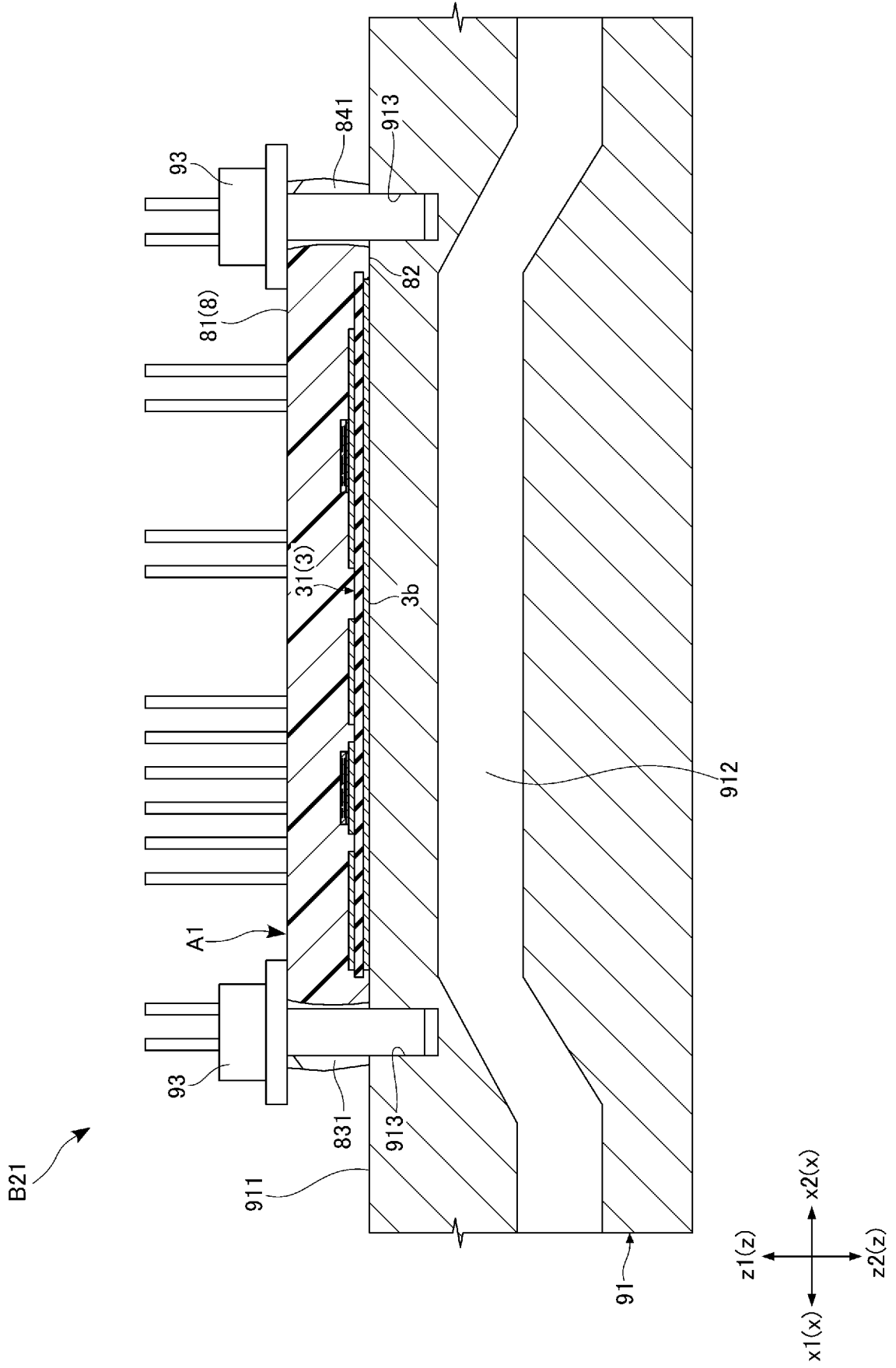
B2



[図12]  
FIG.12



[FIG. 13]



[FIG. 14]

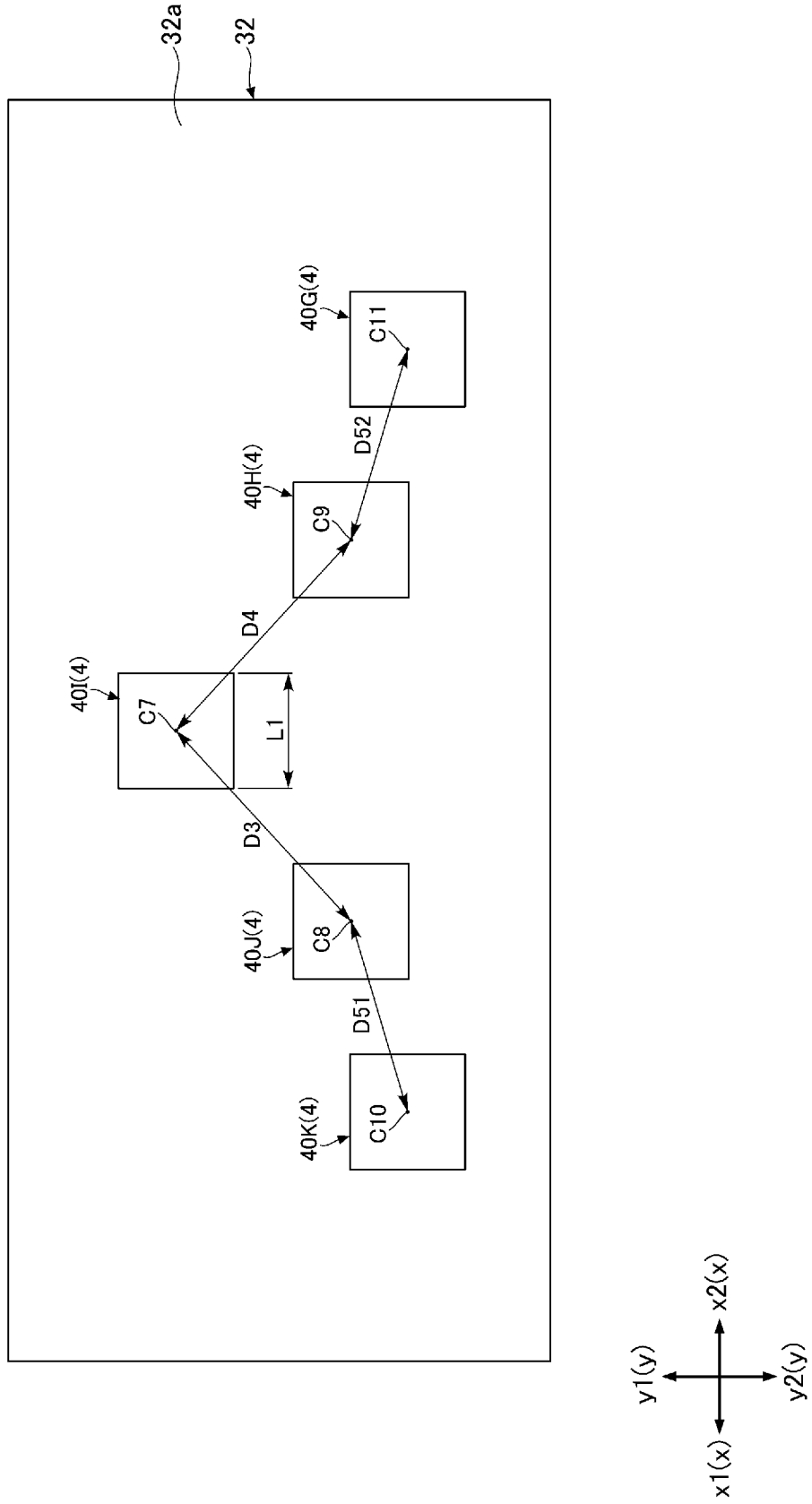
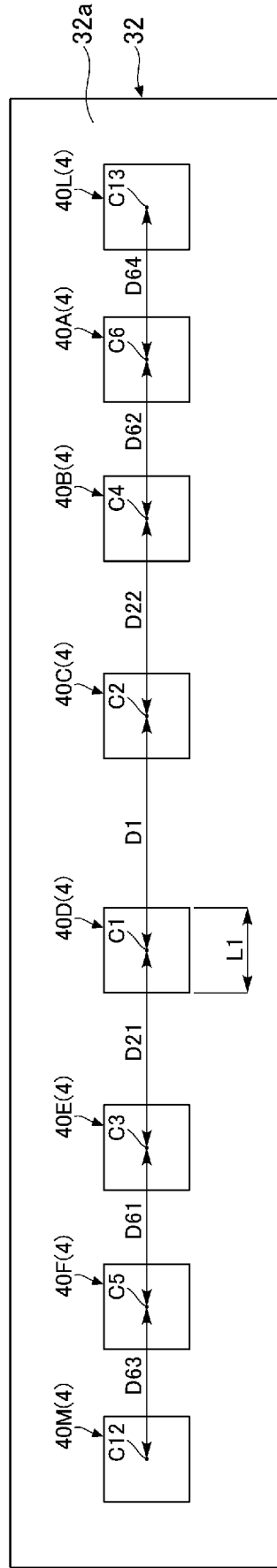


FIG. 14

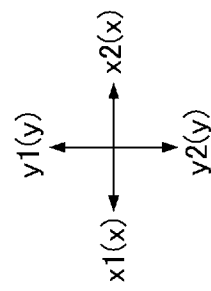
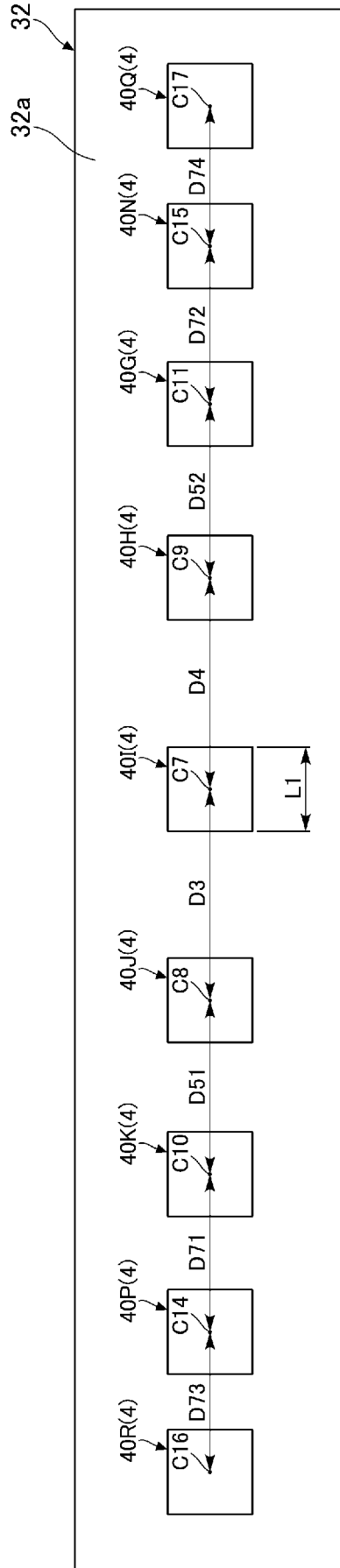
[図15]

FIG.15



[FIG. 16]

FIG. 16



[FIG.17]

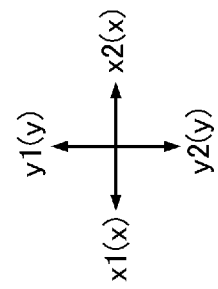
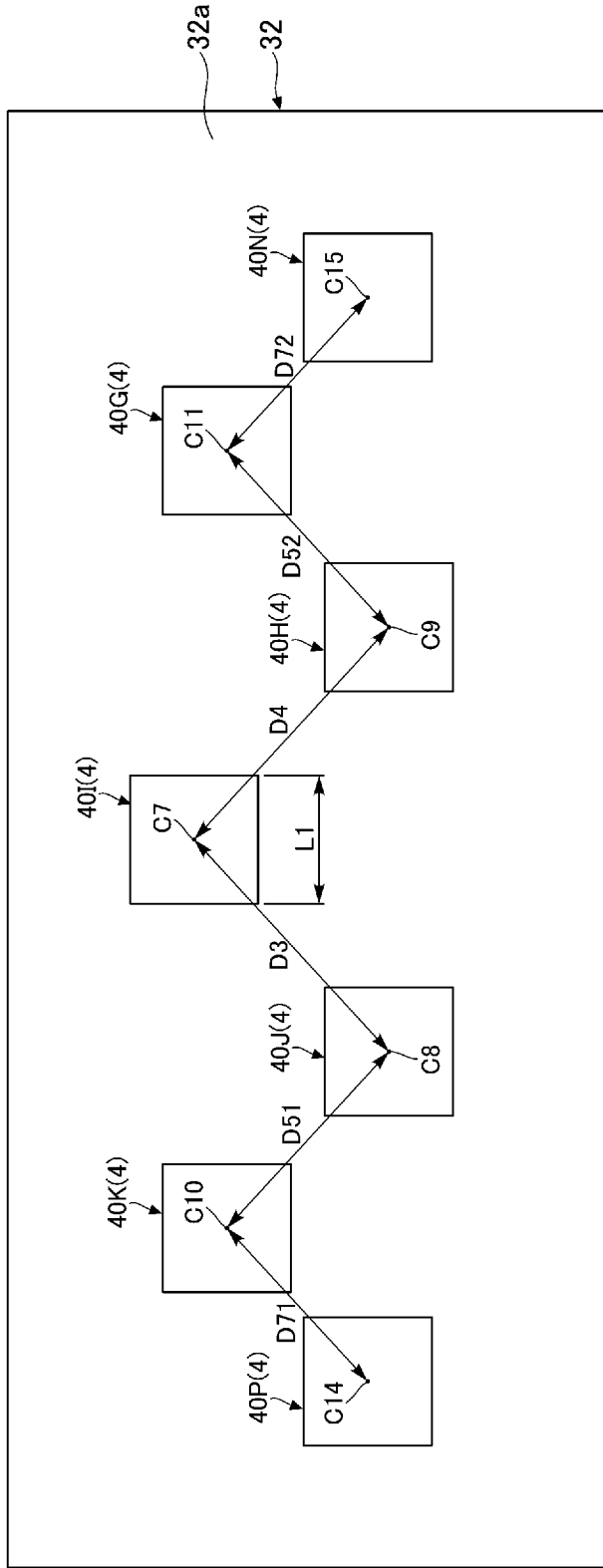


FIG.17

[FIG. 18]

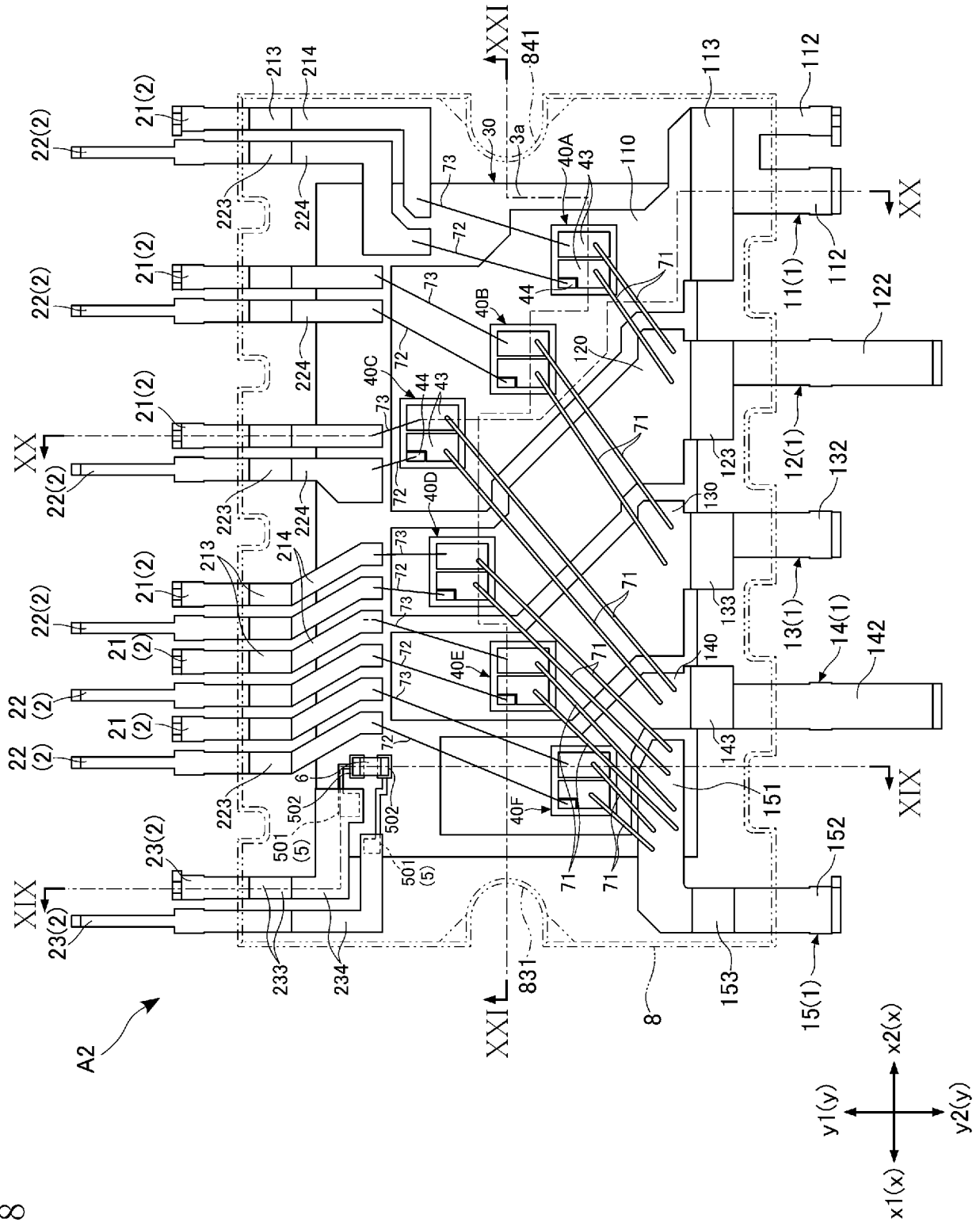
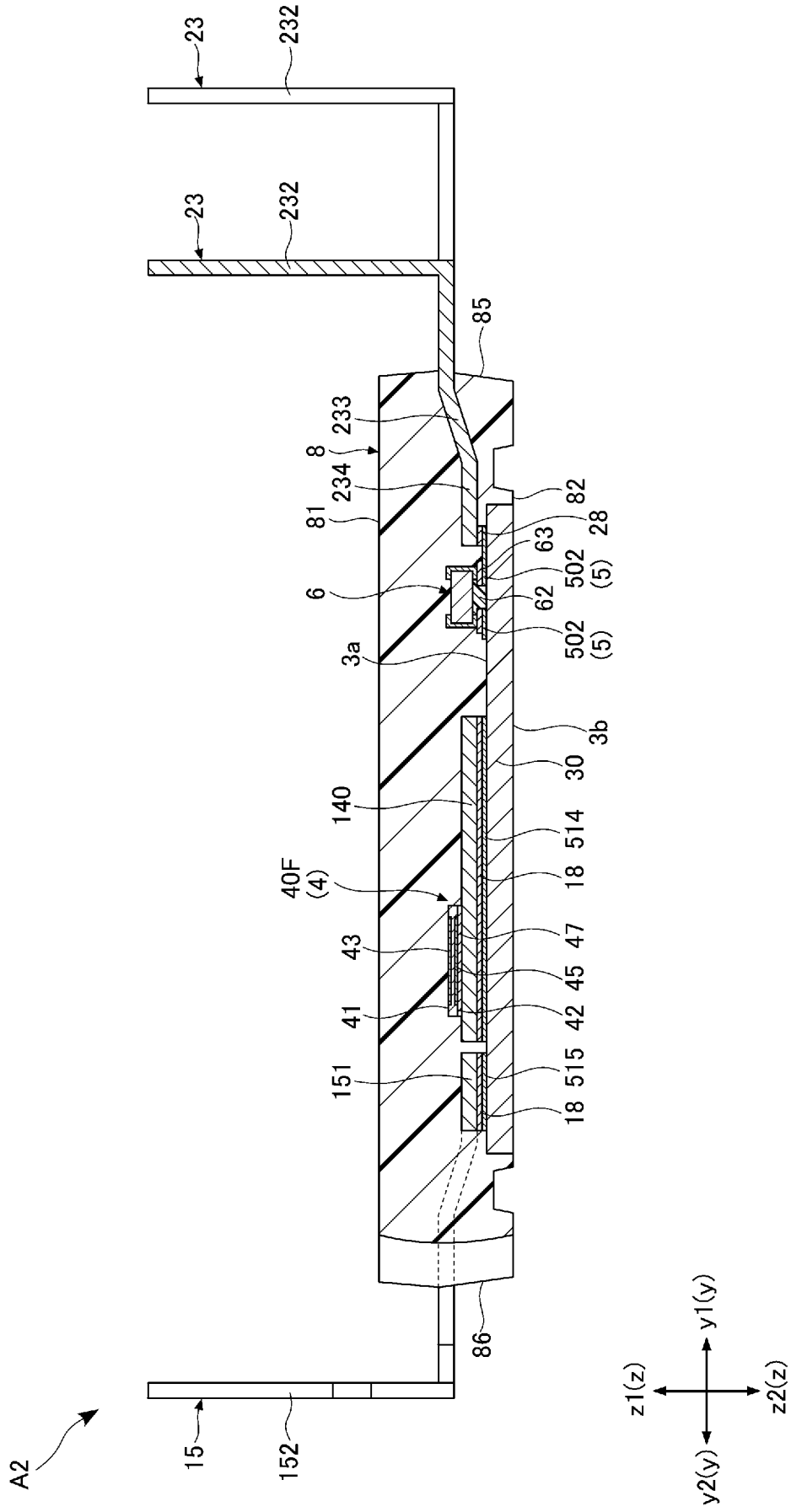


FIG.18

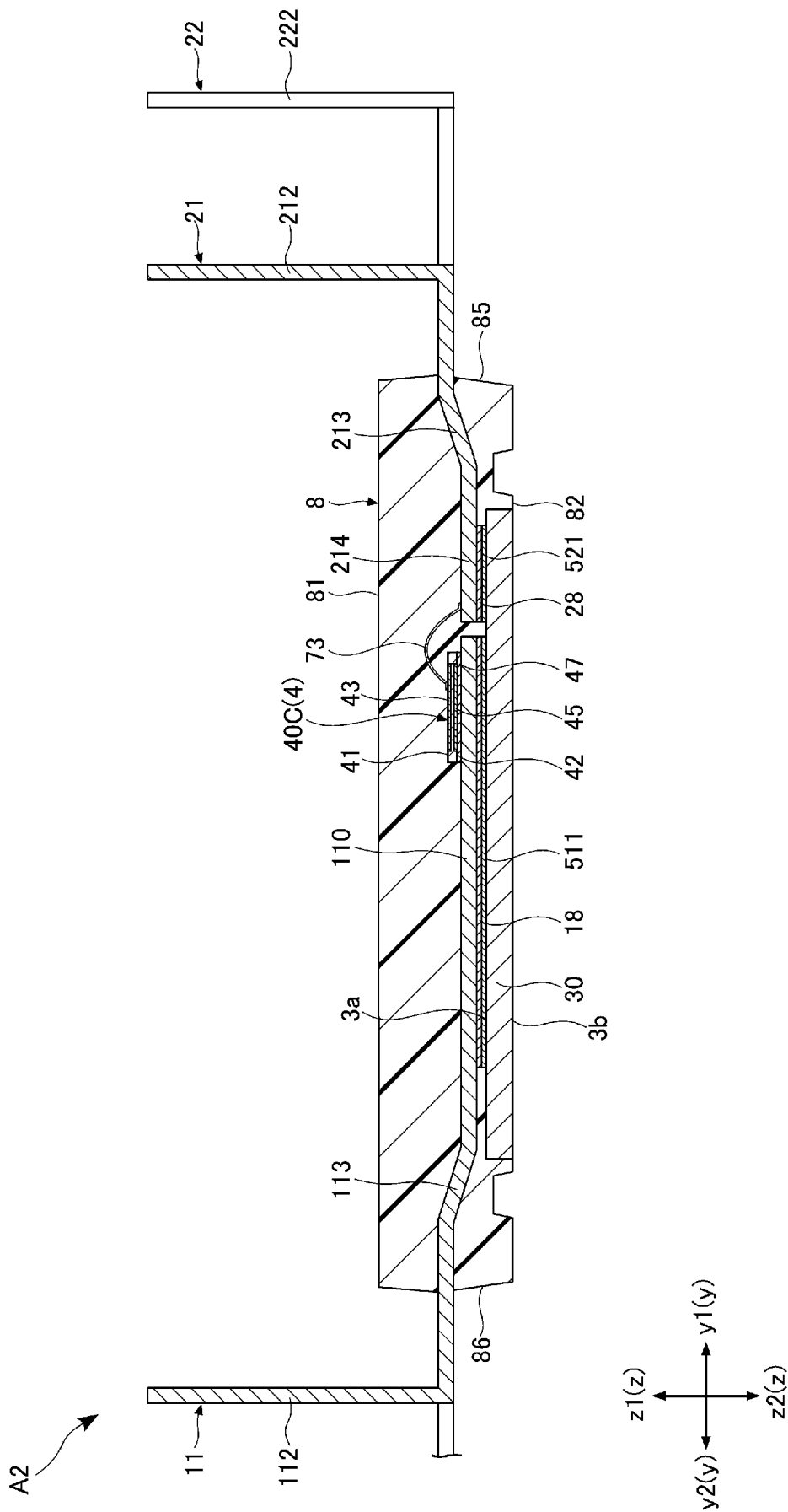
[FIG. 19]

FIG. 19



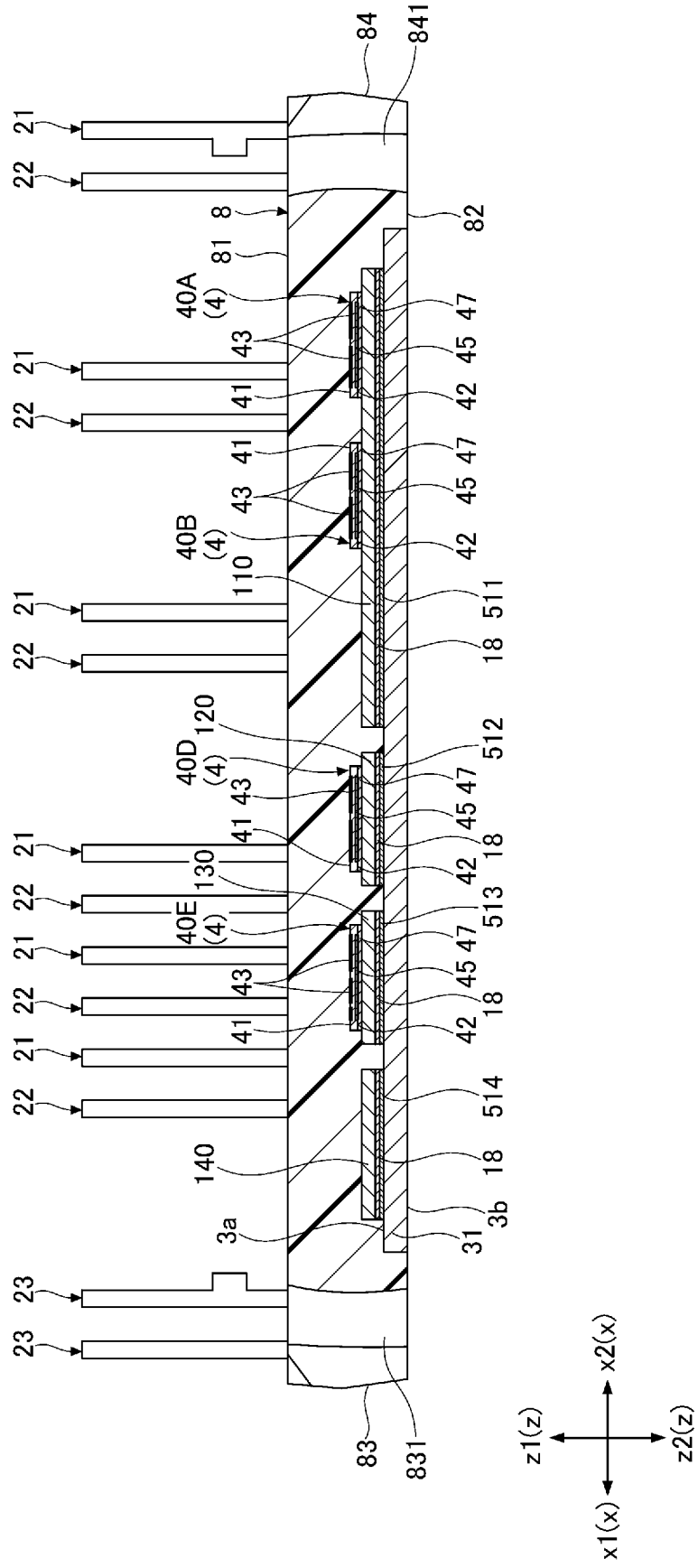
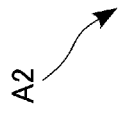
[FIG. 20]

FIG. 20



[FIG. 21]

FIG. 21



[FIG. 22]

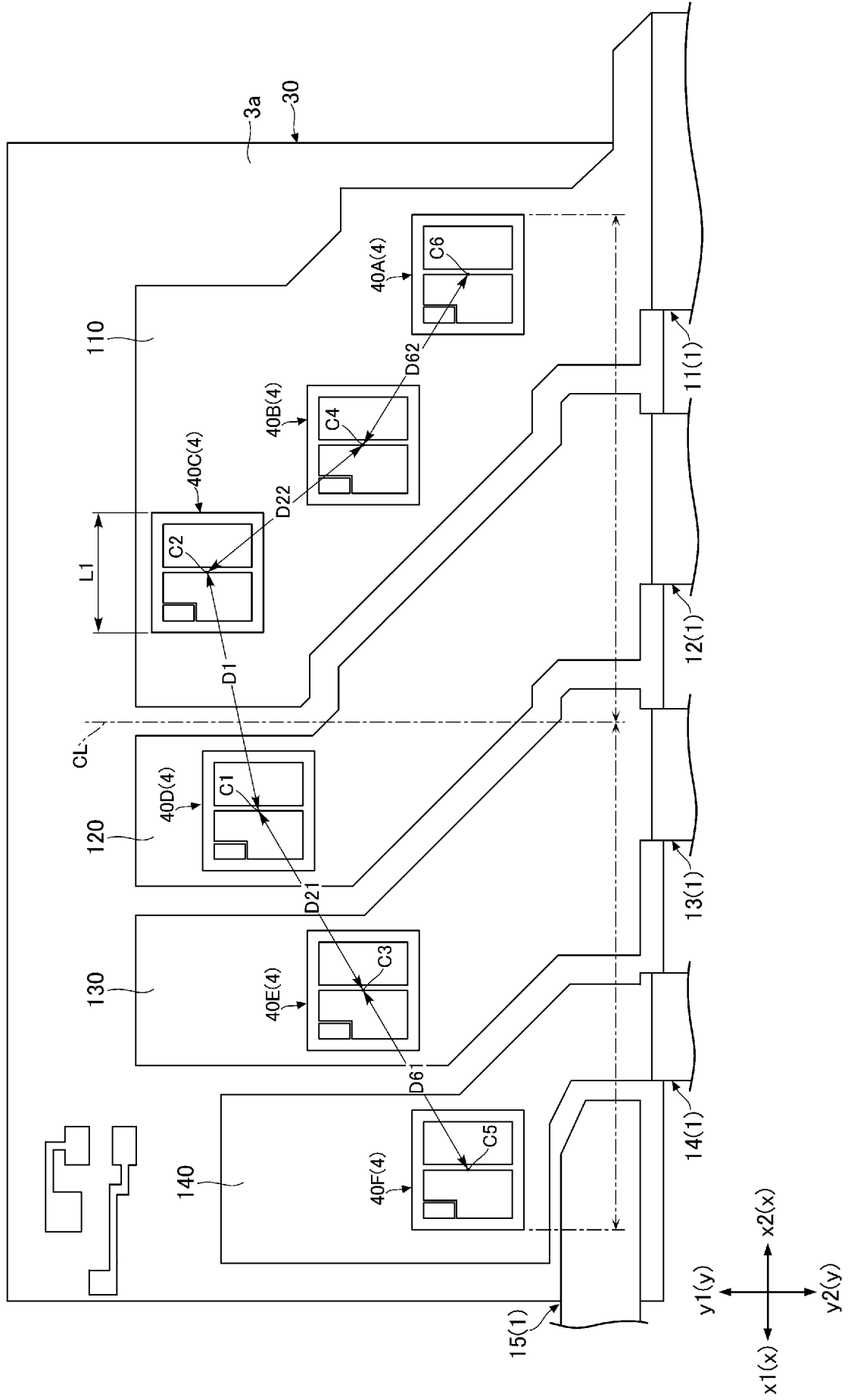


FIG. 22

[FIG. 23]

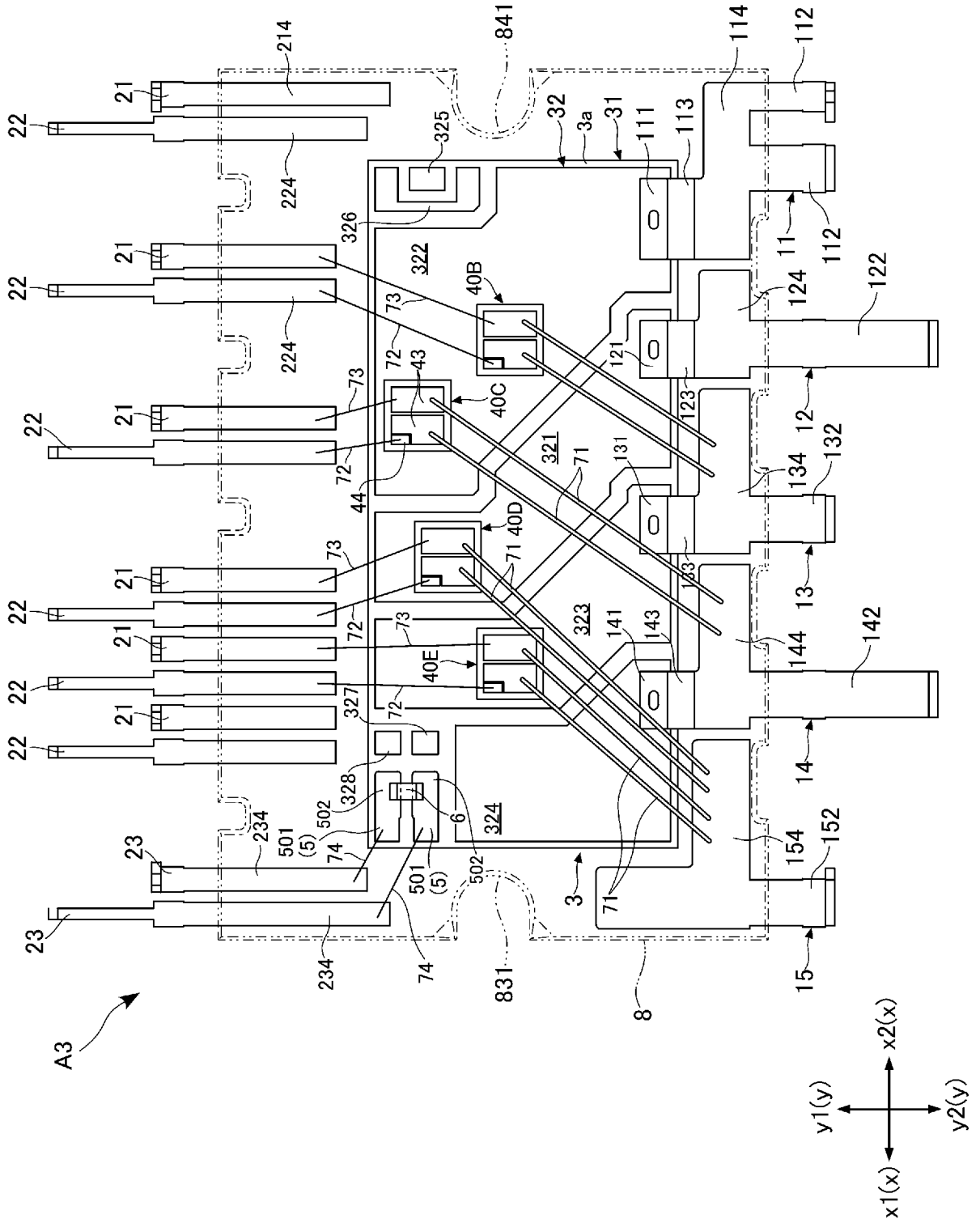


FIG.23

[FIG. 24]

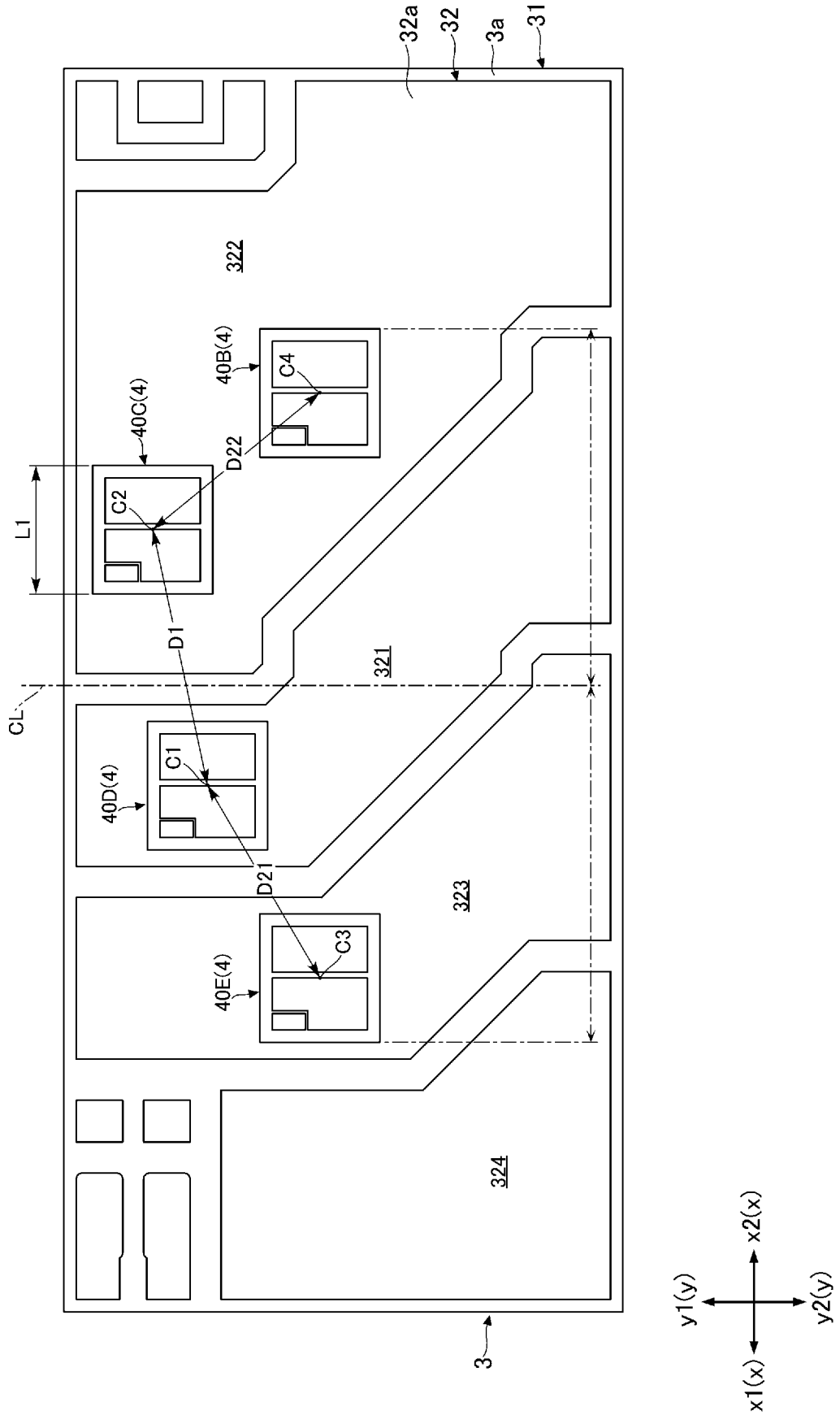
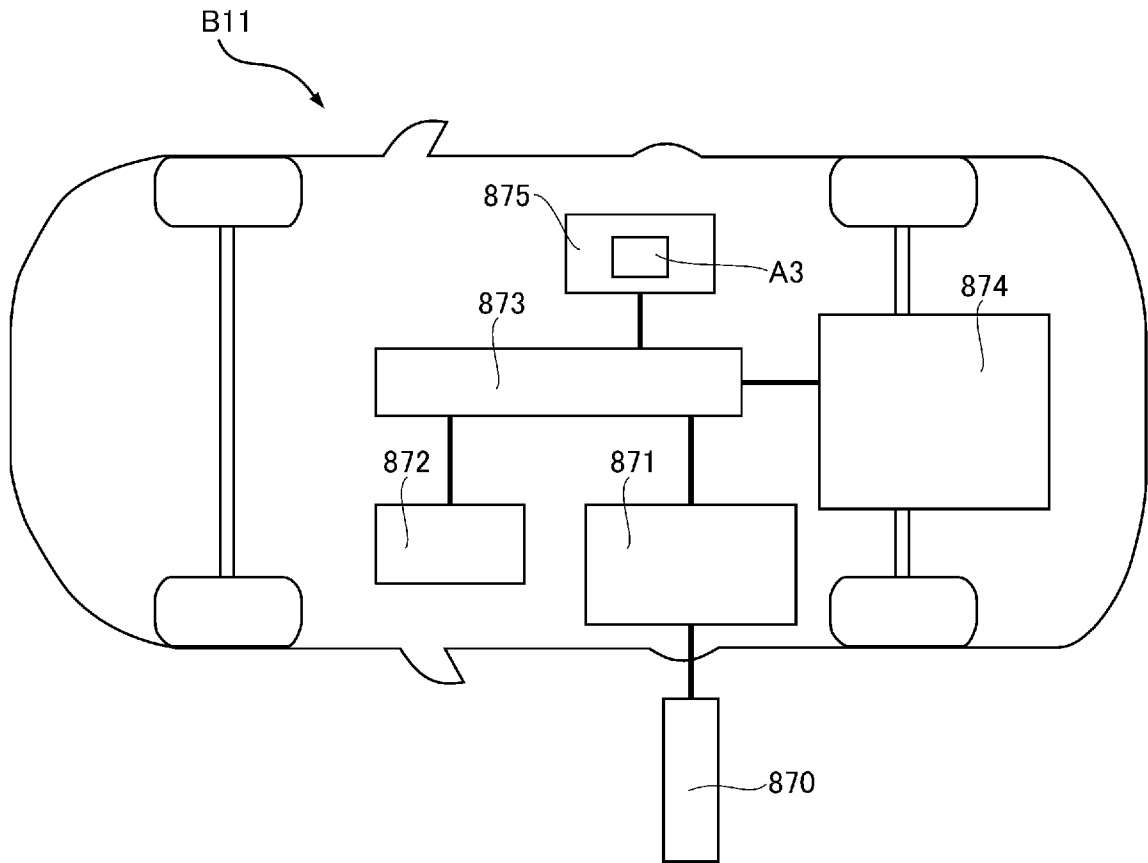


FIG. 24

[図25]  
FIG.25

[FIG. 26]

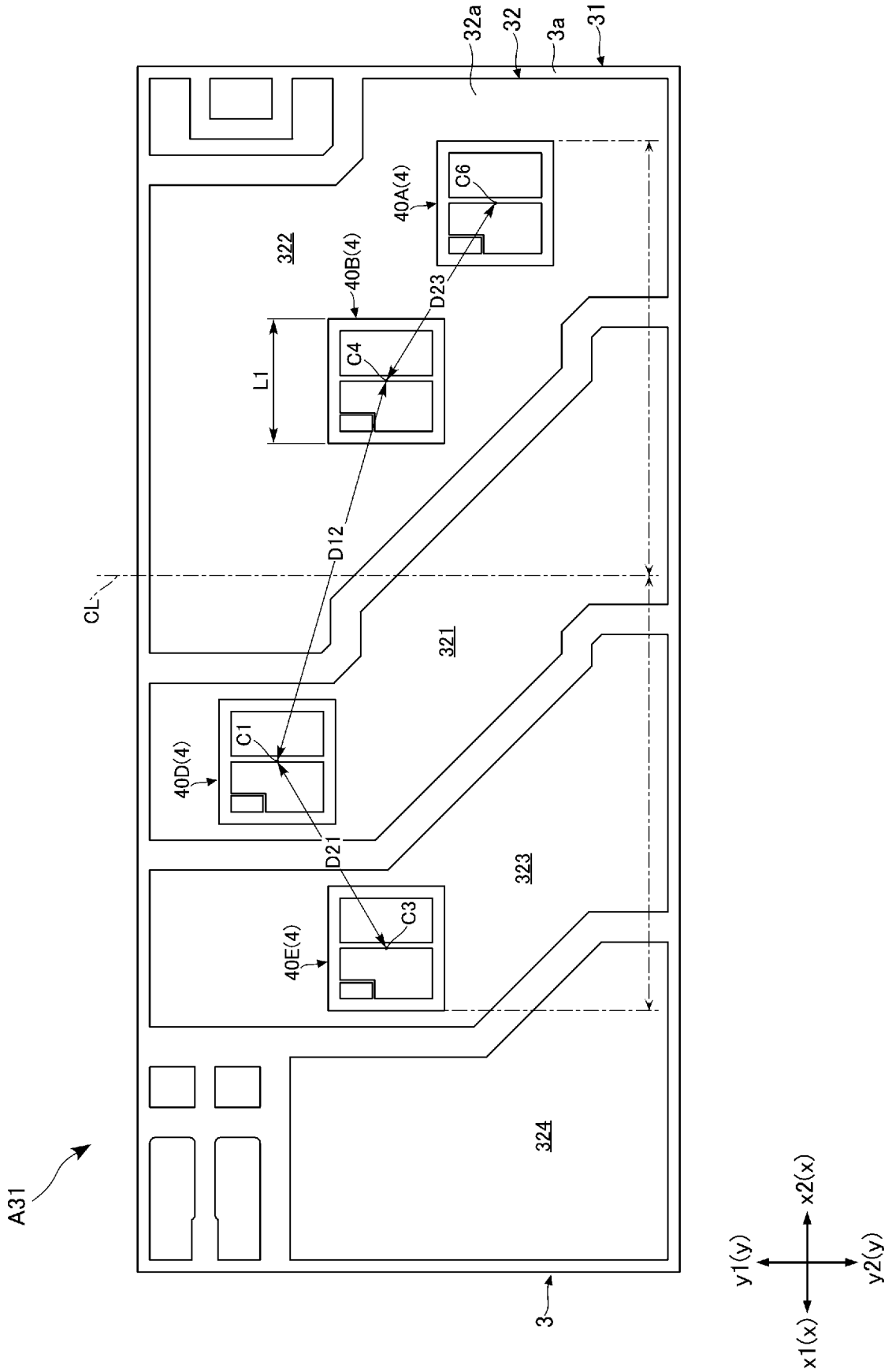
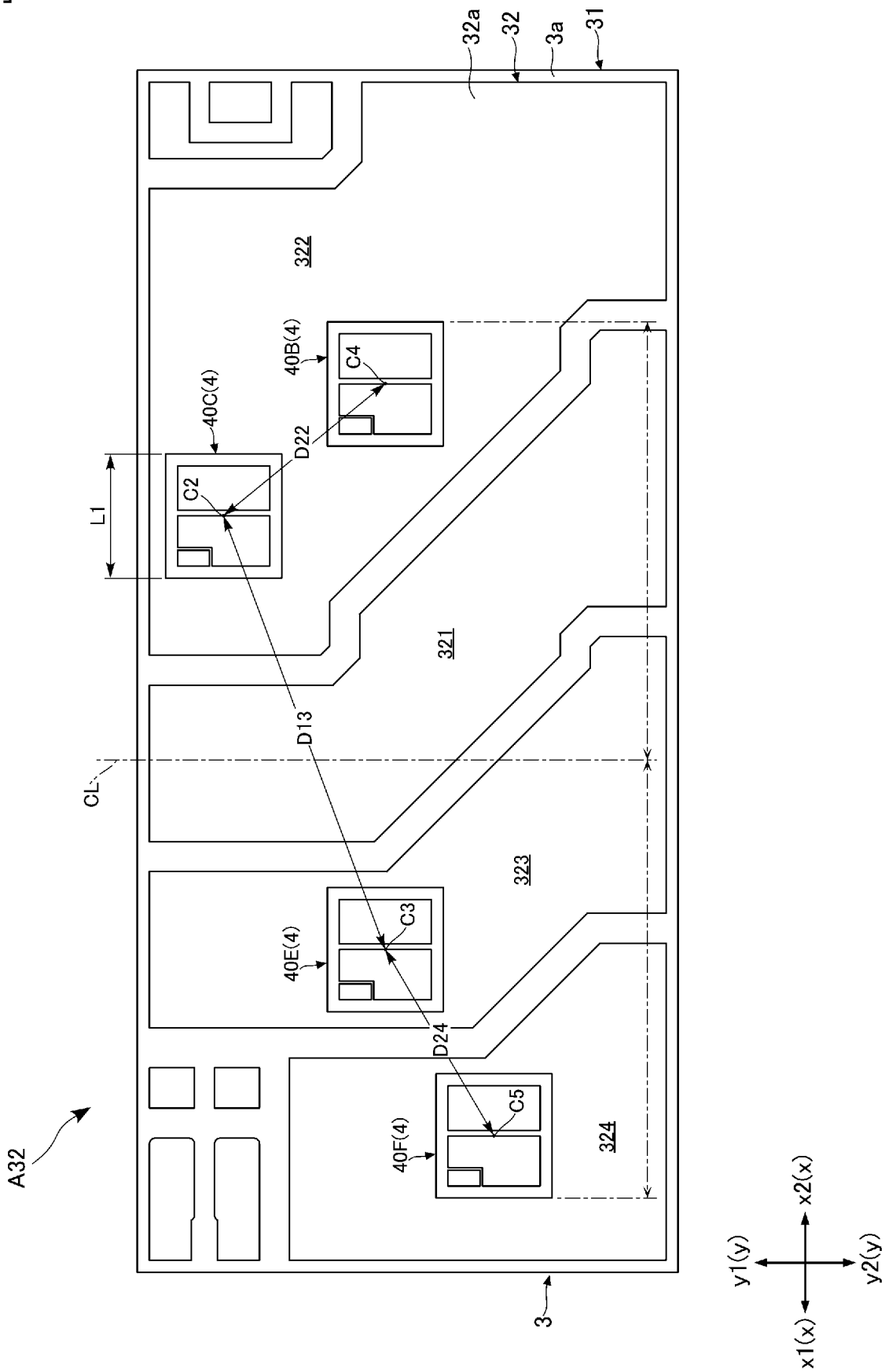


FIG. 26

[27]

FIG. 27



[FIG. 28]

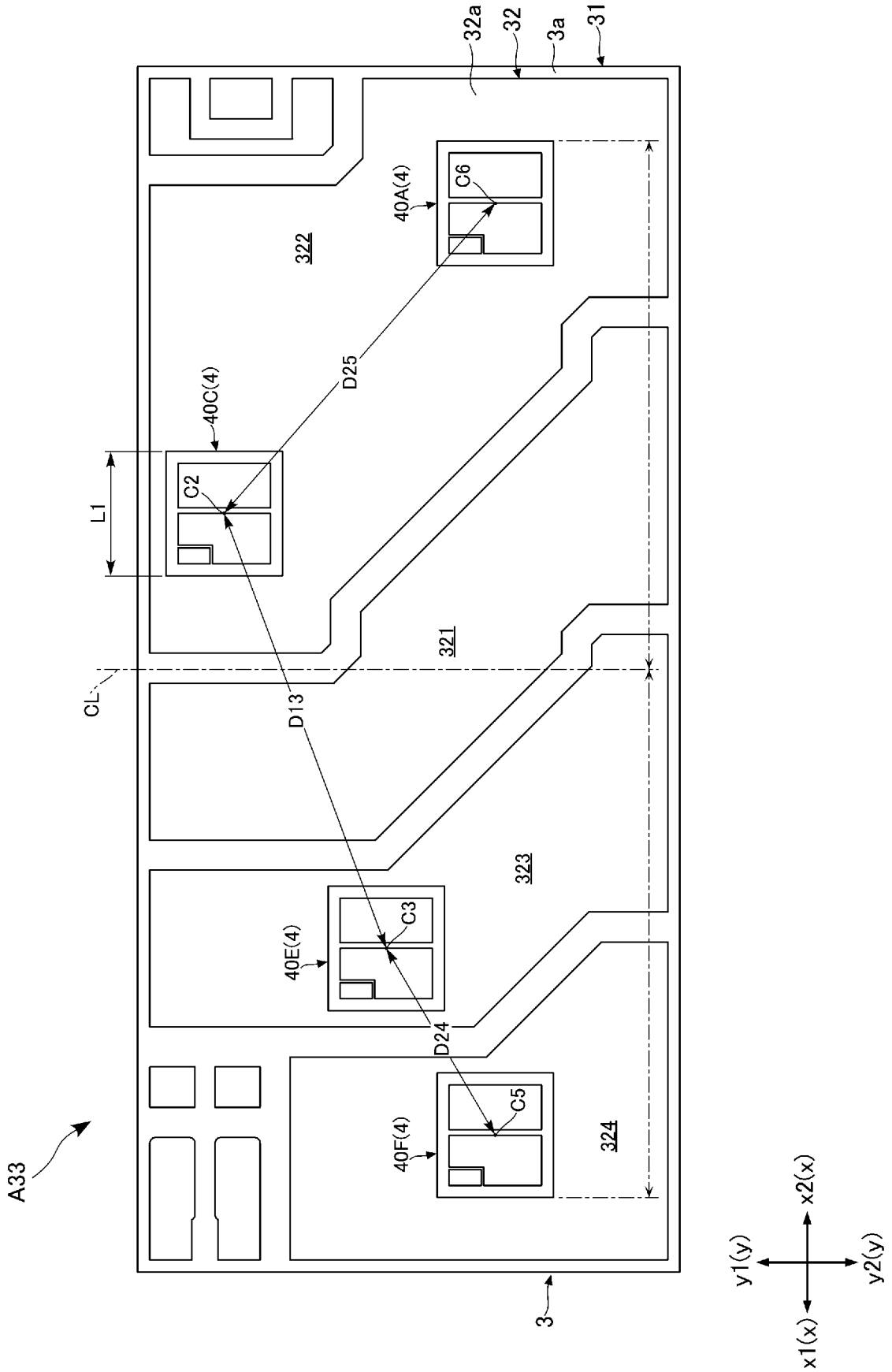


FIG. 28

[FIG. 29]

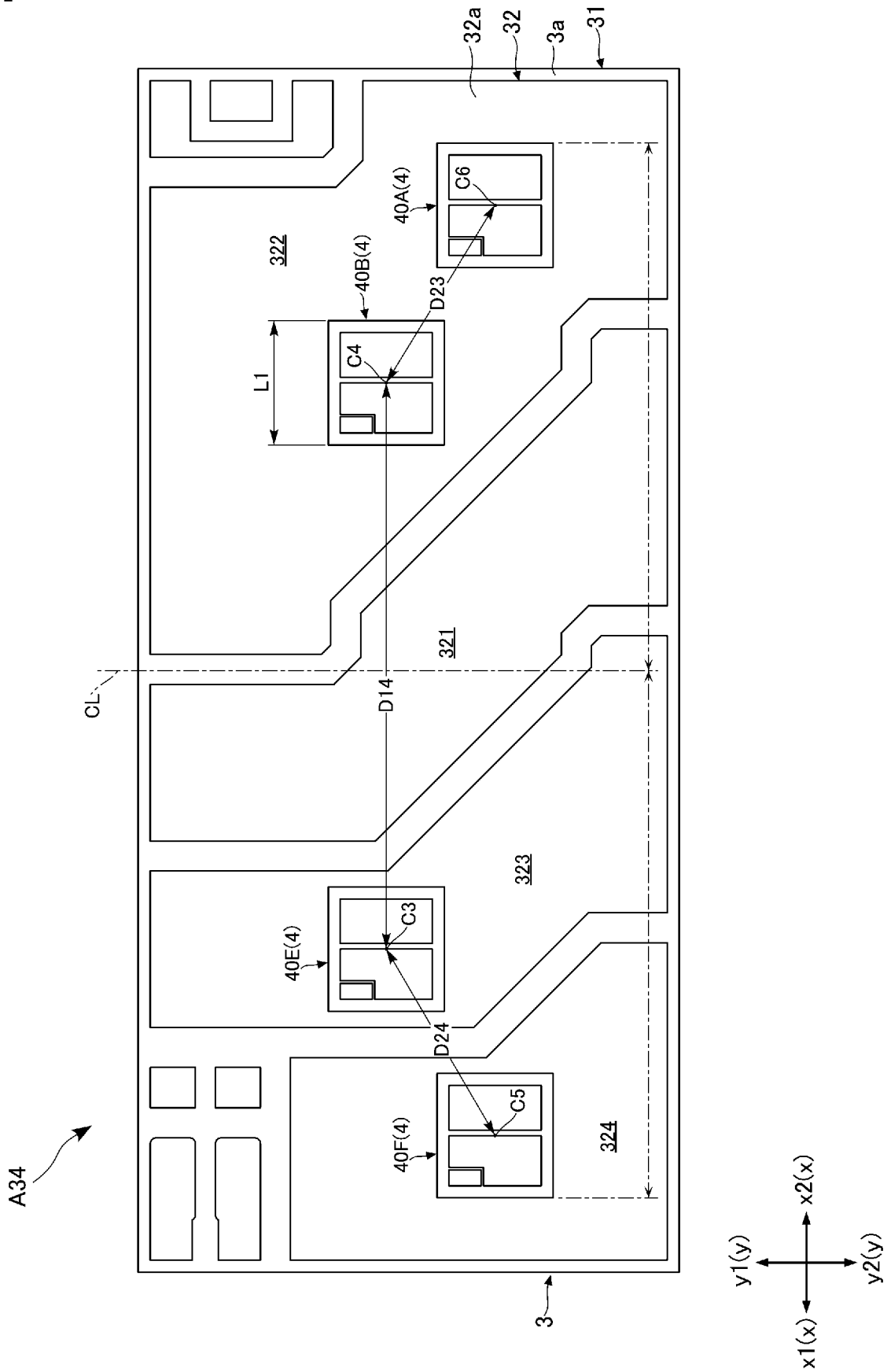


FIG. 29

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/004975

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 23/473</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L23/46 Z; H01L25/04 C		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L23/473; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-187790 A (HITACHI, LTD.) 02 October 2014 (2014-10-02) paragraphs [0009], [0014], [0015], [0054], [0055], fig. 11	1-4, 7
A	paragraphs [0009], [0014], [0015], [0054], [0055], fig. 11	5-6, 8
X	JP 2022-162190 A (MITSUBISHI ELECTRIC CORPORATION) 24 October 2022 (2022-10-24) paragraphs [0002], [0015]-[0017], [0026], fig. 2	1, 7, 9-17, 19
A	paragraphs [0002], [0015]-[0017], [0026], fig. 2	5-6, 8
X	JP 2013-201325 A (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 03 October 2013 (2013-10-03) paragraphs [0014], [0037]-[0039], fig. 2	1, 9, 13-14, 17
Y	paragraphs [0014], [0037]-[0039], fig. 2	18
A	paragraphs [0014], [0037]-[0039], fig. 2	5-6, 8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>22 April 2024</b>		Date of mailing of the international search report <b>07 May 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2024/004975**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-87966 A (FUJI ELECTRIC CO., LTD.) 04 June 2020 (2020-06-04) paragraphs [0034], [0036], [0041], [0045], [0047], fig. 3	18
A	paragraphs [0034], [0036], [0041], [0045], [0047], fig. 3	5-6, 8

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/004975**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-187790	A	02 October 2014	US 2014/0286067 A1 paragraphs [0036], [0041], [0042], [0081], [0082], fig. 11	
JP	2022-162190	A	24 October 2022	US 2022/0328385 A1 paragraphs [0002], [0026]- [0028], [0042], fig. 2 CN 115206919 A	
JP	2013-201325	A	03 October 2013	(Family: none)	
JP	2020-87966	A	04 June 2020	US 2020/0161256 A1 paragraphs [0052], [0054], [0059], [0063], [0065], fig. 3	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/473(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L23/46 Z; H01L25/04 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/473; H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2014-187790 A (株式会社日立製作所) 02.10.2014 (2014-10-02) 段落【0009】【0014】【0015】【0054】【0055】，図11 段落【0009】【0014】【0015】【0054】【0055】，図11	1-4,7 5-6,8
X A	JP 2022-162190 A (三菱電機株式会社) 24.10.2022 (2022-10-24) 段落【0002】【0015】-【0017】【0026】，図2 段落【0002】【0015】-【0017】【0026】，図2	1,7,9-17,19 5-6,8
X Y A	JP 2013-201325 A (セミコンダクター・コンポーネンツ・インダストリーズ・リミ テッド・ライアビリティ・カンパニー) 03.10.2013 (2013-10-03) 段落【0014】【0037】-【0039】，図2 段落【0014】【0037】-【0039】，図2 段落【0014】【0037】-【0039】，図2	1,9,13-14,17 18 5-6,8
Y A	JP 2020-87966 A (富士電機株式会社) 04.06.2020 (2020-06-04) 段落【0034】【0036】【0041】【0045】【0047】，図3 段落【0034】【0036】【0041】【0045】【0047】，図3	18 5-6,8
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 22.04.2024	国際調査報告の発送日 07.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 五貫 昭一 5D 9368 電話番号 03-3581-1101 内線 3549	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/004975

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-187790 A	02.10.2014	US 2014/0286067 A1 段落 [0036] [0041] [0042] [0081] [0082], 図11	
JP 2022-162190 A	24.10.2022	US 2022/0328385 A1 段落 [0002] [0026] - [0028] [0042], 図2 CN 115206919 A	
JP 2013-201325 A	03.10.2013	(ファミリーなし)	
JP 2020-87966 A	04.06.2020	US 2020/0161256 A1 段落 [0052] [0054] [0059] [0063] [0065], 図3	