

201849

公告本

申請日期	81.9.15
案號	81107242
類別	H01L 21/425 21/306

A4
C4

(以上各欄由本局填註)

發明 專利 說明 書 新型		
一、發明名稱	中文	I G B T 製程與具白金使用期控制之裝置
	英文	IGBT PROCESS AND DEVICE WITH PLATINUM LIFETIME CONTROL
二、發明人	姓名	1. 道格拉斯 A·派克 2. 臧大文 3. 詹姆士 M·凱特納 4. 杜米特魯·史柱拉
	籍貫 (國籍)	1. 美國 2. 中華民國 3. 美國 4. 羅馬
	住、居所	1. 美國奧瑞岡州 97702 貝恩德市新城大道 60666 號 2. 美國奧瑞岡州 97702 貝恩德市, 高松街 60309 號 3. 美國奧瑞岡州 97702 貝恩德市, 柯伊堤大道 21660 號 4. 美國奧瑞岡州 97702 貝恩德市, 大樓 6, 西北丘 2150 號
三、申請人	姓名 (名稱)	前進力工業技術公司
	籍貫 (國籍)	美國
	住、居所 (事務所)	美國奧瑞岡州 97702 貝恩德市, 東南哥倫比亞街 405 號
	代表人姓名	

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填)
一頁各欄
訂線

五、發明說明(1)

發明背景

本發明係關係到一用以生產功率半導體裝置之方法，更明白地係關係到絕緣閘功率裝置製造過程與結構。更明白而言，本案係有關於申請人在美國專利案號第4,895,810號所揭示之單單製造之改良，以製作四層(PNP)裝置，例如絕緣閘電晶體(IGT或IGBT)，MOS控制閘流體(MCT)，射極控制閘流體及其他閘控制少數載子裝置，以及功效MOSFET裝置。

美國專利第4,895,810揭示出一MOSFET製造過程與結構，在其他之優點中，亦實際地消除了功率裝置中之嚴重缺陷，例如在用以使用於此裝置生產中層間之連續缺陷與/或錯位。此製程使用一單單以形成一MOSFET架構中之所有主動裝置區域，藉由凹入源極區域自動對齊MOS閘結構，以及為邊牆分隔與一增強導電本體區域所定大小，該本體區域係自動對齊源區域與在其下。

在先前技藝所可獲得之基礎上，可以相信，先前所揭示之MOSFET製程與結構可以迅速地適用於絕緣閘雙極電晶體與其他閘控四層裝置之製程上。

絕緣閘雙極電晶體與其他閘控四層(PNP)裝置之發展，可以追溯至以下之參考資料

Atalla 美國專利第3,206,670號

New 美國專利第3,210,563號

五、發明說明()

Gentry 美國專利第3,324,359號

Plummer 美國專利第4,199,774號

Becke等人 美國專利第4,364,075號

Temple 美國專利第4,417,385號

Baliga 美國專利第4,443,931號

O h m i 所著功率靜態感應電晶體技術第84-87頁(見圖7), 1979年版。

B a l i g a 所著功率接面閘極場控裝置, 第76至78頁, 1979年版。

P l u m m e r 等人絕緣閘平面閘流體:

I - 結構與基本操作

II - 量子化模型

I E E E 電晶體電子裝置, 第384至394頁, 1980年版。

L e i p o l d 等人所著“在S I P M O S技術中之F E T控制閘流體”; 第79至82頁, 1980年版。

T i h a n y i 所著“功率M O S與雙極性裝置之功能整合” I E E E 第75至78頁, 1980年版。

B a l i g a 等人所著“絕緣閘整流器(I G R): 一新功率開關裝置, I E D M 第264頁至第267頁, 1982年版。

R u s s e l l 等人所著“C o m f e t - 新高導M O S 閘裝置” I E E E 電子裝置, E D L - 4 第63頁,

五、發明說明(續)

1983年版。

Wheatley 等人所著之“COMFET—最大功率裝置：一功率裝置之一般研讀；固態技術”第121頁至第128頁，1985年11月版。

Kuo 等人所著之“雙極性MOS電晶體閉合特性之模組分析”，IEEE電子裝置，EDL-6，第211頁至第214頁，1985年版。

Kuo 與 Hu 所著之“用於功率雙極性MOS晶體晶磊層之最佳化”，IEEE電子裝置，EDL-7，第510頁至第512頁，1986年版。

Lorenz 所著之“用以馬道驅動之功率半導體之選擇焦點”，1990年於東京1990年國際功率半導體裝置與IC會議之記錄，第263頁至第269頁。

Tsunoda 等人所著之“具低閉合損失與高硬度之改良式600與1200V之IGBT”於1990年6月美國德州聖安東尼所舉行之功率電子專家會議之記錄第9頁至第16頁。

Baliga 所著之“現代功率裝置”，1987年版第7與第8章。

藉由此技藝之知識，申請人試著以申請人先前之工作與經驗來製作絕緣閘雙極性電晶體，但是，並不能製造出可商業作動之裝置。這些裝置在實際所有作動條件下，即使使用如Becke 等人所教之已加緩衝之N⁺層，以及

五、發明說明(4)

， T o s h i b a N a k a g a w a 等人所著之“非閉鎖 1200V, 75A 具高 ASO 之雙極性模式 MOSFET”第 860 至 861 頁 1984 年版與“非閉鎖雙極性模式 MOSFET 特性之實驗與數值分析”1985 年版第 150 頁至 153 頁所分析下，亦呈現閉鎖。

在申請人實驗裝置中，在不同情況下不只獲得閉鎖，閉鎖亦發生在裝置中之不同晶格與區域中。在試著切換電感性負載時，問題係特別地嚴重。電流閉鎖時間亦證明相當緩慢，大於 1 微秒。在此同時，其係依舊主要以保持一低順偏壓降或呈電阻性，以及有足夠反相阻流電容。同時，此裝置需要一適當能力，以忍受高壓 (V_{ce}) 短路情況。

今日 I B G T 之效率需求已經完全不同於在 1980 年中期所需求的。更多之參數係用以估算，如 L o r e n z 所討論的用以作裝置選擇。早期為 K u o 與 N a k a g a w a 所分析的是順向電壓降與切換速率之最佳化，而沒有考慮到強度，例如短路忍受能力與安全操作區域 (S O A)。在 1990 年要求更嚴格之要求，這些先前工作之建議已經不再完全有用。例如，最佳晶磊設計為 K u o 與 H u 所建議的是大於 5 微米原之 N⁺ 層，在 10¹⁸ / cm³ 之摻雜位準與 N⁻ 層完全擴散將會是一在短路忍受能力很弱，即使其順向電壓可能很好之情況下。

A . N a k a g a w a 等人 (I E D M 8 5) 所說

五、發明說明(5)

明 P N P 共基極電流增益 α 大於 . 2 7 之需要，以保持足夠之導電性調整，因此，一低順向電壓降在一 N - 漂移區域下使用一 N + 緩衝層。其中，並未考慮到藉晶磊材料選擇以設計其強度。裝置強度係藉由高壓 / 高電流增益來直接衝擊。我們已經發覺此特性係為 N + 厚度與摻雜濃度加以影響。A. Nakagawa 等人並未說明其裝置之這些方面，雖然，他們與他人已經使用大於 3×10^{16} 至 $10^{18} / \text{cm}^3$ 之摻雜濃度於他們的分析與討論中，以及，少於約 20 微米厚度之 N + 緩衝層。Tsunoda 等人報告藉由調整 N - 層厚度與 N + 摻雜分析之試驗，但是，並未有關於 N + 層之厚度。文件上從未對該量測與分析之裝置之層厚度或摻雜濃度下任何值。

Siemens 有相反之想法，將 N + 層除去，以很厚之 N - 層作替代，例如，200 至 350 微米，如在“一 2000 V 具動態特性似一 1000 V IGBT 之非擊穿 IGBT” IEDM, T. Laska 所著 1990 年版第 807 至第 810 頁所述之無少數載子使用期限控制。此長基極方法之主要缺點係很高之順向電壓或導通損失（電阻性高）。Petter teig 與 Rogne 比較各發售商之 IGBT 型裝置樣品之切換損失。包含申請人之起始實驗裝置，於 1991 年之 EPE FIRENZE，其中示出在硬體關閉情況中，該 Siemens 之長基極裝置於幾微秒後並未完全閉合相較於其他裝置於約少

五、發明說明 (b)

於一微秒。

另一閉鎖計算係為已知已在先前技藝中被試過，但是對特定處理具有不同之成就與可疑之實用性，使用一單單與凹入之源極接點區域，係為申請人所用以製造裝置。G o o d m a n 等人之美國專利案號第 4, 5 8 7, 7 1 3 號使用一深佈值橫向延伸補強 P + 摻雜區域之 P 型基極中，以限低雙極性電晶體增益。B l a n c h a n d 美國專利案第 4, 3 4 5, 2 6 5 號使用一分佈二極體具有此 D M O S 電晶體低之崩潰電壓，以非破壞地吸收暫態與一並聯電導，使在基極中之通道區域降低電壓與電壓梯度。Y i l m a z 美國專利案第 4, 8 0 9, 0 4 5 號用以提供自射基極接面分隔之反向電流，以及，在一接觸窗中，放大在與射極電極接觸基極區域與射極區域表面積之比例。N a k a g a w a 等人在英國專利第 2, 1 6 1, 6 4 9 A 號所揭示出用以避免閉鎖之各種方法，藉由使裝置之飽和電流小於閉鎖電流，包含成比例於主動元件區域，以及，在吸極至源極提供一孔洞電流。

先前之工作者亦嘗試在該裝置中，以不同方式，來控制少數載子使用期限。B a l i g a 所著之現代功率裝置第 3 6 至 5 8 頁，3 8 0 至 3 8 7 頁，及第 4 1 0 至 4 1 3 頁述敘該 I G T, p i n 整流器及其他裝置之切換速度可以藉由在 N 基極區域中，重新結合中心之引入而增加，以降低少數載子使用期限。一般而言，已經有使用兩種方

五、發明說明(7)

法，即將例如金或白金之過渡單元之不純物擴散進入矽中，或藉由高能量粒子撞擊，例如藉中子，質子、電子或伽瑪射線，以在矽中造成晶格之傷害。在這些方法中，B a l i g a 教導電子射線係較佳的，提供了各種優點，使裝置特性中，較緊密之均勻度。使用期控制必須在裝置操作中有作其他之取捨，如 T e m p l e 等人在“用以改良閉鎖時間與順向壓降取捨之最佳化載子使用期分佈”中所說明的，即 I E E E 在電子裝置中之記錄，E D - 3 0，1 9 8 3 年版 7 月第 7 8 2 頁至第 7 9 0 頁。

習慣上，過渡單元不純物之擴散係執行用以使用期控制目的，藉由將選定之單元 1 0 0 埃 (A) 至 1 0 0 0 埃厚層沈積在矽晶片之表面上，以及，將單元之原子自該層擴散入矽中，該 8 0 0 至 9 0 0 度 C 之溫度範圍。擴散溫度決定不純物原子在矽中之固態溶解度，以及，可以使用以控制不純物之密度。金屬佈值亦已使用於其他目的。例如，高劑量佈值已經使用以在積體電路中，創造出歐姆接觸。低劑量佈值 (達到 $2 \times 10^{13} / \text{cm}^2$) 已經在分立裝置與積體電路中，用以調整蕭特基障礙高度。於此些過程中，劑量係被施加靠近在表面上。

粒子衝擊方法可使用電子、質子、中子或伽瑪射線。此係通常在室溫加以執行，然後，裝置被施加一低溫退火程序，但是，B a l i g a 說明係使用高溫 (3 0 0 °C) 電子射線。

五、發明說明(8)

然而，在這些用以使用期控制之方法中，存在著幾種缺點。如在先前技藝中所用之這兩種方法會實際地增加洩漏電流。此粒子衝擊方法亦造成了臨界值之不穩定。低溫退火通常係需要以恢復想要之臨界電壓，藉由部份消除在閘極氧化物與在閘氧化矽界面之陷阱電荷。一旦這些裝置被幅照與退火過，然而，他們就不能在隨後之製造過程中作高溫處理，例如於小晶片之固著。這些裝置亦會在使用於高溫應用中會有一長時間之不穩定性。幅射缺陷退火於攝氏300度至400度間。這是在小晶片固著中包裝必須達到矽之潤濕之溫度範圍。

過渡金屬不純物之蒸發與擴散入矽中，並不造成此不穩定效果，但是於習用應用中，此係難以控制。其亦相較於其他沒有使用期控制之類似過程裝置而言，在洩漏電流上有最大之增加。例如，習用白金之擴散，自一層蒸發沈積在矽表面上，產生一增加之洩漏電流，其係相較於為幅照與粒子衝擊所產生之洩漏電流大小高於十至百倍，以及，比沒有使用期控制者之大小高於千倍。另外，一種用以旋轉白金屬之技術（例如乳化白金膜）係常用（及L i s i a k等人J. Appl. Phys. 第46冊，第5229頁，1975年12月）。此程序亦提供較差之劑量控制。因此，需要一較好之使用期控制方法。

其已經在先前就看到是申請人之美國共同申請案第07/663,297號之主體，“具有已摻雜電氣崩潰控

五、發明說明(9)

制區域之半導體裝置”(即申請於1986年3月21日第06/842,464號案之接續案),其中,在一裝置之佈圖上有數區域,此佈圖係比來自主動單元試著去成為類似之重覆尺寸所能達成的有更低之崩潰電壓。此些易崩潰區域通常並不需,例如,用以提供閘結合墊與低信號延遲滙流排。為了保持在這些單元中所擁有之功效容量,同時允許適當界面與在晶片上之信號延遲,申請案號第07/663,297號揭示出以與具有配合好之接合深度之本體擴散相同之摻雜物類型,摻雜在這些結構之下,以平順在閘極下自本體到擴散層之過渡情況,以便形成平滑曲線之單一連續區域。寄生雙極性電晶體之基極電阻係遠小於主動單元之電阻,由於墊/常序(pad/routing)滙流排摻雜入本體區域之中。此淨效應係在於當在閘墊/閘常序滙流排之感應切換低於主動單元所設計容量時,係為過早崩潰與故障之總消除量。在奇閘架構周邊旁之主動MOS通道亦如此作而變成完全地被動。如此,需要一較好之方法,以在大電流MOSFET與IGBT型裝置之閘極滙流排區域下,抑制崩潰,而不會實際降低了有用通道。

在一半導體裝置被處理與金屬化後,一鈍化或刮痕保護層通常係沈積在頂表面上。只有接合墊片被開洞,以在此步驟之後,在晶片外作電氣連接。此鈍化層必須是一濕滑與可動之離子障礙,以對抗嚴苛之環境,其在包裝於組

五、發明說明(10)

合區域中，對MOS裝置而言，係危險的。此目標係可在低電壓裝置中完成，藉由使用一矽氮化物基礎之膜或一PSG（矽酸磷玻璃）膜（小於4%）。目前最常使用以薄膜沈積之方法係PECVD（電漿加強化學蒸汽沈積法）與LTO（低溫氧化）沈積。PECVD可以使用以沈積氮化物與氧化物，但是後者（LTO）只可用以沈積氧化物。此二種方法作得非常好，於鈍化低電壓半導體裝置上。當這些同樣品質之薄膜被一般地沈積在高壓裝置之上面時，不想要的極化作用開始產生，此在低壓時所看不到的。

極化作用之本身對積體電路工業係為已知的，並不是一嚴重之問題，但是，對於高壓應用而言，却是全然不知的。在一先前技藝之揭示中（美國專利案第4,399,449號第八段19至20行中），發明人清楚地指明在一高壓裝置之保護環區域中，一高摻雜Silox（磷含是必須超過6%，通常使用8%，以便實際地具有沈積氧化矽膜之回流）極化膜之清除。其中，並未詳細揭示薄膜特性之限制或者機構上之問題。此文件在低摻雜PSG與氮化矽膜之類似作用上，相當地保持沈寂，即使，極化之問題在其他類型之膜上例如矽酸硼玻璃已經被承認（Murakami等人在“玻璃鈍化P-N接面中，極化導致不穩性”J. 電化學Soc., Vol. 133, No. 7第1467至1471頁1986年7月版）。應力

五、發明說明 (1)

、組成與濕蝕刻特性已在先前被報導，例如 C o a a s s e n 等人（由電漿加強 C V D 沈積之氧氮矽之特性，i b i d 第 1 4 5 8 頁至第 1 4 6 3 頁），藉由改變氣相組成來沈積氧氮膜。氧氮之障礙作用亦已經成為研讀之主題，例如，為 H a s h i m o t o 等人用於銻（P E V D S i O x N y 薄膜之特性作為選擇擴散障礙，第 1 4 6 4 至 1 4 6 7 頁）。然而，在這些薄膜上，並未揭示極化之資料。因此，用以高壓功率切換裝置之鈍化膜之再發展係必要的。

因此，需要一種 I G B T 型功率裝置與製程，其可以生產高壓固態功率開關，可以以高速導通與切換高電流與高電壓，而不會有不想要的寄生作用。

發明概要：

因此，本發明之一般目標係提供用以在矽基體上製作四層（P N P N）裝置之改良製程，此裝置係例如絕緣閘電晶體（I G T 或 I G B T），M O S 控制閘流體（M C T），射極控制閘流體與其他閘控制少數載子裝置，以及功率 M O S F E T 裝置。

另外一目的係改良固態 M O S 閘功率切換裝置之操作特性，包含順向導電，逆向偏壓閉合、斷路時間，以及栓鎖靈敏度與其他崩潰情況之控制。

再一目的係控制矽功率切換裝置中，少數載子之使用期，該裝置包含 I G B T 與 M C T，而不會預見之增加洩

五、發明說明 (17)

漏電流與臨界值之不穩定。

另一目的係使在功率 MOSFET / IGBT / MCT 裝置中，本地閉鎖情況之控制容易。

再一目的係使裝置能夠忍受十微秒以上之高壓 (V_{ce}) 短路情況。

本發明之再一目的係如先前所述，係使能夠控制該裝置之 PNP 部份之順向增益，以及，特別是能夠獲得低增益與高輸出阻抗，並且，在斷路時，能夠以最小之順向電壓損失，來減小長電流尾部。

另一目的係降低在功率切換裝置中，鈍物層之應力極化，更明白地說，係提供功率裝置表面一非極化電介質薄膜，其亦是一優良之可動離子障礙層。

本發明係一改良之三層功率 MOSFET 或四層 IGBT / MCT 製程與結構。本發明係較佳但不是必需在一程序中加以執行，其使用一單一個別的遮罩，用以產生一三層或四層 MOS 閘控制功率切換裝置之常用繁複之功能區域。該裝置係作在一具有上與下表面之基體上，依據裝置之種類，基體包含一或數摻雜矽之層，至少其中之一形成垂直吸極區域。一不透明摻雜物區域或層，例如在上基體表面閘氧化物上之多晶矽，於裝置之製程中，作為一圖案之界限。圖案界限提供控制了使用在一矽基體中創造必需作動接面之摻雜步驟，以及，形成在基體上之導電架構。

此控制可藉由將源極與閘極導體層垂直分隔在一為圖

五、發明說明(13)

案界限所限定之範圍之中。此係可藉由形成一溝槽而完成，其中，一凹入源極導體層係同時沈積在基體之相反摻雜本體（ $n p n$ 雙極之基極）與源極（ $n p n$ 雙極之射極）區域而成電氣連接，閘極導體層係沈積在閘極結構之上，此結構最好包含氧化物層與形成圖案界限之多晶矽導電摻雜低的部份。該溝槽係形成在基體上表面之曝光部份，此基體係為圖案界限所接合，並且，最好係已規劃好分布圖，以產生閘氧化物之外伸，此更加強了源極與閘極導體層之分隔。閘極與源極導體層之分隔可以藉由在多晶矽與閘極氧化物層之邊上形成分隔邊牆沈積導體材料，施加一極化層與選擇地除去沈積在分隔上之導體層，而加以確保。多晶矽層係在厚度上減少，以便分隔層與在其上之沈積導體材料向上突出，以便容易除去過多之導體材料。此除去過程可以便利地以上述之成形溝渠過程而加以完成。

在源極導體層與源極（ $n p n$ 射極）區域間之電氣接點係為分隔層所分開且凹入於溝槽之邊牆上，可以在其間形成一低電阻層而來加以加強。此可以藉由在溝槽中，摻雜物擴散、金屬之選擇沈積或在已曝光矽中產生矽化物而完成。

電晶體本體（ $n p n$ 基極）與源極（ $n p n$ 射極）區域最好係藉由在形成溝槽以前，以相反之摻雜物類型擴散層摻雜已曝光上矽表面至不同深度而形成。溝槽之深度係被計量，以分隔淺溝與第二摻雜區域成為兩源極（ $n p n$

五、發明說明 (14)

射極) 區域, 沿著溝槽之相反邊牆定位。此順序係有兩個好處。首先, P N 接合之位置與間隔只關係到兩個變數, 即其本身之沈積, 而不是形成溝槽之第三變數。此使 V_{th} 之緊密控制。再者, 在半導體表面材料中所引入之大部份缺陷, 由於摻雜物之離子佈值或氣態擴散係為隨後之作溝槽程序所除去, 因此而降低了洩漏電流, 繼而下降在隨後擴散過程中, 缺陷之延遲。與第一區域相同摻雜物類型之第三區域, 本體擴散係在形成溝槽之後共同擴散入基體之中, 以限制源極區域之向下擴散之程度與增加在源極金屬層與源極區域下之寄生雙極性基板極之導電性。此改良了裝置之逆向偏壓崩潰與感應斷路強度特性。

邊牆分隔層係被設計成獨自或與溝槽分佈之製作結合, 以控制源極區域寬度 (即寄生壓緊之 P - 基極寬度) 與源極導體之近似於 F E T 通道。此影響在源極 (n p n 射極) 長度下之 n p n 電阻性, 其能夠協助控制栓鎖。

於裝置之製程中, 為了要克服先前技藝之缺點, 本發明之一觀點係量度與摻雜 N^+ 緩衝區域, 以使裝置之輸出阻抗得以有效提升, 以通過短路忍受測試需求, 通常係在 80% 之陽極至陰極電壓額度係大於 10 微秒。該短路忍受電流不應超過 3 X 室溫額度 (25 °C) 連續陽極至陰極電流 (一般商用可得裝置均超過 4 X), 以及, 最好係在 2 X 與 2.5 X 間。此最好結合一具有摻雜與厚度剛好是以閉鎖最大逆向電壓之 N^- 漂移區域, 該裝置係因此而設

2018

修正
補充
本82年1月19日

A6

B6

五、發明說明()

計。先前技藝具有一範圍在 0.5 至 2 歐姆之有效輸出阻抗，用於一具有接近 120 公分通道寬度與 600 伏額定電壓之裝置。吾人係想要至少將此阻抗兩倍，以一最小為二之因素降低順向導電電流。對一類似裝置，輸出阻抗應該最少 3 歐姆，以致於短路脈衝端之短路忍受電流不超過 3X 之額度室溫連續陽極至陰極電流在 V_{ce} 之 80%。較佳地係在此 120 公分通道寬 600 伏裝置中，有一輸出阻抗範圍為 3 至 5 歐姆，以抵擋在高 V_{ce} 順向導通之電流流量。類似之電流要求繼續用於更高電壓裝置。對於不同通道寬度之裝置，輸出阻抗可以反比於通道寬度，所以有效輸出阻抗可以方便地以歐姆-公分作表示。該有效輸出阻抗應該是在範圍 370 至 560 歐姆-公分，於 V_{ce} 為 480 伏之 600 伏額定裝置中。對於 1000 伏額定裝置，6 至 9 歐姆範圍提供 2X 至 3X 之室溫額定電流於 $V_{ce} = 800$ 伏時。

依據本發明觀點之裝置具有一小於 $10^{17} / \text{cm}^3$ 之 N^+ 摻雜，但是，大於 N^- 區域之摻雜，以及，一大於 20 微米之厚度。此些裝置係適當地以一 N^+ 摻雜以範圍 $5 \times 10^{15} / \text{cm}^3$ 至 $9 \times 10^{16} / \text{cm}^3$ 作成，以及厚度最好在 20 至 50 微米之範圍。我們相信最好裝置係具有約 5 至 $9.0 \times 10^{16} / \text{cm}^3$ 之 N^+ 摻雜與一大約 30 微米之厚度，加減 20%。一適當 N^- 漂移區域摻雜係大約 $10^{14} / \text{cm}^3$ 以及一足以阻塞 1000 伏反相偏壓之

五、發明說明 (16)

厚度約 80 微米；較小之厚度係足以用於較小電壓。

本發明之另一觀點，一少數載子使用期控制程序係藉由使用一過渡金屬而加以執行，此金屬最好是白金 (Pt) 但亦可是金 (Au) 或其他在矽中具有一深能級適以再結合之金屬。基本上，此使用期控制方法包含佈值一已選定之過渡金屬之有限劑量至基體中，然後，擴散金屬原子於整個基體上。使用一過渡金屬比幅照能夠避免臨界值不穩定問題，並且，相反於習知之教導，能夠以不會如預期般地增加那麼多之洩漏電流，並且，能夠緊密地控制少數載子之使用期。

依據本發明之此觀點，基體係被摻雜上一預定劑量小於預定最大量之過渡金屬，對於白金係大於 2×10^{16} / cm^2 。較佳地，此係可藉由過渡金屬之離子佈值至矽基體之中而完成。一以具有穩態矽化物之 Pt 或其他過渡金屬之適當替換，係蒸發或濺射沈積在矽化物結構上，此係在剝離過多之金屬之後，以留下一較薄之矽化物層，對於白金矽化物係小於 20 埃 (大於 10^{16} 原子 / 公分²)。然後，基體係退火以在一預定溫度擴散金屬，此預定溫度係高於過渡金屬 / 矽二元系統之多晶溫度，其對於白金在矽中係 830°。

同時，本發明之另一觀點，裝置之製程包含量測，以減少本地崩潰情況或再生作用，此可能在四層裝置中，造成閉鎖。裝置之較佳佈圖，係呈一指狀組合架構，會在兩

五、發明說明(17)

方面作改良。首先，源極與閘極指狀結構係以一互補之方式分佈，以便源極金屬指之寬度增加，自其末端向其近端行進，其中，源極金屬指係連接至一公共源極匯流排。指狀組合閘極金屬指具有一如其近端之寬度，並且，增加處理，以使其末端連接至一公共匯流排（即向源極金屬指之末端）。此些形狀使源極金屬指向公共匯流排之電流承載能力增加，以減少電流擁擠問題。第二在閘極匯流排下之區域係摻雜一如同MOSFET本體（在N-通道裝置中之P型）型之摻雜物，以一為縱向中心帶所定義之魚骨圖案，分隔於通道之間該帶係沿著閘極匯流排之相反邊，並且縮短柱條在連接帶至本體區域橫越中心帶分隔之間隔，同時，能在柱條間保持部份之主動通道。依據美國專利申請案第07/663,297號之程序源極指之端點有著高磁場點係被保護，藉由沿著主閘極匯流排閘極摻雜P-邊緣，以中和在源極指端之主動通道區域。

最後，一非極化電介質薄膜係被沈積，以鈍化基體之表面。於一實施例中，該薄膜包含一一致第一層之矽酸磷玻璃（PSG），具有少於4%之磷含量，最好是3.5%或更少，以及，一第二層其係一濕潤與可動離子電阻障壁，例如氮化矽或氧氮化物。該第一層係被沈積成非極化，即使在很高之電壓情況，如800至1200伏。第一層可以被製作厚，如10,000至35,000埃，以及第二層係非常薄。以此方式，第二層可以是一可極化材

五、發明說明(18)

料，但是，係與矽表面分隔，藉由由於極化使第一層降低淨電荷創造，同時，保持可動離子與濕潤電阻。或者，第一層可作得薄些，且第二層亦可以此一非極化方法。另外，於一第二現出之較佳實施例，氧氮化物之單一層係沈積以形成一非極化膜。氧氮化物係一適當可動離子與濕潤障壁，其本身可藉使用以下所總結之沈積技術來作成非極化。此膜亦相當厚，以便當使用以結合申請人之高壓裝置之凹入源極金屬架構，以提供適當之步驟收斂。該非極化電介質膜可以在更平表面裝置上變更薄。

使用以非極化氧氮化物與低磷 P S G 膜之沈積之技術，係用以減少離子化氣體之進入，特別是在 P E C V D 間之氫化合物。此係由在沈積時，限制離子化氣體之內含時間而完成。

本發明之上述與其他之目的、特性與優點將會由隨後之較佳實施例之詳細說明，隨著附圖之參考而迅速明白。附圖之簡要說明：

圖 1 係一簡化平面圖，具有一部份除去之依據本發明步驟所製造之功率 M O S F E T 絕緣閘電晶體。

圖 2 係一示出圖 1 之裝置部份之沿著圖 1 線 2 - 2 放大部份剖面視圖。

圖 3 至 1 3 D 與 1 4 至 1 6 D 包含一在圖 2 中為字母 A - A 所包括區域之放大、部份剖面視圖，示出依據實行本發明之一方法之順序步驟。

五、發明說明(19)

圖 1 7 係依據本發明之一過渡金屬 (P t) 擴散入矽中之立體圖。

圖 1 8 與 1 9 係一小晶片併入一由圖 3 至 1 3 D 與 1 4 至 1 6 D 方法之電晶體結構之連續放大平面圖，示出一改良之指狀組合之分佈圖。

圖 2 0 與 2 1 係分別沿圖 1 9 之線 2 0 - 2 0 與 2 1 - 2 1 所放大之橫斷面圖，示出沿著第二閘滙流排分隔間段之 P + 短路柱條。

圖 2 2 係類似於圖 2 0 與 2 1 之橫斷面圖，延著圖 1 9 之線 2 2 - 2 2，示出用以比較在主動單元間之閘極結構。

圖 2 3 係圖 1 9 之另一放大平面圖，示出摻雜圖案之詳細情形，使用沿著一源極指之末端接合閘滙流排與板。

圖 2 4 係類似於圖 2 2 之橫斷面示圖，示出習知技藝 N + 緩衝層在高 V c e 之下。

圖 2 5 與 2 6 示出本發明所想出之分別個自變換 N + 區域之厚度與摻雜之效果。

圖 2 7 示出依據本發明改變 N + 區域之厚度與摻雜之效果。

圖 2 8 係一圍繞裝置周圍之保護圈之橫斷面示圖，示出一突出區域之極化，依據本發明其係被防止為一非極化鈍化層所本地崩潰情況。注意，較佳 M O S F E T 橫斷面架構例如凹入源極金屬之詳細係被自圖 2 0 至 2 8 中除去

五、發明說明 (>^)

；本發明之觀點並不是限制在特定架構之使用。

本發明之詳細說明：

現參照圖 1 與圖 2，在 10 所大略指出的是絕緣開雙極性電晶體 (I G B T) 裝置，併入一 N - 通道之功率 M O S 場效電晶體，其已經依據本發明製造在一矽基體 11 之上。在說明中隨後立即說明，尺寸之例子係假定的。這些尺寸大小係指定一設計以作為 500 伏特開關之電晶體，但是，亦可以改變以操作各種不同電壓。

電晶體 10 就如同先前技藝裝置，其包含一閘極 12、一吸極 14 與一源極結構 16，選擇地形成裝置 10 之 M O S F E T 部份。在此二圖所示之特定電晶體實施例，閘極 12 包含三“指” 12a、12b 及 12c 安排成一開放之拓樸結構。同樣地，源極結構包含四個指 16a、16b、16c 與 16d 交互指合與包圍在閘極 12 之指部。一較佳裝置佈圖之更詳細例示係出現在圖 18 與 19。

基體 11 係安排成形成一四層 N P N P 結構，包含 M O S F E T 部份與裝置 10 N P N 及 P N P 雙極性電晶體部份。M O S F E T 部份之閘極 12 與源極結構 16 係形成在基體之上表面或參考面上，以及吸極 14 係形成在沈積於基體 18 之積層之晶磊層 19、20 之上。M O S F E T 源極結構 16 形成了電晶體 10 上面或 N P N 雙極性部份之雙極性射極接點或陰極。吸極 14 形成了下面或 P

五、發明說明 (7)

N P 雙極性部份之基極區域，以及，一在基體下邊之金屬接點 17 形成了裝置 10 之 P N P 射極接點或陽極。更明白地說，基體 11 包含一已摻雜 P⁺ 層 18，一已摻雜 N⁺ 之第一磊晶層或緩衝層 19，及一已摻雜 N⁻ 之第二磊晶層 20。N 型層 19、20 集合地形成了 M O S F E T 部份之吸極 14，裝置之上 N P N 雙極性部份之集極部份與裝置之下 P N P 部份之基極區域，其且，可以被視為 N⁻ 漂移區域。

一摻雜 P⁺ 區域 22 埋在每一指部 16 a 至 16 d 之下，形成了在 M O S F E T 部份所謂之“本體”及 N P N 雙極性電晶體部份之基極。存於區域 22 中及沿著每一指部 16 a 至 16 d 靠著閘指部 12 a 至 12 c 連續延伸的是摻雜 N⁺ 之區域 24，其形成了在 M O S F E T 部份之源極與 N P N 雙極性電晶體部份之射極。N⁻ 基體區域 20 之區域 25 延伸至閘指部 12 a 至 12 c 下之基體表面，提供了在橫向區域 22 間一寬 L (見圖 22) 之 M O S F E T 吸極導體通道。

隨即在區域 22、24 之上，在基體 11 之上表面的是一氧化閘層 (S i O₂) 26，亦被指為 M O S 外層與兩金屬化層 28、20。此二金屬層通常被如同現在以鋁形成，但是，亦可以使用其他材料。層 28 係放置在基體上表面之溝槽中，並且，作為一在下之 P 型本體 (基極) 區域 22 與延伸在邊下之 N 型源極域 24 下之電氣接點。

五、發明說明 (γ)

區域 2 2 最好係包含一加強型摻雜 P + 區域於源極金屬 2 8 與源極區域 2 4 之下，將如以下所說明。

在操作中，當裝置 1 0 係被導通，一少數載子（電子）電流，自源極區域 2 4 經由一反相層或 N 型通道而至吸極區域 2 5，形成在閘指部 1 2 a 至 1 2 c 之下正常 P - 型區域 2 2 之近表面部份，成為一為偏壓閘 1 2 所感應之電場。一少數載子（電洞）流，自 P + 基體 1 8 經由 N - 漂移區域 1 9、2 0，流至 P + 型區域 2 2。當裝置係在導通狀態操作，少數載子流應接近或超過多數載子，以降低順向或導通狀態電阻，但是，假若非再生操作係想要不太大到使於區域 2 2 與 2 4 間之 P N 接面之順向偏壓，足以導通上表面 N P N 電晶體。當電晶體 1 0 係斷路時，流經通道之多數載子（電子）流會被阻擋，以及，流於下 P N P 電晶體之少數載子流會以一速率關閉，此速率係為 N - 漂移區域 1 9，2 0 之少數載子使用期特性所決定。較佳地，對於裝置之快速關閉而言，此尾電流係如可得到之最短期間，同時保持強度與一可接受之順向電阻。

當該裝置係在正常情況操作時，順向電壓降應該儘可能降低，以便減少在裝置中之導電損失。當裝置係以一高強度 V_{ce} 之電壓於其集極與射極兩端，例如，在感應關閉與短路故障情況，增益必須減少，以防止再生作用。甚者，在一施加全開極電壓之短路情況下，輸出阻抗 R。必須足夠高，以在一通常大於 1 0 % 秒之時間，防止在開關

五、發明說明(六)

中過多之功率消耗，以便允許偵測與安全閉鎖。在裝置係在閉鎖狀況時， N^- 漂移區域應當阻擋具有最少洩漏電流之裝置端點 16，17 間之電壓。該裝置用以控制高壓之能力，應該不會在連續一段長時間之操作後衰減。本發明之各種主張之觀點幫助完成這些不同之目標。

現將注意力移至圖 3 至 28，以想出依照本發明應用之一方法所形成之裝置 10 是如何形成，以形成一 IGBT 裝置。

參照圖 3， N^+ 與 N^- 摻雜層 19，20 係分別磊積沈積在一商用可得之 P^+ 矽晶片上。 N^- 層係摻雜並設計成一適當厚度，這會使逆向偏壓減低在此技藝中已知裝置之設計規格之中。 N^+ 層係被摻雜與設計成與裝置之想要的順向電壓與增益相稱，如以下所說明的。此結果係用以形成以裝置 10 製造之基體結構 11，在其上形成一氧化層 26。為了形成一使用本發明原理之改良 MOSFET 裝置，一 N 型基體係如發明人美國專利第 4,895,810 號中說明的加以使用，使用如以下所說之製程。本說明中之剩餘部份係有關於一如圖中所示之 IGBT 裝置，此圖並不包含用於 MOSFET 之不同之部份。

在現在所要談到的特定結構中， P^+ 層 18 具有一原度約 15 密耳與約 0.007 至 0.02 歐姆毫米之電阻率。一般而言，磊晶層 19 具有一厚度約 4 至 50 微米與大約 0.03 至 5.0 歐姆毫米之電阻率。在極端之情況

201849

五、發明說明 (74)

中，用於例示之目的，吾人可將該層之厚度用至幾百微米，以及到達與 N⁻ 層 20 相等之電阻率，並且到達 L a s k a 之情況，或者，使該層之厚度小於 5 微米，且電阻率到達 0.02 歐姆公分，且到達 K u o 與 H u 所推薦之分佈情形。另外，一三層之磊晶設計亦可以使用以結合較低摻雜但較厚層與 K u o 與 H u 之薄層 19。磊晶層 20 具有一厚度，其係隨著裝置減少電壓需求而改變。對於一 1000 伏裝置而言，一在 N⁻ 漂移區域之適當摻雜係約 1×10^{14} 原子 / 公分³，以及，其厚度應該 80 微米或更多一些。對於 500 伏裝置而言，在 N⁻ 漂移區域中之摻雜可以約 3×10^{14} 原子 / 公分³，其厚度 23 約 40 微米。於稍後之例子中，磊晶層 20 具有約 14 至 18 歐姆公分之電阻率。

如上所述，這些裝置之一重要特性，係其在高 V c e 情況下之作用。圖 24 示出一 I G B T 型之裝置，其中分層 18, 19, 20 係以習用方法之大小與摻雜。於習用技術中，N⁺ 緩衝層 19 A 通常係摻雜於 1 至 3×10^{17} 原子 / 公分³ 之範圍中，以及，有一 4 到接近 15 微米之厚度 21 A，通常係在 10 微米以下。輸出阻抗係以下公式所定義：

$$R_o = q V_a / (K T g m)$$

其中：V a = - W b × (d V c e / d W b) 係為歐萊 (E a r l y) 電壓。

五、發明說明 (75)

W_b 係基極 21 之寬度，及

V_{ce} 係集極至射極之電壓。

在高 V_{ce} 下，低摻雜之 N^- 區域 20 係完全地空乏，並且，該空乏區只稱微沿伸入高摻雜緩衝層，所以基極 W_b 之寬度係為 N^+ 組衝層所控制。圖 24 所展示的係一相當低增益與低輸出之阻抗。

較佳地，申請人之裝置相較於習用技藝中所用者在 N^+ 區域中具有較大之厚度與較低之摻雜濃度，產生改良之裝置特性，如以下參考圖 25、26 與 27 所說明的。圖 25 示出這些改良之第一方面，其中， N^+ 層 19B 具有一大於 15 微米厚度之 21B，以超過 1×10^{17} 原子/公分³ 之摻雜。單獨地增加 W_b (基極寬度 21)，藉以增加輸出電阻，並且，略微地增加順向導通損失。圖 26 示出減少摻雜濃度至少於 5×10^{16} 原子/公分³ 之作用，同時，保持 N^+ 層 19B 之厚度 21C 小於 10 微米。此致使裝置較高之增益，且不會有較高之輸出阻抗。圖 27 示出結合圖 25 與 26 量測之作用。這些裝置適合以一少於 1×10^{17} 原子/公分³ 之 N^+ 摻雜之層 19C 作成，較佳地係在 5×10^{15} 原子/公分³ 至 1×10^{17} 原子/公分³ 之範圍，並且，21D 之厚度係大於 15 微米，較佳地，係在 20 至 50 微米之範圍，以在 N^+ 層中之總施體濃度保持在大於 1.0×10^{14} 公分⁻² 之位準，於低 pnp 雙極增益中。吾人相信最好之

五、發明說明 (76)

裝置，將會以約 5 至 9.0×10^{16} 原子 / 公分³ (0.1 歐姆-公分) 與厚度約 30 微米之 $21D$ 之 N^+ 摻雜產生，以便在順向電壓，速度與短路忍耐能力間達成一平衡之效果。

另外，改良裝置短路忍耐能力之方法係可如上所說明使用三層磊晶材料，其 N^+ 區域 19 包含兩層或不同摻雜濃度之次部份與一 N^- 層 20 。 N^+ 層之第一次部份係儘可能地沈積少些於 P^+ 層上，並且，應該有相當高之摻雜濃度，大於 10^{17} 原子 / 公分³，以有效地控制射極禁區，以及，該 pnp 電晶體之增益。此層較佳地係具有一 5 微米之厚度或少些，但是，可以在 5 至 10 微米厚之範圍。在此層之上，係被加上一低摻雜濃度 (1×10^{15} 至 5×10^{16} 原子 / 公分³) 之較厚 (20 至 50 微米) 之 N^+ 層，以提供基極寬度必須之強度。然後，再如上述加上一 N^- 層 20 。此方法增加了材料在順向電壓與速度控制之可變性位準之複雜性。

經過上述之討論可以清楚知道，在本發明之範圍之中有幾個方法可以使用，以藉由調整 pnp 電晶體基極寬度而增加裝置輸出阻抗 R_o ，損失裝置之速度與順向電壓。Laska 之例子中，沒有 N^+ 層，係基極寬度之最終情況，其在增加順向電壓上，花費太大之成本。我們的提議減輕了些問題。

氧化層 26 可以變更於 1000 至 2500 埃之範圍

五、發明說明(7)

之中，但是，使用於 I G B T 中，通常具有約 1 0 0 0 埃之厚度，以及，一約 1 6 2 5 Å 之厚度係用以製造 M O S F E T。該氧化層可以以電漿加強化學蒸汽沈積 (P E C V D) 加以形成，或可以以習用熱長晶，以作為一啓始處理製程，於一擴散爐經由氧化在約 1 0 0 0 °C 至 1 1 0 0 °C 之溫度中。另外，較佳地，一薄 (1 0 0 埃) 熱氧化層係形成，以限制在矽基體表面之 S i 懸掛鍵，在一電漿加強化學蒸汽沈積 (P E C V D) 層後，以形成氧化層 2 6。結果層 2 6 形成了在最後閘極結構 1 2 中之閘氧化層。

在形成氧化層之前，一初步摻雜步驟係被加在一區域，此區域將會置於如圖 1 8 至 2 3 所示之閘極墊、主滙流排與第二滙流排之下與周邊地包圍著。此步驟係藉由習用遮罩與打樣技術加以執行，這並不需要再作進一步說明。此步驟中所用之打樣係設計以形成在裝置上基體區域中之已摻雜區域，其在閘接合墊與低信號延遲滙流排下，有低的崩潰電壓之傾向。此係申請人之共同美國專利申請案第 0 7 / 6 6 3 , 2 9 7 , “具有摻雜電氣崩潰控制區域之半導體裝置” (為 1 9 8 6 年 3 月 2 1 日第 0 6 / 8 4 2 , 4 6 4 號案之接續案) 所揭示方法之延伸，此處係作為參考。現在較佳之摻雜圖案係以下所說明的，參考如圖 1 8 與 1 9 所示之較佳小晶片之佈圖。

現參照圖 1 8，一在矩形小晶片上之較佳指狀結構，包含兩閘極片 1 1 2 於小晶片之相對端，一主閘滙流排 1

五、發明說明 (8)

13 縱向地延伸 (於圖面垂直) 於閘極片中, 貫穿小晶片之中心, 第二 (水平) 閘極匯流排 114 被分隔於垂直於主閘極匯流排之區域, 以及, 一串聯之源極片 116 與匯流排 117 分隔於主閘極匯流排與介於每第二閘極匯流排間小晶片之邊。非常明顯地, 閘極片並不需要如所示地排列。例如, 亦可改變成通常之一中心定位於閘極片之位置。在形成源極與閘極金屬層 18, 30 後, 一第二金屬層係加以沈積, 以形成厚閘極片 112 與匯流排 113、114, 源極片 116 與匯流排 117 以便自裝置外作電氣連接, 並且, 允許閘極信號以一非常小之延遲, 流通過一非常大區域裝置。這些需求必須重覆單元結構被中斷, 以允許通常之插入加入其中。此些結構一般而言係非常大的, 比如圖 19 所示之單元之一般尺寸還大。

設計主動單元之趨勢已經持續地推擠超微細加工之限制, 以用於更小之尺寸。取決在一製造者之超微細加工之能力, 該單元在尺寸上可以是次微米至幾十微米。在另一方面, 接合板通常係幾百或幾千微米, 由需求之特點作線性延伸, 以與普通尺寸之包裝技術作界面。閘極信號排定軌跡之尺寸係取決於裝置之尺寸與速度之需求。甚者, 由於不能控制在大電流裝置中之大功率之均勻切換, 造成了預熱裝置與系統故障。為了確保裝置之可靠性, 閘單元軌跡應該比閘單元尺寸大很多, 如圖 19 所示。對於申請人之大晶片設計之一, 具有 738 密耳 / (18.745 微

五、發明說明 (29)

米) 階之長尺寸, 一控制閘滙流排 4 密耳 (1200 微米) 寬, 具 7 微米之鋁在多晶矽之頂面, 係用以對晶片之長邊平行, 以完成一小於 50 奈秒 (ns) 之信號延遲。源極片可以是 60 × 35 密耳, 閘極片是 25 × 35 密耳, 以及, 第 2 閘極滙流排係 2 密耳寬。較佳地, 一雙層或更好係三層金屬層係沈積在源極結合片與滙流排區域 116、117。此種量度改進了電流操作容量, 結合源極金屬區域, 與閘極片與滙流排阻絕, 以用以對線接合故障作保護, 並且, 與厚 (大於 8 微米) 之上鈍化劑在一起, 以在一一壓縮結合包裝中提供機械支持, 以防止主動裝置區域由於壓縮接合而受損。第二層足以忍受在壓縮結合包裝中之壓縮接合之厚度至少是 8 微米。金屬之第二層係類似地沈積在閘接合層之閘片區域, 以便與在鈍化層上之源極片絕緣。

因為閘極片與滙流排架構 112、113、114 係完全不同於單元, 在這些架構旁產生通道區域之時間所引入之擴散層間之距離亦不同。於 VLSI 設計中, 當吸極一源極尺寸收縮時, 吸極一源極之限定之擊穿崩潰電壓下降。在另一方面, 相反地, 該功率 MOS 裝置中, 當閘極寬度增加時, 與本體一吸極二極體相關之接合曲線限定崩潰電壓減少。如此之原因乃是在垂直功率 DMOS 裝置中, 吸極 (npn 之集極) 係在矽基體之背面, 而源極 (npn 射極) 與本體 (npn 基極) 擴散係分佈在整個正面

五、發明說明(30)

。這些正面擴散層係自行排列成多晶矽閘周邊。閘極越寬，這些正面擴散層越被分開。當在正常操作下，逆向偏壓係被加至吸極本體二極體二端，冶金接面之電場增加，而且，二極體之中性區域電場減至零。當擴散層接合在一起，接合擴散層之電場係垂直地加上，以抵消一部份之電場。當擴散層無界限地分開，沒有場抵消力存在，則每一擴散層均獨立地作動。從各種閘排定軌跡至閘極片，場抵消之作用會由於這些架構旁之本體擴散層間距離之效力而減少。因為美國專利第07/663,297號已提出申請，申請人已經學會如何在該觀念上作進一步之改良。

加寬閘極排定滙流排造成了通道區域之實質上之損失，此係保留切換整體性之代價。然而，沿著閘極排定滙流排之周邊，一小部份百分比之通道寬度可以被省下，假若在其下之摻雜可以被自多晶矽閘周邊之雙邊除去，以便不致於重合入主動單元。在此新方法中之結構示出DMOS本體與源極擴散層在閘極之兩邊，於一斷面圖中經由一閘極滙流排114。(比較圖20、21與圖22)在閘極滙流排下，基體區域之中央，等距於DMOS擴散層的是墊片/排定滙流排擴散層120。於圖21中墊片/排定滙流排擴散層與DMOS擴散層22間之距離L係相等或小於在圖22中，在一正常閘極單元相反邊反相DMOS擴散層間之距離。接合面深度與兩擴散之曲徑半徑應該符合在美國專利申請第07/663,297號所提議的。

五、發明說明(3)

藉由如此作，間隔之需求，以使阻擋能力超過正常單元係加以完成，同時，還保持頗大之通道。所有不是標準單元尺寸之閘極滙流排可以如此摻雜，以保持阻擋能力。

此修改過之墊片摻雜，假若與本體保持分離，可以漂移至足夠高之位能，以擊穿氧化閘。因此，墊片／排定滙流排擴散層必須與DMOS本體作電氣連接。此係藉由放置短路桿條122在分立之位置中，於墊片／排定滙流排摻雜係相對地引入閘極方向入主動DMOS單元之時。此短路桿條佈置之頻率取決在於該墊片／排定滙流排擴散之電阻性。依據實際經驗所得之已經滿意之作法係由於電流在短路桿間閘極滙流排下擴散層片斷中之最大電壓降應該小於一二極體順向導通電壓，即0.5伏於熱導通切換情況下。

圖19示出一圖18之小晶片沒有金屬層之一部份，示出在閘極墊片與滙流排區域112A、113A、114A與在閘極指部區域116A中，在閘極多晶矽層32下。該閘極指部係被分隔開，並且，該中間區域形成了源極指部118，其端點係連接至源極片與滙流排區域117A。因此，閘極與源極指部係互相交指，另外，係以互補之方式呈錐形。源極指部118之寬度，因此，自其遠端118A（靠近閘極墊片與主滙流排）向其近端而增加。交叉之閘指部具有一寬度係如在其遠端（靠近源極墊片與滙流排117A）之寬度，並且，向其連接到閘極滙流排

五、發明說明 (32)

(即向源極指部之遠端)之近端增加。源極指部之寬度係設計成在其近端之寬度，以便足以承載裝置之最大源極額定電流，在源極指部之長度上，以額定之電流而具有一累積之電壓降小於一伏之分數。該閘極滙流排係呈錐形的。該錐形形狀係作為接近源極滙流排之源極指部之電流承載能力，以便在加大小晶片區域利用時（於單元間之重覆距離之最佳化），減少電流推擠問題。

在閘極墊片與主滙流排區域下之區域係以P型摻雜物（在N通道裝置中）例如硼作高摻雜，以便連接P型本體區域22，其係如圖20中所示之方式，接合閘極片與主滙流排。另外，一圍繞閘極墊片與主滙流排之周邊區域係同樣地，自多晶矽112A、113A到為線119所界定之邊界向外摻雜P型。另外，在第二（水平）閘極滙流排下之區域係類似地被摻雜P型，成一為縱向中央帶120所定義之魚骨狀圖案，此帶係被分隔於沿伸於閘極滙流排對邊之鄰接通道與沿伸於中央帶兩端之短路桿柱122之間，該中央帶在其間係連接該帶至本體區域，同時，於短路桿柱間，保留一實際部份之主動通道。

摻雜在閘極墊片與滙流排係以習用離子佈值與擴散加以執行，以產生一摻雜濃度（較佳約 1×10^{15} / 公分³）相等或較佳超過P型本體區域22之濃度（較佳 2.4×10^{14} / 公分³）以及，深度接近等於P型本體區域之深度。圖20示出短路桿極，其橫過閘極滙流排。圖2

五、發明說明 (37)

1 示出在短路桿柱間一位置中之中心帶 1 2 0。該帶係設計成寬度 W，以便帶 1 2 0 與接近 P 本體區域間之分隔 L 係等於在閘極指部下 P 本體區域間之分隔 L，其係如圖 2 2 所示。此佈置加大了沿著第二排定滙流排可用主動通道之長度。高電流裝置之整個主動通道寬度之幾個百分比係以這方法加以節省。為線 1 1 9 所界定之摻雜 P 之區域沿著主閘極滙流排開中和了在源極指部遠端 1 1 8 A 旁之主動通道區域。此些區域形成角，其係通常容易影響到本地崩潰或栓鎖情況，但是，此情況係為藉由摻雜周邊 1 1 9 而加以避免。

圖 4 示出一新層 3 2 之準備，其係放在氧化層 2 6 之上。此處之層 3 2 係一不透明之摻雜物保護層，較佳係由習用化學蒸汽沈積所形成之多晶矽，具有一大約 7 0 0 0 至 4 0, 0 0 0 埃範圍之厚度，較佳係 2 0, 0 0 0 埃，以便不會為摻雜物之佈值所射穿（1 0 0 % 不穿透），其係使用以形成先前所述之區域 2 2、2 4。層 3 2 較佳係由兩多晶矽之次層形成，具一插入氧化物蝕刻步驟層，以及，下層係被導電地摻雜，如申請人於美國專利案第 4, 8 9 5, 8 1 0 號與第 5, 0 1 9, 5 2 2 號中所說明的。除了在一控制適當摻雜中作為一遮罩外，以創造想要之接合面外，此層亦保護閘極氧化層在隨後之製程中，不受污染。

一光阻層 3 4 係隨後以任何習用無孔洞技術，形成在

五、發明說明(34)

層 3 2 之上。負光阻係在圖 5 與 6 所示，正光阻亦相當地合適。依據實施本發明之較佳方法，只有一單一遮罩步驟，包含一單一獨自之遮罩，需要用以形成主動區域，源極與閘極金屬層，以及另外，用於連接此層至閘極與源極片滙流排之第一金屬層（見圖 1 9 至 2 3）。

因此，再轉至圖 6，此處於光超微細加工步驟中所使用之單一獨立遮罩係大略地如 3 6 所示。將會如熟悉於此技藝者所了解的，圖案將會最終導致電晶體 1 0 係被適當地製作於遮罩 3 6 之中，如圖 6 0 遮罩 3 6 可以看出包含透光區域，例如區域 3 6 a，與不透光區域，例如區域 3 6 b。此遮罩係對準先前已摻雜區域 1 1 9、1 2 0、1 2 2。此係相當容易之排列，對功率電晶體特性之尺寸。一旦，此排列完成，所有之後序步驟係為後序製程所自動排列。圖 6 所例示之組件係於典型之光超微細加工步驟中曝光，其結果是，光阻層 3 4 端面上具有已曝光（在虛線外）之區域與未曝光（在虛線內）之區域。

圖 7 例示出下一步驟，其中，光阻層 3 4 之部份，特別是未曝到光之區域，係為習用之適當之光阻顯影劑所除去。此被除去或露出之區域係大略如 3 8 所示。

圖 8 例示出隨後之下一步驟，其中，該多晶矽層係被藉由商用蝕刻技術加以蝕刻，以便將先前在光阻層 3 4 中所造出之影像傳至層 3 2。因此，一用以曝露區域 3 8 之相符影像係在層 3 2 中完成，此係大略地如 4 0 所指之區

五、發明說明 (35)

域。此處區域 40 所指的是一遮罩代替品圖案界定。因此，所形成之圖案界定具有一限定之佈圖特性（邊構圖）。在隨後之說明後會更加清楚，此佈圖本身或加上邊牆分隔層 62（見圖 13A 至 13D）係用以作為在隨後製造步驟中，必須之自動排列遮罩之手段。

光阻層 34 係隨後為任何便利之習用技術所除去，如圖 9 中所示。下一個要進行之步驟，係一般此處所指之摻雜步驟。

圖 10 例示出一第一佈值步驟，其以一硼佈值之形式來操作，此會導致如下所說明的，在先前說明之摻雜 P 區域 22。該硼佈值步驟係以一習用之佈值機加以執行，以一約 60 至 160 - KEV 之能量位準，一在層 20 中，產生一通常為 1.0×10^{14} （於 MOSFET 裝置）至 2.0×10^{14} （對於 IGBT 裝置）原子 / 公分² 之佈值密度。虛線 42 例示出此步驟中，摻雜物摻入層 20 之峯值密度梯度，以及，此佈值沿伸至約 0.27 至 0.5 微米之深度。我們可以看到，虛線 42 示出佈值橫向沿伸超出圖案限定 40 之邊界之一短距離。此係導致於開氧化層之作用，此層係作為一分散介質。

在 44 所示之虛線，例示出具有類似之硼射入多晶矽 32 之中，但是，並未完全射穿此層，因為其厚度之故。對硼射入功能而言，層 32 之有用之不透明性係重大的，以完成適當地控制在此步驟中之摻雜。當硼已經如此處

五、發明說明(36)

所說明作為第一佈值物，其他 P 型之摻雜物亦可使用以執行相同之功能。

圖 1 1 示出一第一擴散步驟，其係在一習用擴散爐中執行，以一典型約 1 1 5 0 °C 之溫度，約 3 至 8 小時。可以從此處看到的是，佈值物 4 4 之擴散，形成了先前說明的 P - 區域 2 2 之開端。典型地，此擴散區域有一深度，如圖 1 1 中 4 6 所示，約 3 至 6 微米。此區域橫向沿伸超過了圖案限定 4 0 之區域一尺度，如 4 8 所略示的，其係約尺寸 4 6 之百分之六十至百分之八十。

圖 1 2 例示出製程中之下一步驟，其中，開氧化層 2 6 係為任何適當商用蝕刻技術所蝕刻，以轉移一配合圖案（第一圖案限定 4 0 之影像）進入層 2 6 中。因此，此導致了在層 2 6 中一開口 4 9，其配合（在佈圖中）區域 4 0，此區域可以被視為一第二遮罩替代品圖案限定。如下所述，此步驟可在某些情況下省略。

圖 1 3 例示出一第二佈值步驟，在此處所執行的是使用一 N 型摻雜物，較佳地是磷。這步驟，如同第一佈值步驟一般，操作在一習用之佈值機中，以約 4 0 至 1 6 0 K E V 之能量位準，以產生一最後通常為 1×10^{15} 至 1×10^{16} 原子 / 立方公分之佈值密度。導致於區域 2 0 中之佈值之峯值密度係為虛線 5 0 所示，並且，此佈值延伸至一深度，如 5 2 所指約 0.2 微米。可以注意到的是，如虛線 5 0 所指的，剛執行之佈值係完全地包含於 P 型

五、發明說明(37)

擴散區域 2 2 之中，並且，略微橫向延伸超過圖案限定 4 0 之邊界。上面之虛線 5 1 示出磷稍微射入層 3 2 之中，沒有地方完成射透。因此，這裡也一樣，摻雜保護層 3 2 重要地如上述之硼摻雜佈值步驟中所述之作用，以控制並作用成一適當最後摻雜結果。

一個熟悉於此技藝者將會了解到，可以調配其他之製程，能夠有效地將磷引入矽中，而不必增加第二遮罩替代圖案限定，例如，增加佈值能量，以射穿層 2 6，而不必首先將其蝕刻除去。雖然如此，首先說明製造包含開口 4 9 之形成係較佳的。當磷已經特地的使用以執行此佈值，其他 N 型材料亦可加以使用，例如砷或銻。

於隨後步驟（見圖 1 4），磷佈值係擴散，以形成最後變成之 N⁺ 型源極區域 2 4。然而，首先，幾個步驟係加以執行，以拓樸界定最後形成於其上之源極與閘極接點結構與絕緣層。此些步驟係如後所述，並示於圖 1 3 A 至 1 3 D 之中。

圖 1 3 A 示出層 6 1 沈積在層 3 2、2 6 與 2 2 之上面。於下個步驟中，此層係各向異性地蝕刻，以形成邊牆間隔 6 2。層 6 1 可以是化學蒸汽沈積氧化矽（較佳的），氧化矽或氧氮化物，但不必一定是。此層亦可以熱成長 SiO₂ 或包含一啓始薄熱氧化層。層 6 1 可以使用寬範圍之厚度。如下所述，可以使用厚度為 1 至 6 微米，較佳之最終厚度係 2.0 至 2.5 微米。

五、發明說明(38)

於圖 1 3 B 中，層 6 1 已經以商用之方法被各向異性地蝕刻，例如反應離子蝕刻，曝露出矽基體表面，同時，留下一數量之層 6 1，於層 3 2 與 2 6 之垂直邊上，如邊牆 6 2 所示。邊牆 6 2 將會在稍後保護佈值 5 0 之邊緣部份，不被後續之步驟中除去，因此藉以幫助定義 N + 源（射極）區域 2 4 之長度。邊牆 6 2 亦同時加強上述閘極 1 2 與源極 1 6 在後續步驟中之絕緣，以致可替代地作為邊牆界定 6 2。

圖 1 3 C 例示出在區域 6 2 間為一分佈控制方法所蝕刻之曝光矽基體，以形成一凹座或溝槽 6 3。此蝕刻之深度係被控制，以使該溝槽向下延伸通過佈值 5 0，至一約 1.5 微米之啓始深度。此係比先前申請人 MOSFET 製程中的更淺，以允許 P + 佈值 6 6（見圖 1 3 D）在 N + 源極下之更深之擴散，以完成寄生 NPN 電晶體相較於 MOS 裝置有較低基極薄層電阻。較佳溝槽 6 3 之步階分佈具有一外伸部 6 4 係示於圖 1 3 C。此外伸部加強了接點 1 2 與 1 6 之分隔。此分佈較佳係由說明於申請人先前之美國專利第 4, 895, 810 之多重步驟處理方法所產生。此較佳實施例係藉由在平行板電漿反應器上蝕刻，該反應器係底部加電源的，例如 T E - G A L 7 0 1 或 L A M 7 0。一第一各向同性之 2 6 至 7 5 s c c m（標準立方公分每分鐘）六氟化硫蝕刻，以及，2 0 至 5 6 s c c m 氮於 . 7 至 1. 1 T o r r 與 1 0 0 至 2 5 0 瓦係用

五、發明說明(39)

以造出外伸 64，且有一垂直對水平蝕刻之選擇性係小於 3 : 1。一第二，各向異性步驟然後被加以執行，加上 5.0 至 15.0 s c c m 之氣，以同樣功率與壓力，以繼續使溝槽深些，並且，且實際與分隔 62 垂直排列之垂直邊 65。此蝕刻較佳地係以一大於 10 : 1 之垂直對水平蝕刻選擇性加以執行。然而，於此過程中，層 32 之厚度係被減少，但是，層 32 並不一定要減少厚度。

圖 13D 例示出一 P 型摻雜物之第二次佈值，以形成佈值區域 66 在溝槽部份 63 之底部之 0.1 至 0.4 微米深度在 30 至 160 KeV 下，形成 5×10^{14} 至 2×10^{16} 離子 / 公分² 之濃度。佈值沿著在溝槽邊牆 65 下之區域 66 之邊緣散佈。P 型佈值物 66 擴散以形成一 P⁺ 區域 67，並且，在隨後之擴散步驟中有限制 N 型佈值物 50 擴散深度之目的，如圖 14 之內容所討論的，導致了寄生雙極性電晶體增益之實質上之減少。

圖 14 例示出第二與最後摻雜物擴散步驟，其係用以製作裝置 10。此擴散亦在一擴散爐中作用，以通常 1000 °C 至 1100 °C 之溫度下，作用 1 至 10 小時，通常大約為 9 小時。在 22 所指之區域所完成的是，佈值物 50 之擴散完成，此佈值物會導致如在先前所述之 N 型源極區域 24 與一區域 22 之增加 P 型濃度，如區域 67 所示。區域 24 有一水平擴張之尺寸，如 56 所示（擴散超出圖案限定 40 之區域）。

五、發明說明(ψ⁰)

佈值物 6 6 已經擴散以形成區域 6 7。區域 6 7 具有一 1 至 4 微米深度尺寸，如 6 8 所示。以及，一水平擴散尺寸，如 6 9 所示，約尺寸 6 8 之 6 0 % 至 8 5 %。參考號 7 0 示出藉由 P 型區域 6 7 之作用 N 型區域 2 4 之擴散深度之限制。佈值物 5 0 與 6 6 之共同擴散導致了此作用，沿著線 7 0 形成了一 P N 接合面。個別之擴散可以加以執行或佈值物 5 0 之部份擴散可以在佈值物 6 6 之佈值之後，並且，亦可以完成一最後之擴散。

用以在這些步驟中，選擇以用以佈值與擴散之摻雜物可以改變，以獲得 P⁺ 與 N⁺ 區域之不同之相對平面擴散。先前，於製作 M O S F E T 裝置中，申請人使用硼作為 P⁺ 佈值，以及磷作為 N⁺ 摻雜物。然而，使用一相當快擴散 P 型摻雜物使 P⁺ 區域 6 7 在 N⁺ 源極區域 2 4 下水平擴散更遠些，同時，亦保持 P⁺ 區域在 P⁻ 擴散層 2 2 之中。

因此，其係較佳地使用鋁作為 P⁺ 區域摻雜物，磷係使用以作為 N⁺ 源極區域摻雜物，或者，使用硼作為 P⁺ 摻雜物與砷作為 N⁺ 摻雜物。P⁺ 佈值物劑量係較佳地為約 1 至 2 . 0 × 1 0¹⁶ 原子 / 公分³，約此 M O S F E T 裝置之大小高十倍。

擴散區域 6 7 限制佈值物 5 0 之擴散深度，當其擴散以形成源極區域 2 4。其亦增加在區域 2 2 中之摻雜物濃度，因此，增加了裝置之容量，以相較於一沒有此佈值之

五、發明說明(4)

裝置於逆向偏壓情下，能忍受更大之電流。此增加之逆向偏壓電流，通常發生在累增能量測試或感應負載切換時發生，如電流係由於使用現在揭示製程減少雙極性電晶體增益之直接結果，以形成藉由N型區域24，P型區域22、67與N型層20所形成之寄生NPN雙極電晶體。此降低之增益係由在N型區域20與24間之增加P型基極寬度所造成，並且由於擴散67，增加了基極摻雜。區域67橫向地突出接近源極區域(射極)22之通道邊，同時，亦與一很短之射極長度一起作用，以避免由於來自於裝置PNP電晶體部份之電洞電流流動所造成之順向偏壓，此足以導通裝置之NPN電晶體部份。此幫助了在多數操作情形下之栓鎖情形。

然後，假若使用一氧化擴散循環作為此第二擴散步驟之一順序，一薄氧化膜51(如虛線所示)係在溝槽63之中，成長在層20之曝光矽表面。在製程中之此點，此氧化物係可輕易藉由任何適當之習用氧化物蝕刻技術加以除去。此步驟後係跟著一預接點或第二各向異性矽蝕刻步驟，並未使用在MOSFET製程中，其增加溝槽深度至約2.5至4.5微米。

圖14A例示出另一選擇較佳磷區域71之導入，以曝露區域24與67之矽表面，以加強後續之源極金屬28接觸區域24。摻雜物區域71之導入可以藉幾個對熟知此技藝者之習知方法加以完成。此摻雜步驟較佳地係在

五、發明說明 (12)

一擴散爐中加以執行，通常在溫度 750 至 1150 °C 約 10 至 120 分鐘之時間。此磷之源極可以由固體、液體或氣體源形成，或取決邊牆分佈亦可用以佈值。其他摻雜物例如砷或銻可以用以取代磷。此步驟係加以控制，以產生一淺擴散歐姆接觸，例如，一多於 10^{20} 離子 / 公分³ 之濃度與一約 0.5 微米之深度。層 71 隨後作用以連接源極金屬層 28 與源極區域 24，在一 P⁺ 與 N⁺ 區域間形成短路。因此，此層可以稱為一短路層。

另外，此短路層可以藉沈積一耐熔金屬或矽化物層而形成，如在申請人之先前美國專利第 4,895,810 號所說明的，或者，藉非選擇之金屬沈積，其並不會形成矽化物或不會為隨後之鋁（閘極與源極金屬）之蝕刻步驟所蝕刻。

圖 15 例示一隨後步驟，其中，在溝槽 63 中層 20 之上表面部份之矽係再被蝕刻，以產生一加深之最後溝槽，大略如 60 所示。此處所指之蝕刻，係使用在圖 13C 中，電漿溝槽製程中後面的部份，以各向異性之方式加以完成。此處係重要的，蝕刻係被控制，以便確定溝槽 60 之深度完全沿伸穿過 N 型擴散接點區域 70，但只有部份穿過擴散之 P 型區域 67。該最後之溝槽深度係在 3.0 至 5.0 微米之範圍，較佳約 4.0 微米，此係大於在申請人先前 MOSFET 裝置所使用者，以允許較厚之源極金屬能夠供應更多之電流。其亦重要的，該蝕刻係加以執

五、發明說明 (43)

行以製造出一在溝槽 60 中之足夠之直立牆 65，以在後序之製作步驟中，確保導電層 28、30 之電氣隔離，另一個溝槽蝕刻之順序係多晶矽層 32 上面部份與插入氧化層之完全除去，留下層 32 之已摻進部份之下部份（見圖 4 之說明）。這些使裝置 10 具有一具金屬在多晶矽開接點 30 上，與源極接點金屬 28 分隔，在水平上係為分隔 62，在垂直係為溝槽所分隔。

在金屬化步驟之前，其係如下參考圖 16 所述，該基體係摻雜一過渡金屬，最好係白金 (Pt)，但亦可替換相同於類似白金濃度之金 (Au)，以使使用週期控制有效。此最好係藉由離子佈值進入矽基體之前面或背面，一預定劑量 (圖 15) 之選定金屬而完成。對於白金 (Pt)，此劑量係小於 2×10^{16} 原子 / 公分²。離子佈值允許緊密直接之劑量控制，但是，其他方法亦可以沈積一控制之白金劑量在晶片上。一合適之替代方法係 Pt 蒸汽沈積在原處之 Pt 矽化物結構，隨後在王水之中，藉以將過量之白金除去，其後留下一較習用沈積更薄之白金層，小於 20 埃之矽化鉑 (約 10^{16} 原子 / 公分²)。因為，在矽中白金之立體溶解率在 Pt-Si 共晶溫度下約 4 至 5%，可以溶入矽中之白金之量，實際上約 (2×10^{21} 原子 / 立方公分)，此係使用習用蒸鍍與擴散之較高洩漏電流之原因。然而，使用白金佈值或改良之矽化鉑蒸鍍法之數量係可以控制與限制。一在 10^{11} 至 10^{16}

五、發明說明(44)

原子／平方公分範圍之白金劑量係足以有效控制使用期，而不會有預期之洩漏電流上之增加。雖然可以使用較高之劑量，但是，會造成一較高之洩漏電流。

在過渡金屬佈值後，該基體係被退火，以在一預定溫度擴散金屬，該溫度係高於過渡金屬／矽二元系統之共晶溫度。對於在矽中之白金，共晶溫度係 830°C ，而擴散之溫度約在範圍 830°C 至 1100°C 之中，此係近似之臨界或退火溫度，除了過渡金屬外之其他摻雜不純物會開始如預期地擴散並影響接合面深度。較佳地，擴散溫度係在足夠低之範圍，以便形成電晶體接合面之主要擴散層不被如預期地被影響。該較佳之溫度範圍係約在 870°C 至 900°C 。使用擴散之佈值有關劑量之控制，該擴散係在整個晶片與一批次中之晶片中之中央至邊緣擴散係均勻的，較佳之結果係被完成。

圖 17 以三維空間示出在矽表面遠近之可用金屬數量（垂直軸）、退火溫度與金屬擴散進入基體深度間之關係。一沿著佈值劑量與溫度平面之對角線，指示出一溫度之函數之立體溶解度。其可以清楚地看出，為何先前技藝中，藉由高金屬蒸發而擴散之使用期控制，必須導致了高洩漏電流。對於任何可控制厚度之薄膜，以白金而言係簡單多了。況且，任何薄膜之厚度，吾人可能可以垂直地全部地溶解在矽之中。

1×10^{11} 至 1×10^{16} 原子／平方公分之範圍

五、發明說明 (45)

，提供了在各式各樣之功率切換裝置中之使用期控制，該裝置包含 MOSFET、IGBT、雙極性、閘流體，二極體與整流裝置，具有洩漏等於或優於為幅射所提供者，然而却沒有幅射之臨界不穩定之問題。習用蒸汽沈積例如 100 埃之白金會產生一相當之表面劑量 6.5×10^{16} 原子 / 平方公分，其之擴散會形成一大約 3 至 4 階程之沒有使用期控制之洩漏電流。唯一可以控制的是溫度與時間，其在矽中之最終 P t 分佈非常差之控制。相反地，在功率 MOSFET 與 IGBT 型之裝置中，於 1×10^{13} 至 1×10^{16} / 平方公分之佈值之白金劑量所造成之洩漏電流，比沒有使用期控制之裝置小於 2 階。此技術亦較幅射節省成本，因為，習用佈值機器可以藉立體源極之升華，而輕易適以用於金屬佈值。因此，此方法避免了在習用使用期控制之問題中，以過渡金屬，而導致在一基體之表面上沈積過多之金屬，然後，又允許所有金屬原子擴散入矽中之問題。

此技術亦可以使用以多重溫度循環來分佈調製該使用期控制摻雜物。對於 PIN 或 FRED (快速回復二極體) 而言，其係想要使一二極體不會快速地截止流過其中之電流。此一二極體具有一順向再結合時間 t_a 與一逆向再結合時間 t_b 。吾人係希望 t_b 大於 t_a 並且 t_a 加上 t_b 係非常地短，例如，40 至 100 奈秒。在磊晶層體低使用期控制摻雜結合上一靠近 PN 接面接近基體表面之高濃

五、發明說明 (續)

度可以提供最好之效果。該摻雜分佈可以藉多重循環之上述技術而獲得。首先，該基體係被低度地摻雜上例如 10^{11} 鉑原子/平方公分，並且，在第一高溫，例如 850°C 至 865°C 中，擴散鉑原子與整個裝置，對 PIN 而言，約一小時之時間。第 2，一另外劑量之白金原子係加到該裝置之選定表面，並在一較高溫度例如 950°C 至 1100°C 中擴散約 5 至 20 秒（快速熱退水），以致使額外劑量係被保存在接近選定表面之梯度帶中。較佳地，這些劑量可以加於一單一佈值物或矽化物結構之步驟中。假若使用金，則第二擴散可以久些且在一標準擴散爐中完成。

圖 16 例示出本發明製程中之第一步驟，即金屬化或導體材料沈積。於此步驟中，一導體材料例如鋁係被沈積，以便製造接點層 28 與閘極接點層。此步驟係最好由一瞄準線沈積技術，例如冷蒸發或濺射，以使導體材料形成層 18 與接點層 30 作電氣絕緣，但與源極區域 24 作直接或透過源極接點區域 71 作接觸。該金屬厚度可以在 2.5 至 10 微米之範圍，對於 IGBT 型裝置中，約 3 至 5 微米（或者有一更深之溝槽）。

該分佈調製溝槽蝕刻，參考圖 13C 之說明上述，配合導體層之瞄準線沈積，協助確保了層 28、30 之電氣分隔與層 30 與源極區域 24 之接觸。外伸部 64 試著去迅速地在分隔下，屏蔽一部份已曝光矽溝槽邊牆，並且，藉以加強與導體層 30 之隔離。在此同時，擴散或短路層

五、發明說明 (17)

7 1 確保在導體層 2 8 與源極區域 2 4 間之電氣接點。

上述之步驟，亦可藉由一耐火材料例如鎢或矽化物金屬之沈積而成，藉選擇地蒸汽沈積或電鍍，與適當量以確保絕緣，如下所述。

無論使用何種沈積技術，將會傾向在邊牆 6 2 上產生一導體外來物 7 4。此外來物可以沿邊牆向下延伸，可能接連到層 2 8、3 0，因此，應該加以除去。圖 1 6 A 至 1 6 D 例示出一技術，加強了在圖 1 6 中所示之層 2 8 與 3 0 之絕緣。此技術使其可能施加連續之導體膜，其可啓始地連接層 2 8、3 0，並且，然後，將其電氣絕緣。

圖 1 6 A 例示出一層 7 2 加在區域 3 0 與 2 8 之上面。此層可以是一樹脂，例如光阻劑或任何數量之其他化合物，例如聚亞醯胺或旋轉拉胚玻璃。層 7 2 係被加上，以使其極化表面，使在外來物 7 2 上之區域 7 3 係實際上比在 2 8 或 3 0 上之區域層。此層可以用旋轉、濺射或滾動技術來施加，這些技術對於一熟於此技藝者係熟悉的，以製作出較佳之塗覆。

圖 1 6 B 例示出層 7 2 之外表，在其已經實質地減少其厚度漏出外來物 7 4 之後。此減少可以藉由對於此技藝者熟悉之習用技術加以完成，例如電漿蝕刻、離子研磨，反應離子蝕刻，或濕化學蝕刻。此理下層 2 8 與 3 0 保持遮掩，因此未被蝕刻。此步驟係獨一無二的，因為如為分隔 6 2 所修正之替代圖案 4 0 之圖案描述係柘樸地再生，

五、發明說明(48)

沒有超微細技術之習用方法，或係為實質地“自動對準”

。

圖 1 6 C 例示出下一步驟，其中，外來物 7 4 已經被清除。任何沿邊牆向下延伸之金屬可以以持續該蝕刻而加以完成。因此，在層 2 8 與 3 0 間之連接可能性已實質地降低。

圖 1 6 D 例示出在層 7 2 被除去後之裝置 1 0。此可以藉由任何習用方法加以完成。假若，層 7 2 係一種可以保留在裝置表面之材料，例如玻璃，則就不必要清除。

圖 2 8 示出一習用保護環結構 8 0，其係較佳地可使用在申請人之裝置上者。因為，此結構與其製程係習知的，並不需要多加說明。當包含保護環之裝置完成時，一鈍化層 8 2 (圖 2 8) 係如一般所用的加以沈積。

習用 C V (電容電壓) 測試方法示出 L T O 與 P E C V D 沈積膜係在高電壓情況下大略地被極化。然而，我們更發明在某些控制沈積之情況下，P S G 膜不會呈現極化，於 3.5% 之磷含量或者，在 300℃ 如 200 伏/微米之高之電場。在超過 4% 之摻雜位準，當磷含量提高極化就變差。然而，提供一障壁成為可動之離子活動之能力並不十分有效，對於 P S G 膜具有 3.5% 位準之磷含量而言。另一方面，P E C V D 氮化矽膜在最佳控制條件下沈積，係最佳可動離子障壁，但是，同時會容易地極化，即使場強度係低到 300℃、50 伏/微米。

五、發明說明 (u⁹)

對於功率 MOS 裝置減少超過 800 伏，表面場超過 50 伏/微米可以存在保護環中，在此高電場出現時，氮化矽膜會在溫度下隨著時間極化，如圖 28 所示。與膜極化有關之電荷最後會造成在氮化矽界面中之改變，導致了保護環設計之阻擋能力之削減。電荷累積會使在基體中之擴散區域變形，減少在其周邊之曲率半徑，造成有崩潰傾向之高電場定位性。本發明可以避免這情形。

已經有兩方法被成功地測試出。一種方法使用可動離子與一厚度 2 千埃至 8 千埃之薄氮化矽之濕電阻特性之組合，作為一與較厚第一非極化膜例如 10 千埃至 35 千埃膜之 PSG 之頂層蓋，該 PSG 膜具有低於極化開始臨界之磷含量（小於 4%）。藉由使用厚非極化第一層，可極化膜係再被自氮化矽上清除，導致在埋入基體中極化作用之降低。藉由使用一薄頂層，由於極化之淨電荷製造亦同時降低，同時，保留了可動離子與濕電阻。此方法之優點係並不使用存在之介電質膜，以及，沒有新的膜必須再被顯影。

一種第二較佳方法係製造出一新膜，在同時，其係非可極化的與抵擋可動離子。我的研究顯示，排列在耐火索引中自 1.48 至 1.90 從拉力至壓縮之氮氧化物膜之連續量可以藉由使用 PECVD 沈積裝置而變成不可極化，該裝置係可自幾個賣主購得。然而，沈積條件與氣體動力必須適當地設計，以完成想要的非極化作用。各種之選

五、發明說明(50)

擇可加以利用，此係取決於裝置表面之拓樸與平衡壓力，作為一可動離子障壁效用，與蝕刻特性之需要。耐火與壓力之指數愈高，更多氟化物般與結果更多之可動離子阻抗會在膜中。最低之壓力係在耐火指數約 1.68 至 1.72 範圍中完成。

P E C V D 膜之極化特性係強烈地為沈積條件所影響。離子化氣體保留時間直接影響膜極化。當所有之沈積條件例如壓力、功率與溫度均相等時，較長之保留時間會有更多之可極化膜。短保留時間產生較低極化膜。在極化性與成本間之優點係短的保留時間暗示較高之氣體流速與較無效之氣體利用率。每一型沈積系統均有其自己控制之最佳化。對於一具有氣體向爐管長度流下與長平行電極之系統，最好係使用脈衝型之沈積，具有短的導通週期插入於長的截止週期之間，以允許離子化氣體在下一導通週期之沈積來到之前，有足夠之時間，以離開該系統。對於一具有非常短反應距離自入口到出口，保留時間係主要由氣體流量與容室壓力所控制。高氣體流量與低容室壓力反應著短保留時間，在控制之沈積下，不可極化 P S G 與氧氟化物膜已經被成功地加在高電壓功率裝置中。

為了防止 P E C V D 沈積膜在高電場下呈現極化，膜之沈積必須被控制。通常有兩種系統會在產業中遭遇，此二種系統係藉由 R F 功率、C W 與脈衝沈積之操作模式加以區分。C W 使用具單一或多重頻率之 R F 源連續沈積。

五、發明說明(5)

脈衝沈積允許以分立之開／關循環來截斷 R F 功率。在每一系統中，離子化氣體分子之保留時間係接近晶片離開沈積容室前之時間，並且，氣體混合在控制極化性程度上係重要的。

除了機械應力、光學特性、耐火指數與擴散阻力外，PECVD 膜之組成亦會強烈地影響其極化性。氮化物膜一般係被極化，因為該膜阻止向外擴散與夾帶氫原子以形成矽烷 (Si-H) 鍵之能力。假若過量之矽烷被加入膜中，氧化物或氧氮化物膜亦可被極化。因為 PECVD 膜之沈積包含矽烷 (SiH₄) 基礎之氣體 (對氮化物為 SiH₄ + NH₃、對氧化物為 SiH₄ + N₂O，以及對氧氮化物為 SiH₄ + NH₃ + N₂O)，並不足為奇的是，這些膜通常包含過量之矽烷 (Si-H) 與輕易地極化，除非非常小心。當然，在膜中導入各種成份係取決於氣體混合物之組成與離子化之狀態而定。較長之離子化矽烷靠近晶片表面與愈高之部份壓力，似乎會將併入沈積膜中。

給予存在於使用以沈積 PECVD 膜系統之各種結構，減少矽烷 (Si-H) 併入之條件將不會一致。然而，本發明之共用名稱係在所有之系統中，減少矽烷之併入。再一次重覆，此係可以在任何系統中完成，藉由控制在氣體混合物中矽烷之部份壓力與離子化矽烷停留在沈積容室之停留時間而完成。較低部份壓力與較短停留時間係較佳

五、發明說明 (5)

之參數。並不是只有一組數目，就可以在不同系統中使用以達成相同之結果，此乃因為系統之差異性之故。

例如，我們以一使用平行電極於長擴散爐之系統為例，例如一ASM系統，一對熟於此技藝者作相當熟之品牌。選擇一氣體混合125 s c c m矽烷 (SiH_4) 至1800 s c c m之氨 (NH_3) 以1比14之比例，一2.5托 (T o r r) 之容室壓力，一430℃之沈積溫度，以及，一沈積週期為25毫秒開 / 200毫秒關，當沈積膜厚度超過2000埃時，膜係被高度極化。然而，假若其他參數未變更，週期改為12毫秒開 / 200毫秒關，矽烷保留時間被近似減半，並有一較少之可極化膜。假如，我們保持相同之氣體流量之矽烷與氨，但是，注入一非常小量之一氧化二氮 (N_2O)，以小於0.1之比例注入矽烷中，但是保持相同之沈積情況，膜完全不會極化並且對機械應力而言，會作用得像氮化物膜沒有 N_2O 。然而，假若開 / 關週期回到25毫秒開 / 200毫秒關，就會使極化再出現，即使是使用了同樣少數量之 N_2O 。對任何指定之沈積溫度、容室壓力、與開 / 關週期，極化性之減少會隨著矽烷部份壓力之減少而減少。

對更進一步分析上，氣體比例在S-i-H之應用上與結果之極化性上所扮演之角色似乎非常符合邏輯。藉由開 / 關週期所定義之保留時間與配合上容室壓力所扮演之複雜效果，係非常難加以模組化。所影響的是膜成長之微觀

五、發明說明(5)

製程。在晶片表面上每一組成離子化分子之吸收與解吸可能強烈地為在氣體流中分子移動速率，以及，其部份壓力所影響。當離子化分子速度增加，其濺射、擴散、附著在晶片表面上、化學反應、解吸、與擴散回到氣體流中之相對能力在任何指定時間間距，對於每一氣體成分將會有不同之改變。我們觀察是在一短暫之關一時間引入於一短沈積期之後，氫原子會解吸並且將其自身自表面上移除，留下一較少被 Si-H 分子污染之膜。加入一少量之氧，以協助束縛氫，以形成 Si-OH 鍵，並且，同時降低極化性。但是，假若 Si-H 加入量超過 Si-OH 結構例，過量之 Si-H 鍵依舊會存在以產生極化。

對於使用 CW 沈積之系統，在導入一“關”週期，以允許氫解吸並沒有關連。唯一可用以降低之方法，是否是 Si-H 經由一氣體比例控制。一比在第一個例子中所使用之很低之矽烷部份壓力係必須的，以完成可比較之結果。

當一特殊裝置之使用者，用以完成非極化膜之參數最好能隨著上述指引之憑經驗建立，以降低 Si-H 併入膜沈積中，並藉由施加高電壓（-200 伏/微米）於此膜兩端之金屬接點上，以在習用 CV（電容電壓）量測中，測試最終膜。

因此，吾人應該考慮由發明提供者所提議之方法，在用以製造功率 MOSFET 與 IGBT 裝置上，所提供之

五、發明說明(54)

超過習知先前技藝過程所能之改良。對於此點之討論已經初步地集中在 I G B T 裝置上，以及，亦可以使用在 M O S F E T 裝置上。在使用期控制、起伏短路忍耐能力，用於高壓可靠性上之非極化鈍化物，及用以減少本地弱點與栓鎖之佈圖改進所揭示之觀念，亦可相當地應用到另一等級之類似 M O S F E T 與 I G B T 之功率裝置上，包含 M O S 控制開流體 (M C T)，例如，於 V . A . K . T e m p l e 於 I E E E T r a n s 電子裝置，E D - 3 3，1 9 8 6 年 1 0 月 第 1 6 0 9 至 1 6 1 8 頁與其啓源刊物為 J . B a l i g a 在 I E E E T r a n s 電子裝置 E D - 3 8，1 9 9 1 年 7 月 第 1 6 1 9 至 1 6 2 3 頁所說明之射極切換開流體 (E S T) 中所說明的。此些裝置係設計以在開狀態時，為開流體模式操作，並且，在從開至關狀態之暫態中像 I G B T 般地關閉。上述用以製造 I G B T 之製程亦可以容易為熟於此技藝者所用以製造 M C T 與 E S T，藉由增加二額外之擴散層於現行 I G B T 製程中，以實現該開流體。這些技術亦可以用以在其他例如雙極性電晶體，B J T，P N 二極體與 P - i - N 整流器之其他功率裝置之製造發展上。本發明之各種方面，亦可用在除了申請人較佳加強源極裝置之裝置架構與製程上，並且，以具有交指指部佈圖包含平面架構與多角形單元佈圖加以處理。

已經在一較佳實施例與其變化例子上，說明與例示了

五、發明說明(5)

本發明之原理，非常明顯地，熟於此技藝者可以在不脫離本發明之原理下，將本發明在佈置與細節上作修改。我們主張所有之修改均在申請專利範圍之範圍與精神中。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱：)

I G B T 製程與具白金使用期控制之裝置

對於 I G B T , M C T 之類的裝置而言，基板係以 P + , N + 及 N - 層加以形成，以及 P N 擴散以在上表面之 N - 層與 M O S 閘通道中，定對出本體與源極區域。該 N - 層係有限制大小且被摻雜 ($-10^{14} / \text{cm}^3$) ，以阻止反相偏壓。該 N + 層係大於 $20 \mu\text{m}$ 厚以及被摻雜低於 $10^{17} / \text{cm}^3$ ，但是高於 N - 摻雜，以加強輸出阻抗與降低在高 V_{ce} 條件時之增益。或者，該 N + 層係以一薄 (小於 $5 \mu\text{m}$) 高摻雜 (大於 $10^{17} / \text{cm}^3$) 層及一厚 (大於 $20 \mu\text{m}$) 層之小於 $10^{16} / \text{cm}^3$ 摻雜而形成。 -10^{13} 至 $10^{16} / \text{cm}^2$ 之白金劑量係離子佈值與

英文發明摘要(發明之名稱： IGBT PROCESS AND DEVICE WITH PLATINUM LIFETIME CONTROL)

For IGBT, MCT or like devices, the substrate is formed with P+, N+ and N- layers and PN diffusions to define body and source regions in the N-layer and a MOS-gated channel at the upper surface. The N-layer is sized and doped ($\sim 10^{14}/\text{cm}^3$) to block reverse bias voltage. The N+ layer is $>20 \mu\text{m}$ thick and doped below $\sim 10^{17}/\text{cm}^3$ but above the N- doping to enhance output impedance and reduce gain at high V_{ce} conditions. Or the N+ layer is formed with a thin ($\sim 5 \mu\text{m}$) highly doped ($>10^{17}/\text{cm}^3$) layer and a thick ($>20 \mu\text{m}$) layer of $\sim 10^{16}/\text{cm}^3$ doping. A platinum dose of 10^{13} to $10^{16}/\text{cm}^2$ is ion implanted and diffused into the silicon to effect lifetime control. Gate and source contacts and body and source diffusions have an inter-digitated finger

附註：本案已向 美 國 (地區) 申請專利、申請日期：1992.3.13 案號：07/852,932

- 2 -

四、中文發明摘要(發明之名稱:)

擴散進入矽中，以影響使用期控制。閘極與源極接點及本體與源極擴散層有一交互指狀圖案具有互補之電阻分佈特性，以減少電流溢出及寬閘極匯流排用以減少信號延遲。

P⁺ 摻雜在閘極板之下與周邊圍繞著閘極板，主閘極匯流排減少在分隔開之本體區域與在源極指部端之凸位置之崩潰情況。寬的第二閘極匯流排具有 P⁺ 摻雜中央帶之平行閘極指部，以及，橫向短路桿柱沿著其長度分隔。一低磷 P S G 或氮化物或氧氮化物或單氧氮化物一者之非可極化 P E C V D 鈍化膜係藉由控制離子化氣體保留時間、矽烷部份壓力，與在沈積時氧比例加以製成，以減少 Si-H 併入膜中。

英文發明摘要(發明之名稱:)

pattern with complementary tapers to minimize current crowding and wide gate buses to minimize signal delay. P⁺ doping beneath and marginally surrounding the gate pads and main gate bus negates breakdown conditions in widely spaced body regions and convex localities at the source finger end. Wide secondary gate buses parallel to the gate fingers have a P⁺ doped central stripe and transverse shorting bars spaced along their length. A non-polarizable PECVD passivation film of low phosphorus PSG and nitride or oxynitride or of oxynitride alone is made by controlling ionized gas residence time, silane partial pressure, and oxygen ratio during deposition, to minimize incorporation of Si-H into the film.

附註：本案已向

國(地區)申請專利、申請日期：

案號：

-3-

六、申請專利範圍

1. 一種用以製造一MOS型絕緣閘控制四層功率切換裝置之改良式製造程序，該程序包含：

形成一半導體基體具有第一摻雜物型之第一層，以界定一裝置陽極，以及，一第二相反極性摻雜物型之第二層，以界定一吸極區域，自該基體之上表面向第一層延伸；

在該基體第二層之上表面上形成一絕緣層，以及，在該絕緣層上形成一絕緣閘極接點層；

形成雙擴散區域，包含一第一摻雜物型之本體區域，以及，一在該本體區域中之第二摻雜物型之源極區域，該本體區域以吸極與源極區域形成兩PN接面，吸極與源極係相對地分隔，以便定義一通道區域在本體區域中在絕緣閘接點之下；

形成一源極接點沿著閘極接點之邊緣，但是，與其作隔絕分隔，源極接點形成一電氣連接至源極區域與本體區域，以及，其間一短路，並且，為該裝置定義出一陰極接點；

在基體之另外一邊形成一基體之陽極接點，以與第一層作電氣連接；

形成該第二層之步驟包含：

形成一第一部份接觸該第一層，並且，具有一第一厚度與一第一摻雜濃度；

形成一第二部份接觸第二層，並且，延伸至上述之上表面，以收納上述雙摻雜區域；

六、申請專利範圍

排列與摻雜第二部份成為一第二厚度與一第二摻雜濃度，使足以阻擋一預定之最大逆向偏壓；及

排列與摻雜第一部份，以產生一預定之輸出阻抗（ R_o ），當一高壓（ V_{ce} ）加在陰極與陽極接點時，於順向導通時，足以抵擋電流流動。

2. 如申請專利範圍第1項所述之程序，其中；該第二層之第一部份係被計量成與摻雜，以提供一輸出阻抗，致使在一短路脈衝端之短路容忍電流不超過該裝置之3X之室溫額定之連續陽極至陰極電流。

3. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係計量與摻雜，以提供一輸出阻抗，致使在一短路脈衝端之短路忍受電流，係在該裝置之室溫額度之連續陽極至陰極電流之2X至3X之範圍。

4. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係被計量與摻雜，以便在80%之額定陽極至陰極電壓下，提供一至少370歐姆一公分之有效輸出阻抗。

5. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係被量計與摻雜，以使裝置之輸出阻抗被足夠地提昇，以通過一至少10微米之短路忍受測試需求。

6. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係被量計成至少20微米之厚度。

六、申請專利範圍

7. 如申請專利範圍第6項所述之程序，其中，該第二層之第一部份係被設計成在20至50微米範圍之厚度。

8. 如申請專利範圍第6項所述之程序，其中，該第二層之第一部份係被摻雜成一摻雜濃度大於第二部份之摻雜濃度。

9. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係被摻雜成一摻雜濃度大於第二部份之摻雜濃度，但是，少於 5×10^{17} 原子/立方公分與設計成至少20微米之厚度。

10. 如申請專利範圍第9項所述之程序，其中，該第二層之第一部份係摻雜成 5×10^{15} 至 9×10^{16} 原子/立方公分之範圍之摻雜濃度。

11. 如申請專利範圍第9項所述之程序，其中，該第二層之第一部份係被摻雜與量計成一約 10^{14} 原子/立方公分之摻雜濃度與一厚度，剛好足以減少最大之逆向偏壓，此係裝置被設計之目的。

12. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係摻雜與量計成在5至 9×10^{16} 原子/立方公分範圍之摻雜濃度與一在3.0微米增減20%範圍之厚度。

13. 如申請專利範圍第1項所述之程序，其中，該第二層之第一部份係由兩次部份所形成，包含一第一次部

六、申請專利範圍

份與一第二次部份，每一次部份均有一大於上述第二部份之摻雜濃度，該第一次部份具有一大於第二次部份之摻雜濃度。

14. 如申請專利範圍第13項所述之程序，其中，該第二次部份具有一比第一次部份大之厚度。

15. 如申請專利範圍第14項所述之程序，其中，該第一次部份具有一約5微米之厚度，以及，該第二次部份具有-20至50微米之厚度。

16. 如申請專利範圍第13項所述之程序，其中，該第一次部份具有至少 10^{17} 原子/立方公分之摻雜濃度，以及，該第二次部份具有在 1×10^{15} 至 5×10^{16} 原子/立方公分範圍之摻雜濃度。

17. 如申請專利範圍第16項所述之程序，其中，該第一次部份具有一比10微米小之厚度，以及，第二次部份具有一至少20微米之厚度。

18. 如申請專利範圍第1項所述之程序，包含沈積一預定劑量之適以用於少數載子使用期控制之過渡金屬，以及，然後，擴散過渡金屬原子於整個基體。

19. 如申請專利範圍第18項所述之程序，包含控制過渡金屬之劑量，以產生一足以影響使用期控制而不會實際增加該裝置之洩漏電流之濃度。

20. 如申請專利範圍第18項所述之程序，其中，該過渡金屬係白金，以及，該沈積步驟包含控制過渡金屬

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

之沈積，以沈積一最大 1×10^{16} 原子 / 平方公分或少些之劑量。

21. 一種用以製造一 MOS 型絕緣閘控制四層功率切換裝置之改良製作程序，此程序包含：

形成一二極體基體具有一第一摻雜物型之第一層，以界定一裝置陽極，以及，一第二反相極性摻雜物型之第二層，以界定一吸極區域自基體之上表面向第一層延伸；

形成一絕緣層在基體第二層之上表面，以及，形成一絕緣閘接點層在該絕緣層上；

形成雙擴散區域包含一第一摻雜物型之本體區域與一第二摻雜物型之源極區域在該本體區域中，該本體區域形成具有相對分隔開之吸極與源極區域之兩 PN 接面，以便在本體區域中定義一通道區域於絕緣閘接點之下；

沿著閘極邊形成一源極接點，但是，加以分隔絕緣，該源極接點形成一電氣接點至源極區域與本體區域，以及在其間之一短路，並且，定義該裝置之陰極接點；

在基體之相反邊形成一陽極接點，與第一層作電氣連接；及

執行一少數載子使用期控制程序包含：

提供一過渡金屬具有一在矽中之深位準，適以再結合；

決定該選定過渡金屬之最大劑量，其可以在基體之共晶溫度與基體之退水溫度範圍間之溫度中，完全地溶解入

六、申請專利範圍

基體之中；

沈積一預定劑量小於最大劑量之過渡金屬，並然後在上述溫度範圍中擴散金屬原子於整個基體上。

2 2 . 如申請專利範圍第 2 1 項所述之程序，包含決定與沈積一小於最大劑量之劑量之過渡金屬，是以影響使用期控制而不會實際地增加該裝置之洩漏電流。

2 3 . 如申請專利範圍第 2 1 項所述之程序，其中，該沈積步驟包含離子佈值小於最大劑量之已控制劑量之過渡金屬。

2 4 . 如申請專利範圍第 2 1 項所述之程序，其中，該沈積步驟包含形成一過渡金屬之矽化物層於基體上，以及，剝離過量之沈積過渡金屬，以產生一小於最大劑量之過渡金屬劑量。

2 5 . 如申請專利範圍第 2 1 項所述之程序，其中，該擴散溫度係足夠高，使過渡金屬之固體溶解超過在矽中金屬之佈值劑量。

2 6 . 如申請專利範圍第 2 5 項所述之程序，其中，該過渡金屬係白金，最大劑量係 1×10^{16} 原子 / 平方公分，以及，擴散溫度係在 830°C 至 1100°C 之範圍。

2 7 . 如申請專利範圍第 2 6 項所述之程序，其中，該白金之沈積劑量係在 1×10^{14} 至 1×10^{16} 原子 / 平方公分之範圍。

六、申請專利範圍

28. 如申請專利範圍第26項所述之程序，其中，該擴散溫度係870℃至900℃。

29. 在一種用以製作至少具有一PN接面之半導體功率裝置之製造程序中，一改良少數載子使用期控制程序包含：

選擇一在矽中具有深位準，用以再結合之過渡金屬；

決定該選定過渡金屬之最大劑量，其可在基體之共晶溫度與基體之退火溫度之間範圍中之一溫度，完全地溶解入該基體中；

決定與沈積一劑量之過渡金屬而不超過最大劑量，足以有效控制使用期而不會實質地增加該裝置之洩漏電流；及

在上述範圍中之一溫度中，擴散該金屬原子於整個基體上。

30. 如申請專利範圍第29項所述之程序，其中，該沈積步驟包含離子佈值一少於最大劑量之已控制之過渡金屬劑量。

31. 如申請專利範圍第29項所述之程序，其中，該沈積步驟包含形成一過渡金屬之矽化物層於基體上，以及，剝離過量之沈積過渡金屬，以產生一少於最大劑量之過渡金屬劑量。

32. 如申請專利範圍第29項所述之程序，其中，擴散溫度係足夠高，使過渡金屬之固體溶解性超過在矽中

六、申請專利範圍

金屬之佈值劑量。

33. 如申請專利範圍第29項所述之程序，其中，該過渡金屬係白金。

34. 如申請專利範圍第33項所述之程序，其中，最大之劑量係 1×10^{16} 原子/平方公分，以及，擴散溫度係在 830°C 至 1100°C 之範圍。

35. 如申請專利範圍第33項所述之程序，其中，白金之沈積劑量係在 1×10^{11} 至 1×10^{16} 原子/平方公分之範圍。

36. 如申請專利範圍第35項所述之程序，其中，該擴散溫度係 870°C 至 900°C 。

37. 如申請專利範圍第29項所述之程序，其中，該過渡金屬是金。

38. 如申請專利範圍第37項所述之程序，其中，該金之沈積劑量係在 1×10^{11} 至 1×10^{16} 原子/平方公分之範圍。

39. 如申請專利範圍第29項所述之程序，其中，該裝置係一MOS型絕緣閘控制功率切換裝置。

40. 如申請專利範圍第29項所述之程序，其中，該裝置係一三層MOS型絕緣閘控制功率切換裝置。

41. 如申請專利範圍第29項所述之程序，其中，該裝置係一四層MOS型絕緣閘控制功率切換裝置。

42. 如申請專利範圍第29項所述之程序，其中，

六、申請專利範圍

該裝置係一MOS型絕緣閘控制PN二極體或P-i-N整流器。

43. 如申請專利範圍第29項所述之程序，其中，該裝置係一功率型PN二極體或P-i-N整流器。

44. 如申請專利範圍第29項所述之程序，其中，該裝置係一功率型雙極性電晶體。

45. 如申請專利範圍第29項所述之程序，其中，該裝置係一閘流體。

46. 一種用以製作一MOS絕緣閘控制功率切換裝置之改良製造程序，該程序包含：

形成一半導體基體具有一上表面與下表面，以及包含一或多層界定一第一摻雜物型之吸極區域，自該上表面向基體之下表面延伸；

形成一絕緣層在基體之上表面，以及，一絕緣閘接點層在絕緣層上；

形成雙擴散區域包含一第二相反摻雜物型之本體區域，以及，一第一摻雜物型源極區域在本體區域中，該本體區域形成具有相對分開之吸極與源極區域之兩PN接面，以界定在絕緣閘接點下本體區域之一通道區域；

沒著閘接點邊形成一源極接點層，但是，從該處絕緣分隔，源極接點形成一電氣連接至源極區域與本體區域，以及，其間一短路，以及，界定了該裝置之源極或陰極接點；及

六、申請專利範圍

形成一吸極或陽極接點在基體之下表面；

該絕緣閘接點層與源極接點層被定型而成為數互補、平行交指間與源極閘，以及，一閘極滙流排互連閘極指部；

該本體與源極區域沿著閘極指部與閘極滙流排之對邊縱向延伸，該本體區域被分隔在第一摻雜物型吸極區域兩邊閘極指部下之第一橫向分隔 L_1 ，並且，被分隔在閘極滙流排下，大於第一分隔 L_2 之第二分隔 L_2 ，並且，形成一第一崩潰傾斜區域；

該程序更包含以第二摻雜物型之摻雜物摻雜至少一部份之第一崩潰傾斜區域，超過橫向之範圍，以有效地連接閘極滙流排下之源極區域，以及，中和接近此接合點之一部份通道區域。

47. 如申請專利範圍第46項所述之程序，其中，該閘極滙流排包含一第一滙流排橫向地連接閘極指部之近端，以及，一第二滙流排平行延伸與分隔在兩閘極指部之間，該第二滙流排具有一大於閘極指部之寬度，以及，藉以建立第二分隔 L_2 與在接近本體區域下，形成上述第一崩潰傾斜區域，摻雜第一崩潰傾斜區域之步驟包含形成一中央摻雜帶分隔，在接近本體區域下之間，並且，計量一寬度有效地降低在閘極滙流排下，自第二分隔 L_2 至一小於第一分隔 L_1 之分隔源極區域間之間隔。

48. 如申請專利範圍第47項所述之程序，其中，

六、申請專利範圍

摻雜第一崩潰傾斜區域包含形成一橫向摻雜短路桿列，連接沿著中央摻雜帶分隔間距之源極區域。

49. 如申請專利範圍第46項所述之程序，其中，摻雜第一崩潰傾斜區域包含形成一橫向摻雜短路桿，連接在閘極匯流排下分隔間距之源極區域。

50. 如申請專利範圍第49項所述之程序，其中，短路桿係被分開，以在短路桿間，保留一實質部份之通道區域。

51. 如申請專利範圍第46項所述之程序，其中，該閘極匯流排包含一第一匯流排橫向地連接閘極指部之近端，本體與源極區域以一凸面形狀沿著第一閘極匯流排之一邊延伸，並且，形成一第二崩潰傾斜區域，該程序更包含沿著包圍第二崩潰傾斜區域寬度之一第一匯流排之至少一邊摻雜第二摻雜物型之摻雜物，以便連接在閘極指部下靠近本體之區域。

52. 如申請專利範圍第51項所述之程序，其中，該第一匯流排具有一大於閘極指部寬度之寬度，藉以建立第二分隔 L_2 ，以及，在接近本體區域下，形成上述第一崩潰傾斜區域，摻雜第一崩潰傾斜區域之步驟包含至少摻雜在第一匯流排下一部份之第一崩潰傾斜區域第二摻雜物型之摻雜物，超過一橫向範圍，有效地降低在閘極匯流排下，自第二分隔 L_2 至一不大於第一分隔 L_1 之間隔，源極區域間之間隔。

六、申請專利範圍

53. 如申請專利範圍第51項所述之程序，其中，該第一滙流排具有一大於閘極指部寬度之寬度，藉以建立第二間隔 L_2 與在接近本體區域下之間，形成上述第一崩潰傾斜區域，摻雜第一崩潰傾斜區域之步驟包含摻雜在第一滙流排下之整個第一崩潰傾斜區域並包含上述邊緣，以第二摻雜物型之摻雜物。

54. 如申請專利範圍第46項所述之程序，其中，源極與閘極指部架構係以互補方式加條紋，以使源極金屬指部之寬度自其遠端增加，向近端前進，連接一源極滙流排與片成一具有足夠電流承載容量接近源極滙流排與片之寬度，以減少電流擁擠。

55. 如申請專利範圍第54項所述之程序，包含沈積一第二金屬層在源極片與源極接點層之滙流排區域。

56. 如申請專利範圍第55項所述之程序，其中，該第二層係被設成連接所有源極片區域之圖案，並與一在鈍化層上之閘極片絕緣。

57. 如申請專利範圍第55項所述之程序，其中，該第二層係沈積成一厚度，足以忍受在一壓力結合包裝中之壓力接合。

58. 如申請專利範圍第55項所述之程序，其中，該第二層係沈積成至少8微米之厚度。

59. 如申請專利範圍第54項所述之程序，包含沈積一第二金屬層於閘極接點層之閘極片區域。

六、申請專利範圍

60. 如申請專利範圍第59項所述之程序，其中，該第二層係被設成連接所有閘極片區域之圖案，並與在鈍化層上之源極片絕緣。

61. 如申請專利範圍第59項所述之程序，其中，該第二層係沈積成一足以忍受在一壓力結合包裝中之壓力接合之厚度。

62. 如申請專利範圍第59項所述之程序，其中，該第二層係被沈積成一至少8微米之厚度。

63. 一種用以製造MOS型絕緣閘控制功率切換裝置之改良製造程序，該程序包含：

形成一具有一上表面與下表面之半導體基體，並且，包含一或數層界定一第一摻雜物型之吸極區域，自上表面向基體之下表面延伸；

形成一絕緣層在基體之上表面，以及，一絕緣閘極接點層在此絕緣層上；

形成雙擴散區域包含一第二相反摻雜物型之本體區域，以及，一第一摻雜物型之源極區域在本體區域上，該本體區域形成具有相對分隔之吸極與源極區域之兩PN接面，以便定義在接近絕緣閘極接點下之本體區域中之一通道區域；

形成一源極接點層沿著閘極接點邊，但是，從該處絕緣分隔，源極接點形成一電氣接點至源極區域與本體區域，以及，在其間一短路，以及，為該裝置定義一源極或陰

六、申請專利範圍

極接點；

形成一吸極與陽極接點在基體之下表面；及

在基體之上表面沈積一介電膜，包含選擇一介電質組成並控制其沈積，以產生一在高壓情況下，實際不極化之膜，以及，形成一有效可動離子與濕性障壁。

64. 如申請專利範圍第63項所述之程序，其中，該源極接點層係相對地收納閘極接點層，進入在基體上表面之一溝槽，沈積一介電膜之步驟包含形成膜成足夠厚度，以提供在閘極與源極接點間之步階掩蔽。

65. 如申請專利範圍第63項所述之程序，包含形成一周邊保護環圍繞著為源極與閘極接點層所佔據之區域，該保護環包含一導體場板與一導體通道停止板在基體之上表面，為一界定高場極化傾斜區域之凹入開口所分隔，沈積一介電膜之步驟包含形成足夠厚度之膜，以提供在該場板與通道停止板間之步階遮蓋。

66. 如申請專利範圍第63項所述之程序，其中，沈積一介電膜之步驟包含沈積一一致第一層之具有少於4%磷含量之矽化磷玻璃（PSG），以成為非極化之方式，即使在非常高電壓情況下，以及，沈積一第二層，其係由一適以形成一濕式與可動離子阻抗障壁在第一PSG層上之介電質所組成。

67. 如申請專利範圍第66所述之程序，其中，該第一層之矽化磷玻璃（PSG）具有一3.5%或更少之

六、申請專利範圍

磷含量。

68. 如申請專利範圍第66項所述之程序，其中，該第一層係被製成足夠厚，該第二層可以是一可極化材料，但是係被第一層自基體上分隔，以降低由於在第二層之極化之淨電荷產生，同時，保持可動離子與濕式阻抗。

69. 如申請專利範圍第66項所述之程序，其中，該第一PSG層係被製成10,000至35,000埃之厚度。

70. 如申請專利範圍第69項所述之程序，其中，該第二層係由氮化矽或氧氮化物形成。

71. 如申請專利範圍第66項所述之程序，其中，該第二層係藉由沈積一層氮化矽或氧氮化物所形成，以此方式，以便即使在非常高壓情況下，亦成為非極化。

72. 如申請專利範圍第63項所述之程序，其中，沈積一介電膜之步驟包含沈積一一致層之氧氮化物，以形成一非可極化膜之方式。

73. 如申請專利範圍第63項所述之程序，其中，沈積一非極化介電質膜之步驟包含藉由電漿加強蒸汽化學沈積(PEVCD)使用矽烷(SiH_4)基礎之氣體，沈積一氧化物膜、一氮化物膜、一氧氮化物膜及一低磷矽化磷玻璃(PSG)膜之一，並控制沈積狀況，以於沈積時，減少離子化氣體之出現，包含氮化合物離子，以減少Si-H分子併入膜中。

六、申請專利範圍

74. 如申請專利範圍第73項所述之程序，其中，PEVCD係控制以在一沈積容室，沈積一非可極化介電膜於一晶片上，此乃藉由於離開沈積容室並靠近晶片，限制離子化氣體分子之保留時間，及，藉由控制在氣體混合物中矽烷之部份壓力，以減少Si-H分子之出現。

75. 如申請專利範圍第74項所述之程序，其中，該氣體混合物包含1:14比例之矽烷(SiH₄)與氨(HN₃)。

76. 如申請專利範圍第75項所述之程序，其中，該氣體混合物更包含氧化二氮(N₂O)對於矽烷以大於0.1之數量比例。

77. 如申請專利範圍第74項所述之程序，其中，該氣體混合物包含矽烷(SiH₄)、氨(NH₃)與氧化二氮(N₂O)以1:14:14之比例。

78. 如申請專利範圍第73項所述之程序，其中，該PEVCD方法係在一具有長平行電極與氣體流下爐管長度之系統中執行，離子化氣體之保留時間係為一脈衝型沈積所控制，此沈積係具有短的開週期插入於長關週期之間，以允許離子化氣體，在下一沈積開週期之前，有足夠之時間離開系統。

79. 如申請專利範圍第78項所述之程序，其中，該氣體混合物包含矽烷(SiH₄)、氨(NH₃)以1:14之比例，以及氧化二氮(N₂O)以大於0.1矽

六、申請專利範圍

烷之比例數量，以及，沈積週期係約 12 毫秒開 / 200 毫秒閉，使用一約 2.5 托 (torr) 之容室壓力與一約 430 °C 之沈積溫度。

80. 如申請專利範圍第 73 項所述之程序，其中，該 PEVCD 方法係在一具有一自氣體入口至出口有一短反應距離之系統中執行，保留時間係藉由保留一氣體流在一低容室壓力而控制。

81. 如申請專利範圍第 73 項所述之程序，其中，該 PEVCD 方法係在一具有一脈衝沈積操作模式之系統中執行，其允許以分立之開 / 關週期來截斷 RF 功率，該沈積方法係藉由引入一關閉時間週期於一短暫沈積週期之後而被控制，此沈積週期足以使氫原子解吸並自沈積膜表面上除去，留下一較少 Si-H 分子之膜。

82. 如申請專利範圍第 81 項所述之程序，包含加入一少量之氧足以束縛氫原子，以形成 Si-OH 鍵。

83. 如申請專利範圍第 82 項所述之程序，包含平衡 Si-H 併入膜之量，以便不致超過 Si-OH 結構比率，以避免產生過量之 Si-H 鍵而產生極化。

84. 如申請專利範圍第 73 項所述之程序，其中，該 PEVCD 方法係在一具有 CW 操作模式，以單一或多重頻率 RF 源極加以連續沈積之系統中執行，該沈積方法係藉由控制氣體比例而加以控制，以提供一足以降低部份矽烷壓力，而減少氫原子被吸收入沈積膜表面，而留下一

六、申請專利範圍

少量 Si - H 分子之膜。

85. 如申請專利範圍第 84 項所述之程序，包含加入一少量之氧足以束縛氫原子，以形成 Si - OH 鍵。

86. 如申請專利範圍第 85 項所述之程序，包含平衡併入膜中之 Si - H 之量，以便不致於超過 Si - OH 結構比例，以避免產生過量之 Si - H 鍵而產生極化。

87. 一種改良 MOS 型絕緣閘控制四層功率切換裝置，包含：

一半導體基體具有一第一摻雜物型之第一層界定裝置之陽極與一第二相反極性摻雜物型之第二層界定一吸極區域，自基體之上表面向第一層延伸；

一絕緣層在基體第二層之上表面；

雙擴散區域包含一第一摻雜物型之本體區域及一第二摻雜物型之源極區域在該本体區域之中，本体區域形成相對分隔具吸極與源極區域之兩 PN 接面，以便在接近絕緣閘接點下之本體區域，定義一通道區域；

一源極接點沿著閘極接點邊，但是從該處絕緣分開，該源極接點形成一電氣連接至源極區域與本体區域，以及，一短路在其間，並定義該裝置之陰極接點；

一陽極接點在基體之相反邊，與第一層作電氣連接；

一第一部份連接第一層並具有一第一厚度與第一摻雜濃度；

一第二部份連接第二層並延伸至接近上述雙擴散區域

六、申請專利範圍

之上述上表面；

該第二部份係被計量成一第二厚度，並摻雜成一第二摻雜濃度，足以阻礙一預定之最大逆向偏壓；及

該第一部份係被計量與摻雜成以產生一預定之輸出阻抗（ R_o ），足以抵抗於順向導通時之電流流量，於一高電壓（ V_{ce} ）加在陰極與陽極兩端時。

88. 一種改良MOS絕緣閘控制四層功率切換裝置，包含：

一半導體基體具有一第一摻雜物型之第一層定義一裝置之陽極與一第二相反極性摻雜物型之第二層定義一吸極區域，自基體之上表面向第一層延伸；

一絕緣層在基體第二層之上表面；

一絕緣閘極接點層在絕緣層之上；

雙擴散區域包含一第一摻雜物型之本體區域及一第二摻雜物型之源極區域在本體區域之中，該本體區域形成兩相對分隔具吸極並源極之PN接面，以便定義接近絕緣閘極接點下在本體區域之通道區域；

一源極接點沿著閘極接點邊，但從該處絕緣分隔，該源極接點形成一電氣連接至源極區域與本體區域及一短路在其間，以及，定義該裝置之陰極接點；

一陽極接點在基體之反面，與第一層作電氣連接；

一預定劑量之選定過渡金屬原子擴散於整個基體，以使一少數載子使用期控制有效；

六、申請專利範圍

該選定之過渡金屬具有一在矽中之深位準，以適以作再生；及

該預定劑量係少於選定過渡金屬之最大劑量，其可以在該基體之共晶溫度與基體之退火溫度範圍間之一溫度，完全地溶解入基體中。

89. 一種改良MOS型絕緣閘控制功率切換裝置包含：

一半導體基體具有一上表面與一下表面，以及，包含一或多層定義一第一摻雜物型之吸極區域，自上表面向基體之下表面延伸；

一絕緣層在基體之上表面；

一絕緣閘極接點層在絕緣層上；

雙擴散區域包含一第二相反摻雜物型之本體區域及一第一摻雜物型之源極區域在本體區域之中，該本體區域形成相對分開具吸極與源極區域之兩PN接面，以致於定義一在絕緣閘接點下本體區域中之通道區域；

一源極接點層沿著閘極接點邊，但從該處絕緣分隔，源極接點形成一電氣連接至源極區域與本體區域，以及在其間短路，並且，定義裝置之源極或陰極；及

一吸極或陽極接點在基體之下表面；

該絕緣閘接點層與源極接點層被設計形成數互補平行交指閘極與源極指部，及一閘極滙流排連接閘極指部；

該本體與源極區域沿著閘極指部與閘極滙流排之相反

六、申請專利範圍

邊作縱向延伸，本體區域係被分隔在通過第一摻雜物型之吸極區域之閘極指部下之第一橫向分隔 L_1 ，以及，被分隔在閘極滙流排下大於第一分隔 L_1 之第二分隔 L_2 ，並且，形成一第一崩潰傾斜區域；

至少一部份之第一崩潰傾斜區域被摻雜第一摻雜物型之摻雜物，超過一橫向範圍，有效地連接在閘極滙流排下之源極區域，並且，中和一部份接近此連接之通通區域。

90. 如申請專利範圍第89項所述之裝置，其中，該閘極滙流排包含一第一滙流排橫向連接閘極指部之近端，以及，一第二滙流排平行延伸與在兩閘極指部間被分隔，該第二滙流排具有一大於閘極指部寬度之寬度，以及，藉以建立第二間隔 L_2 與形成上述第一崩潰傾斜區域於接近在本體區域下之間，該第一崩潰傾斜區域包含一中央摻雜帶被分隔在接近本體區域下之間，以及計量成一寬度有效地降低在源極區域間在閘極滙流排下之間隔，自第二分隔 L_2 至一不大於第一分隔 L_1 之間隔。

91. 如申請專利範圍第89項所述之裝置，其中，該第一崩潰傾斜區域包含一橫向摻雜短路桿，連接在閘極滙流排下在間距隔開之源極區域。

92. 如申請專利範圍第89項所述之裝置，其中，閘極滙流排包含一第一滙流排橫向連接閘極指部之近端，本體與源極區域以一凸形沿著第一閘極滙流排延伸，並形成一第二崩潰傾斜區域，至少一邊緣沿著包圍第二崩潰傾

六、申請專利範圍

斜區域之寬度之第一滙流排之邊摻雜該第二摻雜物型之摻雜物，以致使連接在閘極指部近端下，接近本體區域。

93. 一改良MOS型絕緣閘控制功率切換裝置，包含：

一半導體基體具有一上表面與一下表面，以及，包含一或多層定義一第一摻雜物型之吸極區域，自上表面向基體之下表面延伸；

一絕緣層在基體之上表面上；

一絕緣閘接點層在絕緣層上；

雙擴散區域包含一第二相反摻雜物型之本體區域，以及，一第一摻雜物型之源極區域在本體區域之中，該本體區域形成相對分隔具有吸極與源極之兩PN接面，以便在接近絕緣閘接點下本體區域中，定義一通道區域；

一源極接點層沿著閘極接點邊，但是從該處絕緣分隔，源極接點形成一電氣連接至該源極區域與本體區域及一短路在其間，以及，定義一裝置之源極或陰極；

一吸極或陽極接點在基體之下表面上；

一介電膜在基體之上表面，該膜具有一介電組成，其在高壓情況下係實際不極化，並形成一有效可動離子與濕式障壁。

94. 如申請專利範圍第93項所述之裝置，其中，介電膜包含一一致第一層之矽化磷玻璃（PSG）具有一少於4%磷含量，其係即使非常高壓情況下亦不極化，以

六、申請專利範圍

及一第二層其係由介電質組成，適以在第一 P S G 層上形成一濕式與可動離子阻抗障壁。

95. 如申請專利範圍第 29 項所述之程序，其中，該擴散過渡金屬原子之步驟包含：

擴散一該劑量之第一部份於整個基體上；及

擴散一該劑量之第二部份在一接近基體之選定表面之梯度帶中。

96. 如申請專利範圍第 29 項所述之程序，包含分佈配製在相對於一接近 P N 接面之基體之選定表面，基體中之過渡金屬之濃度。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

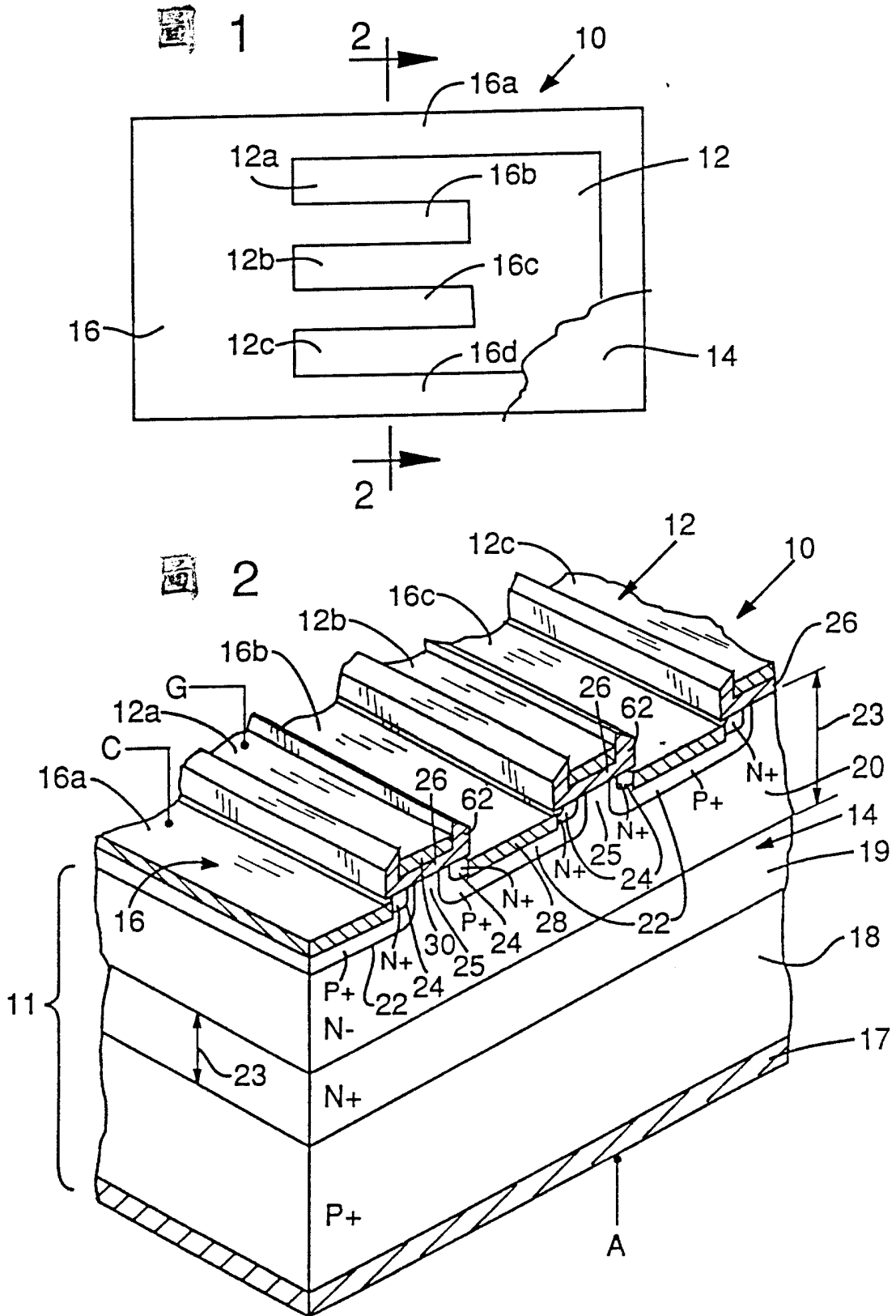


圖 3

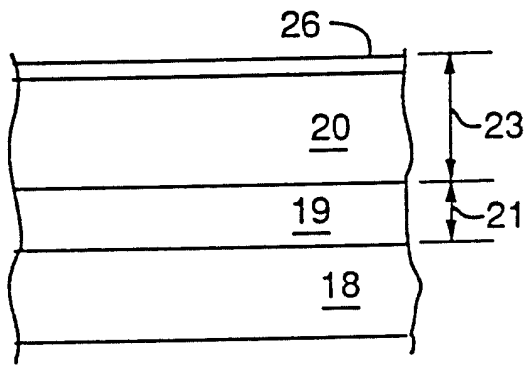


圖 4

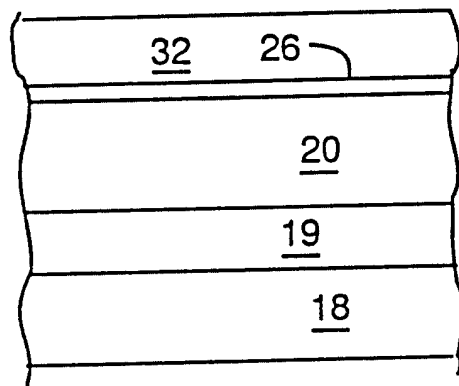


圖 5

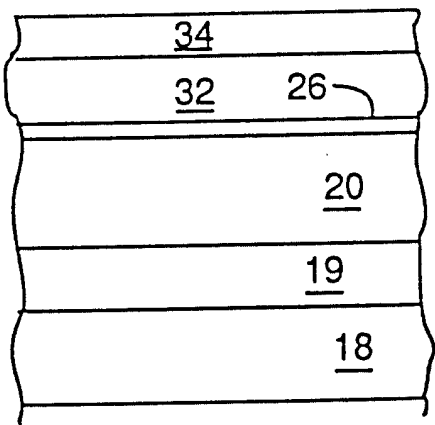


圖 6

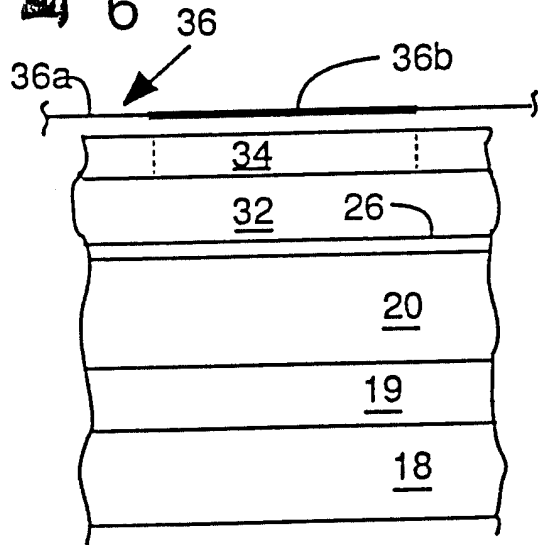


圖 7

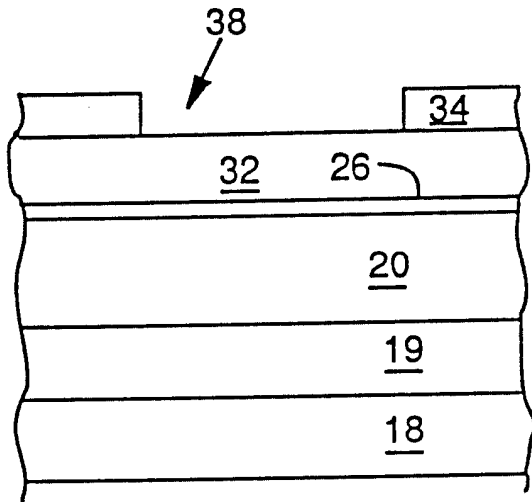


圖 8

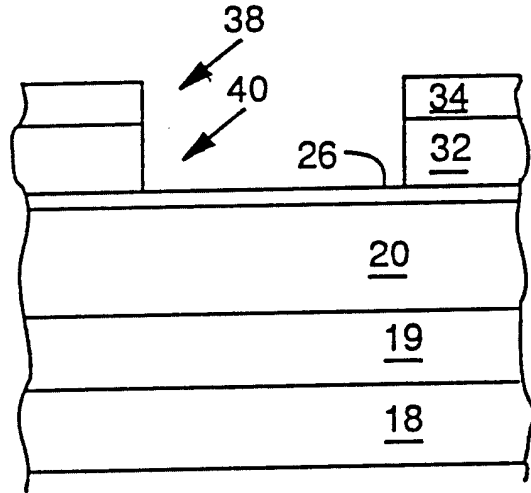


圖 9

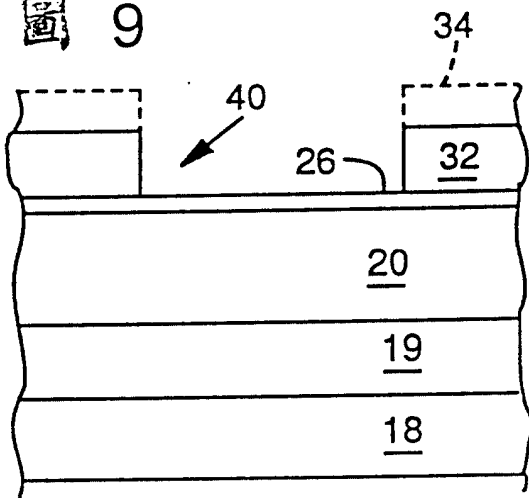


圖 10

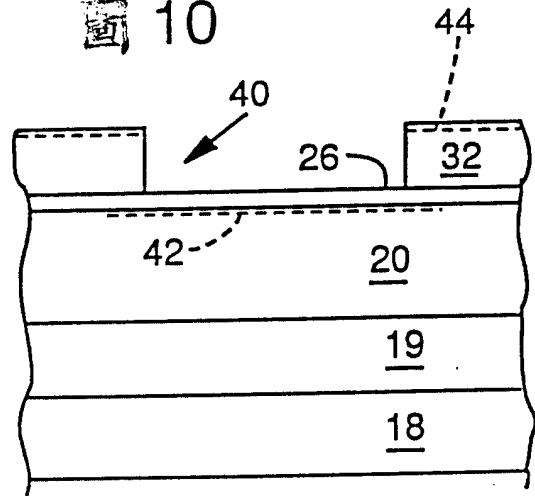


圖 11

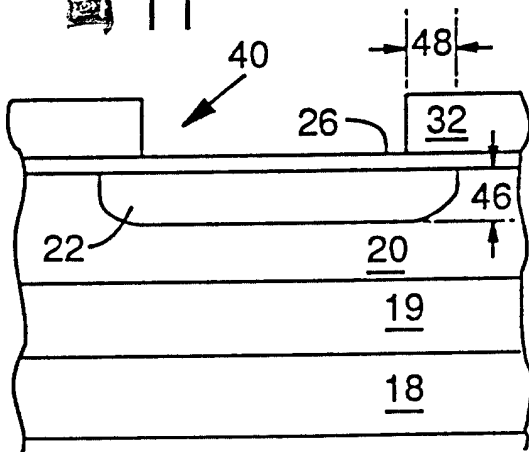
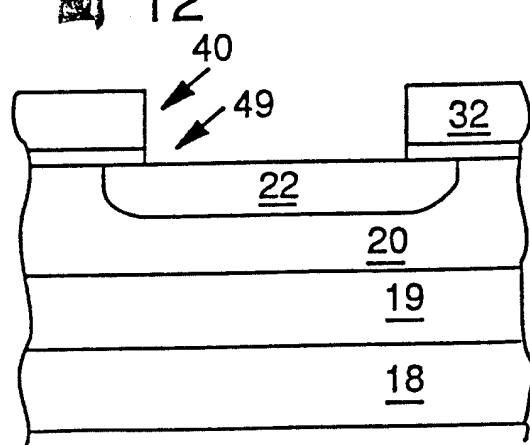
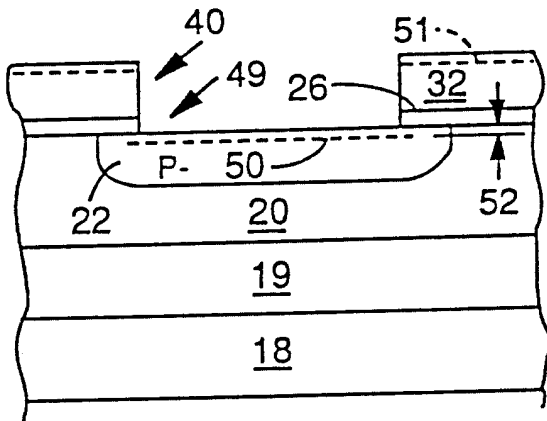


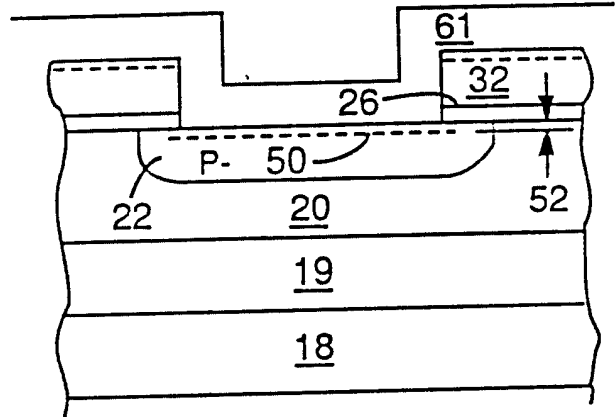
圖 12



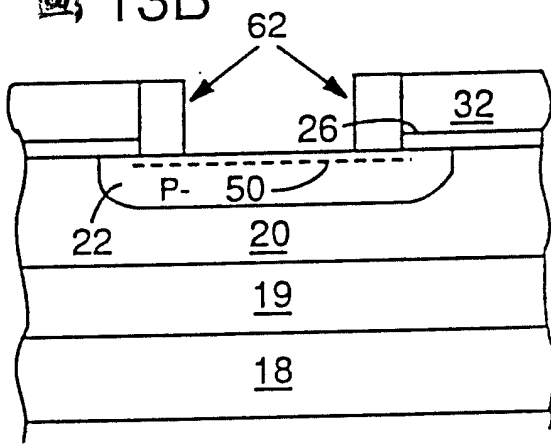
13



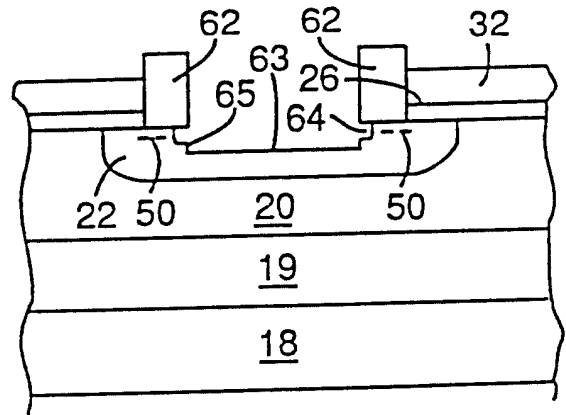
13A



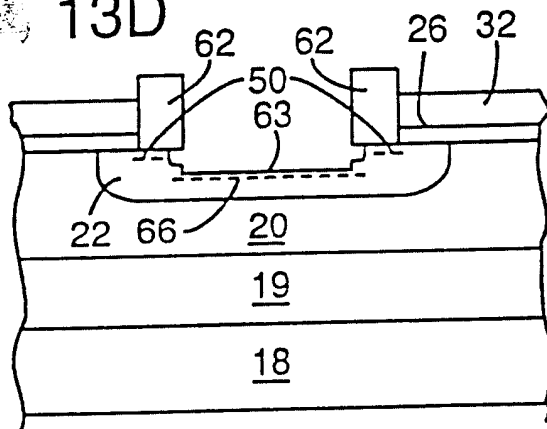
13B



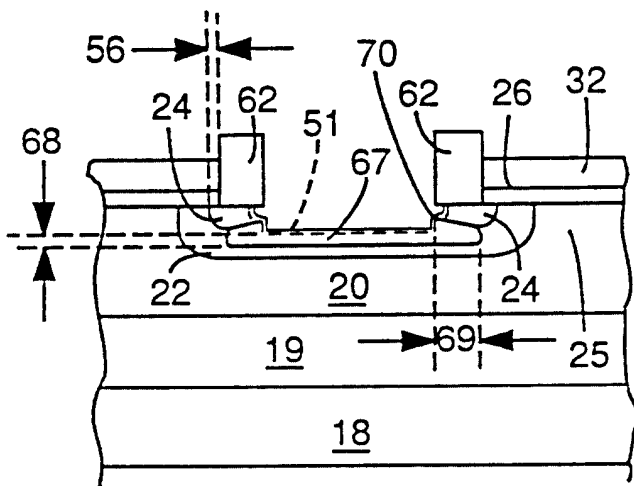
13C



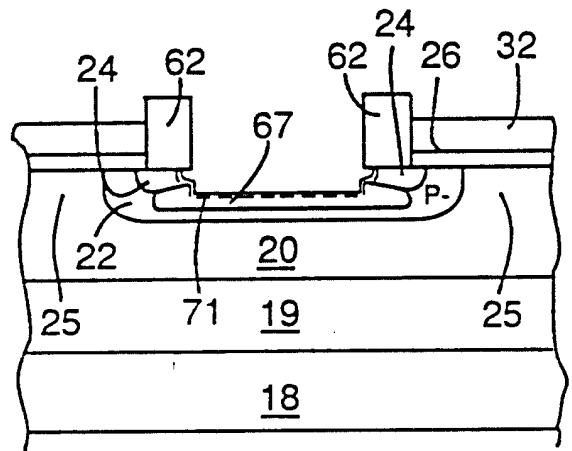
13D



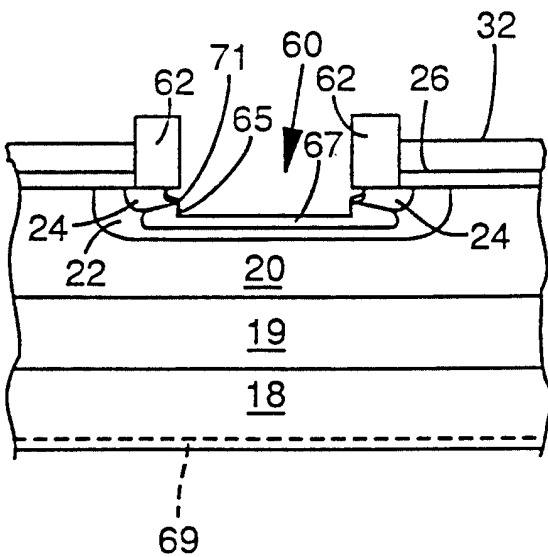
14



14A



15



16

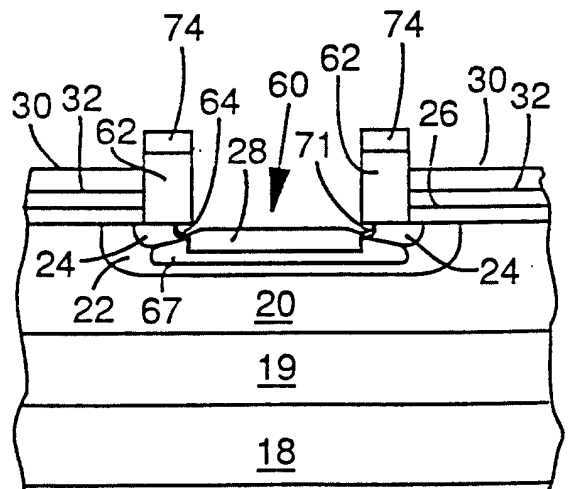
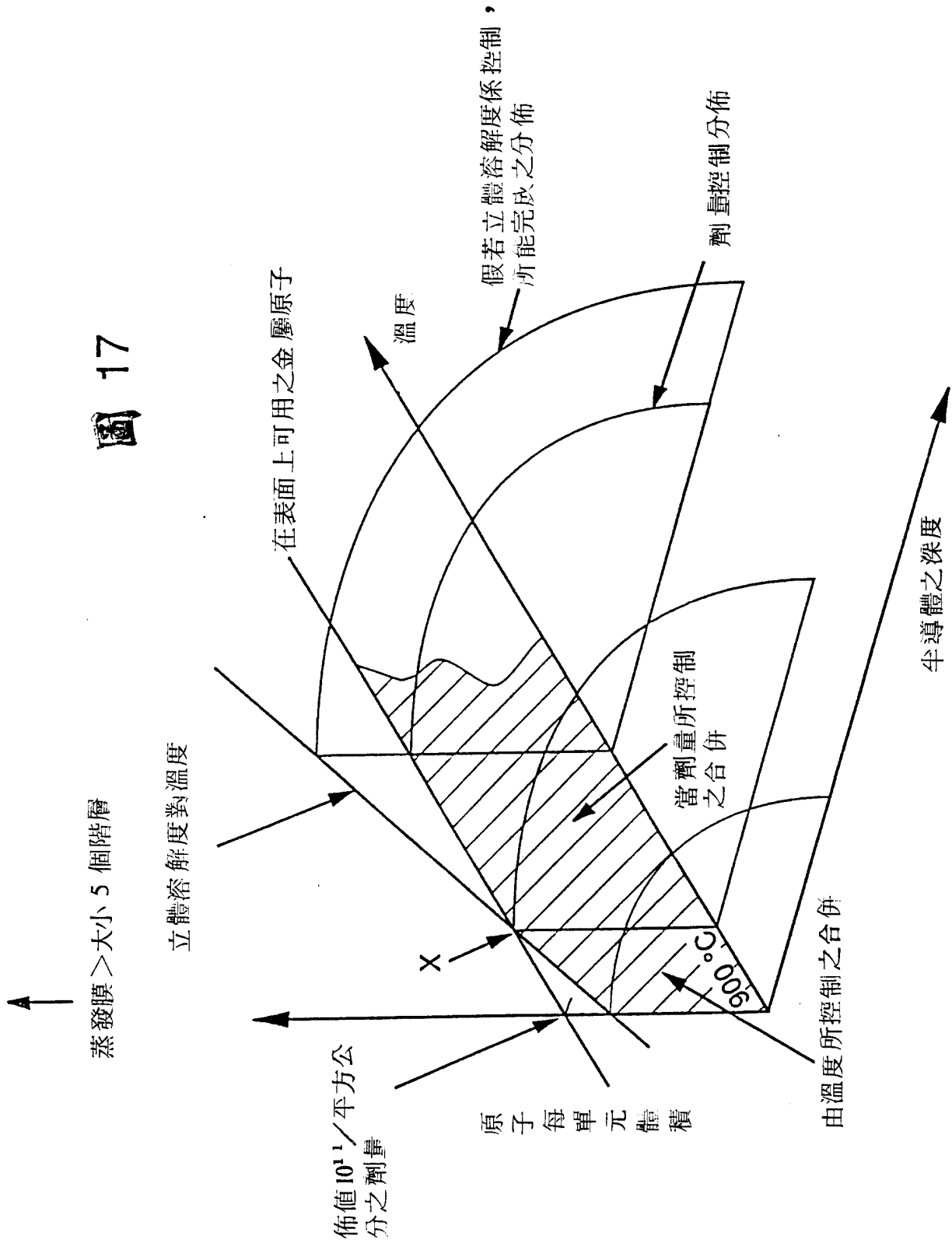
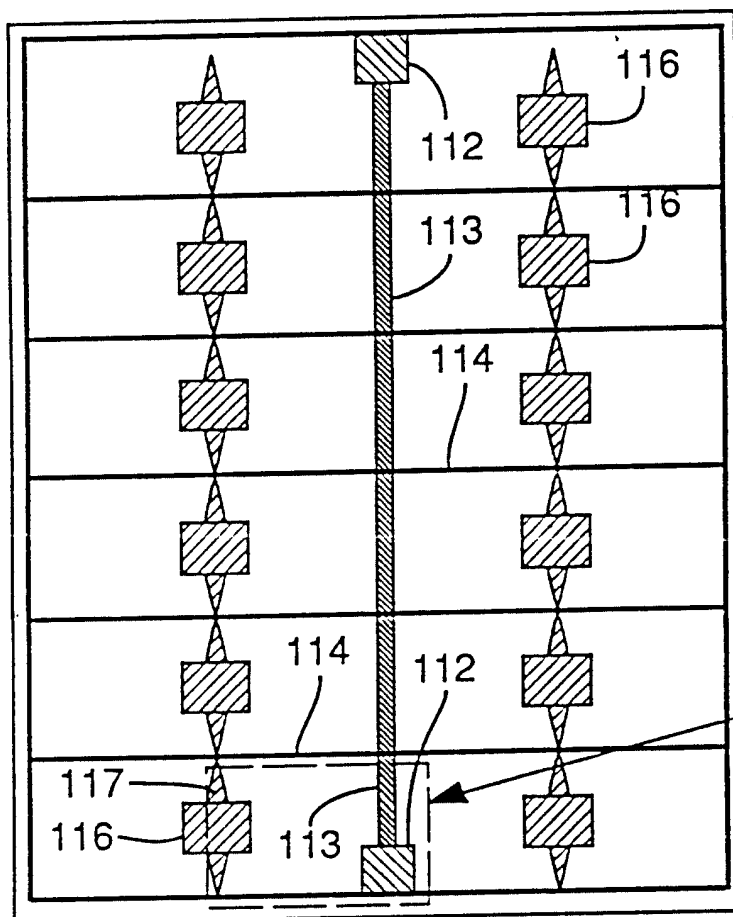



圖 17





18




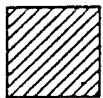
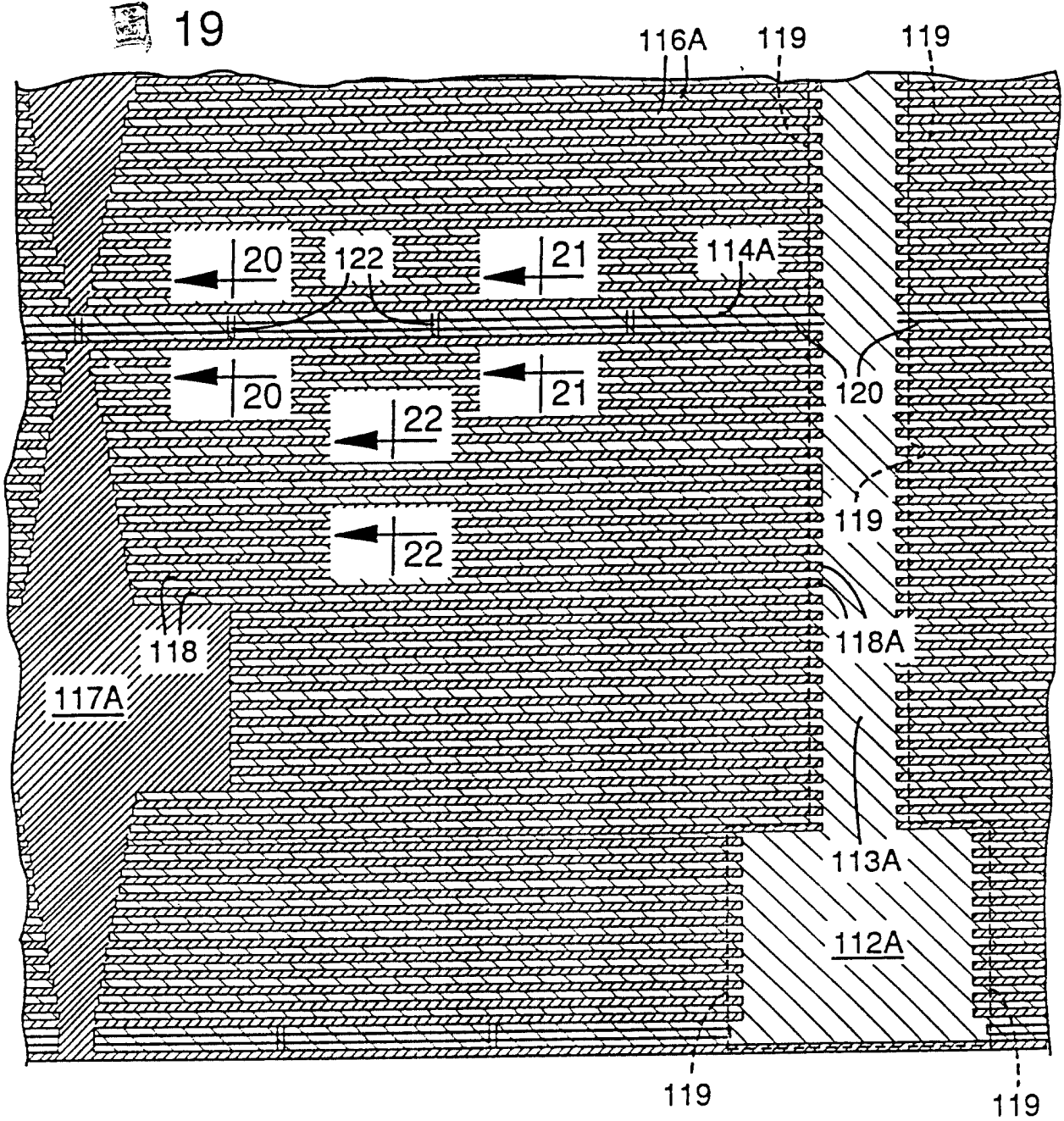
SEE FIG. 19

 60 X 35 密耳
源極片

 25 X 35 密耳
閘極片

 主閘極匯流排
4 密耳寬

 第二閘極匯流排
2 密耳寬



本體與源極



多閘極

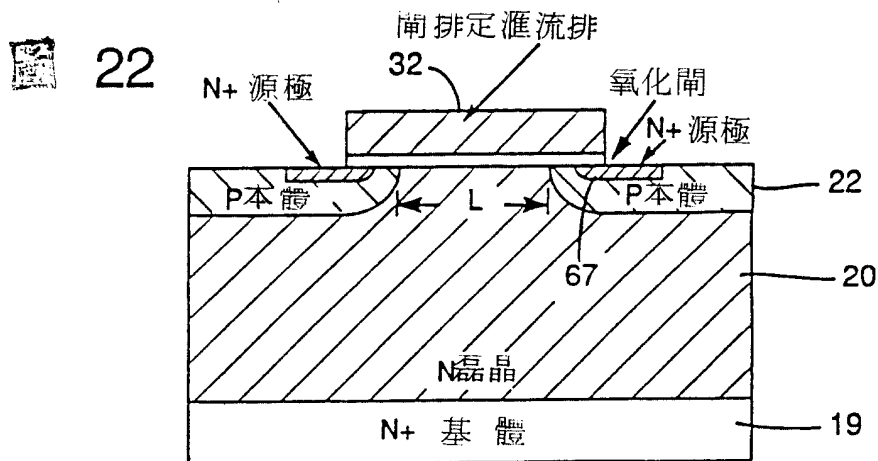
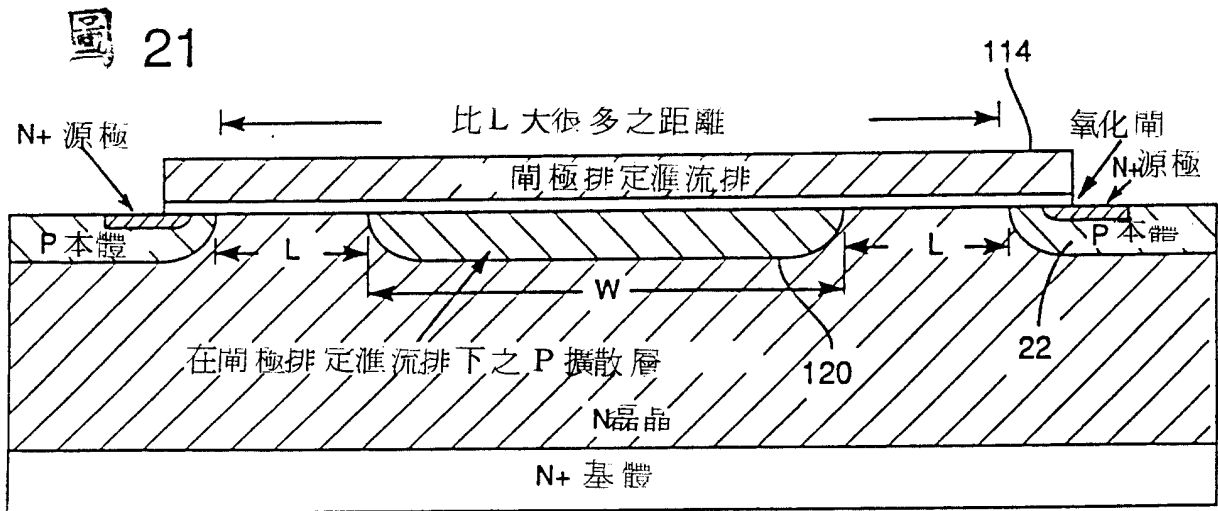
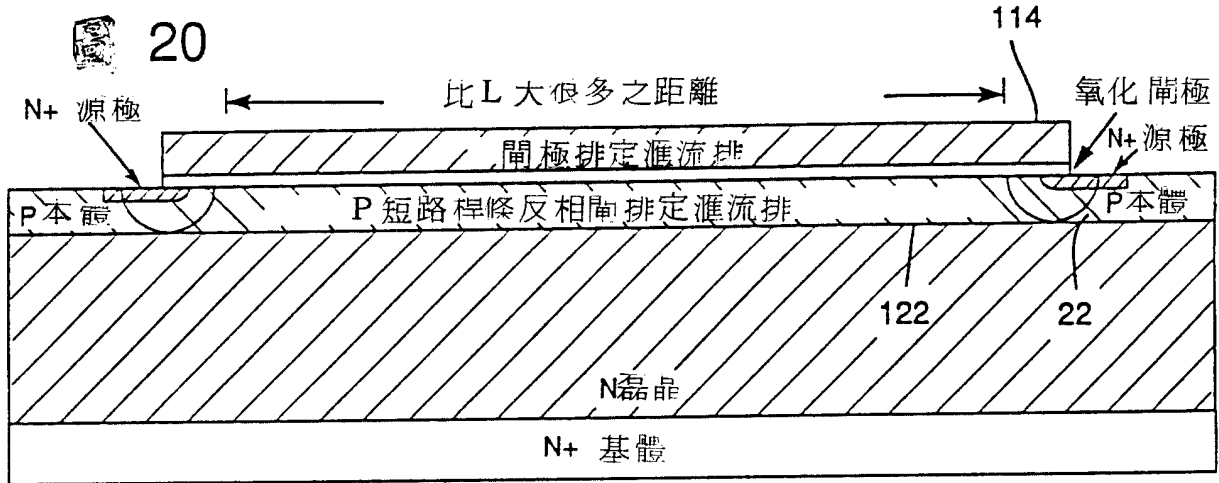


圖 23

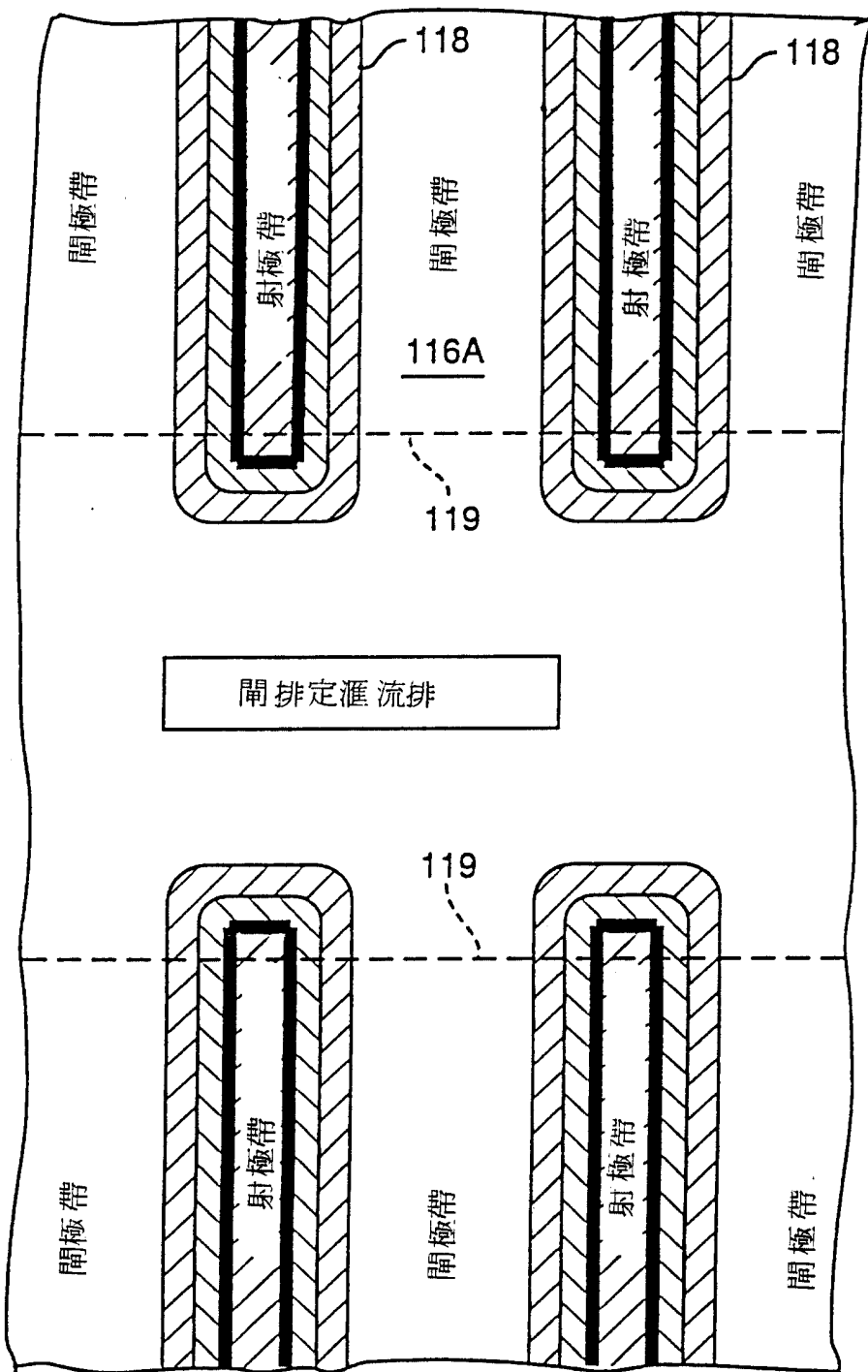
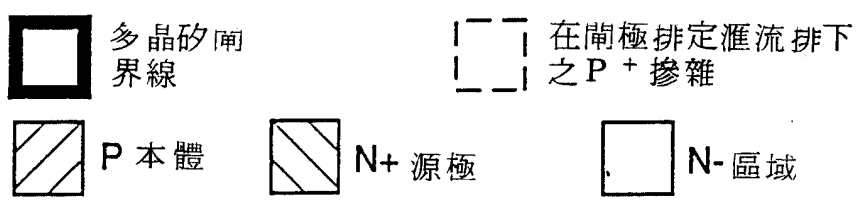


圖 24

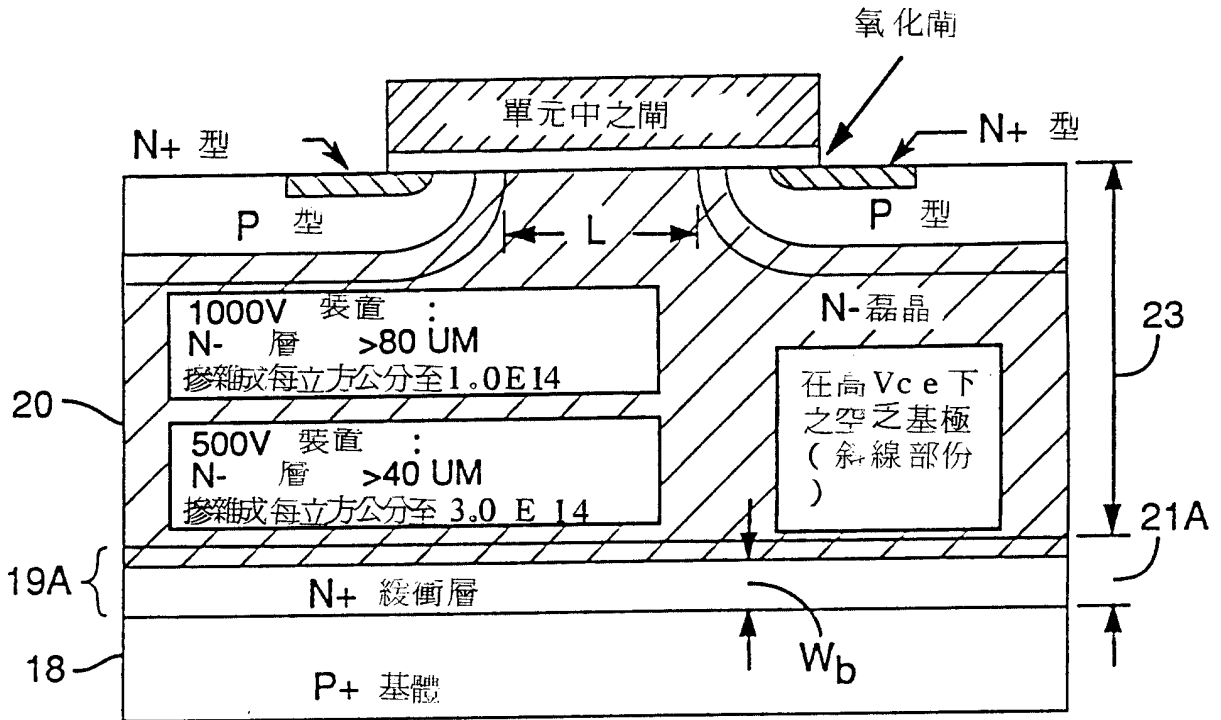


圖 25

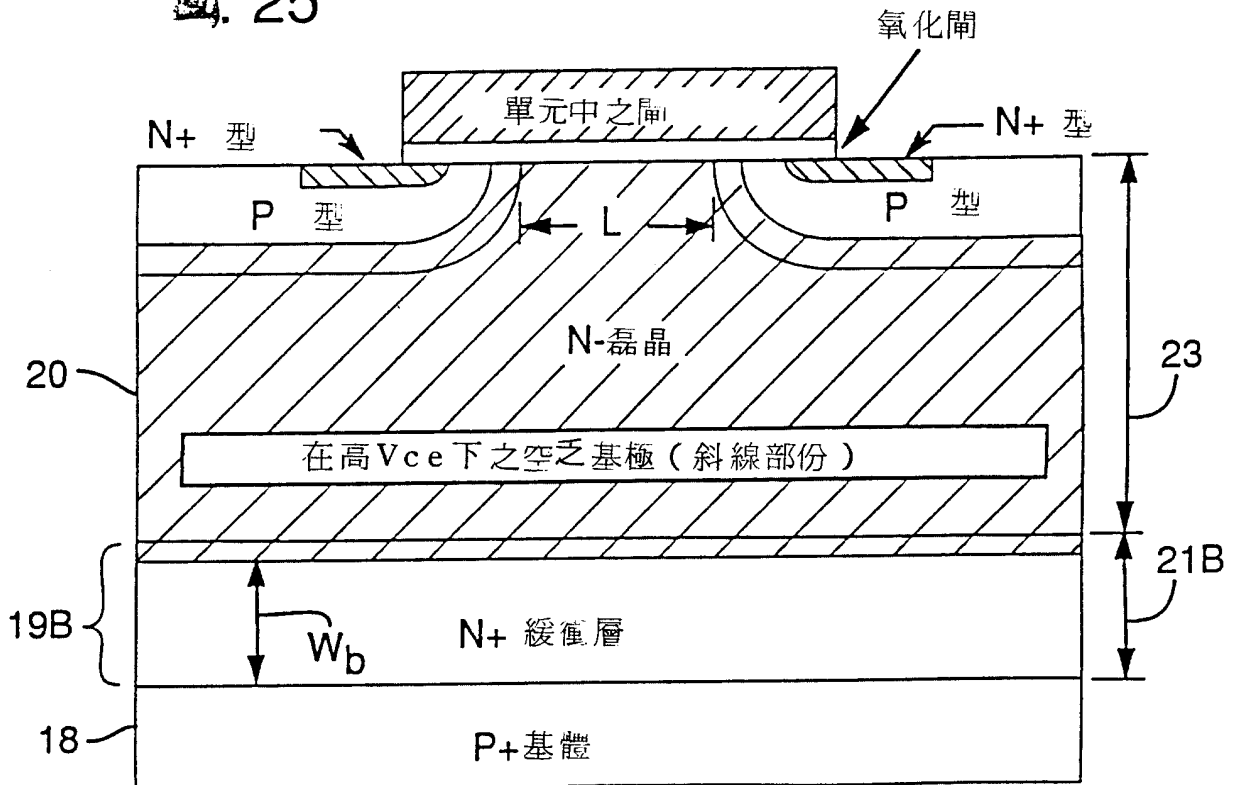


圖 26

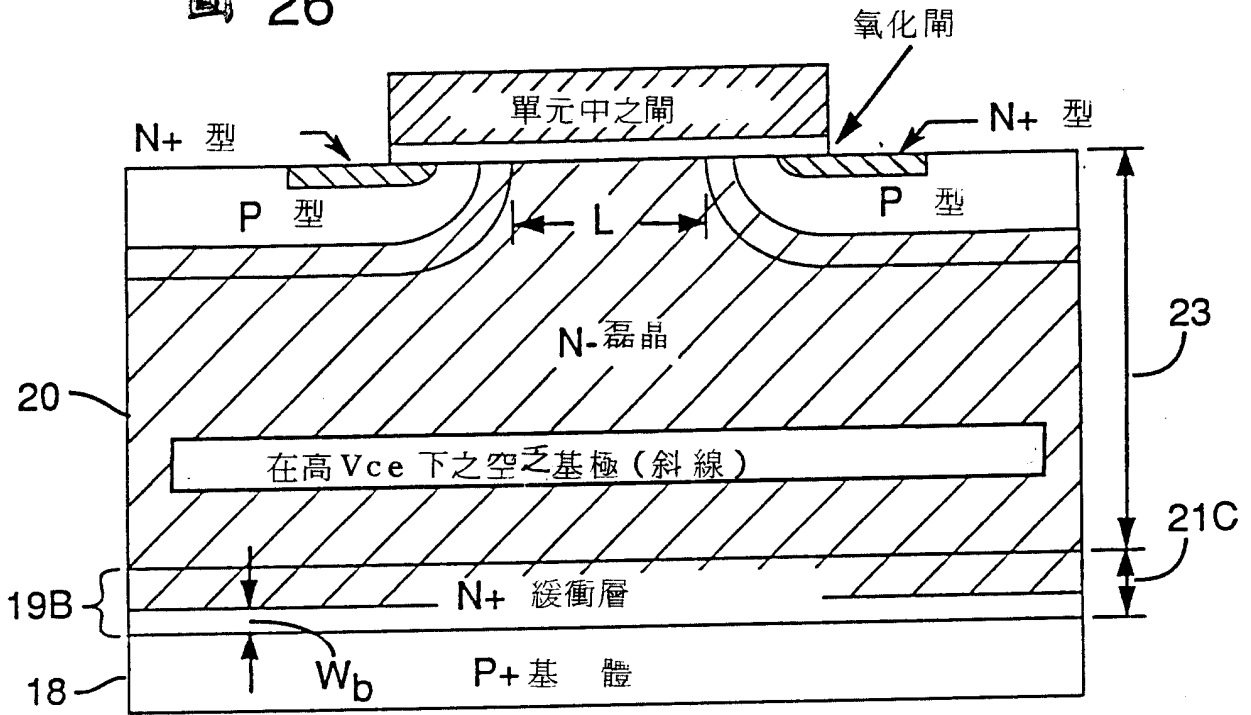


圖 27

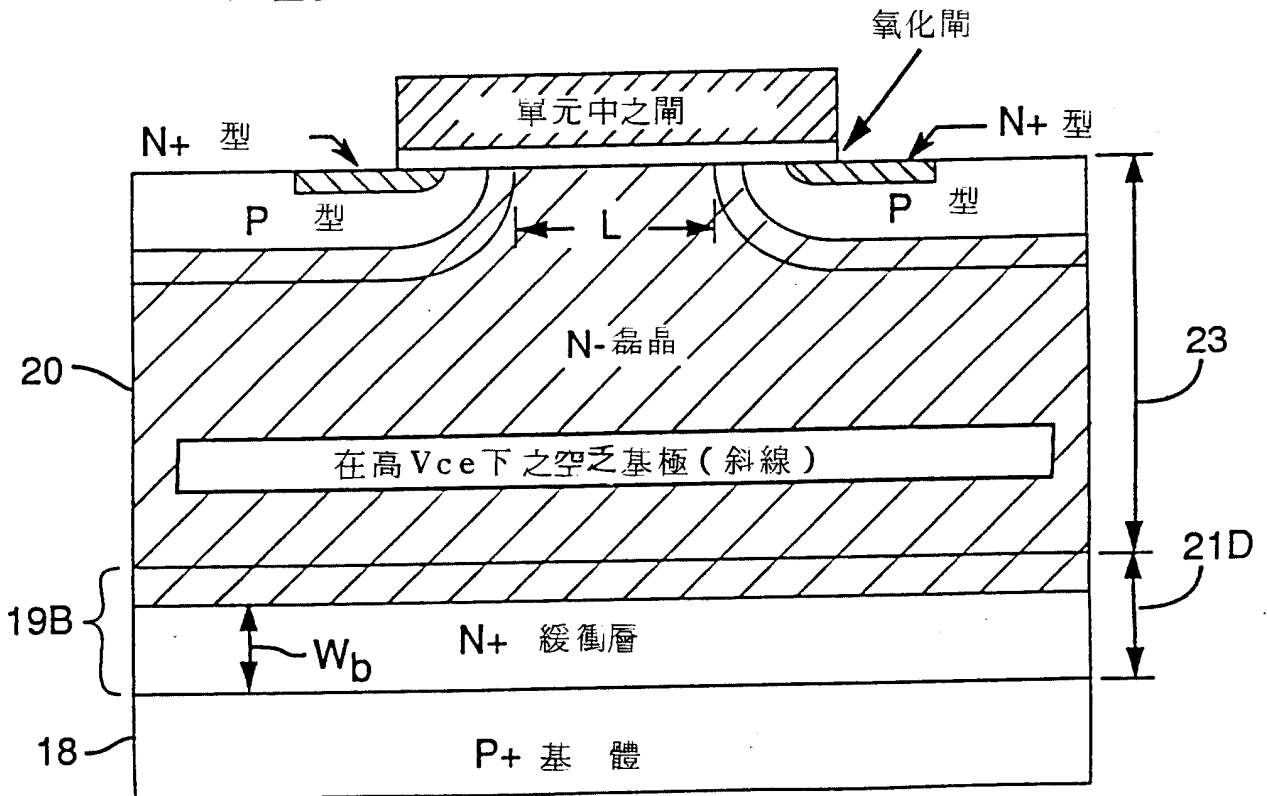


圖 28

