

申請日期	88.12.15
案 號	88121973
類 別	G66F 13/A2

A4
C4

468112

(以上各欄由本局填註)

煩請委員明示 87 年 12 月 12 日所提之
修正本有無變更實質內容，准予修正。

經濟部中央標準局員工消費合作社印製

發明專利說明書		
一、發明 名稱	中 文	控制晶片組之間匯流排之仲裁方法
	英 文	
二、發明 創作人	姓 名	1 賴瑾 2 蔡兆爵 3 彭盛昌 4 蔡奇哲
	國 籍	中華民國
三、申請人	住、居所	1 台北市辛亥路 7 段 69 巷 19 號 4 樓 2 台北市南京東路五段 251 巷 50 弄 5-3 號 3 台北市忠孝東路五段 372 巷 27 弄 10 號 4 樓 4 高雄縣仁武鎮竹後村水管路 15 巷 144 弄 39 號
	姓 名 (名稱)	威盛電子股份有限公司
三、申請人	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
三、申請人	代 表 人 姓 名	王雪紅

裝

訂

線

五、發明說明 (/)

本發明是有關於一種晶片組，且特別是有關於一種電腦系統中之控制晶片組、控制晶片組內晶片間的資料交易方法以及控制晶片組內晶片間匯流排之仲裁方法。

第 1 圖所繪示的便是在電腦架構中使用 PCI 系統的一種架構。中央處理器 10 經由主橋接器(host bridge)12 耦接到 PCI 匯流排 14。PCI 匯流排 14 則可以耦接多數個 PCI 相容之周邊裝置的主控器(master)，其可以如圖所示之圖形介面(graphic adapter)16a、延展匯流排橋接器(expansion bus bridge)16b、網路介面(LAN adapter) 16c 與小型電腦系統主匯流排介面(SCSI host bus adapter)16d 等等。每一主控器均可以送出要求訊號(request, REQ)要求使用 PCI 匯流排 14，而主橋接器 12 中的仲裁器(arbiter)則可送出同意訊號(grant, GNT)給主控器，同意其使用 PCI 匯流排 14。

PCI 相容裝置(如主控器或電腦晶片組中之北橋)之間的資料傳送主要係由下列之介面控制訊號所控制。週期框(cycle frame, FRAME)係由起始器(其可以是主控器或北橋)所送出，用以指示一存取操作的開始與持續期間。FRAME 訊號送出時，表示透過 PCI 匯流排的資料交易(transaction)開始進行，當 FRAME 訊號維持在低準位則表示資料交易持續進行。此時，位址匯流排 AD 便會在位址週期期間送出有效位址(valid address)，同時會在命令/位元組致能(command/byte enable, CBE[3:0])線送出有效的匯流排命令(滿足 PCI 規格)，用以對目標裝置指出起始器所要求的資料交易型態，其中命令/位元組致能線係以 4 位元編碼成 16

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

種不同的命令，其在 PCI 規格中有詳細定義。緊接所送出的有效位址後，位址匯流排 AD 便送出要傳送的資料，此時期稱為資料週期，同時於 CBE 線送出編碼後匯流排命令之位元組致能訊號，藉以傳送資料。當 FRAME 訊號停止送出，就表示交易狀態為最後一筆資料傳送，或是已經完成資料傳送。起始器備妥訊號(initiator ready, IRDY)與目標裝置備妥訊號(target ready, TRDY)，兩者配合使用，用以分別指示起始裝置與目標裝置已經備妥而可以進行資料傳送。在一讀取動作進行時，IRDY 訊號表示起始器準備好接收資料；而在進行一寫入操作時，TRDY 訊號表示目標裝置準備好接收資料。停止訊號(stop, STOP)，用以指示目標裝置要求起始器停止目前的資料交易行為。

請參考第 2 圖，其繪示以 PCI 匯流排介面進行一讀取操作進行時的操作時序圖。以 PCI 匯流排進行並完成資料轉移的期間稱為一匯流排交易週期(bus transaction)²⁰，其包括一位址週期(address phase)²²與數個資料週期(data phase)，如 24a、24b 與 24c。每一個資料週期 24a/b/c 又分別區分為等待週期(wait cycle) 26a/b/c 與資料轉移週期(data transfer cycle) 28a/b/c。接著配合第 2 圖的時序圖，以一讀取操作來做為 PCI 系統操作之簡單說明以及前文所述之 PCI 規格控制訊號的作用。

在週期 T1 時，起始器(主控器)送出 REQ 訊號，以要求主控 PCI 匯流排，此時如果沒有其他更高優先權的裝置要求使用 PCI 匯流排，則在週期 T2 時，主橋接器(仲裁器)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

送出 GNT 訊號，以允許起始器主控 PCI 匯流排，週期 T3 時，起始器送出 FRAME 訊號，表示一資料轉移將開始進行，並在 AD 匯流排送出開始位址(start address)，用以指定一目標裝置，同時於 CBE 線送出一讀取命令。緊接著送出的讀取命令，CBE 線會送出位元組致能訊號(byte enable)，此位元組致能訊號在整個資料週期期間(包括 24a、24b 與 24c)會一直持續送出。在週期 T4 時，起始器送出備妥訊號 IRDY，表示可以開始收送資料，然此時目標裝置並未能備妥，此時期為資料週期 24a 之等待週期 26a，係起始器等待目標裝置將資料備妥。在週期 T5 時，目標裝置已經備妥並且送出備妥訊號 TRDY，因此在 IRDY 與 TRDY 訊號均送出的資料轉移週期 28a 期間，起始器從目標裝置讀取資料。目標裝置在週期 T6 結束送出 TRDY 訊號，以表示結束資料傳送，並且開始準備第二筆資料，此時為資料週期 24b 之等待週期 26a。在週期 T7 時，TRDY 再度送出，表示資料已經備妥，並在 IRDY 與 TRDY 訊號均送出的資料轉移週期 28b 期間，起始器從目標裝置讀取資料。當起始器來不及讀取資料時，起始器於週期 T8 結束送出 IRDY 訊號，此時因為 TRDY 訊號仍送出，所以此等待週期 26c 係由起始器所發動。等起始器備妥後，於週期 T9 再送出 IRDY 訊號，此時在 IRDY 與 TRDY 訊號均送出的資料轉移週期 28c 期間，起始器從目標裝置讀取資料。由於起始器在週期 T9 時，就已知道不再需要讀取資料，故起始器結束送出 FRAME 訊號以及結束送出 REQ 訊號，在

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(4)

週期 T10 時，仲裁器結束送出 GNT 訊號。至此，完成一讀取操作。

如上所述，在 PCI 規格中爲了要完成 PCI 規格的資料交易，必須使用繁複的控制訊號、等待狀態與仲裁程序等，而 PCI 所規定的訊號至少有 45-50 個訊號腳。目前之個人電腦內的架構與第 1 圖所繪示之系統非常相似，其中主橋接器 12 就是主機板內控制晶片組之北橋晶片，而南橋晶片就包括延展匯流排橋接器 16b，個人電腦系統中之南橋是一個主要且必然存在的主控器。至於個人電腦系統中的圖形介面附加器，並未連接到 PCI 匯流排，而是透過一繪圖加速埠(accelerated graphic port, AGP)介面連接到北橋晶片。

然而在一般控制晶片組內晶片間的資料交易，往往不需要利用到一般多用途匯流排如此複雜之功能程序，例如：主機板控制晶片組內部之南北橋的資料交易，並不需要用到完整 PCI 匯流排如此複雜之程序，而此種複雜之程序爲了確保能適用多種應用環境，多半犧牲了許多效能特性。且隨著高度積集化的趨勢，任一控制晶片可能會合併更多功能，例如 CPU 與北橋晶片合併爲一個晶片，抑或是控制晶片組本身合併成一個晶片，使晶片包裝上的接腳變成一個非常寶貴的資源，必須盡量減少以降低控制晶片的成本。因此爲了加速控制晶片組內部之間的資料交易，且節省晶片接腳的資源，一種簡化但仍滿足控制晶片間資料交易的特殊匯流排規格是需要的。例如：南北橋間設計一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

種簡化多個訊號線，快速的匯流排規格，且此匯流排規格在晶片內部處理必須盡量近似一般 PCI 規格，以與晶片中其他模組相容，避免控制晶片做過多修改。

因此，本發明提出一種控制晶片組、控制晶片組內晶片間的資料交易方法以及控制晶片組內晶片間匯流排之仲裁方法，用以提高控制晶片組資料交易的效能，並簡化控制晶片組內的訊號線的種類與數量。

本發明提出一種控制晶片組及控制晶片組內晶片間的資料交易方法，使控制晶片組內部控制晶片間傳送資料，可連續傳送多筆命令或資料，沒有任何等待週期，也不會有停止或重試(retry)的情形，可節省使用匯流排之時間，提高傳輸效益。

本發明提出一種控制晶片組及控制晶片組內晶片間的資料交易方法，可節省匯流排中有關等待狀態之訊號線、有關資料交易週期長度之訊號線以及有關停止重試通訊協定的訊號線等。

本發明提出一種控制晶片組之間匯流排之仲裁方法，可縮短要求匯流排時的仲裁時間。

本發明提出一種控制晶片組之間匯流排之仲裁方法，可節省有關匯流排同意(grant)的訊號線。

本發明藉由控制晶片組中各控制晶片內部佇列的資料緩衝器具有固定大小與數量，且晶片間發出讀寫確認命令的順序完全依照發出讀寫命令的順序來回應，使控制晶片完全可以掌握另一控制晶片內部佇列中緩衝器的使用情

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

形，每一控制晶片發出的命令時，其相關資料必須先準備好，亦即使控制晶片組之間的所有交易情況透明化，因而可節省匯流排中有關等待狀態之訊號線、有關資料交易週期長度之訊號線以及有關停止重試通訊協定的訊號線等。並且可連續傳送多筆命令或資料，沒有任何等待週期，也不會有停止或重試的情形發生，可節省使用匯流排之時間，提高傳輸效益。

本發明之控制晶片組間的匯流排之仲裁方法，設定某一控制晶片平常掌握晶片間匯流排之控制權，但另一控制晶片卻享有較高之匯流排優先權，搭配沒有等待週期的晶片間匯流排規格，就不需要 GNT 訊號線，可快速無誤的仲裁匯流排之使用權歸屬，縮短仲裁的時間，並因為第二控制晶片組的交易要求總是被同意，進而提高整個傳輸效益。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示一種習知在電腦架構中使用 PCI 匯流排系統的架構示意圖；

第 2 圖繪示一 PCI 系統之主控器進行讀取操作之時序圖，用以簡單說明 PCI 系統之各控制訊號；

第 3 圖繪示依據本發明之一較佳實施例之一種控制晶片組之方塊示意圖；

第 4 圖繪示依據本發明之一實施例中，傳送資料位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

時間(bit time)與匯流排時脈訊號以及觸發訊號線之間的時序關係圖；

第 5 圖繪示依據本發明之一較佳實施例之一種控制晶片組，其中有關寫入交易之內部結構方塊示意圖；

第 6 圖繪示依據本發明之一較佳實施例之一種控制晶片組，其中有關讀出交易之內部結構方塊示意圖；

第 7a 圖繪示習知控制晶片組之間匯流排之仲裁方法，有關要求及同意使用匯流排的訊號時序圖；以及

第 7b 圖到第 11 圖繪示依據本發明之一實施例中，有關要求及同意使用匯流排的訊號時序圖。

標號說明：

10 中央處理器	12 主橋接器
14 PCI 匯流排	16a 圖形介面
16b 延展匯流排橋接器	16c 網路介面
16d SCSI 介面	
20 匯流排交易週期	22 位址週期
24a/b/c 資料週期	26a/b/c 等待週期
28a/b/c 資料傳送週期	
30 南橋	32 北橋
34 CPU	36 記憶體
500 第一控制晶片	600 第二控制晶片
510, 610 資料送收器	520 目標控制器
525 寫資料佇列	530 寫交易佇列
535 寫緩衝器大小暫存器	540 寫緩衝器計數暫存器

五、發明說明(8)

- | | |
|----------------|---------------|
| 545 寫交易產生器 | 555 寫比較器 |
| 550 寫交易紀錄電路及佇列 | |
| 625 讀資料佇列 | 630 讀交易佇列 |
| 635 讀緩衝器大小暫存器 | 640 讀緩衝器計數暫存器 |
| 645 讀交易產生器 | 655 讀比較器 |
| 650 讀交易紀錄電路及佇列 | |

較佳實施例

爲了提出一種控制晶片組、控制晶片組內晶片間的資料交易方法以及控制晶片組內晶片間匯流排之仲裁方法，能提高控制晶片組資料交易的效能，並簡化控制晶片組內的訊號線的種類與數量，亦即簡化控制晶片間之匯流排。本發明以電腦主機板內南橋與北橋所構成之控制晶片組爲例，重新定義數個命令訊號，在此稱爲高傳輸記憶連結(High Through-put Memory Link 簡稱 HTML)來化簡原先複雜的 PCI 匯流排訊號。在此較佳實施例中，原先之南橋與北橋之間的訊號線需要 45 條訊號線，本發明以 15 個命令訊號線來取代原先的 PCI 匯流排訊號線。

請參考第 3 圖與表一，其中第 3 圖係依據本發明之一較佳實施例之一種控制晶片組之方塊示意圖，第 3 圖亦繪示控制晶片組中之南橋與北橋間的訊號線；而表一詳細說明該些訊號線的意義。由第 3 圖與表一可知，本發明之控制晶片組包括南橋 30 與北橋 32 兩控制晶片，南橋 30 與北橋 32 之間原先的 45 個訊號接腳簡化爲 15 個，多餘的

五、發明說明(9)

接腳便可以提供做為其他用途，以增進控制晶片組的功能。

如第 3 圖與表一所示，南橋 30 與北橋 32 之間，保留原先 PCI 匯流排協定規格所定的位址資料匯流排(AD bus)，但將其縮減為僅有 8 條雙向訊號線，其他如 CBE、FRAME、IRDY、TRDY、STOP、DEVSEL、REQ 以及 GNT 等訊號線，簡化為一條雙向位元致能 BE 訊號線，以及由南橋 30 所驅動的上傳命令(up link command)UPCMD、上傳觸發(up link strobe)UPSTB；還有由北橋 32 所驅動的下傳命令(down link command)DNCMD、下傳觸發(down link strobe)DNSTB 訊號線等。南橋 30 與北橋 32 各驅動一條獨立的命令訊號線，代表此一較佳實施例具有全雙工命令傳送功能，能各自隨時發出匯流排命令。且當發出匯流排命令的同時如果取得此匯流排的使用權，就可在位址資料匯流排上發出位址，並在 BE 訊號線發出此命令的長度資訊，或者在位址匯流排上送出資料，並在 BE 訊號線發出這筆資料的位元組致能訊號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

表一

訊號	驅動者	說明
CLK		66Mhz 之時脈訊號
DNSTB	北橋	下傳觸發
UPSTB	南橋	上傳觸發
DNCMD	北橋	下傳命令
UPCMD	南橋	上傳命令
BE	北橋/南橋	位元組致能
AD[7:0]	北橋/南橋	位址/資料匯流排
VREF		參考電壓
COMP		阻抗比較

請參考第 4 圖，其定義出本發明任一資料線傳送資料位元時間與匯流排時脈訊號以及觸發訊號線之間的時序關係。由圖可以看出，一個時脈週期包含兩個觸發 STB 之時脈訊號，亦即在上傳觸發訊號線以及下傳觸發訊號線致動時之運作頻率係 2 倍於時脈訊號線上之時脈頻率。利用觸發訊號之上升與下降邊緣共可以定義出四個位元時間 0~3，利用此四個位元時間共可取得 4 個位元的資料，並可進行匯流排命令之編碼。因此 8 條資料線，每一時脈週期可取得 32 位元的資料，其效果等於在 PCI 匯流排中，同時有 32 條資料線在傳送資料般。而如 BE 訊號線代表長度資訊時，可以在一個時脈週期得出 1-16 (4 個位元) 資料長度資訊。

五、發明說明 (//)

上傳命令 UPCMD 與下傳命令 DNCMD 定義出各種不同的資料交易型態。由南橋 30 所驅動的上傳命令 UPCMD 包括：北橋到南橋讀取確認命令 C2PRA、北橋到南橋寫入確認命令 C2PWA、南橋到北橋讀取命令 P2CR、南橋到北橋寫入命令 P2CW 等。其與位元時間之編碼關係則如表二所示，請注意 REQ 匯流排要求訊號，係在位元時間 0 發出，與其他資料交易型態的命令並未重疊，所以在任何時間，甚至在發出資料交易型態命令之同一時脈週期，可同時發出此一 REQ 訊號。由北橋 32 所驅動的下傳命令 DNCMD 包括：北橋到南橋輸出讀取命令 C2PIOR、北橋到南橋記憶體讀取命令 C2PMR、北橋到南橋輸出寫入命令 C2PIOW、北橋到南橋記憶體寫入命令 C2PMW、南橋到北橋讀取確認命令 P2CRA、南橋到北橋寫入確認命令 P2CWA，其與位元時間之編碼關係則如表三所示。請注意，在本實施例並無有關 GNT 的訊號定義。

上述命令中南橋與北橋晶片所發出的命令是對應的，當南橋依序發出複數個 P2CR 及/或 P2CW 命令後，北橋必須完全依照南橋發出命令的順序回應相對應的 P2CRA 及/或 P2CWA 命令。當北橋依序發出複數個 C2PIOR、C2PMR、C2PIOW 及 C2PMW 命令後，南橋必須依序回應相對應的 C2PRA 及 C2PWA 命令。且本實施例中，每一控制晶片發出的命令時，其相關資料必須先準備好。例如：當南橋發出 P2CW 時，必須要將所要寫入之資料準備妥當，當北橋發出 P2CRA 時，必須要將所要傳回之讀出資料完全準備

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

好，以避免在傳輸資料的當中有資料停頓無法接續的情形。

表二(上傳命令 UPCMD)

位元時間 0 REQ	位元時間 1 PMSTR	位元時間 2 MIO	位元時間 3 WR	說明
-	0	-	0	C2PRA
-	0	-	1	C2PWA
-	1	0	0	P2CR
-	1	0	1	P2CW
-	1	1	1	NOP
0	-	-	-	REQ

表三(下傳命令 DNCMD)

位元時間 0	位元時間 1 PMSTR	位元時間 2 MIO	位元時間 3 WR	說明
-	0	0	0	C2PIOR
-	0	0	1	C2PIOW
-	0	1	0	C2PMR
-	0	1	1	C2PMW
-	1	0	0	P2CRA
-	1	0	1	P2CWA
-	1	1	1	NOP

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

第 5 圖繪示依據本發明之一較佳實施例之一種控制晶片組，其中有關寫入交易之內部結構方塊示意圖，請參考第 5 圖。此較佳實施例之控制晶片組，包括第一控制晶片以及第二控制晶片，例如：第一控制晶片是北橋晶片 500，而第二控制晶片是南橋晶片 600。其透過特殊的晶片間匯流排連接在一起，就是本發明定義的 HTML。北橋晶片 500 包括：資料送收器 510、目標控制器 520(例如：記憶體控制器 520)、寫資料佇列 525 以及寫交易佇列 530 等。南橋晶片 600 包括：資料送收器 610、寫緩衝器大小暫存器 535、寫緩衝器計數暫存器 540、寫交易產生器 545、寫交易紀錄電路及佇列 550 以及寫比較器 555。

資料送收器 510 直接連接至 HTML，是符合 HTML 介面規格的資料收發控制器，能透過 HTML 接收與發送資料訊號，來完成複數個寫入交易。在這裡我們簡稱每一次從南橋晶片 600 送出 P2CW 命令與相關資料，到北橋晶片 500 回應相對此次 P2CW 命令的 P2CWA 命令為一次寫入交易。寫資料佇列 525，能依序暫存寫入交易之資料。而寫交易佇列 530，依序暫存所有寫入交易之資料長度及寫入位址。目標控制器 520 根據目前在寫交易佇列 530 中最先存入之寫入交易所對應之寫入位址與資料長度，以及在寫資料佇列 525 中所對應之資料，將即將寫入目標裝置(如：外部記憶體)之資料送出後，第一資料送收器 510 會送出寫入確認

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

信號(P2CWA 命令)，並且目前在寫交易佇列 530 中最先存入之寫入交易所對應之寫入位址與資料長度，以及在寫資料佇列 525 中所對應之資料都會被釋放，也就是佇列中暫存這些資料的記憶位置都可在填入其他資料。

南橋晶片 600 中的寫緩衝器計數暫存器 540 以及寫緩衝器大小暫存器 535，分別儲存北橋晶片 500 中寫交易佇列 530 所可容納寫入交易之總數以及寫資料佇列 525 所可容納資料之總數，本實施例中，寫交易佇列 530 所可容納寫入交易之總數為 4，而寫資料佇列 525 所可容納資料之總數為 16。這兩個數字可由基本輸出入系統在開機時設定，也可以在設計晶片時就固定等。

資料送收器 610，同樣耦接至 HTML，能透過 HTML，接收與發送資料訊號，來完成所有的寫入交易，而且當資料送收器 610 收到 P2CWA 命令後，會送出寫入成功釋放緩衝器訊號至寫交易紀錄電路及佇列 550，可用以釋放佇列中儲存對應此次寫入交易之資料長度之記憶位置。當寫交易產生器 545，產生一個新的寫入交易之資料長度，寫入位址及資料時，也會將資料長度送至寫交易紀錄電路及佇列 550。

寫交易紀錄電路及佇列 550 能計算出目前北橋晶片 500 中，有關寫資料佇列 530 之所有將用寫緩衝器資料個數，以及寫交易佇列 525 之所有將用寫入交易個數。這是由於寫交易紀錄電路及佇列 550 中，依序暫存所有寫入交易之資料長度，又由於北橋晶片 500 發出 P2CWA 命令是完

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

全依照南橋晶片 600 發出 P2CW 命令的順序來回應，南橋晶片 600 完全可以掌握北橋晶片 500 內部佇列中緩衝器的使用情形。

寫交易紀錄電路及佇列 550 會將目前有關寫資料佇列 530 之所有將用寫緩衝器資料個數，以及寫交易佇列 525 之所有將用寫入交易個數送給寫比較器 555，寫比較器 555 將上述資訊與寫緩衝器大小暫存器 535 記憶之寫資料佇列 525 所可容納資料之總數，以及寫緩衝器計數暫存器 540 記憶之寫交易佇列 530 所可容納寫入交易之總數來比較，如果兩者都未超過可容納的總數，就可通知資料送收器 610 送出新的寫入交易相關之資料訊號。

第 6 圖繪示依據本發明之一較佳實施例之一種控制晶片組，其中有關讀出交易之內部結構方塊示意圖。請參考第 6 圖。此較佳實施例之控制晶片組，包括北橋晶片 500 以及南橋晶片 600。其透過特殊的晶片間匯流排連接在一起，就是本發明定義的 HTML。北橋晶片 500 包括：資料送收器 510、目標控制器 520(例如：記憶體控制器 520)、讀資料佇列 625 以及讀交易佇列 630 等。南橋晶片 600 包括：資料送收器 610、讀緩衝器大小暫存器 635、讀緩衝器計數暫存器 640、讀交易產生器 645、讀交易紀錄電路及佇列 650 以及讀比較器 655。

資料送收器 510 直接連接至 HTML，是符合 HTML 介面規格的資料收發控制器，能透過 HTML 接收與發送資料訊號，來完成複數個讀出交易。在這裡我們簡稱每一次從

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

南橋晶片 600 送出 P2CR 命令，到北橋晶片 500 回應相對此次 P2CR 命令的 P2CRA 命令與相關資料為一次讀出交易。讀資料佇列 625，能依序暫存讀出交易之資料。而讀交易佇列 630，依序暫存所有讀出交易之資料長度及讀出位址。目標控制器 520 根據目前在讀交易佇列 630 中最先存入之讀出交易所對應之讀出位址與資料長度，從目標裝置(如：外部記憶體)將資料讀出後，存入讀資料佇列 625 中。然後，第一資料送收器 510 會送出讀出確認信號(P2CRA 命令)以及讀交易佇列 630 中最先存入之讀出交易所對應之在讀資料佇列 625 之資料後，並且目前在讀交易佇列 630 中最先存入之讀出交易所對應之讀出位址與資料長度，以及在讀資料佇列 625 中所對應之資料都會被釋放，也就是佇列中暫存這些資料的緩衝器都可在填入其他資料。

南橋晶片 600 中的讀緩衝器計數暫存器 640 以及讀緩衝器大小暫存器 635，分別儲存北橋晶片 500 中讀交易佇列 630 所可容納讀出交易之總數以及讀資料佇列 625 所可容納資料之總數，本實施例中，讀交易佇列 630 所可容納讀出交易之總數為 4，而讀資料佇列 625 所可容納資料之總數為 16。這兩個數字可由基本輸出入系統在開機時設定，也可以在設計晶片時就固定等。

資料送收器 610，同樣耦接至 HTML，能透過 HTML，接收與發送資料訊號，來完成所有的讀出交易，而且當資料送收器 610 收到 P2CRA 命令後，除了將對應此次 P2CRA 命令之讀出交易的資料送給讀交易產生器 645，也會送出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

讀出成功釋放緩衝器訊號至讀交易紀錄電路及佇列 650，可用以釋放佇列中儲存對應此次讀出交易之資料長度之記憶位置。當讀交易產生器 645，產生一個新的讀出交易之資料長度及讀出位址時，也會將資料長度送至讀交易紀錄電路及佇列 650。

讀交易紀錄電路及佇列 650 能計算出目前北橋晶片 500 中，有關讀資料佇列 630 之所有將用讀緩衝器資料個數，以及讀交易佇列 625 之所有將用讀出交易個數。這是由於讀交易紀錄電路及佇列 650 中，依序暫存有所有讀出交易之資料長度，又由於北橋晶片 500 發出 P2CRA 命令是完全依照南橋晶片 600 發出 P2CR 命令的順序來回應，南橋晶片 600 完全可以掌握北橋晶片 500 內部佇列中緩衝器的使用情形。

讀交易紀錄電路及佇列 650 會將目前有關讀資料佇列 630 之所有將用讀緩衝器資料個數，以及讀交易佇列 625 之所有將用讀出交易個數送給讀比較器 655。讀比較器 655 將上述資訊與讀緩衝器大小暫存器 635 記憶之讀資料佇列 625 所可容納資料之總數，以及讀緩衝器計數暫存器 640 記憶之讀交易佇列 630 所可容納讀出交易之總數來比較，如果兩者都未超過可容納的總數，就可通知資料送收器 610 送出新的讀出交易相關之資料訊號。

上述第 5 圖及第 6 圖說明之本發明之實施例，都是舉例第一控制晶片是北橋晶片，而第二控制晶片是南橋晶片，且由南橋晶片主動發出命令，控制北橋晶片來讀寫資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

料。如熟悉此藝者可輕易知曉，只要南北橋中有對應的結構，並不限定要由南橋晶片主動發出命令，亦即第一控制晶片可以是南橋晶片，而第二控制晶片是北橋晶片。

上述說明中，並未針對南北橋如何取得 HTML 匯流排之使用權作敘述。以下，闡述本發明之控制晶片組內晶片間匯流排之仲裁方法，本發明主要設定控制晶片組內第一控制晶片平常掌握晶片間匯流排之控制權，但另一第二控制晶片卻享有較高之匯流排優先權，當第二控制晶片發出匯流排要求 REQ 訊號時，第一控制晶片必須立即或在完成其目前執行之匯流排命令週期後，交出匯流排之控制權給該第二控制晶片，此協定搭配沒有等待週期之匯流排規格，例如 HTML 等，就可快速無誤的仲裁匯流排之使用權歸屬。

本發明之一種控制晶片組之間匯流排之仲裁方法，其運作環境必須：控制晶片組包括第一控制晶片(如：北橋晶片)及第二控制晶片(如：南橋晶片)，此第一與第二控制晶片透過晶片間匯流排(如：HTML)互相傳送資料時，不會有等待週期，當然此晶片間匯流排必須包括有共用雙向匯流排，否則就根本不需仲裁。就如第 3-6 圖所述之本發明較佳實施例之一種主機板南北橋控制晶片組所示。

首先第二控制晶片必須知道有關第一控制晶片所有具有固定時脈數之匯流排命令與其使用該共用雙向匯流排之時脈數。當第二控制晶片發出第一命令(如：讀取命令)給第一控制晶片時，第二控制晶片必須記憶第一控制晶片傳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

送對應第一命令之確認命令及資料所需的時脈數，其中第一控制晶片回應確認命令及資料所需的時脈數係由第一命令中的資訊來決定。例如：南橋發出 P2CR 命令給北橋時，由於有讀出資料長度之資料在內，又因為 HTML 傳送資料時沒有等待週期，所以南橋可知道北橋發出對應之 P2CRA 命令及資料所需的時脈數。

當第二控制晶片需使用晶片間匯流排時，第二控制晶片就直接發出匯流排要求訊號。第一控制晶片偵測到此匯流排要求訊號後，如第一控制晶片目前沒有使用此共用雙向匯流排，則第一控制晶片交出匯流排控制權，不驅動此共用雙向匯流排，但是如第一控制晶片正使用此共用雙向匯流排時，則第一控制晶片等到完成目前之匯流排命令後，立即交出匯流排控制權，不驅動此共用雙向匯流排。

反觀，第二控制晶片發出匯流排要求訊號後，就偵測匯流排是否正由第一控制晶片使用，當第二控制晶片未偵測到第一控制晶片正使用此晶片間匯流排時，第二控制晶片等待一預定週期後並持續偵測此晶片間匯流排，再驅動此晶片間匯流排，等待此一預定週期主要目的，是由於訊號在晶片間匯流排中傳輸可能有傳輸延遲，避免第一控制晶片已送出命令，而第二控制晶片誤以為第一控制晶片沒有正使用此晶片間匯流排。另外，為避免兩控制晶片同時驅動此晶片間匯流排，轉換匯流排控制權至少須有一個時脈週期的轉變週期(turn-around cycle)。

當第二控制晶片偵測到第一控制晶片正使用晶片間匯

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(20)

流排時，由於第二控制晶片可知道是第一控制晶片正執行什麼命令，執行到那裡及其總共所需的時脈數，第二控制晶片在第一控制晶片完成正執行之匯流排命令，並等待轉變週期後，立即驅動晶片間匯流排。一般具有 GNT 訊號之匯流排仲裁方法，在第一控制晶片完成正執行之匯流排命令後，才可能驅動 GNT 訊號以通知第二控制晶片可掌握匯流排主控權，等待第二控制晶片偵測到此一 GNT 訊號，加上等待轉變週期並考慮傳輸延遲之安全因素後，第二控制晶片才驅動晶片間匯流排。請參照第 7a 圖，在週期 T1 時第二控制晶片發出匯流排要求訊號 DREQ#，在週期 T2 時第二控制晶片接著發出 REQSTB 訊號，第一控制晶片在週期 T4 時收到第二控制晶片的要求並立即驅動 GNT 訊號以通知第二控制晶片可掌握匯流排主控權。第一控制晶片在週期 T5 時停止驅動匯流排。在週期 T6 時第二控制晶片才收到 GNT 訊號並開始驅動晶片間匯流排。因此習知晶片組之間使用 GNT 之仲裁方法必然比本發明之仲裁方法耗時。

接著，以數個例子，來說明本發明之實施例之運作時序。第 7b 圖到第 11 圖繪示依據本發明之一實施例中，有關要求及同意使用匯流排的訊號時序圖。這些圖中，都是由南橋(HUB)發出匯流排要求訊號，向北橋(HOST)要求使用匯流排，DREQ#代表南橋晶片內部要求匯流排之內部訊號，其為高電位時代表南橋晶片內部要求使用匯流排，REQSTB 亦為內部訊號，其為高電位時，代表晶片(如未繪

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

示南橋或北橋，則指為南橋)利用上傳命令訊號線 UPCMD，在時脈週期的第一個位元時間(BitTime 0)發出 REQ 訊號，HOSTOE 與 HUBOE 為高電位時，分別代表北橋與南橋獲得匯流排之掌控權，得以驅動晶片間匯流排之雙向匯流排。HOSTSTB 訊號變化時，代表北橋正使用雙向匯流排。

首先，請參考第 7b 圖。週期 T1 時，DREQ#上升為高電位，表示南橋需要使用匯流排。在週期 T2 起，要求觸發訊號 REQSTB 為高電位，南橋便由上傳命令 UPCMD 在位元時間 0 發出真正的 REQ 訊號。由於考慮傳輸延遲，此 REQSTB 訊號在週期 T4 才安全無虞被北橋所接受，因此北橋如果已開始一命令週期，就可能在週期 T3 送出下傳命令 DNCMD。而南橋等到週期 T5，才會偵測到此命令週期，如北橋並未送出下傳命令 DNCMD 時，南橋便擁有 BE/AD 匯流排，於是南橋便可以在週期 T5 送出上傳命令 UPCMD 並驅動 BE/AD 匯流排。本實施例南橋由週期 T2 發出真正的 REQ 訊號，等待一預定週期(3 個時脈數)，等到週期 T5 才驅動 BE/AD (位元組致能/位址資料匯流排)，此一期間包含週期 T4 轉換匯流排控制權之轉變週期。

請參考第 8 圖，週期 T1 時，DREQ#上升為高電位，表示南橋需要使用匯流排。在週期 T2 起，要求觸發訊號 REQSTB 為高電位，南橋便由上傳命令 UPCMD 在位元時間 0 發出真正的 REQ 訊號。但是北橋在週期 T3 送出下傳命令(DNCMD)，此例送出 P2CRA 命令，假設此命令交易的資料長度為 8 個雙字組(8DW)。此 8DW 的資料傳送在週

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

期 T3 到週期 T10 進行，由於南橋完全知道此交易所費的時脈數，且確定北橋交易完成後必定會交出匯流排，故交易進行完成後，再經過 T11 之轉變週期，在週期 T12 時，南橋便可以驅動訊號 BE/AD(位元組致能/位址資料匯流排)。

請參考第 9 圖，週期 T1 時，DREQ#上升為高電位，表示南橋需要使用匯流排。在週期 T2 起，要求觸發訊號 REQSTB 為高電位，南橋便由上傳命令 UPCMD 在位元時間 0 發出真正的 REQ 訊號。但是北橋在週期 T3 送出下傳命令(DNCMD)，此例送出 C2PR 命令，此命令交易的時脈數是固定僅有 1 個時脈週期，此命令在週期 T3 進行，由於南橋完全知道所有固定週期命令所費的時脈數，且確定北橋必定會交出匯流排，故南橋經過 T4 之轉變週期，在週期 T5 時，南橋便可以驅動雙向之訊號位元組致能與位址資料匯流排。

請參考第 10 圖，在週期 T2 後，要求觸發訊號 REQSTB 為高電位，南橋便在週期 T5 時，開始送出上傳命令 UPCMD，並驅動雙向匯流排，在此例為連續兩個 P2CR 命令，且在週期 T5 與 T6 進行資料的傳送。注意的是，在週期 T6 時，要求觸發訊號 REQSTB 便變為低電位。亦即雖然南橋仍在使用的匯流排，並發出 P2CR 命令，但在週期 T6 之位元時間 0 的要求訊號已經取消，故北橋便在週期 T8 前偵測到南橋結束要求使用匯流排，於是北橋在週期 T8 便開始驅動 BE/AD 的訊號線。

五、發明說明(23)

請參考第 11 圖，在週期 T1 時，北橋送出 C2PR 之讀取命令。當南橋的資料已經備妥時，南橋便在週期 T4 使要求觸發訊號 REQSTB 變為高電位。等待預定之 3 個時脈數後，在週期 T7，南橋驅動 AD 匯流排將北橋要讀取的資料送出，C2PRA 命令亦同時出現在 UPCMD 上。同時，在週期 T7 之位元時間 0 的 REQ 訊號已經取消，北橋在週期 T9，重新掌控晶片間匯流排。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

控制晶片組之間匯流排之仲裁方法)

本發明之控制晶片組與其間的資料交易方法，藉由控制晶片組中各控制晶片內部佇列的資料緩衝器具有固定大小與數量，且晶片間發出讀寫確認命令的順序完全依照發出讀寫命令的順序來回應，使控制晶片完全可以掌握另一控制晶片內部佇列中緩衝器的使用情形。本發明之控制晶片組間的匯流排之仲裁方法，設定某一控制晶片平常掌握晶片間匯流排之控制權，但另一控制晶片卻享有較高之匯流排優先權，搭配沒有等待週期的晶片間匯流排規格。本發明提高控制晶片組資料交易的效能，並簡化控制晶片組內的訊號線的種類與數量。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫)
頁各欄

裝

訂

線

六、申請專利範圍

1.一種控制晶片組之間匯流排之仲裁方法，該控制晶片組包括一第一控制晶片及一第二控制晶片，該第一與該第二控制晶片透過一晶片間匯流排互相傳送資料，該晶片間匯流排包括一共用雙向匯流排，該仲裁方法包括下列步驟：

當該第二控制晶片需使用該晶片間匯流排時，該第二控制晶片發出一匯流排要求訊號；

當該第一控制晶片偵測到該匯流排要求訊號時，如該第一控制晶片沒有使用該共用雙向匯流排，則該第一控制晶片不驅動該共用雙向匯流排，如該第一控制晶片正使用該共用雙向匯流排，則在完成目前之匯流排命令後，立即不驅動該共用雙向匯流排；

當該第二控制晶片未偵測到該第一控制晶片使用該晶片間匯流排時，該第二控制晶片等待一預定週期後，驅動該晶片間匯流排；以及

當該第二控制晶片偵測到該第一控制晶片使用該晶片間匯流排時，該第二控制晶片依據該第一控制晶片正執行之匯流排命令與其所需的時脈數，在該第一控制晶片完成正執行之匯流排命令，並等待一轉變週期後，驅動該晶片間匯流排。

2.如申請專利範圍第 1 項所述之控制晶片組之間匯流排之仲裁方法，更包括：

提供給該第二控制晶片，有關該第一控制晶片所有具有固定時脈數之匯流排命令與其使用該共用雙向匯流排之

六、申請專利範圍

時脈數；以及

當該第二控制晶片發出一第一命令給該第一控制晶片時，該第二控制晶片記憶該第一控制晶片傳送對應該第一命令之一確認命令及資料所需的時脈數，其中該第一控制晶片回應該確認命令及資料所需的時脈數係由該第一命令中的資訊來決定。

3.如申請專利範圍第 1 項所述之控制晶片組之間匯流排之仲裁方法，其中該晶片間匯流排包括：一位址資料匯流排、一長度/位元組致能訊號線、一上傳命令訊號線、一上傳觸發訊號線、一下傳命令訊號線，一下傳觸發訊號線以及一時脈訊號線，其中該共用雙向匯流排包括該位址資料匯流排以及該長度/位元組致能訊號線。

4.如申請專利範圍第 1 項所述之控制晶片組之間匯流排之仲裁方法，其中該第一控制晶片為電腦主機板之一北橋控制晶片，該第二控制晶片為電腦主機板之一南橋控制晶片。

5.如申請專利範圍第 1 項所述之控制晶片組之間匯流排之仲裁方法，其中該第一控制晶片為電腦主機板之該南橋控制晶片，該第二控制晶片為電腦主機板之該北橋控制晶片。

6.如申請專利範圍第 3 項所述之控制晶片組之間匯流排之仲裁方法，其中該上傳觸發訊號線以及該下傳觸發訊號線致動時之運作頻率係 2 倍於該時脈訊號線上之時脈頻率。

六、申請專利範圍

7.如申請專利範圍第 6 項所述之控制晶片組之間匯流排之仲裁方法，其中該匯流排要求訊號係經由該上傳命令訊號線發出。

8.如申請專利範圍第 7 項所述之控制晶片組之間匯流排之仲裁方法，其中該匯流排要求訊號係當該上傳觸發訊號線於任一時脈週期中之第一個訊號變化時，經由該上傳命令訊號線發出。

9.如申請專利範圍第 2 項所述之控制晶片組之間匯流排之仲裁方法，其中該第一命令係一讀取命令，而該確認命令係一讀取確認命令。

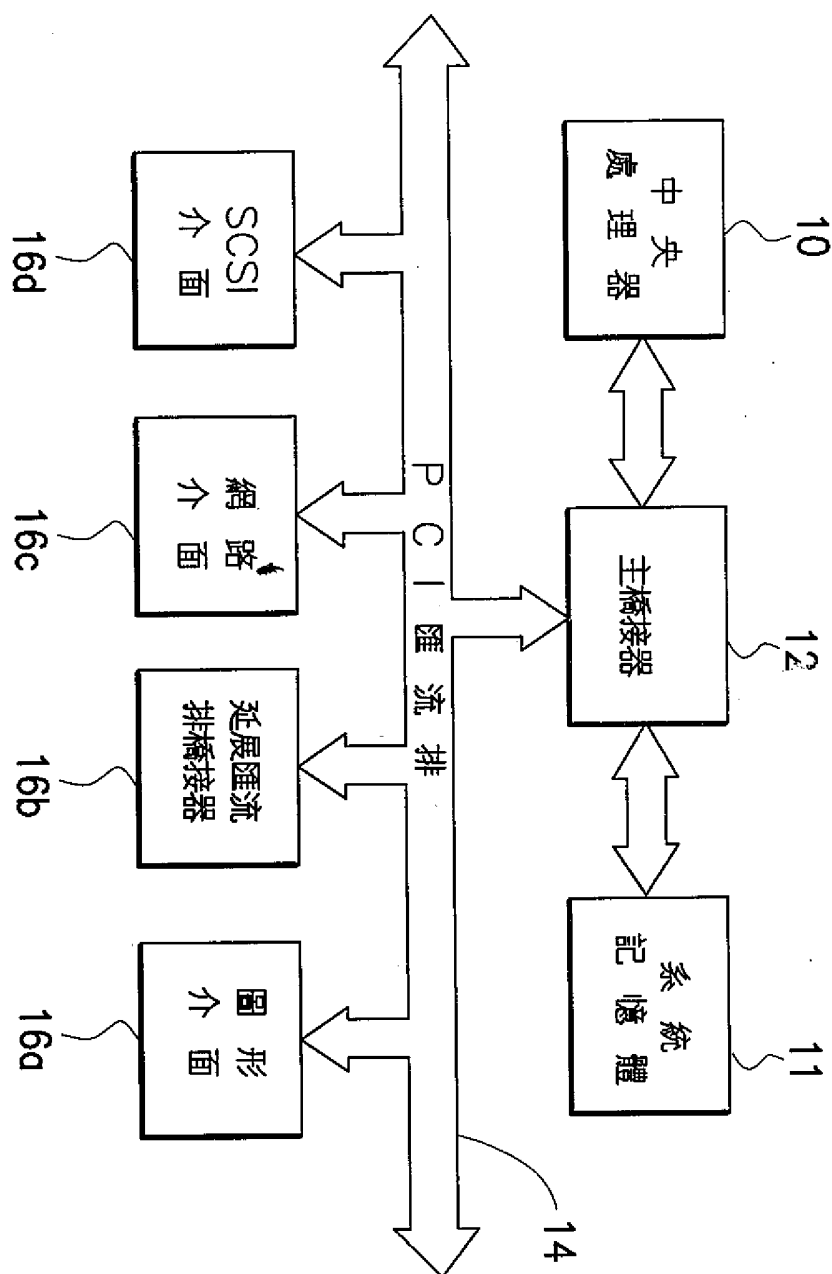
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

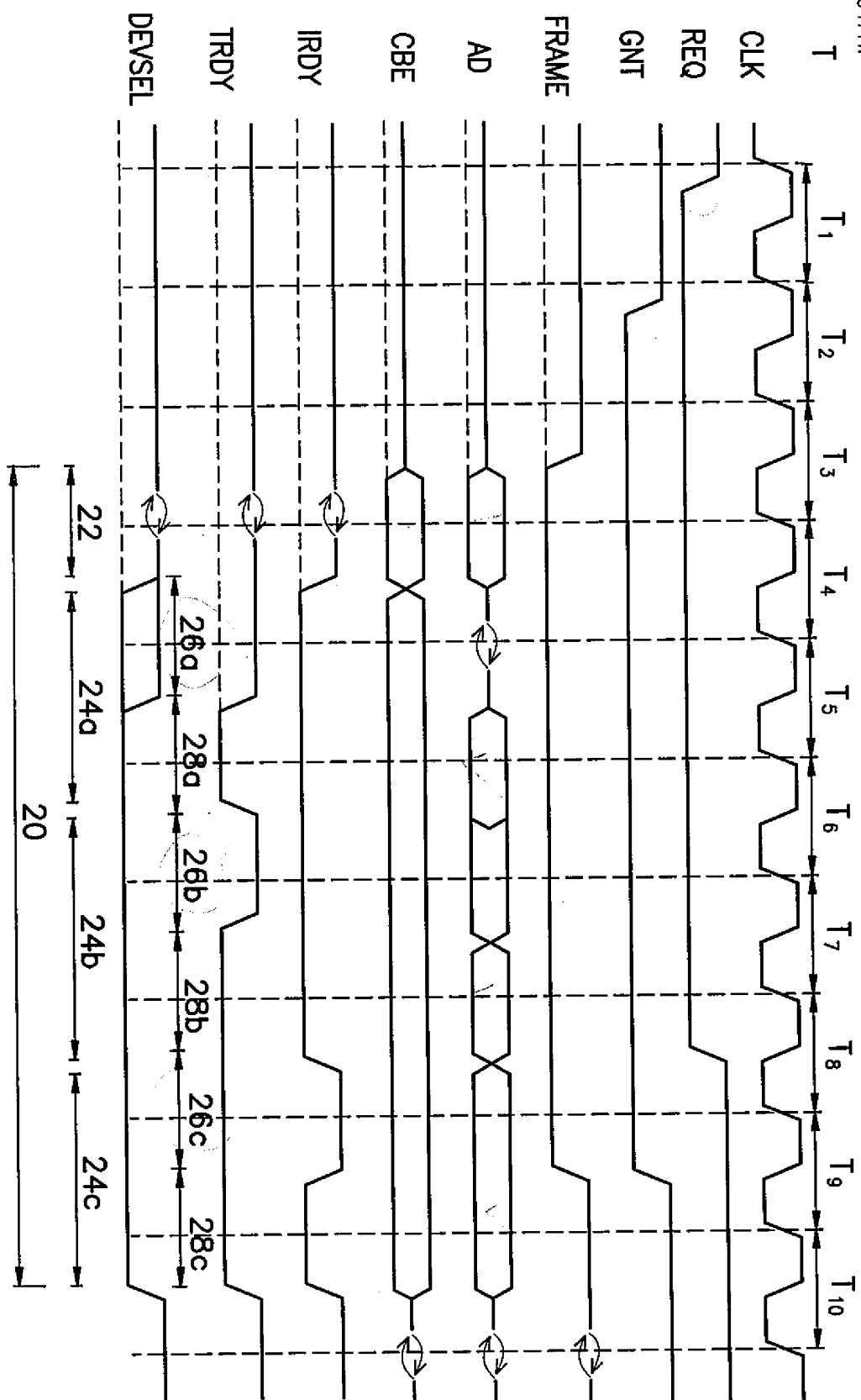
線

4947TW



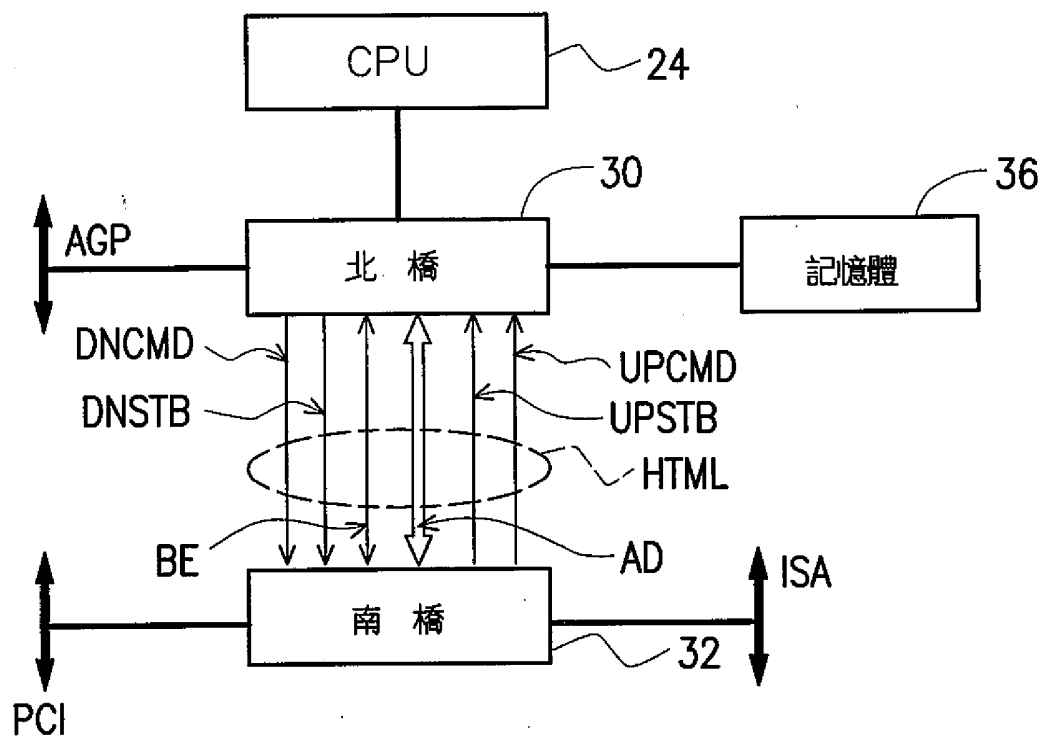
第1圖

49471W

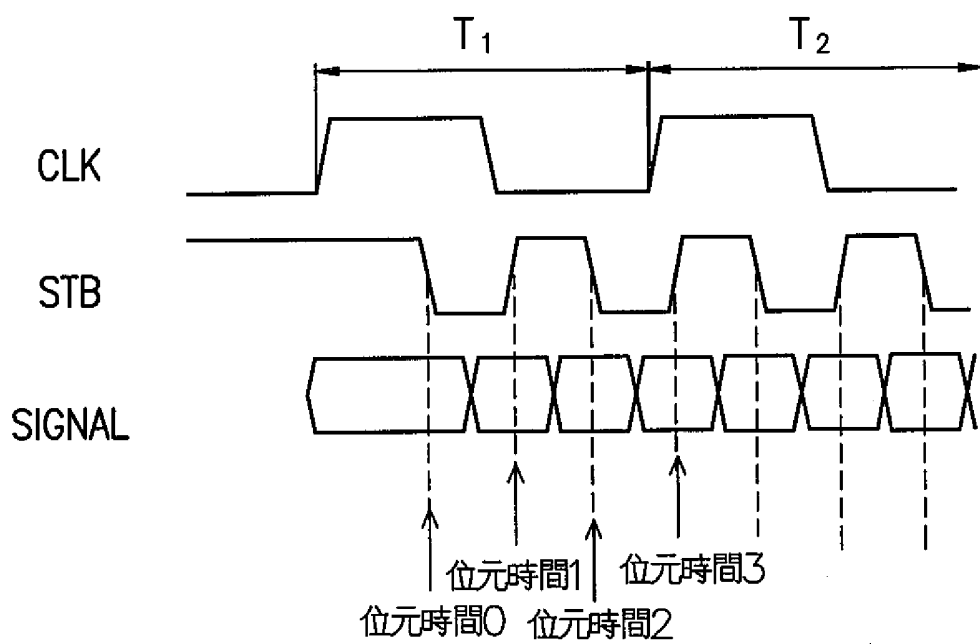


第 2 圖

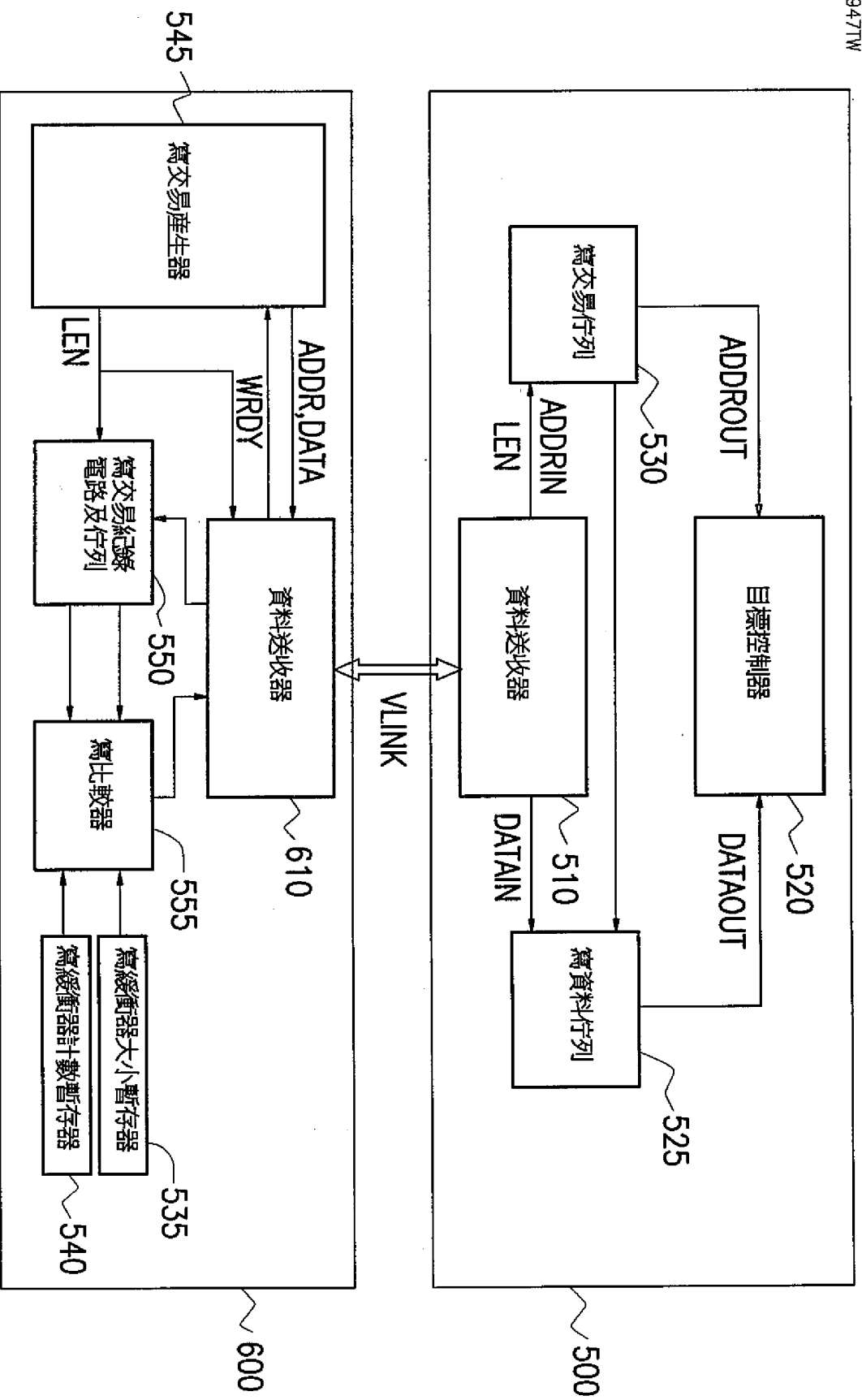
4947TW



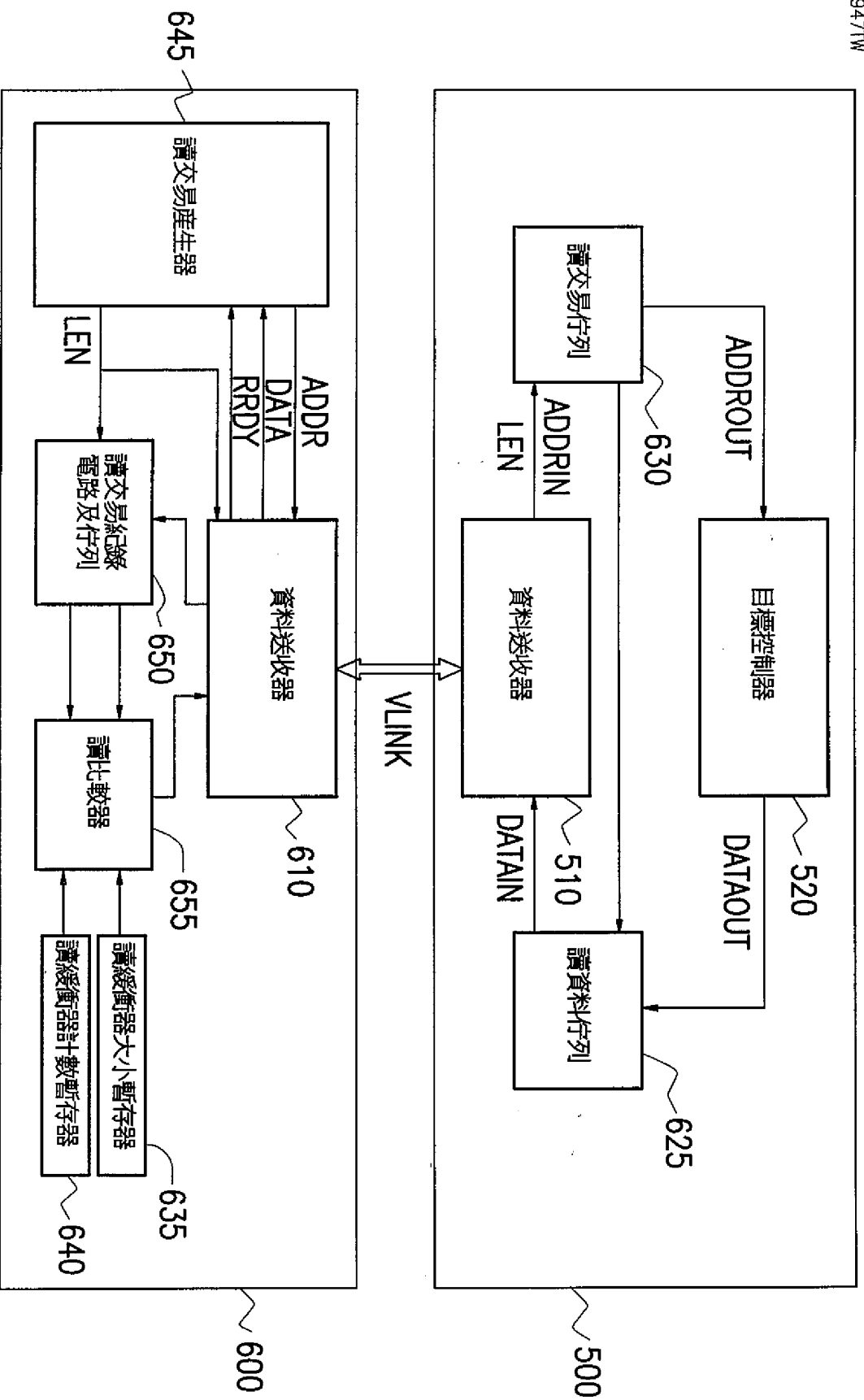
第 3 圖



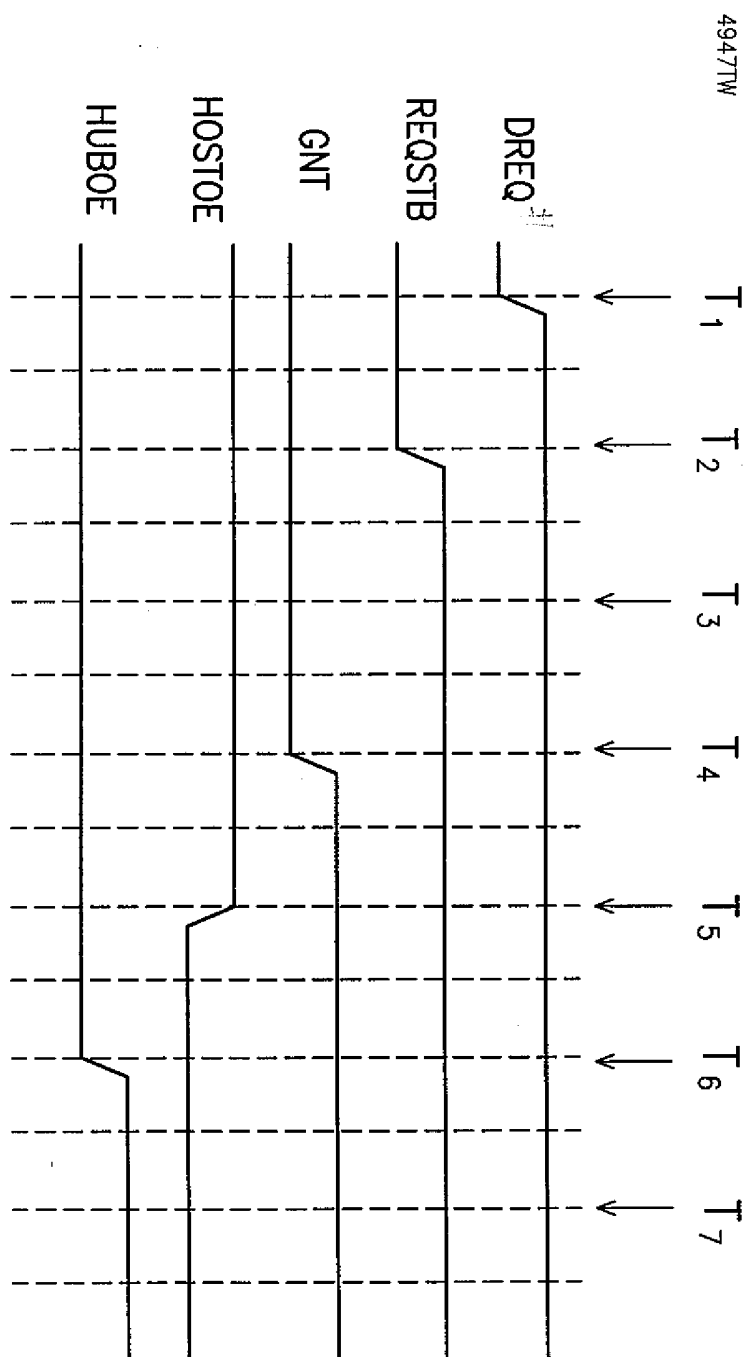
第 4 圖



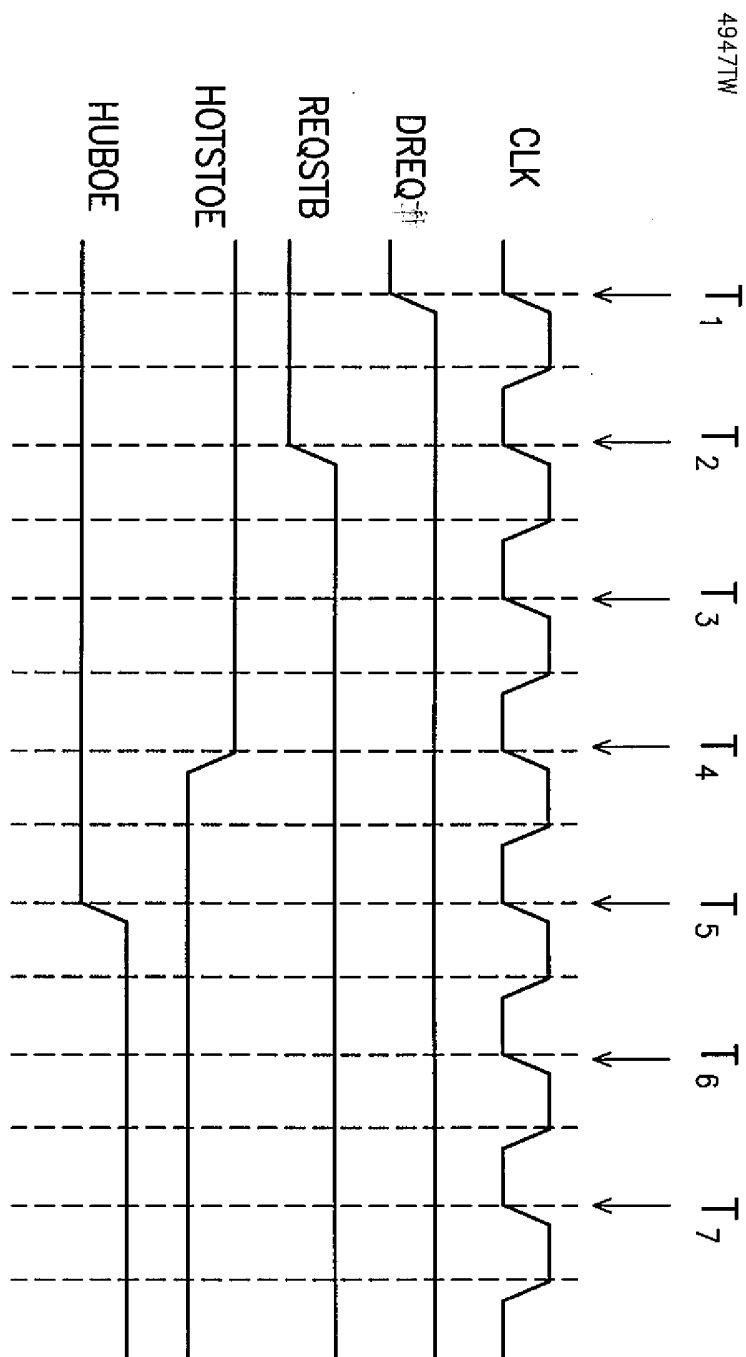
第 5 圖



第 6 圖

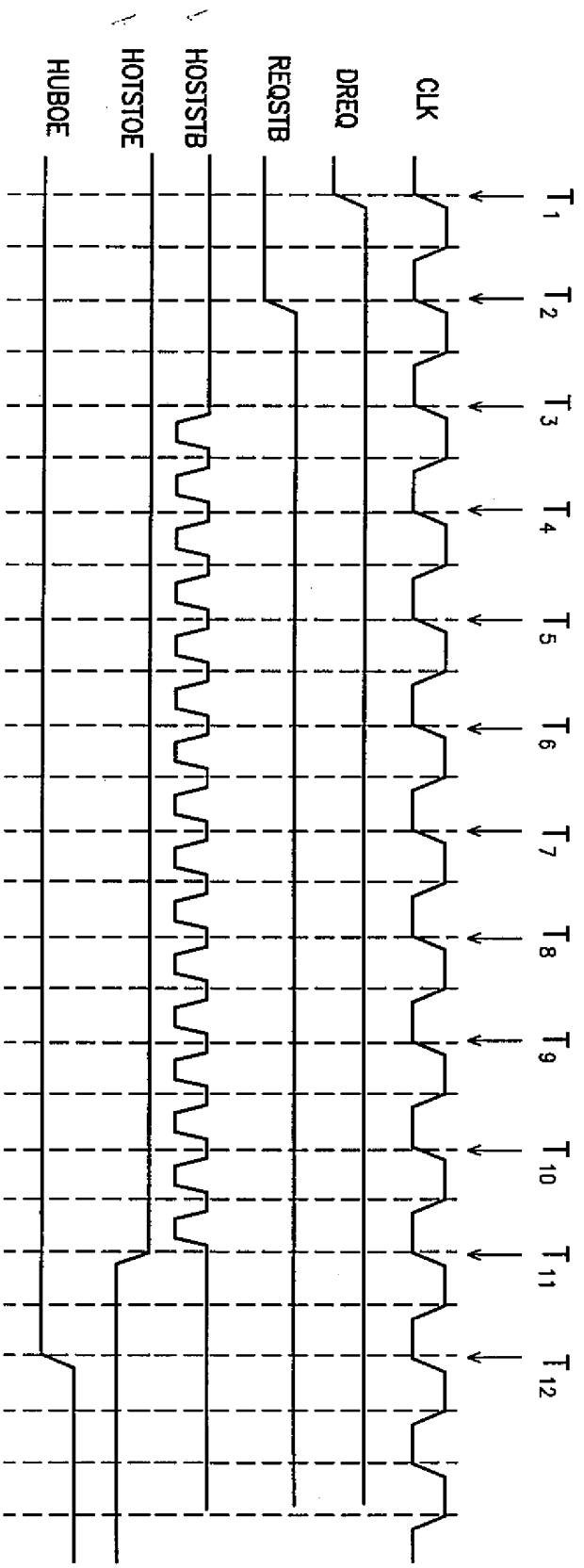


第7a圖



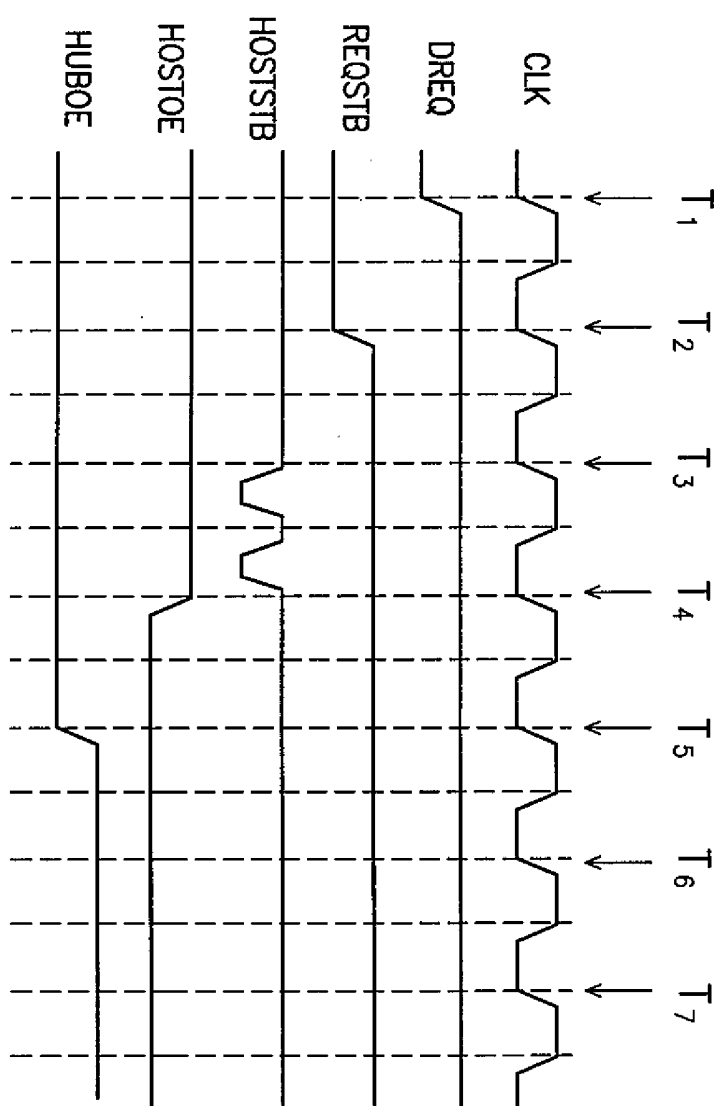
第7b圖

4947TW



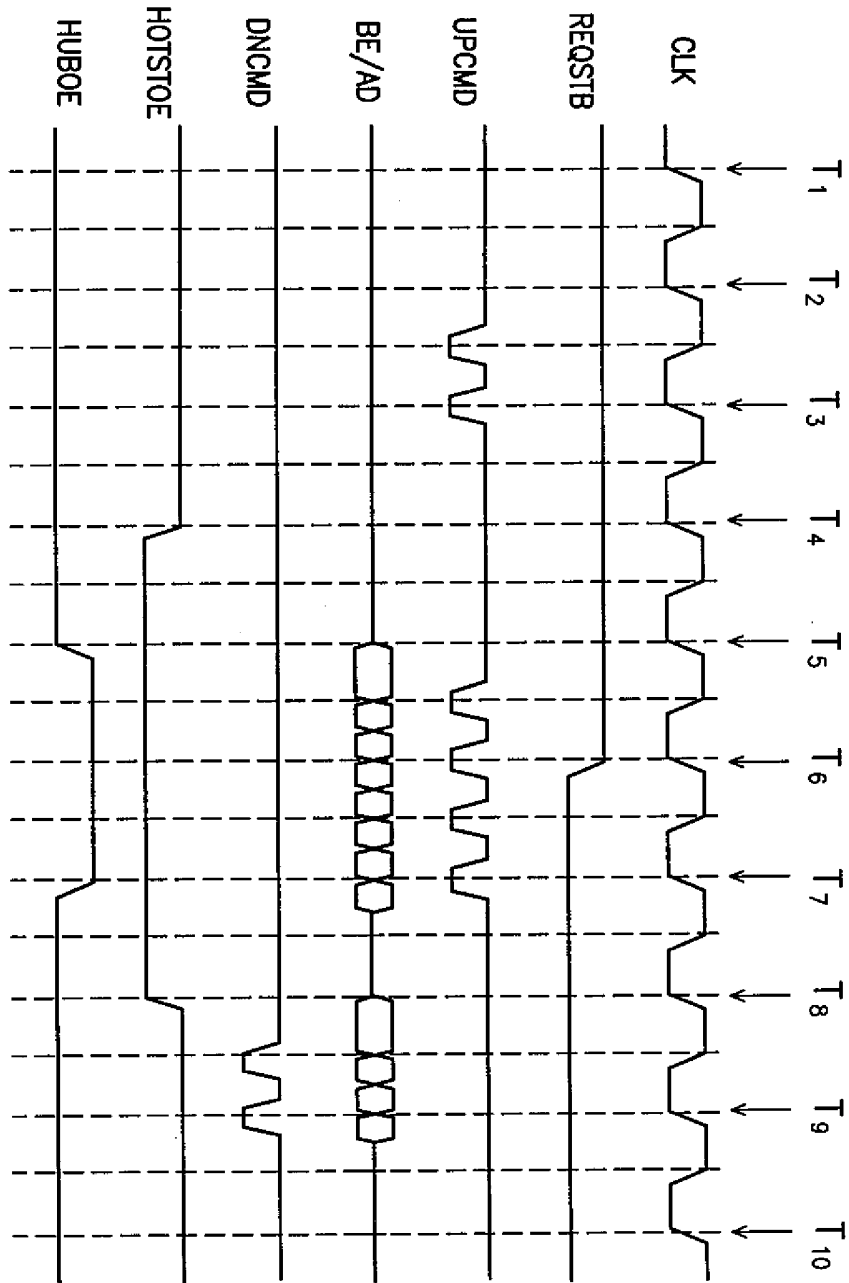
第 8 圖

4947TW



第 9 圖

4947TW



第10圖

申請日期	88.12.15
案 號	88121973
類 別	G66F 13/A2

A4
C4

468112

(以上各欄由本局填註)

煩請委員明示 87 年 12 月 12 日所提之
修正本有無變更實質內容，准予修正。

經濟部中央標準局員工消費合作社印製

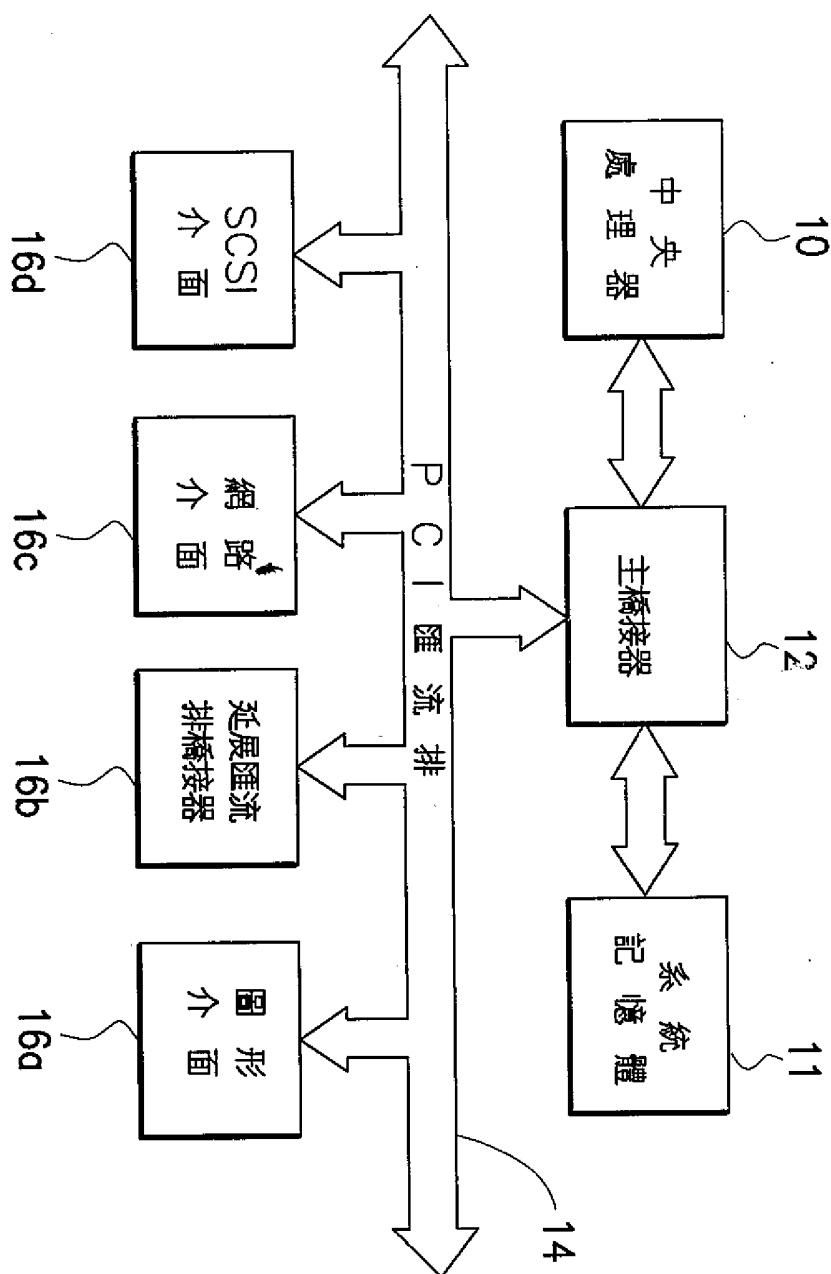
發明專利說明書		
一、發明 名稱	中 文	控制晶片組之間匯流排之仲裁方法
	英 文	
二、發明 創作人	姓 名	1 賴瑾 2 蔡兆爵 3 彭盛昌 4 蔡奇哲
	國 籍	中華民國
三、申請人	住、居所	1 台北市辛亥路 7 段 69 巷 19 號 4 樓 2 台北市南京東路五段 251 巷 50 弄 5-3 號 3 台北市忠孝東路五段 372 巷 27 弄 10 號 4 樓 4 高雄縣仁武鎮竹後村水管路 15 巷 144 弄 39 號
	姓 名 (名稱)	威盛電子股份有限公司
三、申請人	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
三、申請人	代 表 人 姓 名	王雪紅

裝

訂

線

4947TW



第1圖