

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5525166号  
(P5525166)

(45) 発行日 平成26年6月18日(2014. 6. 18)

(24) 登録日 平成26年4月18日(2014. 4. 18)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1335 (2006. 01)

G O 2 F 1/1335 5 O 5

請求項の数 11 (全 37 頁)

(21) 出願番号 特願2009-40576 (P2009-40576)  
 (22) 出願日 平成21年2月24日(2009. 2. 24)  
 (65) 公開番号 特開2009-230128 (P2009-230128A)  
 (43) 公開日 平成21年10月8日(2009. 10. 8)  
 審査請求日 平成24年2月9日(2012. 2. 9)  
 (31) 優先権主張番号 特願2008-46601 (P2008-46601)  
 (32) 優先日 平成20年2月27日(2008. 2. 27)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 小森 茂樹  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 佐藤 洋允

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法、電子機器

(57) 【特許請求の範囲】

【請求項 1】

第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有するレジストマスクを形成し、

前記レジストマスクを用いて前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行って少なくとも前記第1の導電膜を露出させ、

前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行って前記第1の絶縁膜の下方に空洞及びゲート電極を形成し、

前記第1のレジストマスクを後退させて前記第1のレジストマスクの凹部と重畳する領域の前記第2の導電膜を露出させ、

前記後退させたレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びに半導体層を形成し、

前記レジストマスクを除去した後、前記ソース電極及びドレイン電極、前記ソース領域及びドレイン領域並びに前記半導体層を含む薄膜トランジスタを覆い且つ前記空洞を残すように第2の絶縁膜を形成し、

前記第2の絶縁膜上にカラーフィルタ層を、前記薄膜トランジスタに起因する凹凸を緩和するように形成し、

10

20

前記カラーフィルタ層上に画素電極を形成することを特徴とする液晶表示装置の製造方法。

【請求項 2】

請求項 1 において、

前記凹部を有するレジストマスクは多階調マスクを用いて形成されることを特徴とする液晶表示装置の製造方法。

【請求項 3】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、不純物半導体膜及び第 2 の導電膜を順に積層して形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 の導電膜、前記第 1 の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第 2 の導電膜に第 1 のエッチングを行って少なくとも前記第 1 の導電膜を露出させ、

前記第 1 の導電膜の一部にサイドエッチングを伴う第 2 のエッチングを行って前記第 1 の絶縁膜の下方に空洞及びゲート電極を形成し、

前記第 1 のレジストマスクを除去した後、第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第 3 のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びに半導体層を形成し、

前記第 2 のレジストマスクを除去した後、前記ソース電極及びドレイン電極、前記ソース領域及びドレイン領域並びに前記半導体層を含む薄膜トランジスタを覆い且つ前記空洞を残すように第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上にカラーフィルタ層を、前記薄膜トランジスタに起因する凹凸を緩和するように形成し、

前記カラーフィルタ層上に画素電極を形成することを特徴とする液晶表示装置の製造方法。

【請求項 4】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、不純物半導体膜及び第 2 の導電膜を順に積層して形成し、

前記第 2 の導電膜上に凹部を有するレジストマスクを形成し、

前記レジストマスクを用いて前記第 1 の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第 2 の導電膜に第 1 のエッチングを行って少なくとも前記第 1 の導電膜を露出させ、

前記第 1 の導電膜の一部にサイドエッチングを伴う第 2 のエッチングを行って前記第 1 の絶縁膜の下方に空洞及びゲート電極を形成し、

前記第 1 のレジストマスクを後退させて前記第 1 のレジストマスクの凹部と重畳する領域の前記第 2 の導電膜を露出させ、

前記後退させたレジストマスクを用いて前記第 2 の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第 3 のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びに半導体層を形成し、

前記レジストマスクを除去した後、前記ソース電極及びドレイン電極、前記ソース領域及びドレイン領域並びに前記半導体層を含む薄膜トランジスタを覆い且つ前記空洞を残すように第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上に選択的にカラーフィルタ層を形成し、

前記カラーフィルタ層上に画素電極を形成することを特徴とする液晶表示装置の製造方法。

【請求項 5】

請求項 4 において、

前記凹部を有するレジストマスクは多階調マスクを用いて形成されることを特徴とする液晶表示装置の製造方法。

10

20

30

40

50

## 【請求項 6】

第 1 の導電膜、第 1 の絶縁膜、半導体膜、不純物半導体膜及び第 2 の導電膜を順に積層して形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記第 1 の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第 2 の導電膜に第 1 のエッチングを行って少なくとも前記第 1 の導電膜を露出させ、

前記第 1 の導電膜の一部にサイドエッチングを伴う第 2 のエッチングを行って前記第 1 の絶縁膜の下方に空洞及びゲート電極を形成し、

前記第 1 のレジストマスクを除去した後、第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第 3 のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びに半導体層を形成し、

前記第 2 のレジストマスクを除去した後、前記ソース電極及びドレイン電極、前記ソース領域及びドレイン領域並びに前記半導体層を含む薄膜トランジスタを覆い且つ前記空洞を残すように第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上に選択的にカラーフィルタ層を形成し、

前記カラーフィルタ層上に画素電極を形成することを特徴とする液晶表示装置の製造方法。

## 【請求項 7】

請求項 4 乃至 6 のいずれかーにおいて、

前記カラーフィルタ層は、印刷法又はインクジェット法を用いて選択的に形成されることを特徴とする液晶表示装置の作製方法。

## 【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、

前記サイドエッチングにより、前記第 1 の絶縁層の側面から所定の距離だけ内側に側面を有するゲート電極を形成することを特徴とする液晶表示装置の製造方法。

## 【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、

前記第 1 のエッチングはドライエッチングであり、

前記第 2 のエッチングはウエットエッチングであることを特徴とする液晶表示装置の製造方法。

## 【請求項 10】

請求項 1 乃至 9 のいずれかーに記載の製造方法を用いて製造された液晶表示装置。

## 【請求項 11】

請求項 10 に記載の液晶表示装置を用いた電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

液晶表示装置及びその製造方法、該液晶表示装置を用いた電子機器に関する。

## 【背景技術】

## 【0002】

近年、ガラス基板等の絶縁性表面を有する基板上に形成された、厚さ数 nm ~ 数百 nm 程度の半導体薄膜により構成される薄膜トランジスタが注目されている。薄膜トランジスタは、集積回路 (IC: Integrated Circuit) や電気光学装置などの電子デバイスに広く応用されている。薄膜トランジスタは、特に、液晶表示装置や EL (Electro Luminescence) 表示装置などに代表される画像表示装置のスイッチング素子として開発が急がれている。アクティブマトリクス型液晶表示装置では、具体的には、スイッチング素子に接続された画素電極と、該画素電極に対応する対向電極の間に電圧が印加されることにより、画素電極と対向電極との間に配置された液晶層の

10

20

30

40

50

光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。ここで、アクティブマトリクス型液晶表示装置とは、マトリクス状に配置された画素電極をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用した液晶表示装置をいう。

【0003】

上記のようなアクティブマトリクス型液晶表示装置の用途は拡大しており、該液晶表示装置における画面の大型化、高精細化、高開口率化などの要求が高まっている。また、アクティブマトリクス型液晶表示装置には高い信頼性と共に、高い生産性、低い製造コストなどが求められている。生産性を高め、製造コストを低減する方法の一つに、工程の簡略化が挙げられる。

10

【0004】

アクティブマトリクス型液晶表示装置では、スイッチング素子として主に薄膜トランジスタが用いられている。薄膜トランジスタの作製工程簡略化のためには、フォトリソグラフィに用いるフォトマスクの枚数を低減することが効果的である。例えばフォトマスクが一枚増加すると、レジスト塗布、プリベーク、露光、現像、ポストベークなどの工程と、その前後の工程における被膜の形成やエッチング工程、更にはレジスト剥離、洗浄、乾燥工程などが必要になる。そのため、作製工程に使用するフォトマスクが一枚増加するだけで、工程数が大幅に増加する。このように、フォトマスクの枚数によって、工程が大幅に簡略化され又は複雑化するため、作製工程におけるフォトマスクを低減すべく、数多くの技術開発がなされている。

20

【0005】

フォトマスクの枚数を低減させる従来の技術としては、裏面露光、レジストリフロー又はリフトオフ法といった複雑な技術を用いるものが多く、また、特殊な装置を必要とするものが多い。このような複雑な技術を用いることで、これに起因する様々な問題が生じ、歩留まりの低下が懸念されていた。また、薄膜トランジスタの電気的特性を犠牲にせざるを得ないことも多かった。

【0006】

薄膜トランジスタの作製工程における、フォトマスクの枚数を減らすための代表的な手段として、多階調マスク（ハーフトーンマスク又はグレートーンマスクと呼ばれるもの）を用いた技術が広く知られている。多階調マスクを用いて作製工程を低減する技術として、例えば特許文献1が挙げられる。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2003-179069号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

薄膜トランジスタの作製工程を簡略化し、液晶表示装置の製造方法を簡略化することを課題の一とする。または、上記製造方法により生じる問題を解決した液晶表示装置の製造方法を提供することを課題の一とする。または、上記製造方法の特徴を有効に利用した液晶表示装置の製造方法を提供することを課題の一とする。

40

【課題を解決するための手段】

【0009】

上記課題を解決すべく、開示する発明では、第1の導電膜と、絶縁膜と、半導体膜と、不純物半導体膜と第2の導電膜をこの順に積層した積層体を形成し、第1のエッチングにより第1の導電膜を露出させ、第2のエッチングにより第1の導電膜のパターンを形成する。第2のエッチングの際に、第1の導電膜がサイドエッチングされることにより、第1のエッチングにより形成されるパターン（絶縁膜、半導体膜、不純物半導体膜、第2の導電膜によるパターン）と、第2のエッチングにより形成されるパターン（第2の導電膜に

50

よるパターン)を異ならせることができる。これにより、フォトリソの枚数が低減され、工程が簡略化される。また、薄膜トランジスタの形成後、薄膜トランジスタなどに起因する凹凸を緩和するようにカラーフィルタ層を形成することで、画素電極層の被形成面の段差を低減する。または、薄膜トランジスタなどに起因する凹凸を利用して、選択的にカラーフィルタ層を形成する。より具体的な解決手段を以下に示す。

【0010】

開示する発明の液晶表示装置の製造方法の一は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、第2の導電膜上に凹部を有するレジストマスクを形成し、レジストマスクを用いて第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜に第1のエッチングを行って少なくとも第1の導電膜を露出させ、第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、第1のレジストマスクを後退させて(または、第1のレジストマスクの縁を除去し、また、第1のレジストマスクの凹部を除去して)第1のレジストマスクの凹部と重畳する領域の第2の導電膜を露出させ、後退させたレジストマスクを用いて第2の導電膜、不純物半導体膜及び半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成し、レジストマスクを除去した後、ソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を含む薄膜トランジスタを覆うように第2の絶縁膜を形成し、第2の絶縁膜上にカラーフィルタ層を形成し、カラーフィルタ層上に画素電極層を形成し、カラーフィルタ層によって、画素電極層の被形成面の段差が低減されることを特徴としている。

【0011】

また、開示する発明の液晶表示装置の製造方法の他の一は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、第2の導電膜上に第1のレジストマスクを形成し、第1のレジストマスクを用いて第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜に第1のエッチングを行って少なくとも第1の導電膜を露出させ、第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、第1のレジストマスクを除去した後、第2のレジストマスクを形成し、第2のレジストマスクを用いて第2の導電膜、不純物半導体膜及び半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成し、第2のレジストマスクを除去した後、ソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を含む薄膜トランジスタを覆うように第2の絶縁膜を形成し、第2の絶縁膜上にカラーフィルタ層を形成し、カラーフィルタ層上に画素電極層を形成し、カラーフィルタ層によって、画素電極層の被形成面の段差が低減されることを特徴としている。

【0012】

また、開示する発明の液晶表示装置の製造方法の他の一は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、第2の導電膜上に凹部を有するレジストマスクを形成し、レジストマスクを用いて第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜に第1のエッチングを行って少なくとも第1の導電膜を露出させ、第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、第1のレジストマスクを後退させて(または、第1のレジストマスクの縁を除去し、また、第1のレジストマスクの凹部を除去して)第1のレジストマスクの凹部と重畳する領域の第2の導電膜を露出させ、後退させたレジストマスクを用いて第2の導電膜、不純物半導体膜及び半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成し、レジストマスクを除去した後、ソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を含む薄膜トランジスタを覆うように第2の絶縁膜を形成し、第2の絶縁膜上に選択的にカラーフィルタ層を形成し、カラーフィルタ層上に画素電極層を形成することを特徴としている。

【0013】

また、開示する発明の液晶表示装置の製造方法の他の一は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、第2の導電膜上に第1のレジストマスクを形成し、第1のレジストマスクを用いて第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜に第1のエッチングを行って少なくとも第1の導電膜を露出させ、第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、第1のレジストマスクを除去した後、第2のレジストマスクを形成し、第2のレジストマスクを用いて第2の導電膜、不純物半導体膜及び半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成し、第2のレジストマスクを除去した後、ソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を含む薄膜トランジスタを覆うように第2の絶縁膜を形成し、第2の絶縁膜上に選択的にカラーフィルタ層を形成し、カラーフィルタ層上に画素電極層を形成することを特徴としている。

10

#### 【0014】

なお、上記において、上面に凹部を有するレジストマスクは多階調マスクを用いて形成されることが好ましい。また、カラーフィルタ層は、印刷法、インクジェット法などを用いて選択的に形成しても良い。

#### 【0015】

なお、サイドエッチングにより、第1の絶縁層の側面から所定の距離だけ内側に側面を有するゲート電極層を形成することができる。また、第1のエッチングをドライエッチングにより行い、第2のエッチングをウェットエッチングにより行うことが好ましい。これは、第1のエッチングによる加工は高精度に行うことが好ましく、第2のエッチングによる加工はサイドエッチングを伴う必要があるためである。

20

#### 【0016】

上記液晶表示装置の製造方法を用いて、液晶表示装置及び液晶表示装置を有する電子機器を提供することができる。

#### 【0017】

なお、第1の導電膜のパターンとは、例えば、ゲート電極及びゲート配線並びに容量電極及び容量配線を形成する金属配線の上レイアウトをいう。

#### 【0018】

なお、本明細書中において、「食刻」とは、エッチングによる加工の際の意図しないエッチングをいう。すなわち、「食刻」が極力生じない条件によりエッチングを行うことが好ましい。

30

#### 【0019】

なお、本明細書中において、「ゲート配線」とは、薄膜トランジスタのゲート電極に接続される配線をいう。ゲート配線は、ゲート電極層により形成される。また、ゲート配線は走査線と呼ばれることがある。

#### 【0020】

なお、本明細書中において、「ソース配線」とは、薄膜トランジスタのソース電極及びドレイン電極に接続される配線をいう。ソース配線は、ソース電極及びドレイン電極層により形成される。また、ソース配線は信号線と呼ばれることがある。

40

#### 【発明の効果】

#### 【0021】

開示する発明により、薄膜トランジスタの作製に係る工程数を大幅に低減することができる。つまり、液晶表示装置の製造工程を簡略化することができる。なお、フォトリソマスク枚数の低減を目的とした従来の技術では、電気的特性を犠牲にせざるを得ないことも少なくなかったが、開示する発明により、電気的特性を維持しつつ、薄膜トランジスタの作製に係る工程数を低減することができる。すなわち、性能の良い液晶表示装置を、低コストにて提供することができる。

#### 【0022】

また、薄膜トランジスタなどに起因する凹凸を緩和するようにカラーフィルタ層を形成

50

することで、画素電極層の被形成面の段差を低減することができる。これにより、液晶に印加される電圧を均一にすることができるため、配向の乱れを抑制し、良好な表示が実現される。印刷法やインクジェット法などを用いて選択的にカラーフィルタ層を形成する場合には、薄膜トランジスタなどに起因する凹凸（例えば、ソース配線に係る凹凸）を利用してカラーフィルタの塗り分けを行うことができるため、カラーフィルタの塗り分け精度が向上する。すなわち、特別な構成を採用することなく、カラーフィルタを良好に形成することができる。

#### 【 0 0 2 3 】

なお、開示する発明の一態様に係る作製方法により作製した薄膜トランジスタは、ゲート電極層端部に接して空洞を有するため、ゲート電極とドレイン電極との間に生じるリーク電流が小さいものとなる。また、空洞が設けられることによってゲート電極端部近傍を低誘電率化（low - k）できる。

#### 【図面の簡単な説明】

#### 【 0 0 2 4 】

【図 1】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 2】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 3】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 4】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 5】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 6】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 7】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 8】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 9】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 10】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 11】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 12】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 13】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 14】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 15】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 16】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 17】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 18】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 19】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 20】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 21】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 22】アクティブマトリクス基板の接続部を説明する図である。

【図 23】アクティブマトリクス基板の接続部を説明する図である。

【図 24】アクティブマトリクス基板の接続部を説明する図である。

【図 25】多階調マスクを説明する図である。

【図 26】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 27】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 28】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 29】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 30】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 31】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 32】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 33】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 34】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 35】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 36】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

10

20

30

40

50

【図 3 7】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 3 8】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図である。

【図 3 9】表示装置を用いた電子機器を説明する斜視図である。

【図 4 0】表示装置を用いた電子機器を説明する図である。

【図 4 1】表示装置を用いた電子機器を説明する図である。

【発明を実施するための形態】

【 0 0 2 5 】

発明の実施の形態について、図面を参照して以下に説明する。但し、開示する発明の一態様は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなく形態及び詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせることで実施することができる。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

10

【 0 0 2 6 】

(実施の形態 1)

本実施の形態では、液晶表示装置の製造方法の一例について、図 1 乃至図 2 5 を参照して説明する。

【 0 0 2 7 】

なお、図 1 6 乃至図 2 0 には本実施の形態に係る薄膜トランジスタの平面図を示し、図 2 0 は画素電極まで形成した図である。図 1 乃至図 3 は、図 1 6 乃至図 2 0 に示す A - A' における断面図である。図 4 乃至図 6 は、図 1 6 乃至図 2 0 に示す B - B' における断面図である。図 7 乃至図 9 は、図 1 6 乃至図 2 0 に示す C - C' における断面図である。図 1 0 乃至図 1 2 は、図 1 6 乃至図 2 0 に示す D - D' における断面図である。図 1 3 乃至図 1 5 は、図 1 6 乃至図 2 0 に示す E - E' における断面図である。

20

【 0 0 2 8 】

まず、基板 1 0 0 上に第 1 の導電膜 1 0 2、第 1 の絶縁膜 1 0 4、半導体膜 1 0 6、不純物半導体膜 1 0 8 及び第 2 の導電膜 1 1 0 を形成する。これらの膜は、単層で形成してもよいし、複数の膜を積層した積層膜であってもよい。

【 0 0 2 9 】

基板 1 0 0 には、絶縁性基板を用いることができる。絶縁性基板には、例えば、ガラス基板や石英基板がある。本実施の形態においては、基板 1 0 0 としてガラス基板を用いる。

30

【 0 0 3 0 】

第 1 の導電膜 1 0 2 は、導電性材料により形成する。第 1 の導電膜 1 0 2 は、例えば、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、ニオブ若しくはスカンジウム等の金属材料又はこれらを主成分とする合金材料等の導電性材料を用いて形成することができる。ただし、後の工程（第 1 の絶縁膜 1 0 4 の形成等）に耐えうる程度の耐熱性は必要であり、後の工程（第 2 の導電膜 1 1 0 のエッチング等）で食刻又は腐食されにくい材料を選択することを要する。この限りにおいて、第 1 の導電膜 1 0 2 は特定の材料に限定されるものではない。

40

【 0 0 3 1 】

なお、第 1 の導電膜 1 0 2 は、例えばスパッタリング法又は C V D 法（熱 C V D 法又はプラズマ C V D 法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

【 0 0 3 2 】

第 1 の絶縁膜 1 0 4 は、ゲート絶縁膜として機能するものであり、絶縁性材料により形成する。第 1 の絶縁膜 1 0 4 は、例えば、シリコンの酸化膜、窒化膜、酸化窒化膜、窒化酸化膜等を用いて形成することができる。ただし、第 1 の導電膜 1 0 2 と同様に、ある程度の耐熱性が必要であり、後の工程にて食刻又は腐食されにくい材料を選択することを要

50



する。この限りにおいて、第1の絶縁膜104は特定の材料に限定されるものではない。

【0033】

なお、第1の絶縁膜104は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）又はスパッタリング法等により形成することができるが、特定の方法に限定されるものではない。

【0034】

半導体膜106は、半導体材料により形成する。半導体膜106は、例えば、シランガスにより形成される非晶質シリコン等を用いて形成することができる。ただし、第1の導電膜102等と同様に、ある程度の耐熱性が必要であり、後の工程において食刻又は腐食されにくい材料を選択することを要する。この限りにおいて、半導体膜106は特定の材料に限定されるものではない。従って、ゲルマニウム等を用いても良い。なお、半導体膜106の結晶性についても特に限定されない。

10

【0035】

なお、半導体膜106は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）又はスパッタリング法等により形成することができる。ただし、特定の方法に限定されるものではない。

【0036】

不純物半導体膜108は、一導電性を付与する不純物元素を含む半導体膜であり、一導電性を付与する不純物元素が添加された半導体材料ガス等により形成される。例えば、フォスフィン（化学式： $\text{PH}_3$ ）又はジボラン（化学式： $\text{B}_2\text{H}_6$ ）を含むシランガスを用いて形成される、リンまたはボロンを含むシリコン膜である。ただし、第1の導電膜102等と同様に、ある程度の耐熱性が必要であり、後の工程で食刻又は腐食されにくい材料を選択することを要する。この限りにおいて、不純物半導体膜108は、特定の材料に限定されるものではない。なお、不純物半導体膜108の結晶性についても特に限定されるものではない。

20

【0037】

なお、n型の薄膜トランジスタを作製する場合には、添加する一導電性を付与する不純物元素として、リン又はヒ素等を用いればよい。すなわち、不純物半導体膜108の形成に用いるシランガスにはフォスフィン又はアルシン（化学式： $\text{AsH}_3$ ）等を所望の濃度で含ませればよい。または、p型の薄膜トランジスタを作製する場合には、添加する不純物元素として、ボロン等を用いればよい。すなわち、不純物半導体膜108の形成に用いるシランガスにはジボラン等を所望の濃度で含ませればよい。

30

【0038】

なお、不純物半導体膜108は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

【0039】

第2の導電膜110は、導電性材料（第1の導電膜102として列挙した材料等）であって、第1の導電膜102とは異なる材料により形成する。ここで、「異なる材料」とは、主成分が異なる材料をいう。具体的には、後に説明する第2のエッチングによりエッチングされにくい材料を選択すればよい。また、第1の導電膜102等と同様に、ある程度の耐熱性が必要であり、後の工程で食刻又は腐食されにくい材料を選択することを要する。従って、この限りにおいて、第2の導電膜110は特定の材料に限定されるものではない。

40

【0040】

なお、第2の導電膜110は、例えばスパッタリング法又はCVD法（熱CVD法又はプラズマCVD法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

【0041】

次に、第2の導電膜110上に第1のレジストマスク112を形成する（図1（A）、

50

図4(A)、図7(A)、図10(A)、図13(A)を参照)。第1のレジストマスク112は凹部又は凸部を有するレジストマスクである。厚さの異なる(ここでは二種類の厚さ)複数の領域からなるレジストマスクということもできる。以下において、第1のレジストマスク112の厚い部分を第1のレジストマスク112の凸部と呼び、薄い部分を第1のレジストマスク112の凹部と呼ぶこととする。

【0042】

第1のレジストマスク112において、後にソース電極及びドレイン電極層が形成される領域には凸部が形成され、後にソース電極及びドレイン電極層を有さず、半導体層が露出して形成される領域には凹部が形成される。

【0043】

第1のレジストマスク112は、多階調マスクを用いることで形成することができる。ここで、多階調マスクについて図25を参照して以下に説明する。

【0044】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行う。多階調マスクを用いることで、一度の露光及び現像工程によって、複数(代表的には二種類)の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【0045】

図25(A-1)及び図25(B-1)は、代表的な多階調マスクの断面図である。図25(A-1)にはグレートーンマスク140を示し、図25(B-1)にはハーフトーンマスク145を示している。

【0046】

図25(A)に示すグレートーンマスク140は、透光性を有する基板141上に遮光膜により形成された遮光部142、及び遮光膜のパターンにより設けられたスリット部143で構成されている。

【0047】

スリット部143は露光に用いる光の解像度限界以下の間隔で設けられたスリット(ドットやメッシュ等を含む)を有することで、光の透過率を制御する。なお、スリット部143に設けられるスリットは周期的なものであってもよいし、非周期的なものであってもよい。

【0048】

透光性を有する基板141としては、石英等を材料とする基板を用いることができる。遮光部142及びスリット部143を構成する遮光膜は、金属材料を用いて形成すればよく、好ましくはクロム又は酸化クロム等により形成される。

【0049】

グレートーンマスク140に露光のための光を照射した場合、図25(A-2)に示すように、遮光部142に重畳する領域における透光率は0%となり、遮光部142及びスリット部143が設けられていない領域における透光率は100%となる。また、スリット部143における透光率は、概ね10~70%の範囲であり、スリットの間隔等により調整可能である。

【0050】

図25(B-1)に示すハーフトーンマスク145は、透光性を有する基板146上に半透光膜により形成された半透光部147、及び遮光膜により形成された遮光部148で構成されている。

【0051】

半透光部147は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の材料を用いて形成することができる。遮光部148は、グレートーンマスクの遮光膜と同様の金属材料を用いて形成すればよく、好ましくはクロム又は酸化クロム等により形成される。

10

20

30

40

50

## 【 0 0 5 2 】

ハーフトーンマスク 1 4 5 に露光するための光を照射した場合、図 2 5 ( B - 2 ) に示すように、遮光部 1 4 8 に重畳する領域における透光率は 0 % となり、遮光部 1 4 8 または半透光部 1 4 7 が設けられていない領域における透光率は 1 0 0 % となる。また、半透光部 1 4 7 における透光率は、概ね 1 0 % ~ 7 0 % の範囲であり、用いる材料やその膜厚等により調整可能である。

## 【 0 0 5 3 】

多階調マスクを用いて露光し、現像を行うことで、膜厚の異なる領域を有する第 1 のレジストマスク 1 1 2 を形成することができる。

## 【 0 0 5 4 】

次に、第 1 のレジストマスク 1 1 2 を用いて第 1 のエッチングを行う。すなわち、第 1 の絶縁膜 1 0 4、半導体膜 1 0 6、不純物半導体膜 1 0 8 及び第 2 の導電膜 1 1 0 をエッチングし、薄膜積層体 1 1 4 を形成する ( 図 1 ( B )、図 4 ( B )、図 7 ( B )、図 1 0 ( B )、図 1 3 ( B )、図 1 6 を参照 )。このとき、少なくとも第 1 の導電膜 1 0 2 を露出させることが好ましい。本明細書において、このエッチング工程を第 1 のエッチングとよぶ。第 1 のエッチングは、ドライエッチング又はウエットエッチングのいずれかを用いればよいが、異方性の高いエッチング法により行うことが好ましい。第 1 のエッチングに異方性の高いエッチング法を用いることで、パターンの加工精度を向上させることができる。なお、第 1 のエッチングをドライエッチングにより行う場合には、一の工程にて行うことが可能であるが、第 1 のエッチングをウエットエッチングにより行う場合には、複数

## 【 0 0 5 5 】

次に、第 1 のレジストマスク 1 1 2 を用いて第 2 のエッチングを行う。すなわち、第 1 の導電膜 1 0 2 をエッチングし、ゲート電極層 1 1 6 を形成する ( 図 1 ( C )、図 4 ( C )、図 7 ( C )、図 1 0 ( C )、図 1 3 ( C )、図 1 7 を参照 )。本明細書において、このエッチング工程を第 2 のエッチングとよぶ。

## 【 0 0 5 6 】

なお、ゲート電極層 1 1 6 は、ゲート配線、容量配線、支持部を構成しているが、ゲート電極層 1 1 6 A と表記する場合にはゲート配線を構成するゲート電極層を指し、ゲート電極層 1 1 6 B 又はゲート電極層 1 1 6 D と表記する場合には支持部を構成するゲート電極層を指し、ゲート電極層 1 1 6 C と表記する場合には容量配線を構成するゲート電極層を指す。そして、これらを総括してゲート電極層 1 1 6 と呼ぶ。

## 【 0 0 5 7 】

第 2 のエッチングは、第 1 の導電膜 1 0 2 により形成されるゲート電極層 1 1 6 の側面が、薄膜積層体 1 1 4 の側面より内側に形成されるエッチング条件により行う。換言すれば、ゲート電極層 1 1 6 の側面が、薄膜積層体 1 1 4 の底面に接して形成されるようにエッチングを行う ( A - A ' 断面においてゲート電極層 1 1 6 の幅が薄膜積層体 1 1 4 の幅より小さくなるようにエッチングを行う )。ゲート電極層 1 1 6 の側面が、パターニングされた第 1 の絶縁膜 1 0 4 ( すなわちゲート絶縁層 ) などの側面より内側に形成されると言っても良い。更には、第 2 の導電膜 1 1 0 に対するエッチングレートが小さく、且つ第 1 の導電膜 1 0 2 に対するエッチングレートが大きい条件により行う。換言すると、第 2 の導電膜 1 1 0 に対する第 1 の導電膜 1 0 2 のエッチング選択比が大きい条件により行う。このような条件で第 2 のエッチングを行うことにより、ゲート電極層 1 1 6 を形成することができる。

## 【 0 0 5 8 】

第 2 のエッチングは、ドライエッチング又はウエットエッチングのいずれかを用いればよいが、等方性のエッチングが支配的なエッチング法 ( 化学的エッチング ) により行うことが好ましい。第 2 のエッチングに等方性のエッチングが支配的なエッチング法 ( 化学的エッチング ) を用いることで、第 1 の導電膜をサイドエッチングすることができる。すな

わち、第2のエッチングには、ウエットエッチングを用いることが好ましい。

【0059】

なお、ゲート電極層116の側面の形状は特に限定されない。例えば、テーパ形状であっても良い。ゲート電極層116の側面の形状は、第2のエッチングにおいて用いる薬液等の条件によって決められるものである。

【0060】

ここで、「第2の導電膜110に対するエッチングレートが小さく、且つ第1の導電膜102に対するエッチングレートが大きい条件」、又は「第2の導電膜110に対する第1の導電膜102のエッチング選択比が大きい条件」とは、以下の第1の要件及び第2の要件を満たすものをいう。

10

【0061】

第1の要件は、ゲート電極層116が必要な箇所に残存することである。ゲート電極層116の必要な箇所とは、図17乃至図20に点線で示される領域をいう。すなわち、第2のエッチング後に、ゲート電極層116がゲート配線、容量配線及び支持部を構成するように残存することが必要である。ゲート電極層がゲート配線及び容量配線を構成するためには、これらの配線が断線しないように第2のエッチングを行う必要がある。図1及び図20に示されるように、薄膜積層体114の側面から間隔 $d_1$ だけ内側にゲート電極層116の側面が形成されることが好ましく、間隔 $d_1$ は実施者がレイアウトに従って適宜設定すればよい。

【0062】

20

第2の要件は、ゲート電極層116により構成されるゲート配線及び容量配線の幅 $d_3$ 、並びにソース電極及びドレイン電極層120Aにより構成されるソース配線の最小幅 $d_2$ が適切なものとなることである（図20を参照）。第2のエッチングによりソース電極及びドレイン電極層120Aがエッチングされるとソース配線の最小幅 $d_2$ が小さくなり、ソース配線の電流密度が過大となり、電気的特性が低下するためである。そのため、第2のエッチングは、第1の導電膜102のエッチングレートが過大にならず、且つ第2の導電膜110のエッチングレートが可能な限り小さい条件で行う。加えて、後に説明する第3のエッチングにおける第1の導電膜102のエッチングレートが可能な限り小さい条件で行う。

【0063】

30

また、ソース配線の最小幅 $d_2$ は大きくすることが困難である。ソース配線の最小幅 $d_2$ はソース配線と重畳する半導体層の最小幅 $d_4$ により決まり、ソース配線の最小幅 $d_2$ を大きくするためには半導体層の最小幅 $d_4$ を大きくせねばならず、隣接するゲート配線と容量配線とを絶縁させることが困難になるためである。開示する発明において、半導体層の最小幅 $d_4$ は、前記した間隔 $d_1$ の概ね2倍よりも小さくする。換言すると、間隔 $d_1$ は半導体層の最小幅 $d_4$ の約半分よりも大きくする。

【0064】

なお、ソース配線と重畳する半導体層の幅を最小幅 $d_4$ とする部分は、ゲート配線と、該ゲート配線と互いに隣接する容量配線との間に少なくとも一箇所あればよい。好ましくは、図20に示すように、ゲート配線に隣接する領域及び容量配線に隣接する領域の半導体層の幅を最小幅 $d_4$ とすればよい。

40

【0065】

なお、ソース電極及びドレイン電極層により形成される、画素電極層と接続される部分の電極の幅はソース配線の最小幅 $d_2$ とすることが好ましい。

【0066】

上述のように、開示する発明において、サイドエッチングを伴う条件により第2のエッチングを行うことは非常に重要である。第2のエッチングが第1の導電膜102のサイドエッチングを伴うことによって、ゲート電極層116により構成される、隣接するゲート配線と容量配線とを絶縁させることができるためである（図17を参照）。

【0067】

50

ここで、サイドエッチングとは、被エッチング膜の厚さ方向（基板面に垂直な方向又は被エッチング膜の下地膜の面に垂直な方向）のみならず、厚さ方向に対して垂直な方向（基板面に平行な方向又は被エッチング膜の下地膜の面に平行な方向）にも被エッチング膜が削られるエッチングをいう。サイドエッチングされた被エッチング膜の端部は、被エッチング膜に対するエッチングガス又はエッチングに用いる薬液のエッチングレートによって様々な形状となるように形成されるが、端部が曲面となるように形成されることが多い。

#### 【0068】

なお、図17に示すように、第1のエッチングにより形成される薄膜積層体114は、ゲート電極層116B及びゲート電極層116Dにより構成される支持部に接する部分では細くなるように設計される（図17において両矢印で示す部分を参照）。このような構造とすることで、第2のエッチングによりゲート電極層116Aと、ゲート電極層116B又はゲート電極層116Dとを分断して絶縁させることができる。

10

#### 【0069】

なお、図17に示すゲート電極層116B及びゲート電極層116Dは、薄膜積層体114を支える支持部として機能する。支持部を有することで、ゲート電極層より上に形成されるゲート絶縁膜等の膜剥がれを防止することができる。更には支持部を設けることで、第2のエッチングによりゲート電極層116に接して形成される、空洞の領域が必要以上に広くなることを防止できる。なお、支持部を設けることで、薄膜積層体114が自重によって破壊され、又は破損することをも防止でき、歩留まりが向上するため好ましい。ただし、開示する発明の一態様は支持部を有する形態に限定されず、支持部を有しない構成とすることもできる。支持部を有しない形態の平面図（図20に対応）の一例を図21に示す。

20

#### 【0070】

以上のように、第2のエッチングは、ウェットエッチングにより行うことが好ましい。

#### 【0071】

第2のエッチングをウェットエッチングによって行う場合、第1の導電膜102としてアルミニウム又はモリブデンを形成し、第2の導電膜110としてチタン又はタングステンを形成し、エッチングには硝酸、酢酸及びリン酸を含む薬液を用いればよい。または、第1の導電膜102としてモリブデンを形成し、第2の導電膜110としてチタン、アルミニウム又はタングステンを形成し、エッチングには過酸化水素水を含む薬液を用いればよい。

30

#### 【0072】

第2のエッチングをウェットエッチングによって行う場合、最も好ましくは、第1の導電膜102としてネオジムを添加したアルミニウム上にモリブデンを形成した積層膜を形成し、第2の導電膜110としてタングステンを形成し、エッチングには硝酸を2%、酢酸を10%、リン酸を72%含む薬液を用いる。このような組成比の薬液を用いることで、第2の導電膜110がエッチングされることなく、第1の導電膜102がエッチングされる。なお、第1の導電膜102に添加したネオジムは、アルミニウムの低抵抗化とヒロック防止を目的として添加されたものである。

40

#### 【0073】

なお、図17に示すように、平面図におけるゲート電極層116は角部（例えば、角部151）を有する。これは、ゲート電極層116を形成する第2のエッチングが概略等方的であるために、ゲート電極層116の側面と薄膜積層体114の側面との間隔 $d_1$ が概略等しくなるようにエッチングされるためである。

#### 【0074】

次に、第1のレジストマスク112を後退させて、第2の導電膜110を露出させつつ、第2のレジストマスク118を形成する。第1のレジストマスク112を後退させて（または、第1のレジストマスクの縁を除去し、また、第1のレジストマスクの凹部を除去して）、第2のレジストマスク118を形成する手段としては、例えば酸素プラズマを用

50

いたアッシングが挙げられる。しかし、第1のレジストマスク112を後退させて第2のレジストマスク118を形成する手段はこれに限定されるものではない。なお、ここでは第2のエッチングの後に第2のレジストマスク118を形成する場合について説明したが、開示する発明の一態様はこれに限定されず、第2のレジストマスク118を形成した後に第2のエッチングを行ってもよい。

【0075】

次に、第2のレジストマスク118を用いて、薄膜積層体114における第2の導電膜110をエッチングし、ソース電極及びドレイン電極層120を形成する(図2(D)、図5(D)、図8(D)、図11(D)、図14(D)、図18を参照)。ここでエッチング条件として、第2の導電膜110以外の膜に対する食刻及び腐食が生じず、又は生じ

10

【0076】

なお、ソース電極及びドレイン電極層120は、ソース配線、薄膜トランジスタと画素電極とを接続する電極、又は保持容量として機能する容量素子の一方の電極を構成しているが、ソース電極及びドレイン電極層120A又はソース電極及びドレイン電極層120Cと表記する場合にはソース配線を構成する電極層を指し、ソース電極及びドレイン電極層120Bと表記する場合には薄膜トランジスタのドレイン電極と画素電極とを接続する電極層を指し、ソース電極及びドレイン電極層120Dと表記する場合には容量配線との間で容量素子を形成する一方の電極層を指す。そして、これらを総括してソース電極及び

20

【0077】

なお、薄膜積層体114における第2の導電膜110のエッチングは、ウエットエッチング又はドライエッチングのどちらを用いても良い。

【0078】

続いて、薄膜積層体114における不純物半導体膜108及び半導体膜106の上部(バックチャネル部)をエッチングして、ソース領域及びドレイン領域122を形成する(図2(E)、図5(E)、図8(E)、図11(E)、図14(E)、図19を参照)。ここでエッチング条件としては、不純物半導体膜108及び半導体膜106以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層116の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

30

【0079】

なお、薄膜積層体114における不純物半導体膜108及び半導体膜106の上部(バックチャネル部)のエッチングはドライエッチング又はウエットエッチングにより行うことができる。

【0080】

その後、第2のレジストマスク118を除去し(図2(F)、図5(F)、図8(F)、図11(F)、図14(F)を参照)、薄膜トランジスタが完成する(図2(F)を参照)。上述のように、薄膜トランジスタを一枚のフォトマスクにより形成することができる。

40

【0081】

なお、本明細書中において、上記の図2(D)及び図2(E)を参照して説明した工程を一括して第3のエッチングとよぶ。第3のエッチングは、上述のように、複数の段階に分けて行っても良いし、一括して行っても良い。

【0082】

以上のようにして形成した薄膜トランジスタを覆って第2の絶縁膜を形成する。ここでは、保護膜126を第2の絶縁膜として用いる例について示すが、このような単層構造に限らず、2層以上の積層構造を用いても良い。第1の保護膜126は、第1の絶縁膜104と同様に形成することができる。その後、第2の絶縁膜上にカラーフィルタ層128を形成する(図3(G)、図6(G)、図9(G)、図12(G)、図15(G)を参照)

50

。

## 【 0 0 8 3 】

カラーフィルタ層 1 2 8 は、薄膜積層体 1 1 4 などに起因する表面の凹凸が低減されるように形成する。より具体的には、後の画素電極層の被形成面の平坦性が向上するようにカラーフィルタ層を形成する。本実施の形態においては、薄膜積層体 1 1 4 などが形成されていない領域に埋め込むようにカラーフィルタ層 1 2 8 を形成しているが、薄膜積層体 1 1 4 などに起因する凹凸を低減することができれば、該構成に限定して解釈されるものではない。

## 【 0 0 8 4 】

上述のように、カラーフィルタ層を用いて画素電極の被形成面の凹凸を低減させることにより、一の工程で、カラーフィルタ層を形成し、平坦性の向上を図ることができる。これにより画素電極の平坦性が向上するため、液晶の配向乱れを防止し、表示画質が向上する。また、カラーフィルタ層と平坦性の向上を図るための層と別に形成する必要がなくなるため、より一層の工程簡略化につながる。

## 【 0 0 8 5 】

なお、カラーフィルタ層 1 2 8 は、例えば、印刷法やインクジェット法、フォトリソグラフィ法などを用いて適宜形成すればよい。例えば、R（赤）G（緑）B（青）に対応する顔料を含む樹脂を、スピンコート法などを用いて成膜した後、フォトリソグラフィ法を用いてパターンニングすることによってカラーフィルタ層 1 2 8 を形成することができる。カラーフィルタの配列としては、ストライプ配列、デルタ配列、正方配列などを用いるこ

## 【 0 0 8 6 】

なお、フォトリソグラフィ法によりカラーフィルタを形成することで、フォトマスクを一枚使用することになる。もちろん、フォトマスクを使用しない他の方法を用いてカラーフィルタを形成しても良い。

## 【 0 0 8 7 】

次に、第 2 の絶縁膜に第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 を形成する（図 3（H）、図 6（H）、図 9（H）、図 1 2（H）、図 1 5（H）を参照）。第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 は、ソース電極及びドレイン電極層の少なくとも表面に達するように形成する。第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成方法は、特定の方法に限定されず、第 1 の開口部 1 3 0 の径などに応じて実施者が適宜選択すればよい。例えば、フォトリソグラフィ法によりドライエッチングを行うことで第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 を形成することができる。

## 【 0 0 8 8 】

なお、フォトリソグラフィ法によって開口部を形成することで、フォトマスクを一枚使用することになる。

## 【 0 0 8 9 】

次に、第 2 の絶縁膜上に画素電極層 1 3 2 を形成する（図 3（I）、図 6（I）、図 9（I）、図 1 2（I）、図 1 5（I）、図 2 0 を参照）。画素電極層 1 3 2 は、開口部を介してソース電極及びドレイン電極層 1 2 0 に接続されるように形成する。具体的には、画素電極層 1 3 2 は、第 1 の開口部 1 3 0 を介してソース電極及びドレイン電極層 1 2 0 B に接続され、第 2 の開口部 1 3 1 を介してソース電極及びドレイン電極層 1 2 0 D に接続されるように形成される。画素電極層 1 3 2 は、透光性を有する導電性材料により形成することが好ましい。ここで、透光性を有する導電性材料としては、インジウム錫酸化物（以下、ITO という）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、又は酸化珪素を添加したインジウム錫酸化物等が挙げられる。透光性を有する導電性材料の膜の形成はスパッタリング法又は CVD 法等により行えばよいが、特定の方法に限定されるものではない。また、画素電極層 1 3 2 についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

## 【 0 0 9 0 】

なお、本実施の形態においては、画素電極層 1 3 2 のみに透光性を有する導電性材料を用いたが、開示する発明の一態様はこれに限定されない。第 1 の導電膜 1 0 2 及び第 2 の導電膜 1 1 0 の材料として、透光性を有する導電性材料を用いることもできる。

## 【 0 0 9 1 】

なお、フォトリソグラフィ法によって画素電極層 1 3 2 を形成することで、フォトマスクを一枚使用することになる。

## 【 0 0 9 2 】

以上により、液晶表示装置に用いるアクティブマトリクス基板が完成する。本実施の形態にて説明したように、サイドエッチングを利用してゲート電極層を形成し、更には多階調マスクを用いてソース電極及びドレイン電極層を形成することで、一枚のマスクによる薄膜トランジスタの作製が可能となる。また、カラーフィルタを用いて画素電極の被形成面の凹凸を低減させることにより、一の工程で、カラーフィルタ層を形成し、平坦性の向上を図ることができる。つまり、より一層の工程簡略化につながる。

## 【 0 0 9 3 】

なお、本実施の形態においては示していないが、カラーフィルタ層を形成した後、画素電極層の形成前にオーバーコート層を形成しても良い。オーバーコート層を形成することで画素電極の被形成面の平坦性を一層向上させることが可能である。また、カラーフィルタ層に含まれる材料の一部が液晶材料中に侵入することを防ぐこともできる。オーバーコート層としては、アクリル樹脂又はエポキシ樹脂をベースとした熱硬化性材料を用いるとよい。

## 【 0 0 9 4 】

開示する発明の一態様に係る作製方法を適用して作製した薄膜トランジスタは、ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極を有し、前記ゲート電極層の側面に接して空洞を有する構造となる（図 3（I）を参照）。ゲート電極層の側面に接して空洞を有するように形成することで、ゲート電極層端部におけるリーク電流の小さい薄膜トランジスタを作製することができる。

## 【 0 0 9 5 】

ここで、上記の工程により作製したアクティブマトリクス基板の端子接続部について図 2 2 乃至図 2 4 を参照して説明する。

## 【 0 0 9 6 】

図 2 2 乃至図 2 4 は、上記の工程により作製した、アクティブマトリクス基板におけるゲート配線側の端子接続部及びソース配線側の端子接続部の平面図及び断面図である。

## 【 0 0 9 7 】

図 2 2 には、ゲート配線側の端子接続部及びソース配線側の端子接続部における、画素部から延伸したゲート配線及びソース配線の平面図を示す。

## 【 0 0 9 8 】

図 2 3 には、図 2 2 の X - X ' における断面図を示す。すなわち、図 2 3 は、ゲート配線側の端子接続部における断面図である。図 2 3 では、ゲート電極層 1 1 6 のみが露出されている。このゲート電極層 1 1 6 が露出された領域に、端子部が接続される。

## 【 0 0 9 9 】

図 2 4 には、図 2 2 の Y - Y ' における断面図を示す。すなわち、図 2 4 は、ソース配線側の端子接続部における断面図である。図 2 4 の Y - Y ' において、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 は画素電極層 1 3 2 を介して接続されている。図 2 4 にはゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 の様々な接続形態を示している。開示する発明の一態様に係る表示装置の端子接続部には、これらのいずれを用いても良いし、図 2 4 に示すもの以外の接続形態を用いても良い。ソース電極及びドレイン電極層 1 2 0 をゲート電極層 1 1 6 に接続させることで、端子の接続部の高さを概ね等しくすることができる。



## 【 0 1 0 0 】

なお、開口部の数は、図 2 4 に示す開口部の数に限定されない。一の端子に対して一の開口部を設けるのみならず、一の端子に対して複数の開口部を設けても良い。一の端子に対して複数の開口部を設けることで、開口部を形成するエッチング工程が不十分である等の理由で開口部が良好に形成されなかったとしても、他の開口部により電氣的接続を実現することができる。更には、全ての開口部が問題なく開口された場合であっても、接触面積を広くすることができるため、コンタクト抵抗を低減することができ、好ましい。

## 【 0 1 0 1 】

図 2 4 ( A ) では、保護膜 1 2 6 の端部がエッチング等により除去され、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出され、この露出された領域に画素電極層 1 3 2 を形成することで電氣的な接続を実現している。図 2 2 に示す平面図は、図 2 4 ( A ) の平面図に相当する。

10

## 【 0 1 0 2 】

なお、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出された領域の形成は、第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成と同時に行うことができる。

## 【 0 1 0 3 】

図 2 4 ( B ) では、保護膜 1 2 6 に第 3 の開口部 1 6 0 A が設けられ、第 1 の保護膜 1 2 6 及びカラーフィルタ層 1 2 8 の端部がエッチング等により除去されることで、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出され、この露出された領域に画素電極層 1 3 2 を形成することで電氣的な接続を実現している。

20

## 【 0 1 0 4 】

なお、第 3 の開口部 1 6 0 A の形成、及びゲート電極層 1 1 6 が露出された領域の形成は、第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成と同時に行うことができる。

## 【 0 1 0 5 】

図 2 4 ( C ) では、保護膜 1 2 6 及びカラーフィルタ層 1 2 8 に第 3 の開口部 1 6 0 B 及び第 4 の開口部 1 6 1 が設けられることで、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出され、この露出された領域に画素電極層 1 3 2 を形成することで電氣的な接続を実現している。ここで、図 2 4 ( A ) 及び ( B ) と同様に、保護膜 1 2 6 及びカラーフィルタ層 1 2 8 の端部はエッチング等により除去されているが、この領域は端子の接続部として用いられる。

30

## 【 0 1 0 6 】

なお、第 3 の開口部 1 6 0 B 及び第 4 の開口部 1 6 1 の形成、並びにゲート電極層 1 1 6 が露出された領域の形成は、第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成と同時に行うことができる。

## 【 0 1 0 7 】

次に、上記のアクティブマトリクス基板を用いて液晶表示装置を製造する方法について説明する。すなわち、セル工程及びモジュール工程について説明する。ただし、開示する発明の一態様に係る液晶表示の製造方法において、セル工程及びモジュール工程は特に限定されない。

40

## 【 0 1 0 8 】

セル工程では、上記した工程により作製したアクティブマトリクス基板と、これに対向する基板（以下、対向基板という）とを貼り合わせて液晶を注入する。まず、対向基板の作製方法について、以下に簡単に説明する。なお、特に説明しない場合であっても、対向基板上に形成する膜は単層構造又は積層構造で形成することができる。

## 【 0 1 0 9 】

まず、基板上に遮光層を形成し、その後、電極層を選択的に形成し、電極層上にリブを形成する。なお、遮光層を形成した後、電極層を形成する前に、平坦性向上のための絶縁膜を形成すると好ましい。平坦性向上のための絶縁膜を形成することで電極層の被形成面の平坦性が向上するため、液晶の配向乱れを抑制することができる。

50

## 【0110】

遮光層としては、遮光性を有する材料の膜を選択的に形成する。遮光性を有する材料としては、例えば、黒色樹脂（カーボンブラック）を含む有機樹脂を用いることができる。または、クロムを主成分とする材料膜の積層膜を用いても良い。クロムを主成分とする材料膜とは、例えば、クロム、酸化クロム又は窒化クロムなどをいう。遮光層に用いる材料は遮光性を有するものであれば特に限定されない。遮光性を有する材料の膜を選択的に形成するにはフォトリソグラフィ法等を用いる。

## 【0111】

平坦性向上のための絶縁膜を形成する場合には、例えば、感光性ポリイミド、アクリル又はエポキシ樹脂などの材料を用いて、スピンコーティング法などにより形成すればよい。

10

## 【0112】

電極層は、アクティブマトリクス基板が有する画素電極層132と同様に形成することができる。ただし、選択的に形成する必要がないため、全面に形成すればよい。

## 【0113】

電極上に形成するリブとは、視野角を拡げることを目的として形成される、パターン形成された有機樹脂膜である。なお、特に必要のない場合には形成しなくてもよい。

## 【0114】

また、リブの形成前又は形成後にスペーサとしてポストスペーサ（柱状スペーサ）を形成しても良い。ポストスペーサとは、アクティブマトリクス基板と対向基板との間のギャップを一定に保つことを目的として、対向基板上に一定の間隔で形成する構造物をいう。ビーズスペーサ（球状スペーサ）を用いる場合には、ポストスペーサを形成しなくても良い。

20

## 【0115】

次に、配向膜をアクティブマトリクス基板及び対向基板に形成する。配向膜の形成は、例えば、ポリイミド樹脂等を有機溶剤に溶かし、これを印刷法又はスピンコーティング法等により塗布し、その後、これを乾燥して焼成することにより行う。形成される配向膜の膜厚は、一般に、約50nm以上100nm以下程度とする。配向膜には、液晶分子がある一定のプレチルト角を持って配向するようにラビング処理を施す。ラビング処理は、例えば、ベルベット等の毛足の長い布により配向膜を擦ることで行う。

30

## 【0116】

次に、アクティブマトリクス基板と、対向基板をシール材により貼り合わせる。対向基板にポストスペーサが設けられていない場合には、ビーズスペーサを所望の領域に分散させて貼り合わせるとよい。

## 【0117】

次に、貼り合わせられたアクティブマトリクス基板と、対向基板との間に、液晶材料を注入する。液晶材料を注入した後、注入口は紫外線硬化樹脂等で封止する。または、液晶材料を滴下した後に、アクティブマトリクス基板と対向基板とを貼り合わせても良い。

## 【0118】

次に、アクティブマトリクス基板と対向基板とを貼り合わせた液晶セルの両面に偏光板を貼り付けてセル工程が完了する。

40

## 【0119】

次に、モジュール工程として、端子部の入力端子（図24において、ゲート電極層116の露出された領域）にFPC（Flexible Printed Circuit）を接続する。FPCはポリイミド等の有機樹脂フィルム上に導電膜により配線が形成されており、異方性導電性ペースト（Anisotropic Conductive Paste。以下、ACPという）を介して入力端子と接続される。ACPは接着剤として機能するペーストと、金等がメッキされた数十～数百μm径の導電性表面を有する粒子により構成される。ペースト中に混入された粒子が、入力端子上の導電層と、FPCに形成された配線に接続された端子上の導電層に接触することで、電気的な接続を実現する。なお

50

、FPCの接続後にアクティブマトリクス基板と対向基板に偏光板を貼り付けてもよい。  
以上により、液晶表示装置を製造することができる。

【0120】

開示する発明の一態様により、液晶表示装置の製造工程数を大幅に削減することができる。一枚のフォトリソマスク（多階調マスク）を用いて薄膜トランジスタを作製することができるためである。また、カラーフィルタを平坦性向上のために用いることで、別途絶縁膜等を形成する必要がなくなるため、工程数の削減につながる。また、薄膜トランジスタに起因する凹凸を低減することで画素電極の平坦性が向上し、液晶の配向乱れを抑制することができる。

【0121】

開示する発明の一態様では、裏面露光、レジストリフロー、リフトオフなどの複雑な方法を用いることなく薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、複雑な工程を用いることなく、液晶表示装置の製造工程数を大幅に削減することができる。

【0122】

また、薄膜トランジスタの電気的特性を維持しつつ、液晶表示装置の製造工程を大幅に削減することができる。また、製造コストを大幅に削減することができる。

（実施の形態2）

【0123】

本実施の形態では、開示する発明の一態様に係る薄膜トランジスタの作製方法及び表示装置の製造方法であって、実施の形態1とは異なるものについて説明する。具体的には、多階調マスクを用いることなく、実施の形態1と同様の薄膜トランジスタを作製する方法について図26乃至図30を参照して説明する。

【0124】

なお、図26は実施の形態1における図1及び図2に対応するものである。図27は実施の形態1における図10及び図11に対応するものである。図28、図29及び図30は実施の形態1における図16、図17及び図18に対応するものである。また、図28乃至図30に示すA-A'における断面図が図26に相当し、図28乃至図30に示すD-D'断面図が図27に相当する。

【0125】

まず、実施の形態1と同様に、基板100上に第1の導電膜102、第1の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110を形成する。これらに用いることのできる材料及びこれらの形成に適用することのできる方法は実施の形態1と同様である。

【0126】

次に、第2の導電膜110上に第1のレジストマスク170を形成する（図26（A）及び図27（A）を参照）。第1のレジストマスク170は、実施の形態1における第1のレジストマスク112とは異なるものであり、凸部が設けられておらず、全面が概略同一の厚さとなるように形成されている。すなわち、第1のレジストマスク170は多階調マスクを用いることなく形成される。

【0127】

次に、第1のレジストマスク170を用いて第1のエッチングを行う。すなわち、第1の導電膜102、第1の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110をエッチングによりパターニングし、第1の導電膜102上に薄膜積層体114を形成する（図28を参照）。

【0128】

次に、実施の形態1と同様に第2のエッチングを行うことで、ゲート電極層116を形成する（図26（C）、図27（C）及び図29を参照）。

【0129】

ここで、第2のエッチングの条件は、実施の形態1における第2のエッチングと同様で

10

20

30

40

50

ある。そして、第2のエッチングの後、第1のレジストマスク170を除去する。

【0130】

次に、薄膜積層体114上に第2のレジストマスク171を形成し、第2のレジストマスク171を用いてソース電極及びドレイン電極層120を形成する。エッチング条件等は、実施の形態1と同様である。また、その後の工程は実施の形態1と同様である。

【0131】

以上、本実施の形態にて説明したように、多階調マスクを用いることなく薄膜トランジスタを作製することができる。また、液晶表示装置を製造することができる。ただし、使用するマスク数は、実施の形態1と比較すると一枚増加することになる。

【0132】

なお、本実施の形態に係る薄膜トランジスタの作製方法及び液晶表示装置の製造方法は、上記説明した点を除き、実施の形態1と同様である。そのため、実施の形態1に係る薄膜トランジスタの作製方法及び表示装置の製造方法と同様の効果を有することは勿論であるが、使用するマスクの数は一枚増加する。すなわち、本実施の形態によれば、二枚のフォトリソマスクを用いて薄膜トランジスタを作製することができる。従って、従来の方法と比較して用いるフォトリソマスクの枚数が低減され、薄膜トランジスタの作製工程数を削減することができる。また、液晶表示装置の製造工程数を削減することができる。更には、高い歩留まりで製造することができ、コストを低く抑えることも可能である。

【0133】

なお、本実施の形態の作製方法を適用して作製した薄膜トランジスタも、ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極を有し、前記ゲート電極層の側面に接して空洞を有する構造となる。ゲート電極層の側面に接して空洞を有するように形成することで、ゲート電極層端部におけるリーク電流の小さい薄膜トランジスタを作製することができる。

(実施の形態3)

【0134】

本実施の形態では、開示する発明の一態様に係る薄膜トランジスタの作製方法及び液晶表示装置の製造方法であって、実施の形態1及び実施の形態2とは異なるものについて説明する。具体的には、実施の形態1及び実施の形態2にて説明した第1のエッチングにより、第1の導電膜102をエッチングする態様について図31乃至図36を参照して説明する。

【0135】

なお、図31は実施の形態1における図1に対応するものである。図32は実施の形態1における図4に対応するものである。図33は実施の形態1における図7に対応するものである。図34は実施の形態1における図10に対応するものである。図35は実施の形態1における図13に対応するものである。図36は実施の形態1における図16に対応するものである。

【0136】

まず、実施の形態1と同様に、基板100上に第1の導電膜102、第1の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110を形成する。これらに用いることのできる材料及びこれらの形成に適用することのできる方法は実施の形態1と同様である。

【0137】

次に、第2の導電膜110上に第1のレジストマスク112を形成する(図31(A)、図32(A)、図33(A)、図34(A)、図35(A)を参照)。第1のレジストマスク112の特徴は、実施の形態1と同様である。

【0138】

次に、第1のレジストマスク112を用いて第1のエッチングを行う。すなわち、第1の導電膜102、第1の絶縁膜104、半導体膜106、不純物半導体膜108及び第2

10

20

30

40

50

の導電膜 110 をエッチングによりパターンングし、薄膜積層体 114 及びエッチングされた第 1 の導電膜 115 を形成する (図 31 (B)、図 32 (B)、図 33 (B)、図 34 (B)、図 35 (B)、図 36 を参照)。

【0139】

上記のように、本実施の形態では、第 1 のエッチングにより第 1 の導電膜 102 を加工し、エッチングされた第 1 の導電膜 115 を形成することが実施の形態 1 と異なる点である。

【0140】

次に、第 2 のエッチングにより、エッチングされた第 1 の導電膜 115 を加工してゲート電極層 116 を形成する (図 31 (C)、図 32 (C)、図 33 (C)、図 34 (C)、図 35 (C) を参照)。

10

【0141】

ここで、第 2 のエッチングの条件等は、実施の形態 1 における第 2 のエッチングと同様である。ただし、以下の点が異なる。

【0142】

実施の形態 1 では、第 2 のエッチングのみによって第 1 の導電膜 102 の除去すべき領域を完全に除去する必要がある。ここで、第 1 の導電膜 102 の除去すべき領域とは、ゲート電極層 116 を形成する領域以外の領域をいう。

【0143】

ここで、薄膜積層体 114 の側面とゲート電極層 116 の側面との間隔  $d_1$  は、第 1 の導電膜 102 の厚さに依存する。第 2 のエッチングは、サイドエッチングを伴うエッチングであり、概略等方的なエッチング (所謂、化学的なエッチング) である。そのため、実施の形態 1 に示す方法では、前記間隔  $d_1$  を第 1 の導電膜 102 の厚さより小さくする場合に第 1 の導電膜 102 の除去すべき領域を完全に除去することは困難である。

20

【0144】

一方、上述のように、第 1 のエッチングにより第 1 の導電膜 102 を加工してエッチングされた第 1 の導電膜 115 を形成し、第 2 のエッチングによりゲート電極層 116 を形成することで、前記間隔  $d_1$  を第 1 の導電膜 102 の厚さより小さくすることが可能である。つまり、前記間隔  $d_1$  を第 1 の導電膜 102 の厚さに対して独立に設計することができるため、レイアウト設計の自由度が向上する。

30

【0145】

なお、第 2 のエッチング後の工程は、実施の形態 1 と同様である。すなわち、実施の形態 1 と本実施の形態にて説明した方法とを組み合わせることで薄膜トランジスタを作製することができる。具体的には、サイドエッチングを利用してゲート電極層を形成し、更には多階調マスクを用いてソース電極及びドレイン電極層を形成することで、一枚のフォトリソマスクにより薄膜トランジスタが作製される。

【0146】

以上、本実施の形態において説明したように、第 1 のエッチングにより第 1 の導電膜 102 を加工することで、薄膜積層体 114 の側面とゲート電極層 116 の側面との間隔  $d_1$  は第 1 の導電膜 102 の厚さに対して独立に設計することができ、レイアウト設計の自由度が向上する。

40

【0147】

なお、本実施の形態に係る薄膜トランジスタの作製方法及び液晶表示装置の製造方法は、上述した点を除き、実施の形態 1 と同様である。そのため、実施の形態 1 に係る薄膜トランジスタの作製方法及び液晶表示装置の製造方法と同様の効果を有することは勿論である。

【0148】

なお、実施の形態 2 と本実施の形態を組み合わせても良い。  
(実施の形態 4)

【0149】

50

本実施の形態では、開示する発明の一態様に係る薄膜トランジスタの作製方法及び液晶表示装置の製造方法であって、カラーフィルタ層の作製方法に特徴を有するものについて説明する。具体的には、実施の形態 1 乃至実施の形態 3 などで説明したカラーフィルタ層の作製工程において、印刷法やインクジェット法などを用いて選択的にカラーフィルタを形成する態様について、図 37 及び図 38 を参照して説明する。

【0150】

なお、図 37 (A) は図 3 (G) に対応するものであり、図 37 (B) は図 6 (G) に対応するものであり、図 37 (C) は図 9 (G) に対応するものである。また、図 38 (A) は図 12 (G) に対応するものであり、図 38 (B) は図 15 (G) に対応するものである。

10

【0151】

まず、実施の形態 1 と同様に、所望の形状の薄膜積層体 114 及びゲート電極層 116 を形成し、第 2 のレジストマスク 118 を除去する (図 2 (F)、図 5 (F)、図 8 (F)、図 11 (F)、図 14 (F) を参照)。

【0152】

そして上記により形成した薄膜トランジスタを覆って第 2 の絶縁膜を形成する。ここでは、保護膜 126 を第 2 の絶縁膜として用いるが、このような単層構造に限らず、2 層以上の積層構造を用いても良い。その後、第 2 の絶縁膜上にカラーフィルタ層 128 を形成する (図 37 (A)、図 37 (B)、図 37 (C)、図 38 (A)、図 38 (B) を参照)。

20

【0153】

既に述べたように、本実施の形態においては印刷法やインクジェット法を用いてカラーフィルタ層 128 を形成する。ここで、開示する発明の一態様に係る薄膜積層体 114 は、第 1 の導電膜 102、第 1 の絶縁膜 104、半導体膜 106、不純物半導体膜 108 及び第 2 の導電膜 110 の積層構造となっている。このため、従来の作製方法を用いる場合と比較して、ソース配線やゲート配線となる薄膜積層体 114 の厚みが大きくなる。これを利用することで、カラーフィルタ層 128 の作り分けが容易になる。

【0154】

例えば、R (赤)、G (緑)、B (青) の各色のカラーフィルタ層 128 がソース配線に平行な方向に伸びるように形成する場合、ソース配線に挟まれた領域 (以下、ソース配線間領域と呼ぶ) に、ある色のカラーフィルタ層 128 を形成し、隣接するソース配線間領域には別の色のカラーフィルタ層 128 を形成することができる。印刷法やインクジェット法は、液滴を滴下することにより形成する方法であるが、薄膜積層体 114 によるソース配線の存在により、液滴の不要な広がりを防止してカラーフィルタ層 128 の作り込み精度を向上させることができる。

30

【0155】

なお、カラーフィルタ層 128 は、薄膜積層体 114 などに起因する表面凹凸低減の効果を有する。この効果を有効に活用するため、本実施の形態においては、後に画素電極層 132 が形成される領域以外の領域にもカラーフィルタ層 128 を形成する構成とした。しかしながら、表面凹凸低減の効果を重視しないのであれば、画素電極層 132 が形成される直下の領域にのみカラーフィルタ層 128 を形成する構成としても良い。

40

【0156】

また、カラーフィルタ層を形成した後、画素電極層の形成前にオーバーコート層を形成しても良い。オーバーコート層を形成することで画素電極の被形成面の平坦性を一層向上させることが可能である。また、カラーフィルタ層に含まれる材料の一部が液晶材料中に侵入することを防ぐこともできる。オーバーコート層としては、アクリル樹脂又はエポキシ樹脂をベースとした熱硬化性材料を用いるとよい。

【0157】

上述のように、薄膜積層体 114 による凹凸を利用してカラーフィルタ層 128 を作り分けることにより、カラーフィルタ層 128 の塗り分け精度が向上する。また、画素電極

50

の被形成面の凹凸を低減させることができるため、一の工程で、カラーフィルタ層を形成し、且つ、平坦性の向上を図ることができる。画素電極の平坦性を向上させることにより、液晶の配向乱れを防止し、表示画質が向上する。また、カラーフィルタ層 1 2 8 を形成するためのパターニングなどの工程が不要であるため、より一層の工程数低減につながる。

#### 【 0 1 5 8 】

以降の工程については、実施の形態 1 乃至実施の形態 3 などに示した方法と同様であるため、ここでは省略する。本実施の形態は、実施の形態 1 乃至実施の形態 3 と適宜組み合わせ用いることができる。

( 実施の形態 5 )

10

#### 【 0 1 5 9 】

本実施の形態は、実施の形態 1 乃至実施の形態 4 において説明した方法を用いて製造した液晶表示装置を表示部として組み込んだ電子機器について、図 3 9 乃至図 4 1 を参照して説明する。このような電子機器としては、例えば、ビデオカメラやデジタルカメラ等のカメラ、ヘッドマウントディスプレイ ( ゴーグル型ディスプレイ )、プロジェクタ、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末 ( モバイルコンピュータ、携帯電話または電子書籍等 ) が挙げられる。

#### 【 0 1 6 0 】

図 3 9 ( A ) にテレビジョン装置を示す。開示する発明の一態様を適用して製造した液晶表示装置を筐体に組み込むことで、図 3 9 ( A ) に示すテレビジョン装置を完成させることができる。実施の形態 1 乃至実施の形態 3 にて説明した製造方法を適用した液晶表示装置により主画面 2 2 3 が形成され、その他付属設備としてスピーカ部 2 2 9、操作スイッチ等が備えられている。

20

#### 【 0 1 6 1 】

図 3 9 ( A ) に示すように、筐体 2 2 1 に実施の形態 1 乃至実施の形態 3 にて説明した製造方法を適用した液晶表示装置 2 2 2 が組み込まれ、受信機 2 2 5 により一般のテレビ放送の受信をはじめ、モデム 2 2 4 を介して有線又は無線による通信ネットワークに接続することにより一方向 ( 送信者から受信者 ) 又は双方向 ( 送信者と受信者間、又は受信者間同士 ) の情報通信をすることもできる。

#### 【 0 1 6 2 】

30

テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は筐体とは別個のリモコン操作機 2 2 6 により行うことが可能であり、このリモコン操作機 2 2 6 にも、出力する情報を表示する表示部 2 2 7 が設けられていても良い。

#### 【 0 1 6 3 】

また、テレビジョン装置にも、主画面 2 2 3 の他にサブ画面 2 2 8 を設け、チャンネルや音量などを表示する構成が付加されていても良い。

#### 【 0 1 6 4 】

図 4 0 は、テレビジョン装置の主要な構成を示すブロック図を示している。表示領域は、画素部 2 5 1 が形成されている。信号線駆動回路 2 5 2 と走査線駆動回路 2 5 3 は C O G 方式により実装されていても良い。

40

#### 【 0 1 6 5 】

外部回路の構成として、映像信号の入力側では、チューナ 2 5 4 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 2 5 5 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 2 5 6 と、その映像信号を駆動回路の入力仕様に換するためのコントロール回路 2 5 7 等を有している。コントロール回路 2 5 7 は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路 2 5 8 を設け、入力デジタル信号を整数個に分割して供給する構成としても良い。

#### 【 0 1 6 6 】

チューナ 2 5 4 で受信した信号のうち、音声信号は、音声信号増幅回路 2 5 9 に送られ

50

、その出力は音声信号処理回路 260 を経てスピーカ 263 に供給される。制御回路 261 は受信局（受信周波数）、音量の制御情報を入力部 262 から受け、チューナ 254 及び音声信号処理回路 260 に信号を送出する。

【0167】

主画面 223、サブ画面 228 に、実施の形態 1 乃至実施の形態 3 で説明した製造方法を適用した液晶表示装置を用いることで、テレビジョン装置の生産性を高めることができる。

【0168】

なお、上記の構成はテレビジョン装置に限定されず、パーソナルコンピュータのモニターをはじめとして、駅や空港などにおける情報表示盤、街頭における広告表示盤などの大面積の表示媒体にも適用することができる。開示する発明の一態様を用いることにより、これらの表示媒体の生産性を向上させることができる。

【0169】

図 39 (B) に示す携帯型のコンピュータは、本体 231 及び表示部 232 等を有する。表示部 232 に、実施の形態 1 乃至実施の形態 3 で示した方法による液晶表示装置を用いることで、コンピュータの生産性を高めることができる。

【0170】

図 41 は、電話としての機能と、情報端末としての機能を併せ持った携帯電子機器 300 の構成の一例である。ここで、図 41 (A) は正面図、図 41 (B) は背面図、図 41 (C) は展開図である。携帯電子機器 300 は、電話と情報端末の双方の機能を備えており、音声通話以外にも様々なデータ処理が可能な、いわゆるスマートフォンと呼ばれる電子機器である。

【0171】

携帯電子機器 300 は、筐体 301 及び筐体 302 で構成されている。筐体 301 は、表示部 311、スピーカ 312、マイクロフォン 313、操作キー 314、ポインティングデバイス 315、カメラ用レンズ 316、外部接続端子 317 等を備え、筐体 302 は、キーボード 321、外部メモリスロット 322、カメラ用レンズ 323、ライト 324、イヤフォン端子 325 等を備えている。また、アンテナは筐体 301 内部に内蔵されている。上記構成に加えて、非接触 IC チップ、小型記録装置等を内蔵していてもよい。

【0172】

表示部 311 には、開示する発明の一態様に係る半導体装置が組み込まれている。なお、表示部 311 に表示される映像（及びその表示方向）は、携帯電子機器 300 の使用形態に応じて様々に変化する。また、表示部 311 と同一面にカメラ用レンズ 316 を備えているため、映像を伴う音声通話（いわゆるテレビ電話）が可能である。なお、スピーカ 312 及びマイクロフォン 313 は音声通話に限らず、録音、再生等に用いることが可能である。カメラ用レンズ 323（及び、ライト 324）を用いて静止画及び動画の撮影を行う場合には、表示部 311 はファインダーとして用いられることになる。操作キー 314 は、電話の発信や着信、電子メール等の情報入力、画面のスクロール、カーソル移動等に用いられる。

【0173】

重なり合った筐体 301 と筐体 302（図 41 (A)）は、スライドし、図 41 (C) のように展開し、情報端末として使用できる。この場合には、キーボード 321、ポインティングデバイス 315 を用いた円滑な操作が可能である。外部接続端子 317 は AC アダプタや USB ケーブル等の各種ケーブルと接続可能であり、充電やコンピュータ等とのデータ通信を可能にしている。また、外部メモリスロット 322 に記録媒体を挿入し、より大容量のデータの保存及び移動に対応できる。上記機能に加えて、赤外線などの電磁波を用いた無線通信機能や、テレビ受信機能等を有していても良い。

【0174】

本実施の形態にて説明した各種電子機器は、実施の形態 1 乃至実施の形態 3 にて説明した液晶表示装置の製造方法を適用して作製することができるため、これら電子機器の生産

10

20

30

40

50



性を向上させることができる。

【 0 1 7 5 】

従って、開示する発明の一態様を適用することで、これらの電子機器の製造コストを大幅に削減することができる。

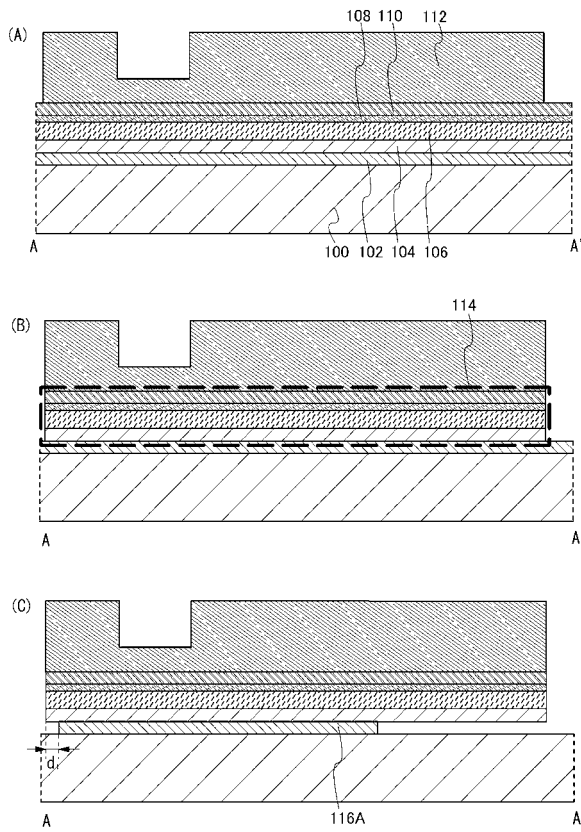
【 符号の説明 】

【 0 1 7 6 】

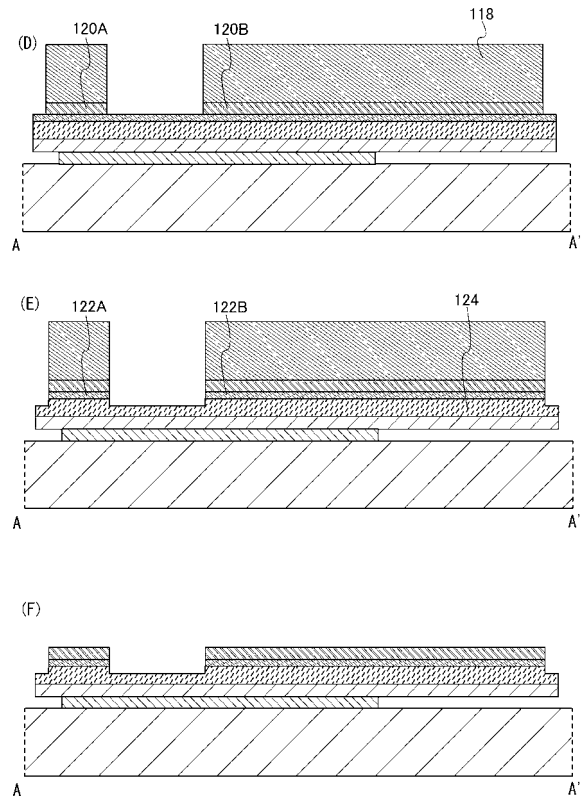
1 0 0	基板	
1 0 2	導電膜	
1 0 4	絶縁膜	
1 0 6	半導体膜	10
1 0 8	不純物半導体膜	
1 1 0	導電膜	
1 1 2	レジストマスク	
1 1 4	薄膜積層体	
1 1 5	導電膜	
1 1 6	ゲート電極層	
1 1 6 A	ゲート電極層	
1 1 6 B	ゲート電極層	
1 1 6 C	ゲート電極層	
1 1 6 D	ゲート電極層	20
1 1 8	レジストマスク	
1 2 0	ドレイン電極層	
1 2 0 A	ドレイン電極層	
1 2 0 B	ドレイン電極層	
1 2 0 C	ドレイン電極層	
1 2 0 D	ドレイン電極層	
1 2 2	ドレイン領域	
1 2 6	保護膜	
1 2 8	カラーフィルタ層	
1 3 0	開口部	30
1 3 1	開口部	
1 3 2	画素電極層	
1 4 0	グレートーンマスク	
1 4 1	基板	
1 4 2	遮光部	
1 4 3	スリット部	
1 4 5	ハーフトーンマスク	
1 4 6	基板	
1 4 7	半透光部	
1 4 8	遮光部	40
1 5 1	角部	
1 6 0 A	開口部	
1 6 0 B	開口部	
1 6 1	開口部	
1 7 0	レジストマスク	
1 7 1	レジストマスク	
2 2 1	筐体	
2 2 2	液晶表示装置	
2 2 3	主画面	
2 2 4	モデム	50

2 2 5	受信機	
2 2 6	リモコン操作機	
2 2 7	表示部	
2 2 8	サブ画面	
2 2 9	スピーカ部	
2 3 1	本体	
2 3 2	表示部	
2 5 1	画素部	
2 5 2	信号線駆動回路	
2 5 3	走査線駆動回路	10
2 5 4	チューナ	
2 5 5	映像信号増幅回路	
2 5 6	映像信号処理回路	
2 5 7	コントロール回路	
2 5 8	信号分割回路	
2 5 9	音声信号増幅回路	
2 6 0	音声信号処理回路	
2 6 1	制御回路	
2 6 2	入力部	
2 6 3	スピーカ	20
3 0 0	携帯電子機器	
3 0 1	筐体	
3 0 2	筐体	
3 1 1	表示部	
3 1 2	スピーカ	
3 1 3	マイクロフォン	
3 1 4	操作キー	
3 1 5	ポインティングデバイス	
3 1 6	カメラ用レンズ	
3 1 7	外部接続端子	30
3 2 1	キーボード	
3 2 2	外部メモリスロット	
3 2 3	カメラ用レンズ	
3 2 4	ライト	
3 2 5	イヤフォン端子	

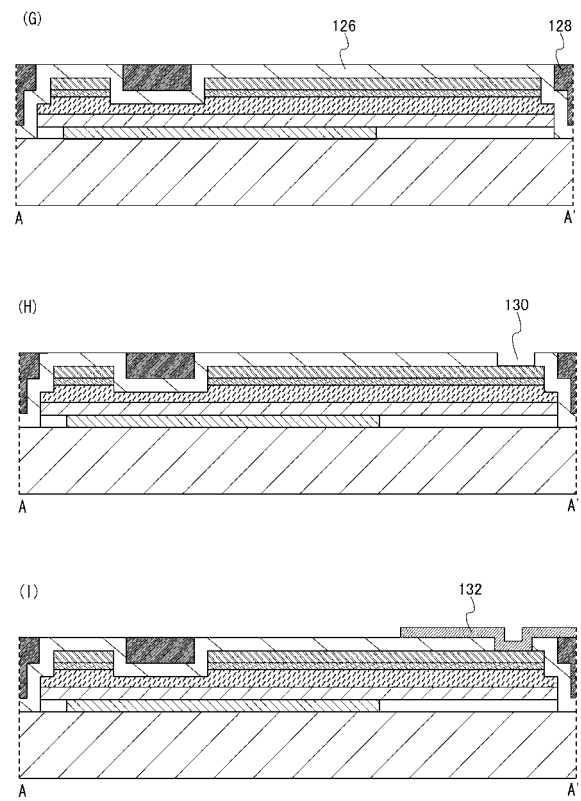
【図 1】



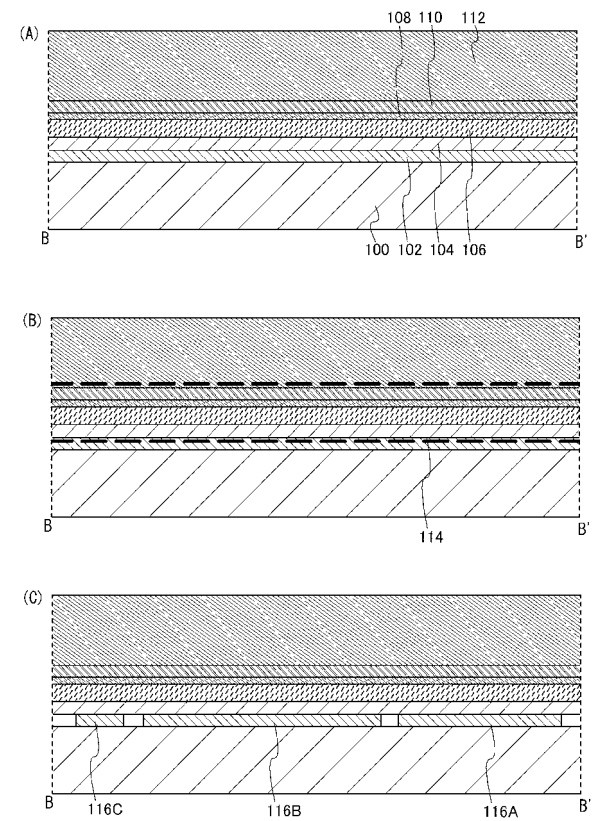
【図 2】



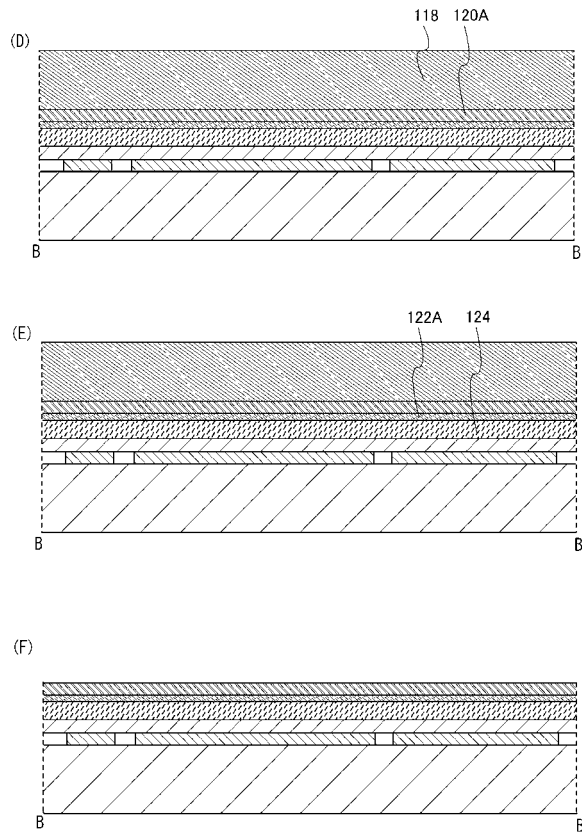
【図 3】



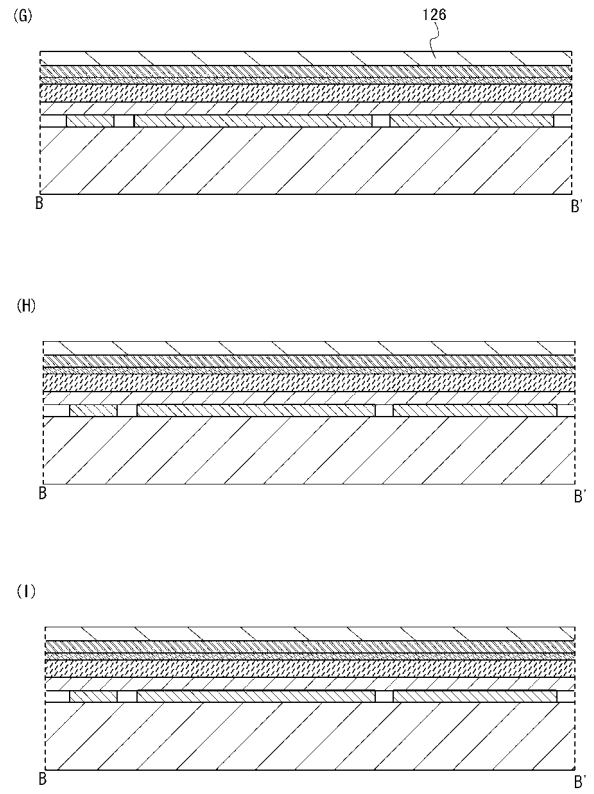
【図 4】



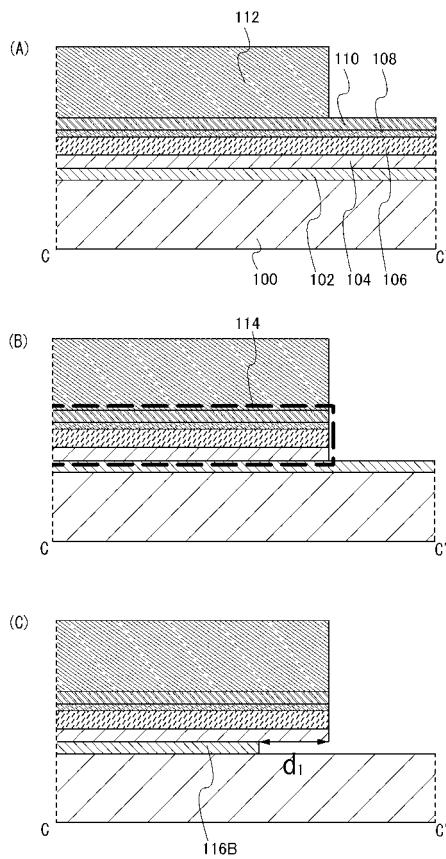
【図 5】



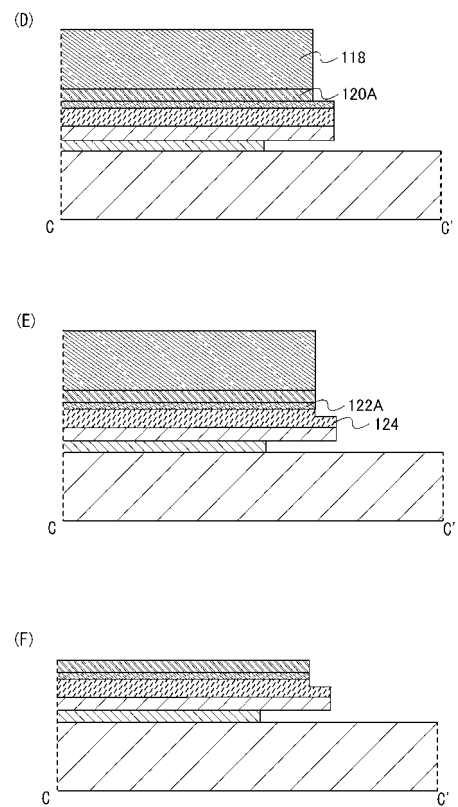
【図 6】



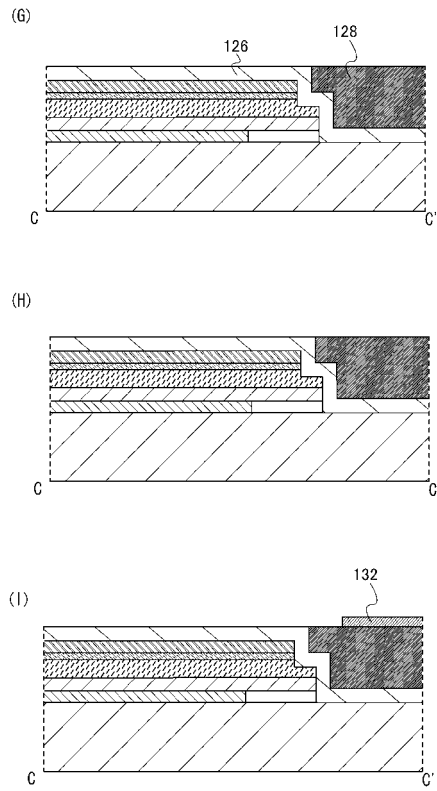
【図 7】



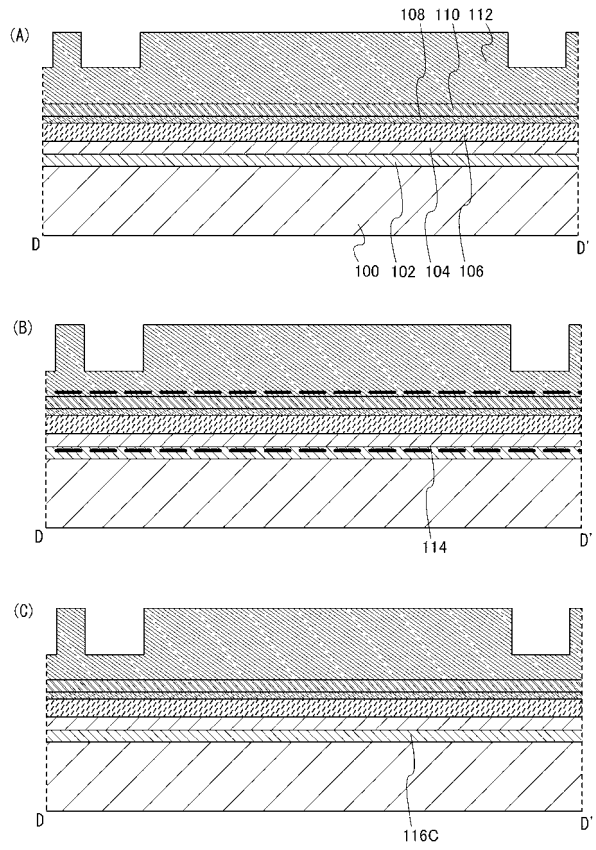
【図 8】



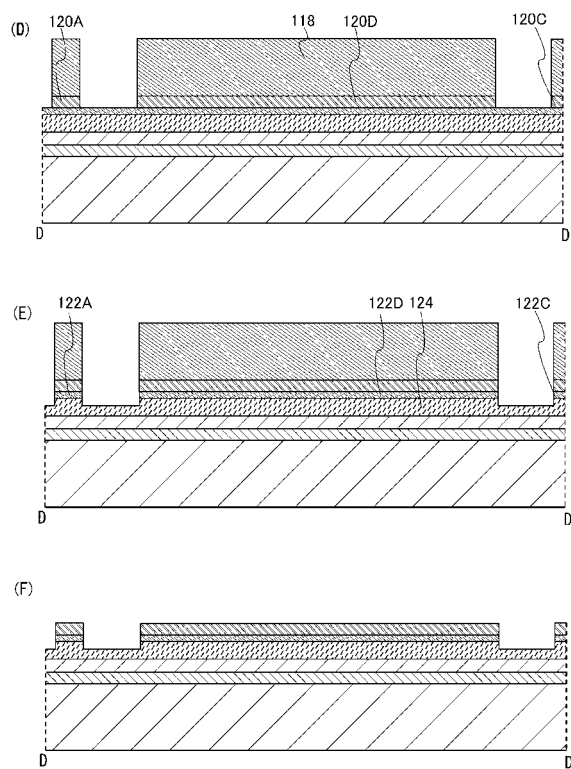
## 【図 9】



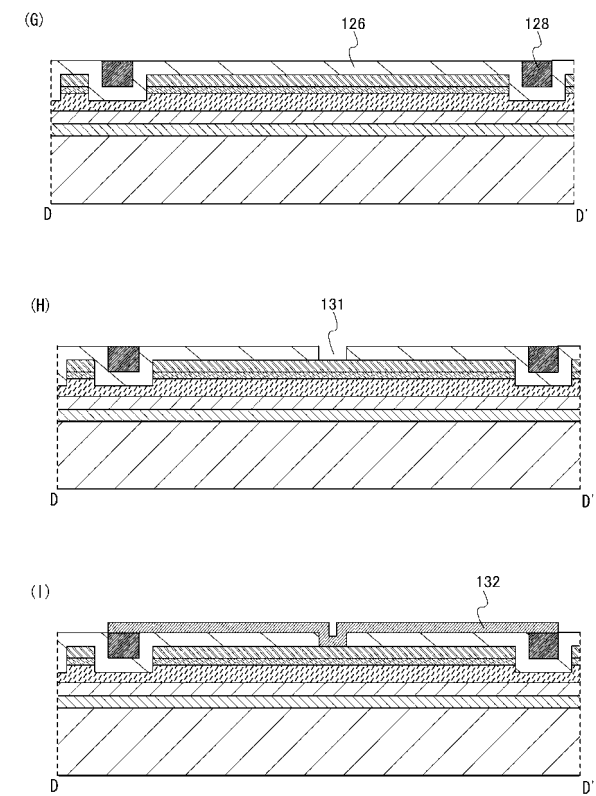
## 【図 10】



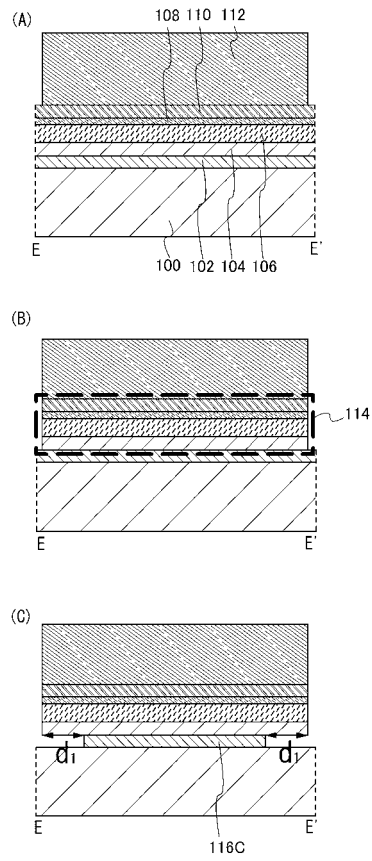
## 【図 11】



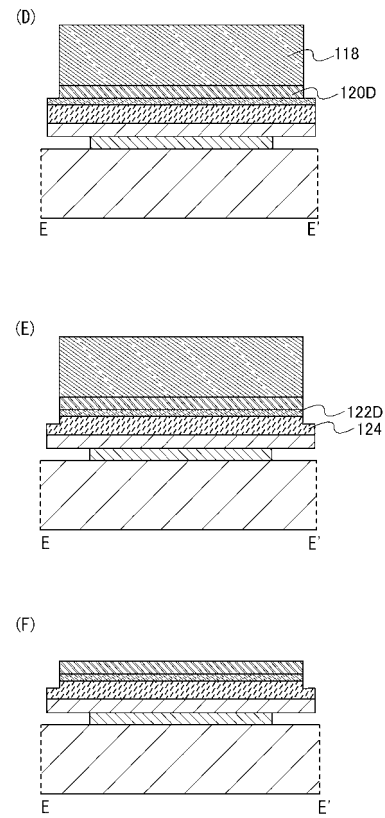
## 【図 12】



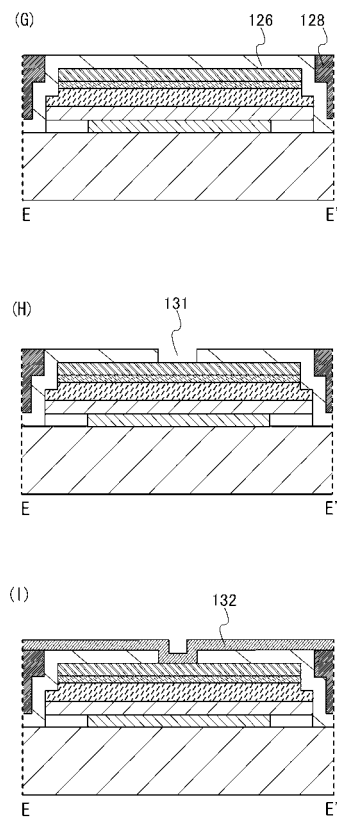
【図 13】



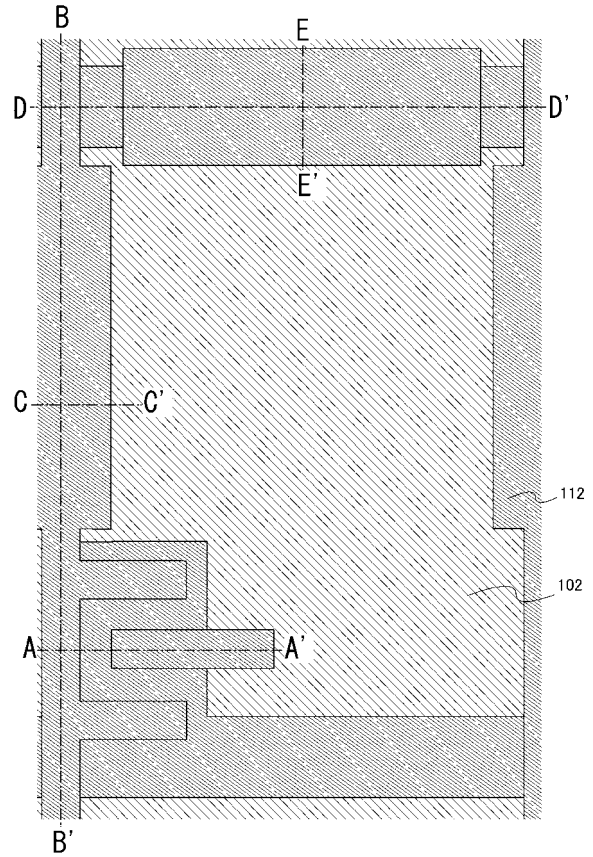
【図 14】



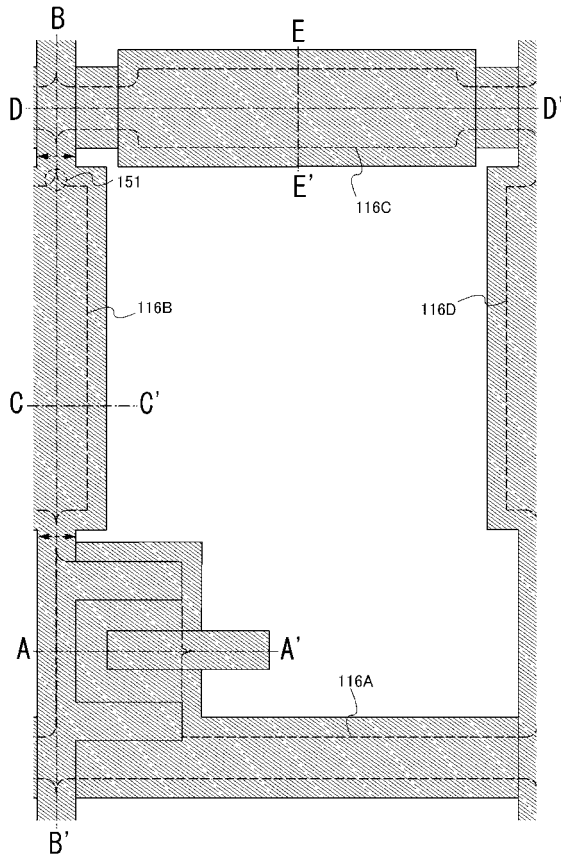
【図 15】



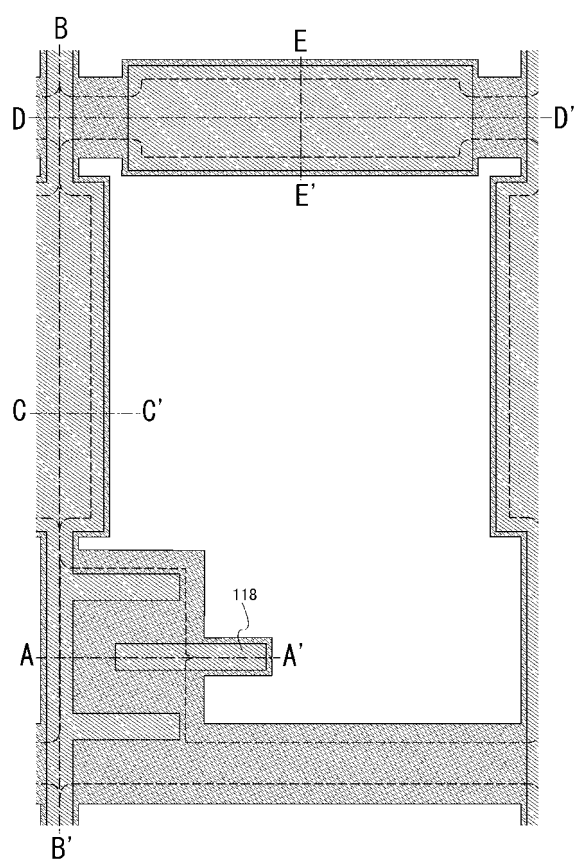
【図 16】



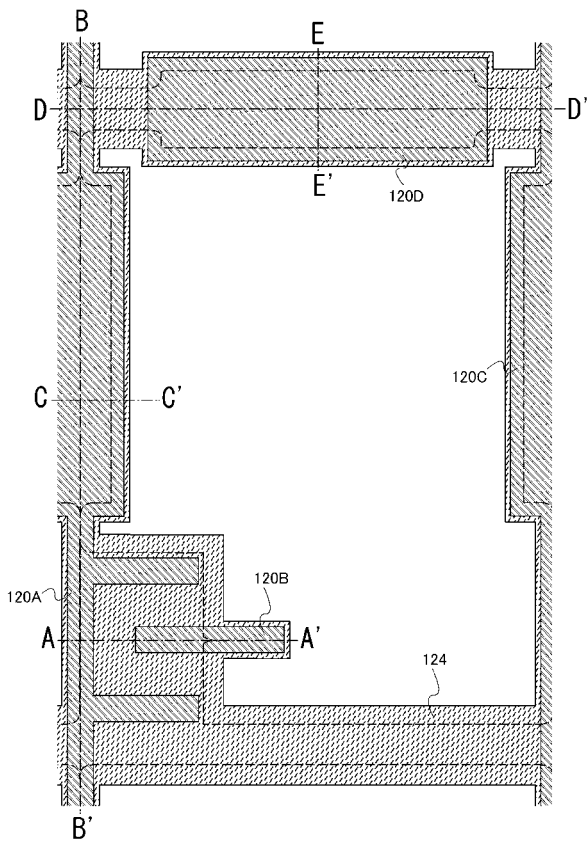
【図 17】



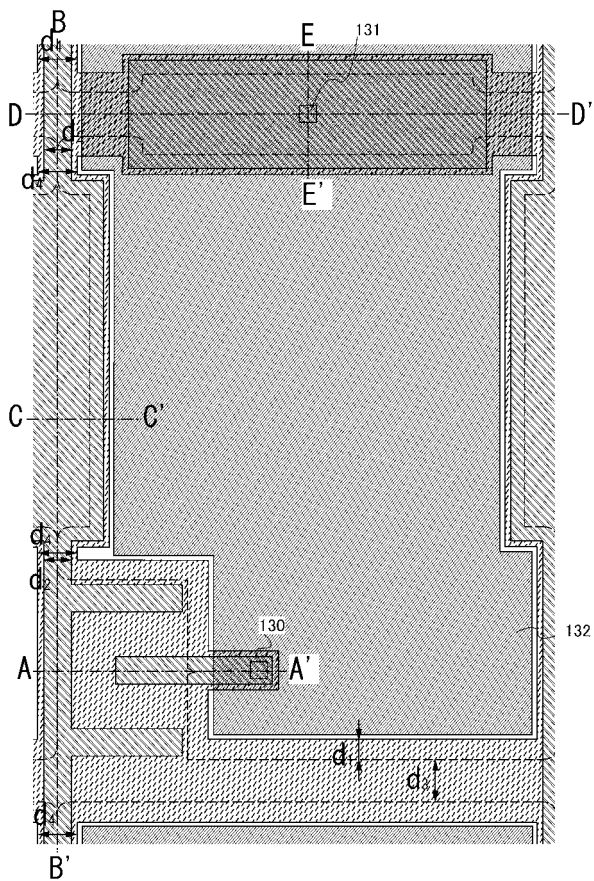
【図 18】



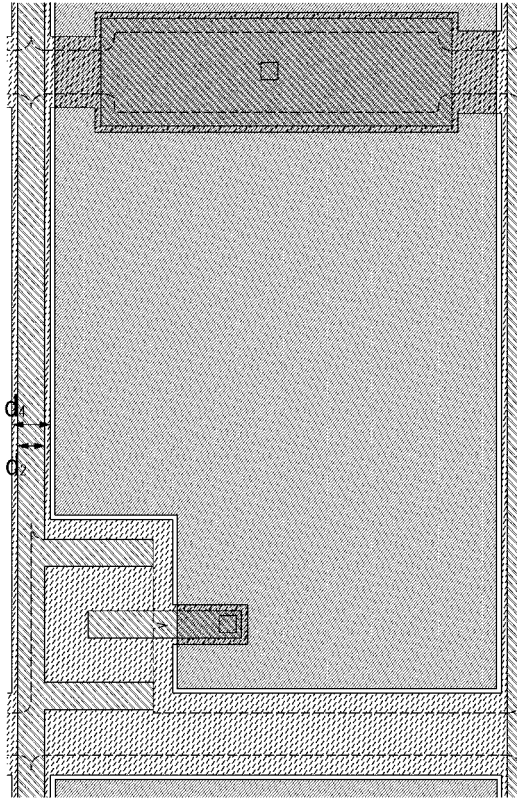
【図 19】



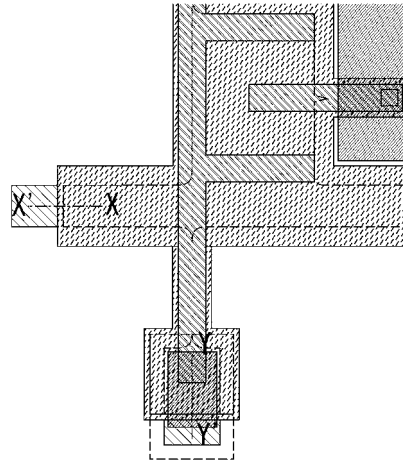
【図 20】



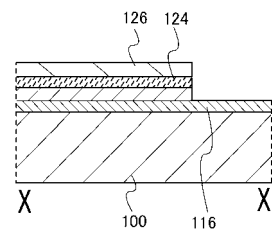
【図 2 1】



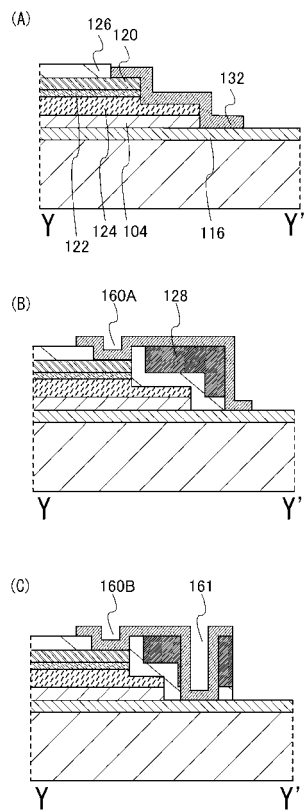
【図 2 2】



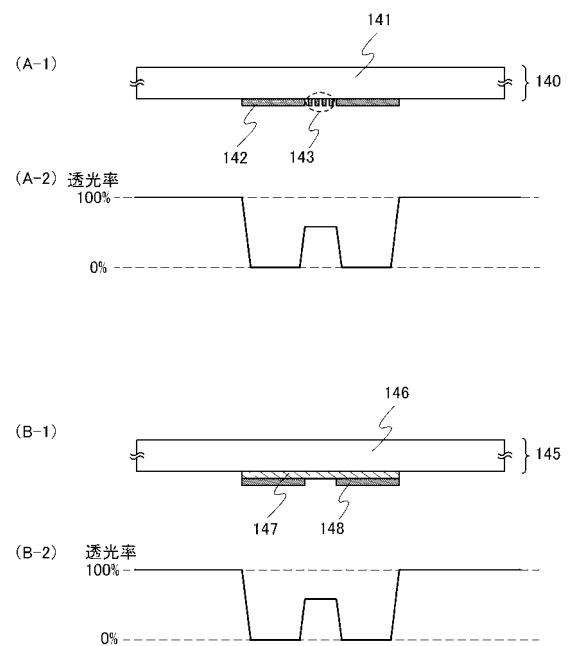
【図 2 3】



【図 2 4】

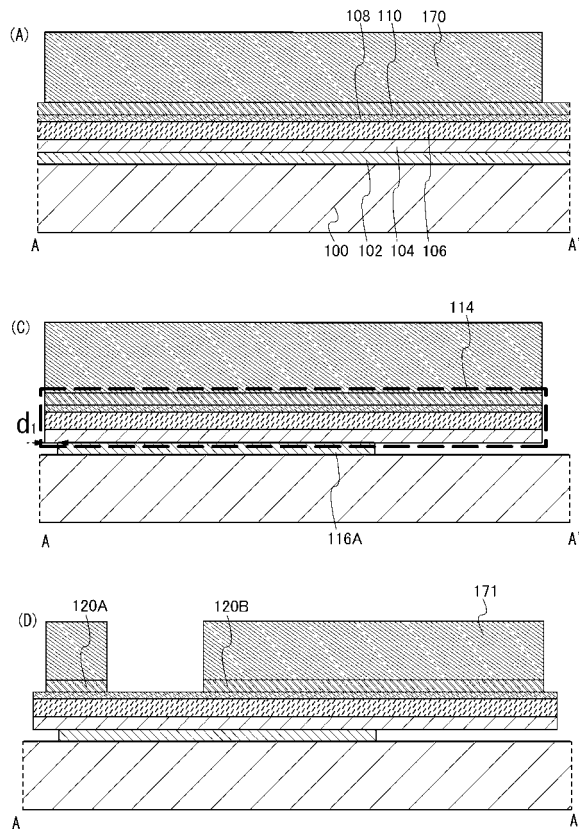


【図 2 5】

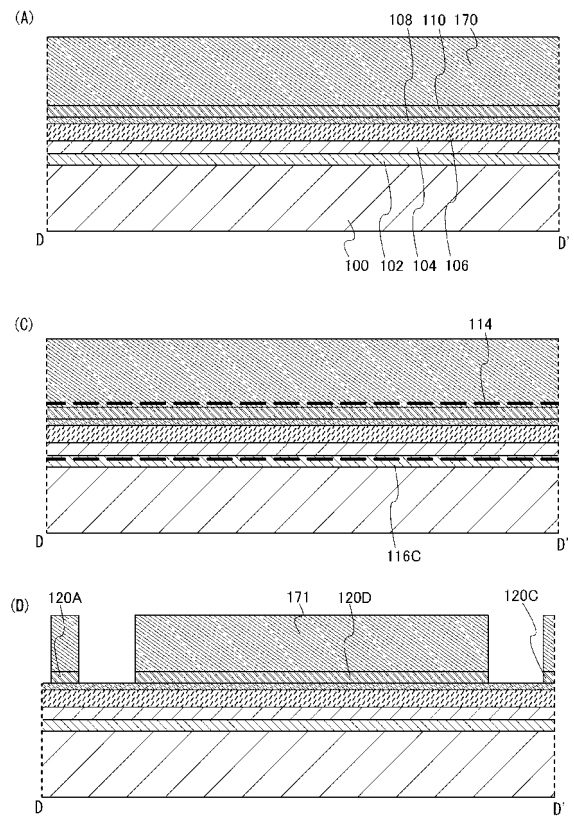




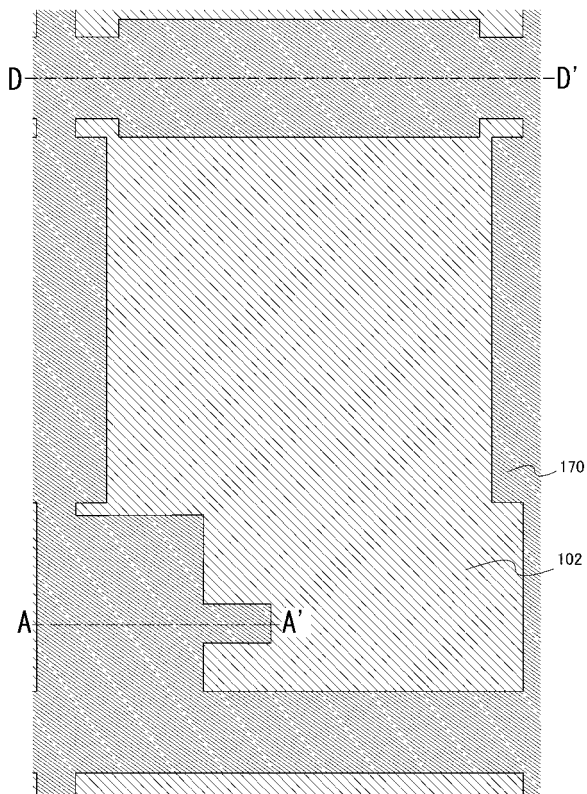
【図 26】



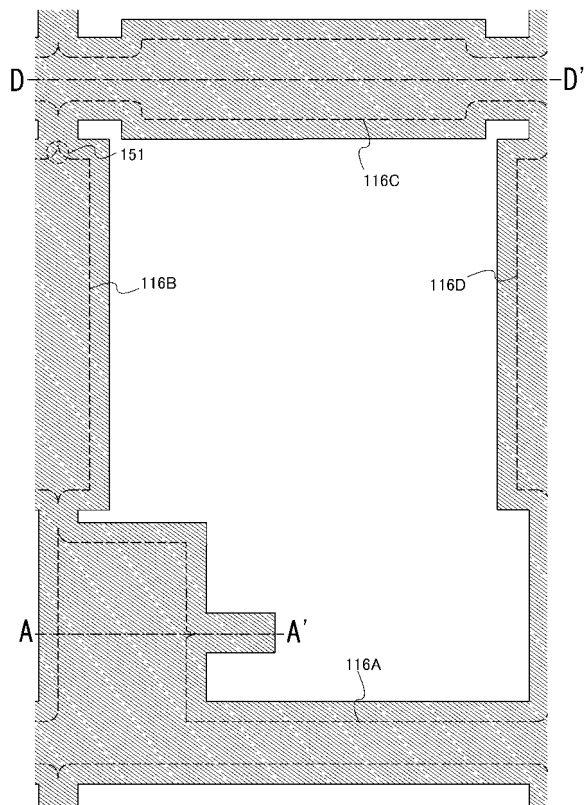
【図 27】



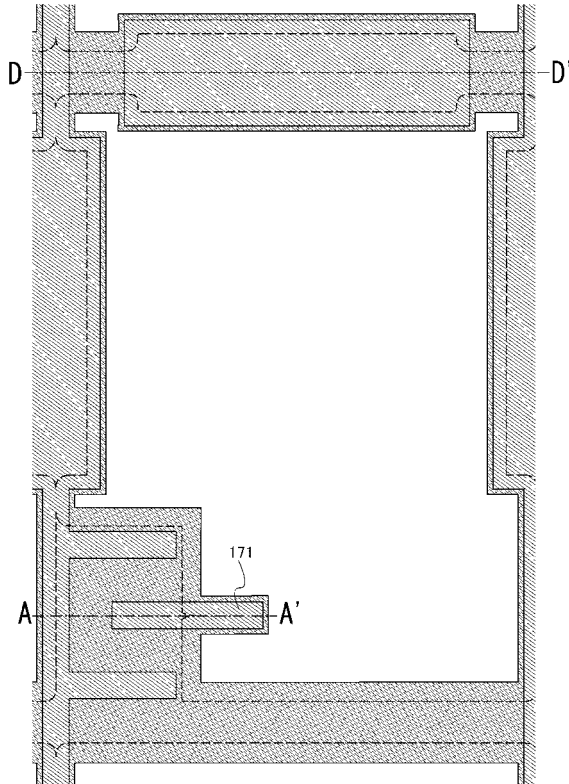
【図 28】



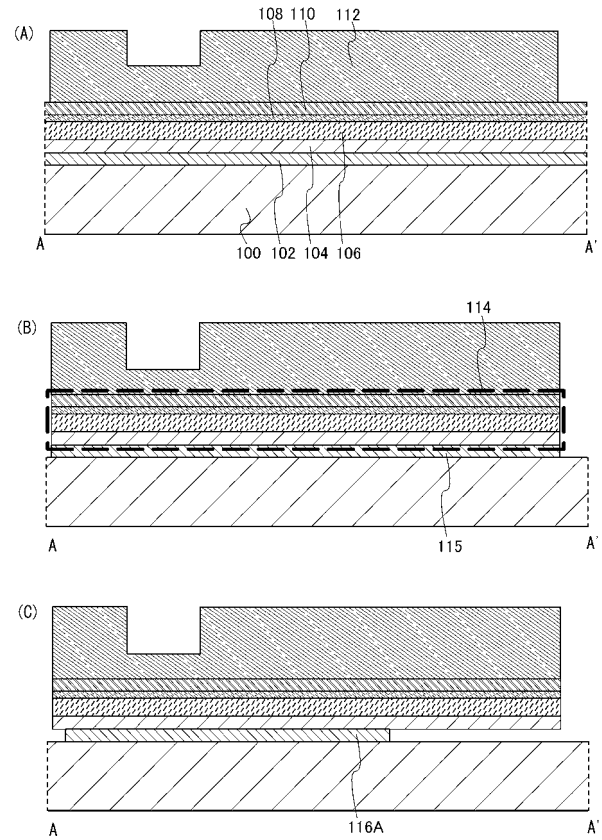
【図 29】



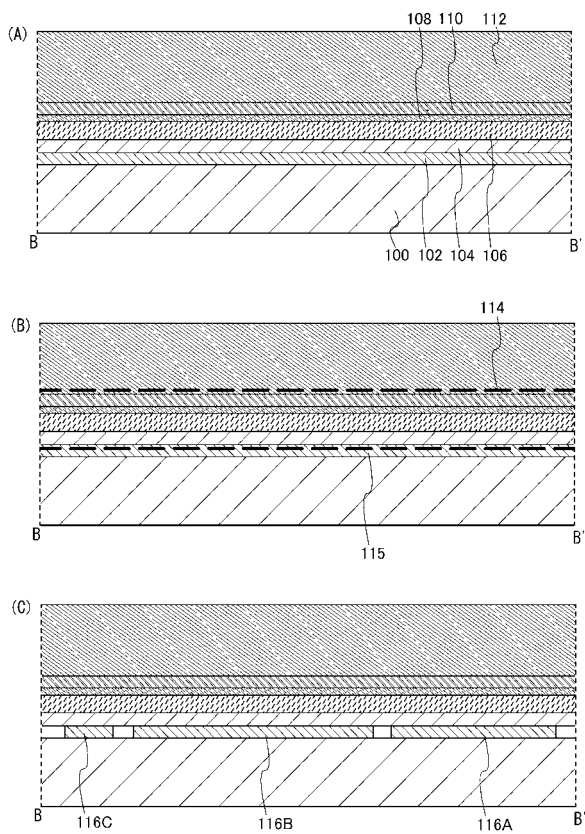
【図 30】



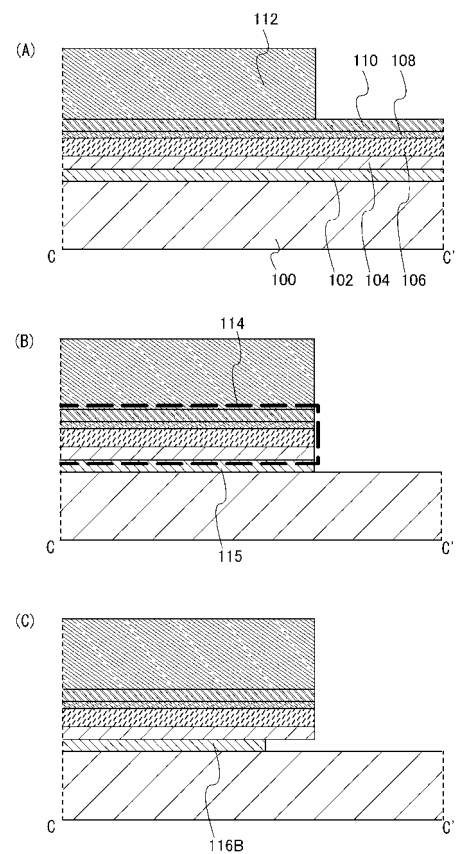
【図 31】



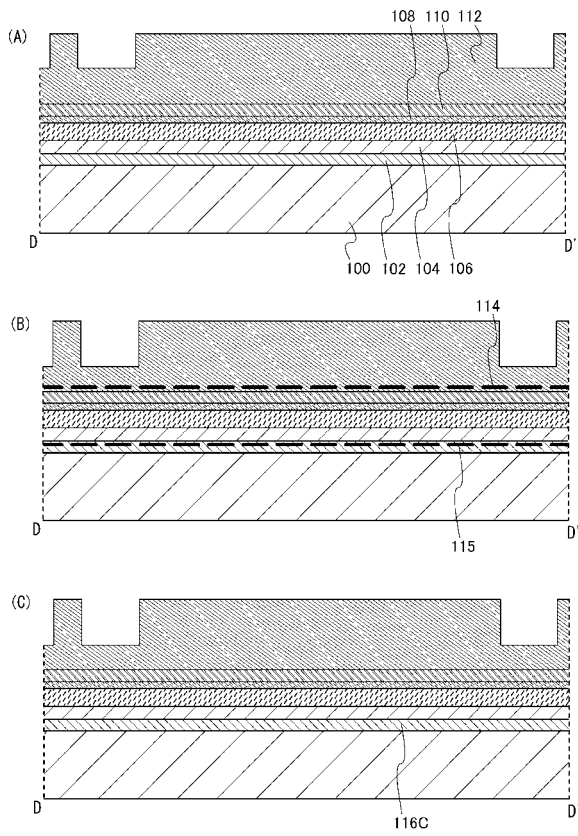
【図 32】



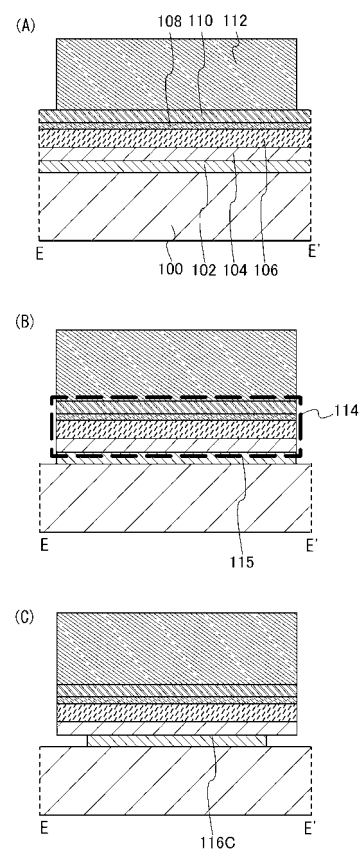
【図 33】



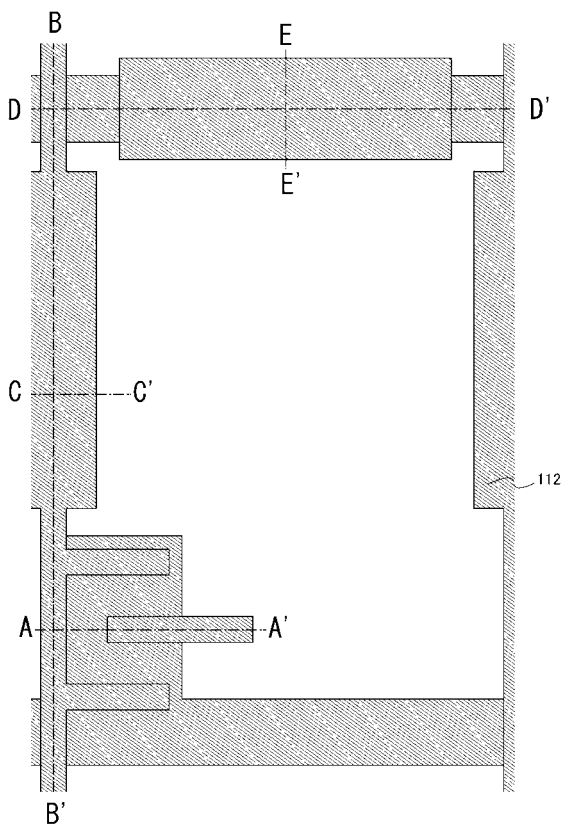
【図 3 4】



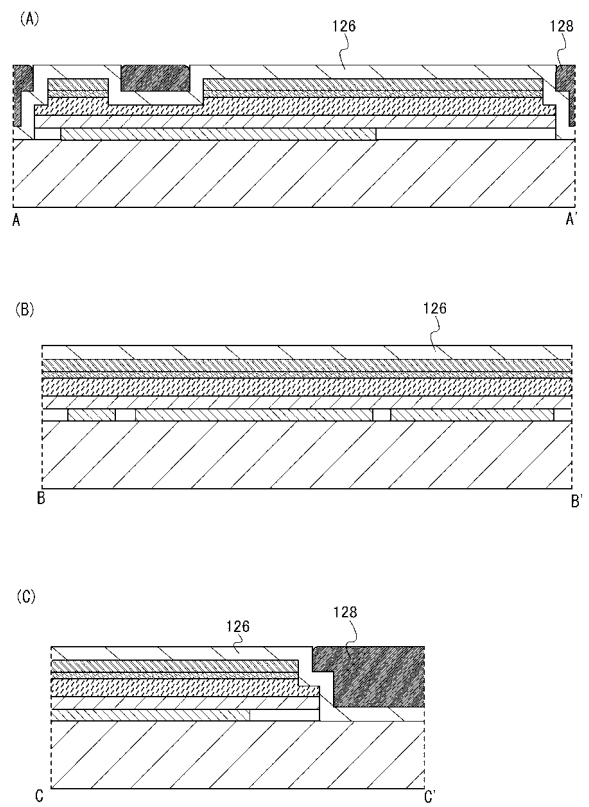
【図 3 5】



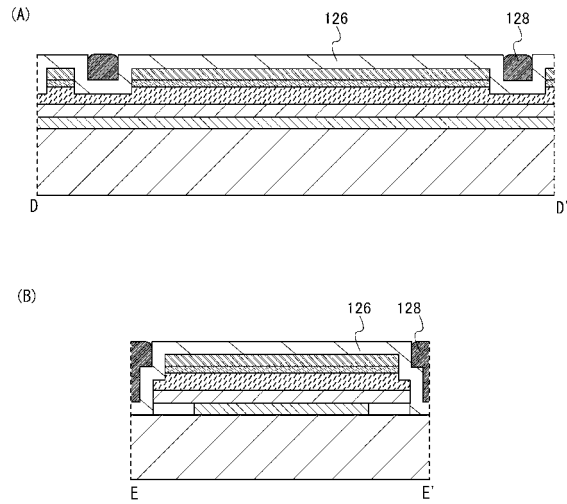
【図 3 6】



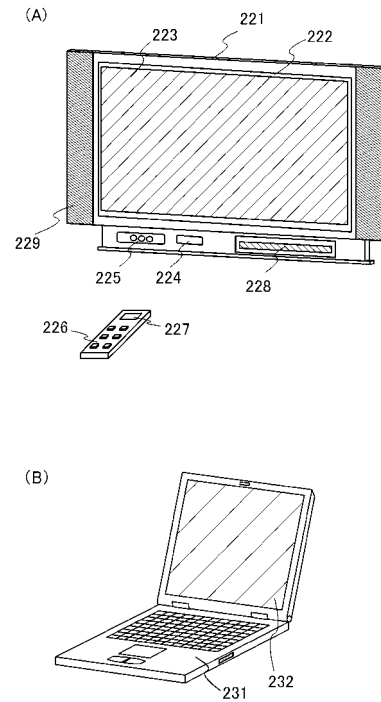
【図 3 7】



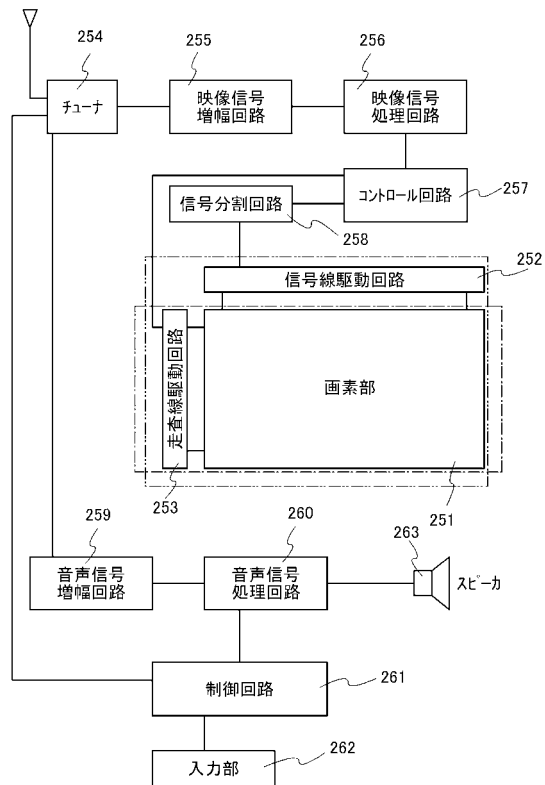
【図 38】



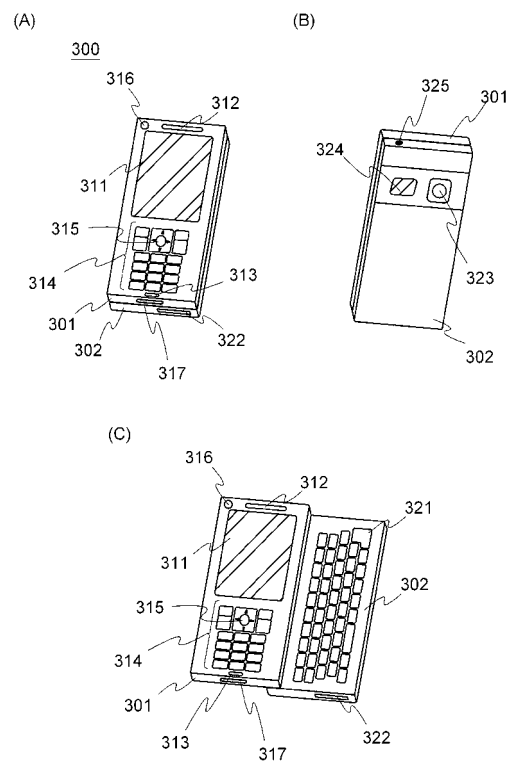
【図 39】



【図 40】



【図 41】



---

フロントページの続き

(56)参考文献 特開2008-009372(JP,A)  
特開2007-227440(JP,A)  
特開昭64-084669(JP,A)  
特開昭61-225869(JP,A)  
特開昭62-073669(JP,A)  
特開平09-292633(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F1/1343-1/1345  
G02F1/135-1/1368  
H01L29/78  
H01L29/786