

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月22日(22.06.2017)



(10) 国際公開番号

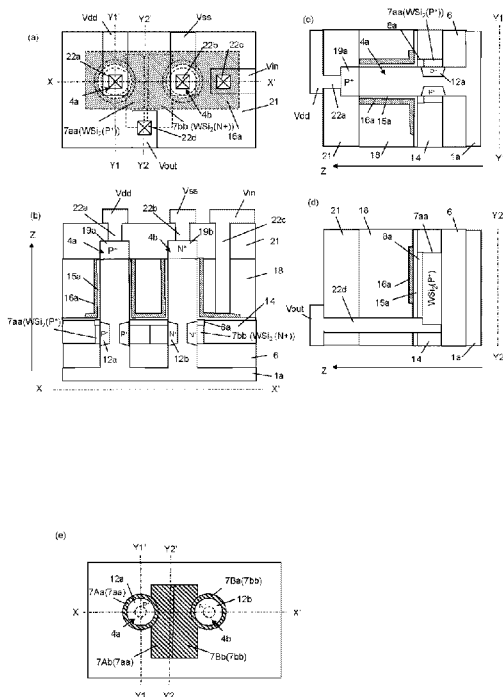
WO 2017/104066 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/8238 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2015/085469
- (22) 国際出願日: 2015年12月18日(18.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者: および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯
田橋1-12-13 いずみ九段ビル5F S
emicon Consulting株式会社
Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];
〒1020072 東京都千代田区飯田橋1-12-1
3 いずみ九段ビル5F Semicon C
onsulting株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SGT-INCLUDING SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: SGTを有する半導体装置及びその製造方法



(57) Abstract: Provided is an SGT-including semiconductor device that has a WSi_2 layer (7aa, 7bb) which is a wiring alloy layer comprising: a first alloy layer which has a circular belt-like shape that is formed to be contiguous with the entire outer periphery of an impurity region (12a, 12b) disposed at a lower part of the Si pillar (4a, 4b) so as to serve as a source or a drain, and which is formed by self-alignment with respect to the impurity region (12a, 12b), and which includes the same impurity atoms as the impurity region (12a, 12b); and a second alloy layer which is formed to be contiguous with a portion of the outer periphery of the first alloy layer, and which includes the same impurity atoms as the impurities region (12a, 12b), wherein an SGT is formed on the Si pillar (4a, 4b).

(57) 要約: Si柱(4a、4b)の下部にあるソースまたはドレインとなる不純物領域(12a、12b)の外周全体に繋がった円帯状の、不純物領域(12a、12b)に対して自己整合により形成され、且つ不純物領域(12a、12b)と同じ不純物原子を含んだ第1合金層と、この第1合金層の外周の一部と繋がった、不純物領域(12a、12b)と同じ不純物原子を含んだ第2合金層とよりなる配線合金層である WSi_2 層(7aa、7bb)を有して、Si柱(4a、4b)にSGTが形成されている。

WO 2017/104066 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： S G Tを有する半導体装置及びその製造方法

技術分野

[0001] 本発明は、S G T (Surrounding Gate MOS Transistor) を有する半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、S G Tを有する半導体装置の更なる高密度化と高性能化が求められている。

[0003] プレナー型MOSトランジスタでは、P、NチャネルMOSトランジスタのチャネルは、ソース、ドレイン間の半導体基板の表面に沿う水平方向に形成されている。これに対し、S G Tのチャネルは、半導体基板表面に対して垂直方向に形成されている（例えば、特許文献1、非特許文献1を参照）。

[0004] 図8に、NチャネルS G Tの構造模式図を示す。P型又はi型（真性型）のS i柱115（以下、シリコン半導体柱を「S i柱」と称す。）の上下の位置に、一方がソースとして機能するとき、他方がドレインとして機能するN⁺領域116a、116bが形成されている。ソース、ドレインN⁺領域116a、116bの間のS i柱115がチャネル領域117となる。このチャネル領域117を囲むようにゲート絶縁層118が形成され、ゲート絶縁層118を囲むようにゲート導体層119が形成されている。S G Tでは、ソース、ドレインN⁺領域116a、116b、チャネル領域117、ゲート絶縁層118、ゲート導体層119が、単一のS i柱115に形成されている。このため、S G Tの表面の占有面積は、見かけ上、プレナー型MOSトランジスタの単一のソース又はドレインN⁺領域の占有面積に相当するものになる。そのため、S G Tを有する回路チップでは、プレナー型MOSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化を実現することが可能である。

[0005] 図9に、S G Tを用いたCMOSインバータ回路の断面図を示す（例えば

、特許文献2、図38（b）を参照）。

このCMOSインバータ回路では、絶縁層基板120上にi層121（「i層」は、真性型Si層を示す。）が形成され、このi層121上にPチャネルSGTのためのSi柱SP1とNチャネルSGTのためのSi柱SP2とが形成されている。

PチャネルSGTのドレインP⁺領域122が、i層121と同層に、かつ、平面視においてSi柱SP1の下部を囲むように形成されている。また、NチャネルSGTのドレインN⁺領域123が、i層121と同層に、かつ、平面視においてSi柱SP2の下部を囲むように形成されている。

PチャネルSGTのソースP⁺領域124がSi柱SP1の頂部に形成され、NチャネルSGTのソースN⁺領域125がSi柱SP2の頂部に形成されている。

Si柱SP1、SP2を囲み、P⁺領域122及びN⁺領域123の上表面上に延びるように、ゲート絶縁層126a、126bが形成され、ゲート絶縁層126a、126bを囲むように、PチャネルSGTのゲート導体層127aと、NチャネルSGTのゲート導体層127bと、が形成されている。

これらゲート導体層127a、127bを囲むように、絶縁層であるサイドウォール窒化膜128a、128bが形成されている。これと同様に、Si柱SP1、SP2の頂部のP⁺領域、N⁺領域をそれぞれ囲むように、絶縁層であるサイドウォール窒化膜128c、128dが形成されている。

PチャネルSGTのドレインP⁺領域122とNチャネルSGTのドレインN⁺領域123とはシリサイド層129bを介して接続されている。PチャネルSGTのソースP⁺領域124上にシリサイド層129aが形成され、NチャネルSGTのソースN⁺領域125上にシリサイド層129cが形成されている。さらに、ゲート導体層127a、127bの頂部にシリサイド層129d、129eが形成されている。

P⁺領域122、124間にあるSi柱SP1のi層130aがPチャネル

S G Tのチャネルとして機能し、N⁺領域123、125間のS i柱S P 2のi層130bがNチャネルS G Tのチャネルとして機能する。

絶縁層基板120、i層121及びS i柱S P 1、S P 2を覆うように、S i O₂層131が形成されている。さらに、このS i O₂層131を貫通するコンタクトホール132a、132b、132cが、S i柱S P 1、S P 2上、PチャネルS G TのドレインP⁺領域122上、及びNチャネルS G TのN⁺領域123上に形成されている。

コンタクトホール132aを介して、S i O₂層131上に形成された電源配線金属層V_dと、PチャネルS G TのソースP⁺領域124及びシリサイド層129aと、が接続されている。コンタクトホール132bを介して、S i O₂層131上に形成された出力配線金属層V_oと、PチャネルS G TのドレインP⁺領域122、NチャネルS G TのドレインN⁺領域123及びシリサイド層129bと、が接続されている。さらに、コンタクトホール132cを介して、S i O₂層131上に形成されたグランド配線金属層V_sと、NチャネルS G TのソースN⁺領域125及びシリサイド層129cと、が接続されている。

PチャネルS G Tのゲート導体層127aとNチャネルS G Tのゲート導体層127bとは、互いに接続された状態で入力配線金属層（図示せず）に繋がっている。

このCMOSインバータ回路では、PチャネルS G TとNチャネルS G Tとが、それぞれS i柱S P 1、S P 2内に形成されている。このため、垂直方向から平面視した場合の回路面積が縮小される。この結果、従来例のプレーナ型MOSトランジスタを有するCMOSインバータ回路と比較して、さらなる回路の縮小化が実現される。

[0006] 図9に示すS G Tを有するCMOSインバータ回路においても、更なる回路の高密度化と高性能化が求められている。本回路において、更なる回路の高密度化と高性能化に対して、下記のような問題がある。

1. S i柱S P 1、S P 2をi層121上に正確かつ確実に形成するために

、S i 柱SP 1、SP 2とi 層1 2 1のマスク設計では、その形状及び位置関係について寸法余裕を確保しなければならない。これは、回路高密度化への阻害要因になる。

2. シリサイド層1 2 9 b端と、S i 柱SP 1、SP 2直下までのP+領域1 2 2、N+領域1 2 3との間の抵抗が、駆動電流の減少、駆動速度の低下の原因になる。

3. ゲート導体層1 2 7 aとP+領域1 2 2との間には薄いゲート絶縁層1 2 6 aが存在している。このため、ゲート導体層1 2 7 aとP+領域1 2 2との間に大きい結合容量が存在する。同様に、ゲート導体層1 2 7 bとN+領域1 2 3との間には薄いゲート絶縁層1 2 6 bが存在している。このため、ゲート導体層1 2 7 bとN+領域1 2 3との間に大きい結合容量が存在する。これら大きい結合容量は、高速化に対する阻害要因となる。

4. コンタクトホール1 3 2 bとゲート導体層1 2 7 a、1 2 7 bとの間に薄いサイドウォール窒化膜1 2 8 a、1 2 8 bが存在している。このため、ゲート導体層1 2 7 a、1 2 7 bと、出力配線金属層V oとの間に大きい結合容量が存在する。これら大きい結合容量は、高速化に対する阻害要因となる。また、サイドウォール窒化膜1 2 8 a、1 2 8 bを厚くして、結合容量を減らそうとすると、回路面積の増大に繋がる。

このため、上記の問題を軽減して、回路の高密度化と、高性能化を図る必要がある。

先行技術文献

特許文献

[0007] 特許文献1：特開平2－1 8 8 9 6 6号公報

特許文献2：米国特許出願公開第2 0 1 0／0 2 6 4 4 8 4号明細書

非特許文献

[0008] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2 : C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: "Study of planarized sputter-deposited SiO₂" J.Vac.Sci.Technol, 15(3), May/Jun (1978)

非特許文献3 : V.Probst, H.Schaber, A.Mitwalsky. and H.Kabza: "WSi₂ and CoSi₂ as diffusion sources for shallow-junction formation in silicon", J.Appl.Phys.Vol.70(2), No.15, pp.708-719(1991)

非特許文献4 : Tadashi Shibata, Susumu Kohyama and Hisakazu Iizuka: "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol.18, pp.263-267 (1979)

非特許文献5 : T.Morimoto, T.Ohguro, H.Sasaki, M.S.Momose, T.Iinuma, I.Kunishima, K.Suguro, I.Katakabe, H.Nakajima, M.Tsuchiaki, M.Ono, Y.Katsumata, and H.Iwai: "Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI" IEEE Transaction on Electron Devices, Vol.42, No.5, pp.915-922 (1995)

発明の概要

発明が解決しようとする課題

[0009] 本発明は、回路の高密度化と高性能化が図れる、SGTを有する半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の観点に係るSGTを有する半導体装置は、
基板上に、前記基板平面に対して垂直方向に立った半導体柱と、
前記半導体柱の下部に形成したドナーまたはアクセプタ不純物原子を含んだ第1の不純物領域と、
平面視において、前記第1の不純物領域の全周を囲む、等幅の円帯状の第1の合金層と、
平面視において、前記第1の合金層の外周の一部に繋がって、前記基板平面に対して水平方向に延びる第2の合金層と、
前記半導体柱の上部に、前記第1の不純物領域と同じ導電性を有するドナ

一またはアクセプタ不純物原子を含んだ第2の不純物領域と、

前記第1の不純物領域と前記第2の不純物領域との間の前記半導体柱の一部を囲んだ第1の絶縁層と、

前記第1の絶縁層を囲んだ第1の導体層と、を備え、

前記第1の不純物領域と前記第2の不純物領域は、一方がソースとして、他方がドレインとして機能し、

前記第1の不純物領域と前記第2の不純物領域との間の前記半導体柱の前記一部はチャネルとして機能し、

前記第1の導体層はゲートとして機能し、

これにより、SGT (Surrounding Gate MOS Transistor) が構成される、ことを特徴とする。

[0011] 前記第1の合金層と、前記第2の合金層と、前記第1の不純物領域とは、同じドナーまたはアクセプタ不純物原子を含んでいる、ことが好ましい。

[0012] 前記第1の合金層と、前記第1の不純物領域が、自己整合の関係で繋がっている、ことが好ましい。

[0013] 前記第1の合金層の内側側面に接し、前記第1の合金層と前記第1の不純物領域との間に位置し、前記第1の合金層と同じ金属原子及びドナーまたはアクセプタ不純物原子を含む第3の合金層をさらに含む、ことが好ましい。

[0014] 平面視において、前記第1の合金層の外周の一部を囲み、前記第2の合金層の一部と接する、等幅の円帯状の第4の合金層をさらに含む、ことが好ましい。

[0015] 前記垂直方向において、前記第1の導体層の下端より上部に、前記第1の導体層と接続して、前記基板平面に対して水平方向に延びる第2の導体層を有する、ことが好ましい。

- [0016] 本発明の第2の観点に係るSGTを有する半導体装置の製造方法は、
基板上に、前記基板平面に対して垂直方向に立った第1の半導体柱と、
前記第1の半導体柱の下部に、前記第1の半導体柱の全周を囲み、且つ前記第1の半導体柱の側面に接する合金層と、
前記合金層に繋がったドナーまたはアクセプタ不純物原子を含んだ第1の不純物領域とを含む構造体を提供する工程と、
前記合金層をエッチングして、平面視において、前記第1の半導体柱の全周を囲む、等幅の円帯状の第1の合金層と、前記第1の合金層の外周の一部に繋がって、前記基板平面に対して水平方向に延びる第2の合金層とを形成する工程と、
前記垂直方向において、前記第1の不純物領域の上端より上方の前記第1の半導体柱を囲んで第1の絶縁層を形成する工程と、
前記第1の絶縁層を囲んで第1の導体層を形成する工程と、
前記垂直方向において、前記第1の導体層上端より上部の前記第1の半導体柱に、前記第1の不純物領域と同じ導電性を有する、ドナーまたはアクセプタ不純物原子を含んだ第2の不純物領域を形成する工程とを備える、
ことを特徴とする。
- [0017] 前記構造体を提供する工程は、前記合金層に、ドナーまたはアクセプタ不純物原子を導入し、熱処理を行い、前記合金層から、前記ドナーまたはアクセプタ不純物原子を、前記第1の半導体柱内に押し出して、前記第1の不純物領域を形成する工程を含む、
ことが好ましい。
- [0018] 前記構造体を提供する工程は、ドナーまたはアクセプタ不純物原子を含む前記合金層に熱処理を行い、前記第1の不純物領域を形成するとともに、前記合金層と前記第1の不純物領域との間に前記合金層と同じ金属原子及びドナーまたはアクセプタ不純物原子を含む第3の合金層を形成する工程を含む、
ことが好ましい。

[0019] 前記合金層を形成した後に、前記第 1 の半導体柱の側面を囲んで単層または複数層の第 1 のマスク材料層を形成する工程と、

前記第 1 のマスク材料層をマスクにして前記合金層をエッチングして、前記第 1 の合金層を形成する工程とをさらに含む、
ことが好ましい。

[0020] 前記第 1 の半導体柱に隣接して、第 2 の半導体柱を形成する工程と、

前記第 1 の半導体柱の側面を囲んで第 1 のマスク材料層を形成した後に、前記第 1 の半導体柱と前記第 2 の半導体柱との頂部の一部を覆い、平面視において、前記第 1 の半導体柱と前記第 2 の半導体柱の間に繋がった第 2 のマスク材料層を形成する工程と、

前記第 1 のマスク材料層と前記第 2 のマスク材料層とをエッチングマスクにして前記合金層をエッチングして、前記第 1 の合金層と前記第 2 の合金層を形成する工程とをさらに含む、
ことが好ましい。

[0021] 前記第 1 の半導体柱と第 2 の半導体柱との外周を囲み、且つ前記第 1 の半導体柱と前記第 2 の半導体柱との間で繋がった第 3 のマスク材料層を形成する工程と、

前記第 3 のマスク材料層をエッチングマスクにして、前記合金層をエッチングして、

前記第 1 の半導体柱と前記第 2 の半導体柱とのそれぞれの全周を囲む、等幅の円帯状の第 4 の合金層と、

前記第 4 の合金層の外周の一部に繋がって、前記基板表面に対して平行に延びる第 5 の合金層と、

平面視において、前記第 4 の合金層と前記第 5 の合金層との外周の一部に接する、等幅の円帯状の第 6 の合金層とを形成する工程とをさらに含む、
ことが好ましい。

[0022] 前記構造体を提供する工程は、

前記第 1 の半導体柱の下部に前記第 1 の不純物領域を形成する工程と、そ

の後に、

前記第1の不純物領域の全周を囲み、且つ前記第1の不純物領域の側面に接する前記合金層を形成する工程とを含む、

ことが好ましい。

発明の効果

[0023] 本発明によれば、回路の高密度化と高性能化が図れる、SGTを有する半導体装置及びその製造方法を提供できる。

図面の簡単な説明

[0024] [図1A]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1B]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1C]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1D]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1E]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1F]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1G]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1H]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1I]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図1J]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2A]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2B]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図2C]第2実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3A]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3B]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3C]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3D]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3E]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図3F]第3実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図4A]第4実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図4B]第4実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図4C]第4実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図4D]第4実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図5A]第5実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図5B]第5実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図5C]第5実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図5D]第5実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図6A]第6実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図6B]第6実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図7A]第7実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図7B]第7実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図7C]第7実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図と断面図である。

[図8]従来例のSGTを示す模式構造図である。

[図9]従来例のSGTを有するCMOSインバータ回路の断面図である。

発明を実施するための形態

[0025] 以下、本発明の実施形態に係る、SGTを有する半導体装置及びその製造方法について、図面を参照しながら説明する。

[0026] (第1実施形態)

図1A～図1Jに、本発明の第1実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。

[0027] 図1Aに、SGTを有するCMOSインバータ回路の最初の製造工程を説明するための、平面図と断面図とを示す。(a)は、平面図であり、(b)は、(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY1-Y1'線に沿った断面図を示し、(d)は、(a)のY2-Y2'線に沿っ

た断面図を示す。以下の説明で参照するその他の各図面においても、(a)、(b)、(c)、(d)で示す各図面同士の関係は同様である。

[0028] 図1Aに示すように、i層基板1上への SiO_2 層(図示せず)及び窒化シリコン層(SiN 層、多くは Si_3N_4 膜が使われる。図示せず)の堆積、並びに、リソグラフィ技術、例えばRIE(Reactive Ion Etching)、を用いて、 SiO_2 層2a、2b、 SiN 層3a、3b、レジスト層5a、5bを形成する。 SiO_2 層2a、 SiN 層3a、レジスト層5aは、この順番にi層基板1上に積層されており、 SiO_2 層2b、 SiN 層3b、レジスト層5bは、この順番にi層基板1上に積層されている。

[0029] 次に、図1Bに示すように、 SiO_2 層2a、2b、 SiN 層3a、3b、レジスト層5a、5bをエッチングマスクとして、例えばRIE法によって、i層基板1をエッチングすることにより、i層基板1の下部をi層基板1aとして残しつつ、その上にSi柱4a、4bを形成する。そして、レジスト層5a、5bを除去する。 SiO_2 層2a、 SiN 層3a、レジスト層5aの下にSi柱4aが、 SiO_2 層2b、 SiN 層3b、レジスト層5bの下にSi柱4bが、それぞれ位置する。

[0030] 次に、図1Cに示すように、例えば、i層基板1aを配置した基板金属板と、この基板金属板から離間した対向金属板とを用意し、基板金属板に直流電圧を印加し、これら2枚の平行金属板にRF高周波電圧を印加することで対向金属板の材料原子をスパッタしてi層基板1a上に堆積させるバイアス・スパッタ法を用いて、 SiO_2 層6、 WSi_2 層7、 SiO_2 層8を形成する。その後、これによりSi柱4a、4b上に形成された下部 SiO_2 層(図示せず)、 WSi_2 層(図示せず)、上部 SiO_2 層(図示せず)を除去する。Si柱4a、4bはRIE法により形成されているので、Si柱4a、4bの側面は、i層基板1a平面に対して、ほぼ垂直に形成されている。このため、Si柱4a、4bの側面には、 SiO_2 膜、 WSi_2 膜、 SiO_2 膜は形成されない(側面に材料原子が付着しない原理については、非特許文献2を参照)。

- [0031] 次に、図1Dに示すように、Si柱4bを覆ったレジスト層10を形成する。そして、レジスト層10をマスクにして、i層基板1a上面方向からボロンイオン(B⁺)のイオン注入を行い、B原子を含んだWSi₂層7aをSi柱4aの外周部に形成する。そして、レジスト層10を除去する。
- [0032] 次に、Si柱4aを覆って形成したレジスト層（図示せず）をマスクにして、砒素イオン(As⁺)をイオン注入して、As原子を含んだWSi₂層7bをSi柱4bの外周部に形成する。そして、レジスト層を除去する。そして、CVD (Chemical Vapor Deposition) 法により、全体にSiO₂膜（図示せず）を堆積させる。そして、RIE法により、このSiO₂膜を、Si柱4a、4bの側面に残すようにエッチングする。これにより、図1Eに示すように、Si柱4a、4bの側面に、SiO₂層11a、11bを形成する。
- [0033] 次に、図1Fに示すように、熱処理を行い、Si柱4a、4b内にWSi₂層7a、7bからB原子と、As原子とを押出して、Si柱4a内にP⁺領域12aを形成し、Si柱4b内にN⁺領域12bを形成する（不純物原子の押出し効果によるP⁺領域12a、N⁺領域12b形成の原理については、非特許文献3を参照）。
- [0034] 次に、図1Gに示すように、Si柱4a、4bの一部を覆ったレジスト層13を形成する。そして、レジスト層13と、SiO₂層11a、11bとをマスクにして、RIE法により、SiO₂層8、WSi₂層7a、7bをエッチングして、SiO₂層8a、WSi₂層7aa、7bbを形成する。この場合、WSi₂層7aa、7bbは、SiO₂層11a、11b下に存在し、平面視においてSi柱4a、4bの全周を囲んだ第1合金層と、この第1合金層に繋がり、レジスト層13下に存在する第2合金層と、から構成される。WSi₂層7a、7bの第1合金層は、P⁺領域12a、N⁺領域12bと自己整合になっている。すなわち、SiO₂層11a、11b下にあるWSi₂層7aa、7bbの第1合金層は、レジスト層13形成におけるリソグラフィでのマスク合せズレに関係なく、P⁺領域12a、N⁺領域12bの外周全体を、同じ幅を持って円帯状に形成される。

- [0035] 次に、レジスト層13を除去する。その後、図1Hに示すように、CVD法により、全体にSiO₂膜（図示せず）を堆積し、エッチバック法により、これをSiO₂層8aの上表面の位置までエッチングして、SiO₂層14を形成する。そして、Si柱4a、4bの側面に残存しているSiO₂層11a、11bを除去する。そして、ALD（Atomic Layer Deposition）法により、全体にHfO₂層15、TiN層16を堆積させる。
- [0036] 次に、図1Iに示すように、CVD法により、全体にSiO₂膜（図示せず）を堆積し、エッチバック法により、SiO₂膜の上表面が、Si柱4a、4bの頂部より下の位置になるようにエッチングしてSiO₂層18を形成する。そして、SiO₂層14上表面より上部にあるTiN層16、HfO₂層15、SiN層3a、3b、SiO₂層2a、2bを除去する。残存するTiN層16、HfO₂層15はTiN層16a、HfO₂層15aとなる。そして、イオン注入法により、Si柱4aの頂部にP⁺領域19aを、Si柱4bの頂部にN⁺領域19bを、それぞれ形成する。
- [0037] 次に、図1Jに示すように、SiO₂層18上にP⁺領域19aとN⁺領域19bを覆って、SiO₂層21を形成する。そして、P⁺領域19a上にコンタクトホール22aを形成し、N⁺領域19b上にコンタクトホール22bを形成し、TiN層16a上にコンタクトホール22cを形成し、WSi₂層7aa、7bbの上面と側面に繋がったコンタクトホール22dを形成する。平面視において、コンタクトホール22dの1辺の半分の長さは、WSi₂層7aa、7bbの膜厚より小さいことが望ましい。そして、コンタクトホール22aを介してP⁺領域19aと接続する電源配線金属層VddをSiO₂層21上に形成し、コンタクトホール22bを介してN⁺領域19bと接続するグランド配線金属層VssをSiO₂層21上に形成し、コンタクトホール22cを介してTiN層16aと接続する入力配線金属層VinをSiO₂層21上に形成し、コンタクトホール22dを介してWSi₂層7aa、7bbと接続する出力配線金属層VoutをSiO₂層21上に形成する。
- [0038] これにより、P⁺領域12a、19aをソース・ドレインにして、HfO₂

層15aをゲート絶縁層として、TiN層16aをゲート導体層として、P⁺領域12a、19a間のSi柱4aをチャネルとした負荷用PチャネルSGTと、N⁺領域12b、19bをソース・ドレインにして、HfO₂層15aをゲート絶縁層として、TiN層16aをゲート導体層として、N⁺領域12b、19b間のSi柱4bをチャネルとした駆動用NチャネルSGTと、かかるCMOSインバータ回路が形成される。

[0039] 図1J(e)に、平面視における、Si柱4a、4b、P⁺領域12a、N⁺領域12b、WSi₂層7aa、7bbの関係を示す。斜線部がWSi₂層7aa、7bbである。WSi₂層7aaは、Si柱4aの全周を同じ幅で円帯状に囲み、且つP⁺領域12aと自己整合で形成された第1合金層であるWSi₂層7Aaと、このWSi₂層7Aaの外周の一部に接し、且つ繋がった第2合金層であるWSi₂層7Abより構成されている。同じく、WSi₂層7bbは、Si柱4bの外周の全てを同じ幅で円帯状に囲み、且つN⁺領域12bと自己整合で形成された第1合金層であるWSi₂層7Baと、このWSi₂層7Baの外周の一部に繋がった第2合金層であるWSi₂層7Bbより構成されている。WSi₂層7Ab、7Bbは接している。

[0040] 第1実施形態によれば、下記の利点が得られる。

1. 従来は、図9に示すように、i層121上にSi柱SP1、SP2を形成し、i層121に不純物を導入してP⁺領域122、N⁺領域123を形成する必要があった。このため、Si柱SP1、SP2をi層121上に正確かつ確実に形成するためには、Si柱SP1、SP2とi層121のマスク設計で、その形状及び位置関係について寸法余裕を確保しなければならない。これは、回路高密度化への阻害要因になっていた。これに対し、本実施形態では、従来必要としていたi層121に相当する領域は不要である。これにより、回路のより高密度化が可能になる。

2. 本実施形態では、図1J(e)に示すように、Si柱4a、4b側面に直接接し、且つ、平面視においてその全周を同じ幅の円帯状に囲んで、P⁺領域122、N⁺領域123と自己整合で接した第1合金層であるWSi₂層7

A a、7 B aが形成されている。このS i柱4 a、4 bの全周を囲んだ、低抵抗の第1合金層のWS i₂層7 A a、7 B aにより、回路動作において、P⁺領域1 2 a、N⁺領域1 2 bに、均一な電界を形成することが出来る。そして、この均一な電界形成は、第2合金層であるWS i₂層7 A b、7 B bの平面視の形状に関係なく形成することが出来る。そして、第2合金層のWS i₂層7 A b、7 B bは、第1合金層のWS i₂層7 A a、7 B aの外周の、どの部分と繋がっていてもよい。これにより、設計上、第2合金層のWS i₂層7 A b、7 B bは、S i柱4 a、4 bを囲んで形成しなくてもよい。このため、回路の高密度化ができ、加えて回路の高性能化が実現する。

3. 本実施形態では、後の工程でWS i₂層7 a a、7 b bとなるアクセプタ、ドナー不純物を含んだWS i₂層7 a、7 bは、S i柱4 a、4 b内にP⁺領域1 2 a、N⁺領域1 2 bを形成するためのアクセプタ、ドナー不純物原子の供給源層であり、また、回路完成形態におけるWS i₂層7 a a、7 b bは、P⁺領域1 2 a、N⁺領域1 2 bと自己整合で形成されると共に、P⁺領域1 2 a、N⁺領域1 2 bと直接に接続する配線導体層となっている。これは、回路の製造工程の簡易化に繋がる。

4. 従来は図9に示されるように、i層1 2 1に形成されたP⁺領域1 2 2、N⁺領域1 2 3が、S i柱SP 1、SP 2の底部まで広がって形成され、i層1 2 1上面に形成した低抵抗のシリサイド層1 2 9 b上に形成したコンタクトホール1 3 2 aを介して配線金属層V oに接続されている。このため、シリサイド層1 2 9 b端と、S i柱SP 1、SP 2直下までのP⁺領域1 2 2、N⁺領域1 2 3との間に生じる抵抗が、駆動電流の減少、駆動速度の低下の原因になっていた。これに対して、本実施形態では、低抵抗シリサイド層であるWS i₂層7 a a、7 b bは、S i柱4 a、4 b側面のP⁺領域1 2 a、N⁺領域1 2 bと直接接続されている。このため、従来の、シリサイド層1 2 9 b端と、S i柱SP 1、SP 2直下までのP⁺領域1 2 2、N⁺領域1 2 3との間に生じるような抵抗領域は存在しない。

5. 従来は、図9からも明らかなように、回路の高密度化が進むに伴い、出

力配線金属層V_oとP⁺領域122、N⁺領域123を接続するコンタクトホール132bの平面視面積が小さくなり、コンタクト抵抗が増大する問題がある。特に、高密度半導体回路形成においては、高密度化のために、平面視において、コンタクトホールを最小加工寸法で形成するので、このコンタクト抵抗の増大が大きい問題となる。これに対して、本実施形態では、出力配線金属層V_{out}とWSi₂層7aa、7bbとの接続は、コンタクトホール22d内において、WSi₂層7aa、7bbの上面と側面で行われている。WSi₂層7aa、7bbの全体は低抵抗シリサイド材料で形成されているので、WSi₂層7aa、7bbの垂直方向の厚さを増やすことによって、平面視におけるコンタクトホール22dの形状を広げることなしに、コンタクト抵抗を低くできる。

6. 本実施形態の説明では、出力配線金属層V_{out}に繋がるコンタクトホール22dをWSi₂層7aa、7bbの両方にまたがって設けた。しかし、アクセプタ不純物原子を含むWSi₂層7aaと、ドナー不純物原子を含むWSi₂層7bbは、共に低抵抗のシリサイド層であるので、コンタクトホール22dをWSi₂層7aa、7bbの一方の上だけにのみ設けても、P⁺領域12a及びN⁺領域12bを低抵抗で出力配線金属層V_{out}に接続することができる。このことは、回路設計において、コンタクトホール22dの位置の自由度を大きくできるので、回路高密度化に繋がる。

[0041] (第2実施形態)

図2A～図2Cに、本発明の第2実施形態に係る、SGTを有するCMOSSインバータ回路の製造方法を示す。(a)は、平面図であり、(b)は、(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY1-Y1'線に沿った断面図を示し、(d)は、(a)のY2-Y2'線に沿った断面図を示し、(e)は、平面視における、Si柱4a、4b、P⁺領域12a、N⁺領域12b、CoSi₂層23aa、23bbの関係を示す。

[0042] 図2Aに示すように、第1実施形態の図1EにおけるWSi₂層7aa、7bbに変えて、アクセプタ不純物を含んだCoSi₂層23aをSi柱4aの

外周部に、そしてドナー不純物を含んだ CoSi_2 層23bをSi柱4bの外周部に形成する。

[0043] 次に図2Bに示すように、熱処理により、Si柱4a、4b側面にシリサイド化による CoSi_2 層24a、24bが形成され、B原子とAs原子の CoSi_2 層23a、23b、24a、24bからの押し出し効果により、Si柱4a内に P^+ 領域12aが形成され、Si柱4b内に N^+ 領域12bが形成される（不純物原子の押し出し効果による CoSi_2 層24a、24b、 P^+ 領域12a、 N^+ 領域12b形成の原理については、非特許文献3を参照）。

[0044] そして、第1実施形態と同じ工程を行うことによって、図2Cに示すようなCMOSインバータ回路が形成される。Si柱4a、4bの下部に、 P^+ 領域12a、 N^+ 領域12bが形成される。そして、 P^+ 領域12a、 N^+ 領域12bの外周全体を囲んで、Si柱4a、4bの側面に CoSi_2 層24a、24bが形成される。そして、 CoSi_2 層24a、24bの外周全体を囲んで、 CoSi_2 層23aa、23bbが形成されている。

[0045] 図2C(e)に、平面視における、Si柱4a、4b、 P^+ 領域12a、 N^+ 領域12b、Si柱4a、4bの内部に形成された CoSi_2 層24a、24b、Si柱4a、4bの外周全体を囲んだ CoSi_2 層23aa、23bbの関係を示す。斜線部が CoSi_2 層23aa、23bbである。 CoSi_2 層23aaは、Si柱4aの全周を、同じ幅で円帯状に囲み、且つ P^+ 領域12aと自己整合で形成された第1合金層である CoSi_2 層23Aaと、この CoSi_2 層23Aaの外周の一部に繋がった第2合金層である CoSi_2 層23Abより構成されている。そして、 CoSi_2 層23bbは、Si柱4bの全周を、同じ幅で円帯状に囲み、且つ N^+ 領域12bと自己整合で形成された第1合金層である CoSi_2 層23Baと、この CoSi_2 層23Baの外周の一部に繋がった第2合金層である CoSi_2 層23Bbより構成されている。そして、第1合金層の CoSi_2 層23Aaの内周の全体に繋がって、Si柱4aの内部に第3合金層である CoSi_2 層24aが形成される。同時に、 CoSi_2 層23Baの内周の全体に繋がって、Si柱4bの内部に第3合

金層である CoSi_2 層24bが形成されている。

[0046] 本実施形態では、 P^+ 領域12aの外周の全域を、同じ幅で円帯状に囲んだ第3合金層の CoSi_2 層24aと第2合金層の CoSi_2 層23Aaがあり、同様に N^+ 領域12bの外周の全域を、同じ幅で円帯状に囲んだ第3合金層の CoSi_2 層24bと、第2合金層の CoSi_2 層23Baが形成される。これにより、 P^+ 領域12a、12bに均一に電界が印加されると共に、第1実施形態と比べてSi柱底部のソースまたはドレイン抵抗を小さく出来る利点がある。

[0047] (第3実施形態)

図3A～図3Fに、本発明の第3実施形態に係る、SGTを有するCMOSSインバータ回路の製造方法を示す。(a)は、平面図であり、(b)は、(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY1-Y1'線に沿った断面図を示し、(d)は、(a)のY2-Y2'線に沿った断面図を示す。

[0048] 図3Aに示すように、i層基板1a上に、レジスト層(図示せず)、SiN層3a、3b、 SiO_2 層2a、2bをマスクにして、RIE法により、Si柱4a、4bを形成した後に、ALD法を用いて、全体に SiO_2 層26を被覆させる。そして、Si柱4a、4bの外周部にSiN層27を形成する。

[0049] 次に、図3Bに示すように、SiN層27上に、レジスト層28を形成する。そして、弗酸(HF)ガスを全体に流しレジスト層28に接した SiO_2 層26をエッチングする(エッチング原理については非特許文献4を参照)。

[0050] 次に、図3Cに示すように、 SiO_2 層26のエッチングにより、Si柱4a、4bの下部に、円帯状に孔30a、30bが形成される。これにより、 SiO_2 層26は、Si柱4a、4bの上部を囲む SiO_2 層26a、26bと、Si柱4a、4bの下部を囲み、i層基板1a上にある SiO_2 層26cに分離される。そして、レジスト層28を除去する。SiN層27上に、上

表面位置が SiO_2 層26のエッチングにより形成された孔30a、30bより上方になるように、 WSi_2 層31を形成する。そして、 WSi_2 層31上に SiO_2 層32を形成する。

[0051] 次に、図3Dに示すように、第1実施形態の図1D、図1Eで説明した工程と同じ工程を用いて、B原子を含んだ WSi_2 層31aと、As原子を含んだ WSi_2 層31bを形成する。そして、熱処理を行い、 WSi_2 層31a、31b内のB原子と、As原子とを、Si柱4a、4b内へ押出して、 P^+ 領域33aと、 N^+ 領域33bを形成する。

[0052] 次に、図3Eに示すように、第1実施形態の図1Gで説明した工程と同じ工程を用いて、平面視において、Si柱4a、4bの一部を覆ったレジスト層13を形成する。レジスト層13と、平面視においてSi柱4a、4bの全周を覆った SiO_2 層26a、26bとをマスクにして、 SiO_2 層32、 WSi_2 層31a、31bをRIE法によりエッチングする。これにより、 SiO_2 層26a、26bとレジスト層13の下に、 WSi_2 層31aa、31bbが形成される。また、レジスト層13下に SiO_2 層32aが残存する。

[0053] 次に、図3Fに示すように、レジスト層13と SiO_2 層26a、26b、32aを除去し、 SiO_2 層14、 HfO_2 層15と、TiN層16と同様に、 SiO_2 層35、 HfO_2 層36と、TiN層37を形成する。その後、第1実施形態の図1H～図1Jと同じ工程を行って、i層基板1a上にCMOSインバータ回路を形成する。

[0054] 本実施形態によれば、第1実施形態のように、Si柱4a、4bの側面に SiO_2 層11a、11bを形成せずとも、 WSi_2 層7aa、7bbと同様の WSi_2 層31aa、31bbを形成できる。これにより、第1実施形態と同じ利点が得られる。

[0055] (第4実施形態)

図4A～図4Dに、本発明の第4実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。(a)は、平面図であり、(b)は、(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY1-Y1

’ 線に沿った断面図を示し、(d)は、(a)のY2-Y2’ 線に沿った断面図を示す。

[0056] 第3実施形態では、図3Cに示すように、Si柱4a、4bを覆ったSiO₂層26a、26b下部に、円帯状に孔30a、30bを形成した。これに対し、本実施形態では、図4Aに示すように、Si柱4a、4bを覆い、且つSiN層6上に形成したHfO₂層（図示せず）、TiN層（図示せず）、SiO₂層（図示せず）をエッチングして、Si柱4a、4bの下部に、円帯状の孔30A、30Bを形成する。これにより、Si柱4a、4bを覆ってHfO₂層15A、15B、TiN層16A、16B、SiO₂層38a、38bを形成する。そして、孔30A、30Bに面した、TiN層16A、16Bの表面に酸化チタン（TiO）層39a、39bを形成する。

[0057] 次に、図4Bに示すように、例えばCoSi₂層（図示せず）、SiO₂層40を、SiN層6上に、それぞれの上表面が、孔30A、30Bより上部になるように形成する。そして、第2実施形態と同様に、イオン注入法を用いて、Si柱4aを囲んでB原子を含んだCoSi₂層41aと、Si柱4bを囲んでAs原子を含んだCoSi₂層41bを形成する。そして、熱処理を行い、CoSi₂層41a、41b内の、B原子、As原子をSi柱4a、4b内へ押し出してP⁺領域42a、N⁺領域42bを形成する。同時に、CoSi₂層41a、41bに接したSi柱4a、4bの外周部に、CoSi₂層43a、43bを形成する。

[0058] 次に、図4Cに示すように、第1実施形態と同様に、Si柱4a、4bを覆ったSiO₂層38a、38bの頂部の一部に重なったレジスト層13を形成する。そして、レジスト層13とSiO₂層38a、38bをマスクにして、SiO₂層40、CoSi₂層41a、41bを、RIE法を用いてエッチングして、SiO₂層40a、CoSi₂層41aa、41bbを形成する。

[0059] 次に、レジスト層13を除去する。その後、図4Dに示すように、Si柱4a、4bの外周部にSiN層45を、その上表面位置がP⁺領域42a、N⁺領域42bより上方になるように形成する。そして、SiN層45上表面位

置が下端となる、TiN層16A、16Bを囲んだ孔をSiO₂層38A、38Bに形成する。そして、TiN層16A、16Bと接続して繋がった、例えばNiSi層46を、SiN層45上に形成する。そして、SiN層45、NiSi層46上に、その上表面位置が、Si柱4a、4bの頂部より下になるようにSiO₂層47を形成する。そして、Si柱4aの頂部にP⁺領域19aを形成し、Si柱4bの頂部にN⁺領域19bを形成する。そして、全体にSiO₂層21を形成する。そして、P⁺領域19a上にコンタクトホール22aを形成し、N⁺領域19b上にコンタクトホール22bを形成し、NiSi層46上にコンタクトホール22cを形成し、CoSi₂層41aa、41bbの上表面と側面に繋がるコンタクトホール22dを形成する。そして、コンタクトホール22aを介してP⁺領域19aに接続する電源配線金属層V_{dd}と、コンタクトホール22bを介してN⁺領域19bに接続するグラウンド配線金属層V_{ss}と、コンタクトホール22cを介してNiSi層46に接続する入力配線金属層V_{in}と、コンタクトホール22dを介してCoSi₂層41aa、41bbに接続する出力配線金属層V_{out}とを、SiO₂層21上に形成する。これにより、i層基板1a上にCMOSインバータ回路が形成される。

[0060] 本実施形態によれば、下記の利点が得られる。

1. Si柱4a、4bの外周部に、P⁺領域42a、N⁺領域42bとCoSi₂層43a、43bを介して繋がったCoSi₂層41aa、41bbが、第1実施形態と同様に、Si柱4a、4b側面に直接接し、且つ外周全体を、同じ幅の円帯状に囲んで、P⁺領域42a、N⁺領域42bと自己整合で接した第1合金層と、第1合金層の外周の一部と繋がった第2合金層から構成されている。
2. 第1実施形態では、ドレイン層であるP⁺領域12a、N⁺領域12bに繋がったWSi₂層7aa、7bbと、ゲート導体層であるTiN層16aの間には、薄いSiO₂層8a、HfO₂層15aが存在している。このため、ドレインP⁺領域12a、N⁺領域12bと、ゲートTiN層16aとの間の

キャパシタンスが大きい。これは、このCMOSインバータ回路の高速化の阻害要因となる。これに対して、本実施形態では、ゲートTiN層16A、16Bに繋がったNiSi層46と、ドレインP⁺領域42a、N⁺領域42bに繋がったCoSi₂層41aa、41bbとの間に、厚いSiN層45が形成されている。これにより、ゲートTiN層16A、16Bに繋がったNiSi層46と、ドレインP⁺領域42a、N⁺領域42bとの間のキャパシタンスを小さくすることができる。これは、このCMOSインバータ回路の高速化につながる。

[0061] (第5実施形態)

図5A～図5Dに、本発明の第5実施形態に係る、SGTを有するCMOSインバータ回路の製造方法を示す。(a)は、平面図であり、(b)は、(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY1-Y1'線に沿った断面図を示し、(d)は、(a)のY2-Y2'線に沿った断面図を示す。

[0062] 図5Aに示すように、レジスト層50は、平面視において、第1実施形態の図1Gにおけるレジスト層13と比べて、Si柱4a、4bの一部を覆い図面下方に小さく形成される。そして、第1実施形態と同じく、レジスト層50と、Si柱4a、4bの外周側面に形成されたSiO₂層11a、11bをマスクにしてRIEエッチングを行い、B原子を含んだWSi₂層51aと、As原子を含んだWSi₂層51b、SiO₂層52を形成する。そして、レジスト層50を除去する。

[0063] 次に、図5Bに示すように、SiN層6上に、SiO₂層52の上表面位置に上表面がくるようにSiO₂層14を形成する。そして、全体にHfO₂層15、TiN層16、SiO₂層(図示せず)を被覆する。そして、エッチバックエッチング法を用いて、Si柱4a、4bを囲むTiN層16の側面にSiO₂層52a、52bを形成する。そして、平面視において、Si柱4a、4bの一部を覆い図面上方で繋がったレジスト層53を形成する。

[0064] 次に、図5Cに示すように、レジスト層53と、Si柱4a、4bの外周

側面に形成された SiO_2 層52a、52bをマスクにして、 TiN 層16の RIE エッチングを行い、 Si 柱4a、4bの側面上の HfO_2 層15の側面上と SiO_2 層14上の HfO_2 層15の表面上とに繋がった TiN 層16aを形成する。そして、レジスト層53を除去する。

[0065] 次に、図5Dに示すように、第1実施形態と同様に、 SiO_2 層18、 P^+ 領域19a、 N^+ 領域19b、 HfO_2 層15a、 SiO_2 層21を形成する。そして、 P^+ 領域19a上にコンタクトホール22aを形成し、 N^+ 領域19b上にコンタクトホール22bを形成し、 TiN 層16a上にコンタクトホール22eを形成し、 WSi_2 層51a、51bの上表面と側面に繋がるコンタクトホール22dを形成する。そして、コンタクトホール22aを介して P^+ 領域19aに接続する電源配線金属層 VDD と、コンタクトホール22bを介して N^+ 領域19bに接続するグランド配線金属層 VSS と、コンタクトホール22eを介して TiN 層16aに接続する入力配線金属層 VIN と、コンタクトホール22dを介して WSi_2 層51a、51bに接続する出力配線金属層 VOUT とを、 SiO_2 層21上に形成する。これにより、 i 層基板1a上に CMOS インバータ回路が形成される。

[0066] 第1実施形態では、平面視において WSi_2 層7aa、7bbの大部分が TiN 層16aと重なっている。しかし、本実施形態によれば、 WSi_2 層51a、51bと TiN 層16aの水平方向に延びる領域は平面視において重ならず、 WSi_2 層51a、51bの一部と TiN 層16aの垂直方向に延びる領域のみが平面視において重なる。これにより、ゲート TiN 層16aと、ドレイン P^+ 領域12a、 N^+ 領域12bとの間のキャパシタンスを、小さくすることができる。これは、この CMOS インバータ回路の高速化につながる。

[0067] (第6実施形態)

図6A、図6Bに、本発明の第6実施形態に係る、 SGT を有する CMOS インバータ回路の製造方法を示す。(a)は、平面図であり、(b)は、(a)の $\text{X}-\text{X}'$ 線に沿った断面図を示し、(c)は、(a)の $\text{Y1}-\text{Y1}$

’ 線に沿った断面図を示し、(d)は、(a)のY2-Y2’ 線に沿った断面図を示す。

[0068] 図6Aに示すように、i層基板1a上にSi柱4a、4Bが形成される。Si柱4Bは、第1実施形態におけるSi柱4bより、Si柱4aに近く形成されている。Si柱4a上には、SiO₂層2a、SiN層3aが形成され、Si柱4B上には、SiO₂層2B、SiN層3Bが形成されている。Si柱4a、4Bの外周部にSiO₂層6と、B原子を含んだWSi₂層7Aと、As原子を含んだWSi₂層7Bと、SiO₂層8とが形成される。そして、熱処理により、WSi₂層7Aに接したSi柱4a内にP⁺領域12aが形成され、WSi₂層7Bに接したSi柱4b内にN⁺領域12Bが形成される。そして、全体にCVD法を用いてSiO₂膜（図示せず）を被覆した後、RIE法によりエッチバックを行い、Si柱4a、4Bの側面に、SiO₂層55を形成する。このSiO₂層55は、Si柱4a、4B間で繋がるように形成する。

[0069] 次に、図6Bに示すように、SiO₂層55をマスクにして、SiO₂層8、WSi₂層7A、7Bをエッチングして、SiO₂層8A、WSi₂層7Aa、7Bbを形成する。以後、第1実施形態と同様な工程を行って、CMOSインバータ回路を形成する。

[0070] 図6B(e)に、平面視における、Si柱4a、4B、P⁺領域12a、N⁺領域12B、WSi₂層7Aa、7Bbの関係を示す。斜線部がWSi₂層7Aa、7Bbである。WSi₂層7Aaは、Si柱4aの全周を囲み、且つP⁺領域12aと自己整合で形成された第1合金層であるWSi₂層57aと、このWSi₂層57aの外周の一部に接し、且つ繋がった第2合金層であるWSi₂層59aと、WSi₂層57aの外周の一部を囲み、且つWSi₂層59aと繋がった第4合金層であるWSi₂層58aと、により構成されている（第2実施形態ではSi柱4a、4bの表層に第3合金層であるCoSi₂層24a、24bが形成されている）。そして、WSi₂層7Bbは、Si柱4Bの外周の全体を囲み、且つN⁺領域12Bと自己整合で形成された第1合金層

であるWSi₂層57bと、このWSi₂層57bの外周の一部に接し、且つ繋がった第2合金層であるWSi₂層59bと、WSi₂層57bの外周の一部を囲み、且つWSi₂層59bと繋がった第4合金層であるWSi₂層58bと、により構成されている。

[0071] 本実施形態によれば、第1実施形態におけるようなレジスト層13を用い
ないで、WSi₂層7Aa、7Bbを形成することができる。これにより、工
程が簡易化される。また、Si柱4a、4Bが近接されるので、回路の高密
度化に繋がる。

[0072] (第7実施形態)

図7A～図7Cに、本発明の第7実施形態に係る、SGTを有するCMOS
インバータ回路の製造方法を示す。(a)は、平面図であり、(b)は、
(a)のX-X'線に沿った断面図を示し、(c)は、(a)のY1-Y1'
線に沿った断面図を示し、(d)は、(a)のY2-Y2'線に沿った断
面図を示す。

[0073] 図7Aに示すように、i層基板1表層に、例えばイオン注入法によりP⁺領
域60a、N⁺領域60bを形成する。そして、P⁺領域60a、N⁺領域60
b上に、例えばSiエピタキシャル法によりi層1bを形成する。そして、
第1実施形態と同じく、i層1b上でP⁺領域60aの上方にSiO₂層2a
、SiN層3a、レジスト層5aを形成し、i層1b上でN⁺層60bの上方
にSiO₂層2b、SiN層3b、レジスト層5bを形成する。

[0074] 次に、図7Bに示すように、i層1b上にSiO₂層2a、2b、SiN層
3a、3b、レジスト層5a、5bをマスクに、RIE法によりi層1b、
P⁺領域60a、N⁺領域60b、i層基板1をエッチングして、第1実施形
態と同じく、i層基板1の下部をi層基板1aとして残しつつ、その上にS
i柱4a、4bを形成する。この結果、エッチングされたP⁺領域60a、N
⁺層60bから、Si柱4a、4bの内部にP⁺領域60aa、N⁺領域60bb
が形成される。そして、Si柱4a、4bの外周部のi層基板1a上にS
iO₂層6、WSi₂層61、SiO₂層8を形成する。

[0075] 次に、図7Cに示すように、第1実施形態と同様な工程を行う。最初に、Si柱4a、4bの外周側面にSiO₂層11a、11bを形成する。そして、Si柱4a、4bの頂部の一部を覆って、繋がったレジスト層13を形成する。そして、SiO₂層11a、11b、レジスト層13をマスクにして、SiO₂層8、WSi₂層61をRIE法によりエッチングして、SiO₂層8a、WSi₂層61aを形成する。

[0076] 最後に、レジスト層13を除去する。その後、第1実施形態と同様な工程を行うことにより、CMOSインバータ回路が形成される。

[0077] 本実施形態によれば、下記の利点が得られる。

1. 本実施形態では、WSi₂層61を形成する前に、Si柱4a、4b内にP⁺領域60aa、N⁺領域60bbが形成される。これにより、第1実施形態のように、B原子を含んだWSi₂層7aと、As原子を含んだWSi₂層7bを形成しなくても、P⁺領域60aa、N⁺領域60bbの全周を囲んだ第1合金層と、第1合金層の外周の一部に接し、繋がった第2合金層とよりなるWSi₂層61aを形成することができる。

2. 第1実施形態では、B原子を含んだWSi₂層7aと、As原子を含んだWSi₂層7bから熱処理によりSi柱4a、4bからドナーまたはアクセプタ不純物原子をSi柱4a、4b内に押出して、P⁺領域12a、N⁺領域12bを形成した。この場合、温度や時間などの熱処理条件は、WSi₂層7a、7bの応力発生などによるハガレなどを考慮しなければならない。これに対し、本実施形態では、P⁺領域60a、N⁺領域60bを、WSi₂層61形成前に形成するため、このような問題は発生しない、加えて、P⁺領域60a、N⁺領域60bの不純物濃度を十分に高く形成することができる。これにより、ドレインP⁺領域60a、N⁺領域60bの抵抗を小さくできる。

[0078] なお、第1実施形態と同様に、B原子を含んだWSi₂層領域（第1実施形態におけるWSi₂層7aに対応する）と、As原子を含んだWSi₂層領域（第1実施形態におけるWSi₂層7bに対応する）を形成してもよい。この場合、P⁺領域60aa、N⁺領域60bbの外周側面にWSi₂層領域からB

原子と、As原子が押し出され、第1実施形態と同様にP⁺領域12a、N⁺領域12bが形成されることにより、P⁺領域60aa、N⁺領域60bbと、WSi₂層61aとの接触抵抗を更に小さくできる。また、さらに、P⁺領域12a、N⁺領域12bがP⁺領域60a、N⁺領域60bの中心近くまで形成され、P⁺領域12a、N⁺領域12bと、P⁺領域60a、N⁺領域60bとが、重なっても、高濃度のドナー又はアクセプタ不純物領域がSi柱4a、4b内に形成されるので、何ら問題ではない。このことは、本発明に係るその他の実施形態においても同じである。

[0079] また、上記各実施形態では、シリコンからなるSi柱を用いたが、シリコン以外の半導体材料を、その一部または全体に用いるSGTにも本発明の技術的思想を適用することができる。

[0080] また、上記各実施形態では、平面視において、Si柱4a、4b、4Bの形状が円形である場合について説明したが、楕円形であってもよいことは言うまでもない。

[0081] また、第1実施形態では、ゲート導電層としてTiN層16aを用いたが、ゲート導電層の材料は他の金属層、または導体材料層であってもよい。また、ゲート導電層は、多層の導体層から形成してもよい。このことは、本発明に係るその他の実施形態においても同じである。

[0082] また、第1実施形態ではSiO₂層6、WSi₂層7、SiO₂層8をスパッタ蒸着により形成したが、例えばCVD法を用いて全体に膜堆積をした後に、エッチバックすることにより形成してもよい。また、SiO₂層6、WSi₂層7、SiO₂層8のいずれかを、エッチバック法で形成し、他をスパッタ法で形成するなどの、他の方法を用いてもよい。このことは、本発明に係るその他の実施形態においても同じである。

[0083] なお、上記各実施形態では、Si柱4a、4b、4Bの側面が、i層基板平面に対して、垂直になっている円柱の場合について説明したが、各実施形態の示す構造を実現するものであれば、台形、たる型などであってもよい。

[0084] また、第1実施形態、第3実施形態、第5実施形態、第6実施形態では、

WSi₂層を、第2実施形態、第4実施形態、では、CoSi₂層を、用いて説明したが、各実施形態の示す構造を実現するものであれば、それぞれの実施形態において、他の金属原子を含んだシリサイド層、またはSiでない他の半導体原子を含んだ合金層などを用いてもよい。

[0085] また、第1実施形態、第2実施形態、第3実施形態、第5実施形態、第6実施形態ではP⁺領域12a、33a、N⁺領域12b、33bが、Si柱4a、4bの外周に形成されている。一方、第4実施形態では、P⁺領域42a、N⁺領域42bがSi柱4a、4bの中心まで繋がって形成されている。いずれの実施形態においても、Si柱4a、4b内にこれらのP⁺領域及びN⁺領域が形成される深さは、Si柱4a、4bの太さと工程温度により変動し、Si柱4a、4bの外周まで形成されたり、その中心まで形成されたりする。

[0086] また、第2実施形態、第4実施形態の説明では、Si柱4a、4bの外周部にシリサイド層のCoSi₂層24a、24b、43a、43bが形成されている。これらがSi柱4a、4bの中心まで形成されても、何ら本発明の範囲を逸脱するものではない。

[0087] また、第1実施形態では、配線合金層としてWSi₂層7aa、7bbを用いて説明した。この場合、Si柱4a、4b内には、ほとんどシリサイド層が形成されない。しかし、WSi₂層7aa、7bbとSi柱4a、4bの界面を拡大観察すると、工程での熱処理条件によって、Si柱内に薄いシリサイド層が形成されている。

[0088] また、第1実施形態では、P⁺領域12a、N⁺領域12bの下方のSi柱4a、4b内部にウエル層を形成していないが、Si柱4a、4b形成後、イオン注入や、固相拡散などを用いて、単層または複数層よりなるウエル層を形成していても良い。これは、何ら本発明の範囲を逸脱するものではない。このことは、本発明に係るその他の実施形態においても同じである。

[0089] また、第4実施形態では、垂直方向において、TiN層16A、16B中間位置で、TiN層16A、16Bと配線導体層のNiSi層46との接続

を行った。これにより、ゲートTiN層16A、16BとソースP⁺領域42a、N⁺領域42b間のキャパシタンスを小さくした。このことは、本発明に係るその他の実施形態にも適用することができる。

[0090] また、第5実施形態では、WSi₂層51a、51bと、TiN層16aの水平方向に延びる部分とを、平面視において、重ならないように形成した。これにより、WSi₂層51a、51bと、TiN層16aとの間のキャパシタンスを小さくできた。このことは、本発明に係るその他の実施形態にも適用することができる。

[0091] また、上記各実施形態では、i層基板1aの代わりに、絶縁基板を有するSOI (Silicon on Insulator) 基板を用いることもできる。

[0092] また、上記各実施形態では、絶縁層としてHfO₂層15、15a、15A、15B、36を用いたが、HfO₂に限定されず、単層または複数層の他の絶縁材料を使用してもよい。

[0093] また、第1実施形態の説明は、Si柱4a、4bに、それぞれ1つのSGTを形成する場合について行ったが、本発明はSi柱4a、4bの底部に形成するP⁺領域12a、N⁺領域12bと、これらに繋がる配線合金層であるWSi₂層7aa、7bbに関するものであるので、1つの半導体柱に複数のSGTを形成する回路形成に本発明を適用できる。このことは、本発明に係るその他の実施形態にも適用することができる。

[0094] また、SGTは、半導体柱の外周にゲート絶縁層が形成され、このゲート絶縁層の外周にゲート導体層が形成されている構造を有する。このゲート導体層とゲート絶縁層の間に電氣的に浮遊した導体層を有するフラッシュメモリ素子もSGTの1形態であり、本発明の技術的思想が適用可能である。

[0095] 本発明では、少なくとも、Si柱4a、4b、4B下部のソースまたはドレイン不純物領域の全周を囲んだ第1合金層と、この第1合金層の外周の一部に繋がる第2合金層を有している。この本発明の特徴を有する回路の他に、同一基板上に、例えば駆動電流を高くするための並列接続した複数SGT回路では、第2合金層が第1合金層の外周の複数箇所又は外周の全体に繋が

った回路が形成されてもよい。

[0096] 上記各実施形態では、半導体柱にSGTのみが形成されている場合について説明したが、本発明の技術的思想は、SGTとそれ以外の素子（例えばフォトダイオードなど）が組み込まれた半導体装置の製造方法にも適用できる。

[0097] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされているものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて実施形態の構成要件の一部を除いても本発明の技術的思想の範囲内となる。

産業上の利用可能性

[0098] 本発明に係る、SGTを有する半導体装置と、その製造方法は、SGTを有する、高速動作が可能な半導体装置を実現するために有用である。

符号の説明

[0099] 4 a、4 b、4 B Si 柱

1、1 a i 層基板

1 b i 層

2 a、2 b、2 B、6、8、8 a、8 A、11 a、11 b、14、18、21、26、26 a、26 b、26 c、32、32 a、35、38 a、38 b、38 A、38 B、40、40 a、47、52、52 a、52 b、55 SiO₂ 層

3 a、3 b、3 B、6、27、45 SiN 層

16、16 a、16 A、16 B、37 TiN 層

5 a、5 b、10、13、28、50、53 レジスト層

12 a、19 a、33 a、42 a、60 a、60 a a P⁺領域

12 b、12 B、19 b、33 b、42 b、60 b、60 b b N⁺領域

15、15 a、15 A、15 B、36 HfO₂ 層

7、31、61、61a WSi₂層

7a、7aa、7bb、7A、7Aa、7Ab、31a、31aa、51a
、57a、58a、59a B原子を含んだWSi₂層

7b、7bb、7B、7Ba、7Bb、31b、31bb、51b、57b
、58b、59b As原子を含んだWSi₂層

30a、30b、30A、30B 孔

39a、39b TiO層

22a、22b、22c、22C、22d、22e コンタクトホール

23a、23aa、23Aa、23Ab、24a、41a、41aa、43
a B原子を含んだCoSi₂層

23b、23bb、23Ba、23Bb、24b、41b、41bb、43
b As原子を含んだCoSi₂層

46 NiSi層

Vdd、VDD 電源配線金属層

Vss、VSS グランド配線金属層

Vin、VIN 入力配線金属層

Vout、VOUT 出力配線金属層

請求の範囲

- [請求項1] 基板上に、前記基板平面に対して垂直方向に立った半導体柱と、
 前記半導体柱の下部に形成したドナーまたはアクセプタ不純物原子を含んだ第1の不純物領域と、
 平面視において、前記第1の不純物領域の全周を囲む、等幅の円帯状の第1の合金層と、
 平面視において、前記第1の合金層の外周の一部に繋がって、前記基板平面に対して水平方向に延びる第2の合金層と、
 前記半導体柱の上部に、前記第1の不純物領域と同じ導電性を有するドナーまたはアクセプタ不純物原子を含んだ第2の不純物領域と、
 前記第1の不純物領域と前記第2の不純物領域との間の前記半導体柱の一部を囲んだ第1の絶縁層と、
 前記第1の絶縁層を囲んだ第1の導体層と、を備え、
 前記第1の不純物領域と前記第2の不純物領域は、一方がソースとして、他方がドレインとして機能し、
 前記第1の不純物領域と前記第2の不純物領域との間の前記半導体柱の前記一部はチャネルとして機能し、
 前記第1の導体層はゲートとして機能し、
 これにより、S G T (Surrounding Gate MOS Transistor) が構成される、
 ことを特徴とするS G Tを有する半導体装置。
- [請求項2] 前記第1の合金層と、前記第2の合金層と、前記第1の不純物領域とは、同じドナーまたはアクセプタ不純物原子を含んでいる、
 ことを特徴とする請求項1に記載のS G Tを有する半導体装置。
- [請求項3] 前記第1の合金層と、前記第1の不純物領域が、自己整合の関係で繋がっている、
 ことを特徴とする請求項1に記載のS G Tを有する半導体装置。
- [請求項4] 前記第1の合金層の内側側面に接し、前記第1の合金層と前記第1

の不純物領域との間に位置し、前記第1の合金層と同じ金属原子及びドナーまたはアクセプタ不純物原子を含む第3の合金層をさらに含む、

ことを特徴とする請求項1に記載のSGTを有する半導体装置。

[請求項5]

平面視において、前記第1の合金層の外周の一部を囲み、前記第2の合金層の一部と接する、等幅の円帯状の第4の合金層をさらに含む、

ことを特徴とする請求項1に記載のSGTを有する半導体装置。

[請求項6]

前記垂直方向において、前記第1の導体層の下端より上部に、前記第1の導体層と接続して、前記基板平面に対して水平方向に延びる第2の導体層を有する、

ことを特徴とする請求項1に記載のSGTを有する半導体装置。

[請求項7]

基板上に、前記基板平面に対して垂直方向に立った第1の半導体柱と、

前記第1の半導体柱の下部に、前記第1の半導体柱の全周を囲み、且つ前記第1の半導体柱の側面に接する合金層と、

前記合金層に繋がったドナーまたはアクセプタ不純物原子を含んだ第1の不純物領域とを含む構造体を提供する工程と、

前記合金層をエッチングして、平面視において、前記第1の半導体柱の全周を囲む、等幅の円帯状の第1の合金層と、前記第1の合金層の外周の一部に繋がって、前記基板平面に対して水平方向に延びる第2の合金層とを形成する工程と、

前記垂直方向において、前記第1の不純物領域の上端より上方の前記第1の半導体柱を囲んで第1の絶縁層を形成する工程と、

前記第1の絶縁層を囲んで第1の導体層を形成する工程と、

前記垂直方向において、前記第1の導体層上端より上部の前記第1の半導体柱に、前記第1の不純物領域と同じ導電性を有する、ドナーまたはアクセプタ不純物原子を含んだ第2の不純物領域を形成する工

程とを備える、

ことを特徴とする S G T (Surrounding Gate MOS Transistor) を有する半導体装置の製造方法。

[請求項8] 前記構造体を提供する工程は、前記合金層に、ドナーまたはアクセプタ不純物原子を導入し、熱処理を行い、前記合金層から、前記ドナーまたはアクセプタ不純物原子を、前記第 1 の半導体柱内に押し出して、前記第 1 の不純物領域を形成する工程を含む、

ことを特徴とする請求項 7 に記載の S G T を有する半導体装置の製造方法。

[請求項9] 前記構造体を提供する工程は、ドナーまたはアクセプタ不純物原子を含む前記合金層に熱処理を行い、前記第 1 の不純物領域を形成するとともに、前記合金層と前記第 1 の不純物領域との間に前記合金層と同じ金属原子及びドナーまたはアクセプタ不純物原子を含む第 3 の合金層を形成する工程を含む、

ことを特徴とする請求項 7 に記載の S G T を有する半導体装置の製造方法。

[請求項10] 前記合金層を形成した後に、前記第 1 の半導体柱の側面を囲んで単層または複数層の第 1 のマスク材料層を形成する工程と、

前記第 1 のマスク材料層をマスクにして前記合金層をエッチングして、前記第 1 の合金層を形成する工程とをさらに含む、

ことを特徴とする請求項 7 に記載の S G T を有する半導体装置の製造方法。

[請求項11] 前記第 1 の半導体柱に隣接して、第 2 の半導体柱を形成する工程と、

前記第 1 の半導体柱の側面を囲んで第 1 のマスク材料層を形成した後に、前記第 1 の半導体柱と前記第 2 の半導体柱との頂部の一部を覆い、平面視において、前記第 1 の半導体柱と前記第 2 の半導体柱の間に繋がった第 2 のマスク材料層を形成する工程と、

前記第 1 のマスク材料層と前記第 2 のマスク材料層とをエッチングマスクにして前記合金層をエッチングして、前記第 1 の合金層と前記第 2 の合金層を形成する工程とをさらに含む、

ことを特徴とする請求項 7 に記載の S G T を有する半導体装置の製造方法。

[請求項 12]

前記第 1 の半導体柱と第 2 の半導体柱との外周を囲み、且つ前記第 1 の半導体柱と前記第 2 の半導体柱との間で繋がった第 3 のマスク材料層を形成する工程と、

前記第 3 のマスク材料層をエッチングマスクにして、前記合金層をエッチングして、

前記第 1 の半導体柱と前記第 2 の半導体柱とのそれぞれの全周を囲む、等幅の円帯状の第 4 の合金層と、

前記第 4 の合金層の外周の一部に繋がって、前記基板表面に対して平行に延びる第 5 の合金層と、

平面視において、前記第 4 の合金層と前記第 5 の合金層との外周の一部に接する、等幅の円帯状の第 6 の合金層とを形成する工程とをさらに含む、

ことを特徴とする請求項 7 に記載の S G T を有する半導体装置の製造方法。

[請求項 13]

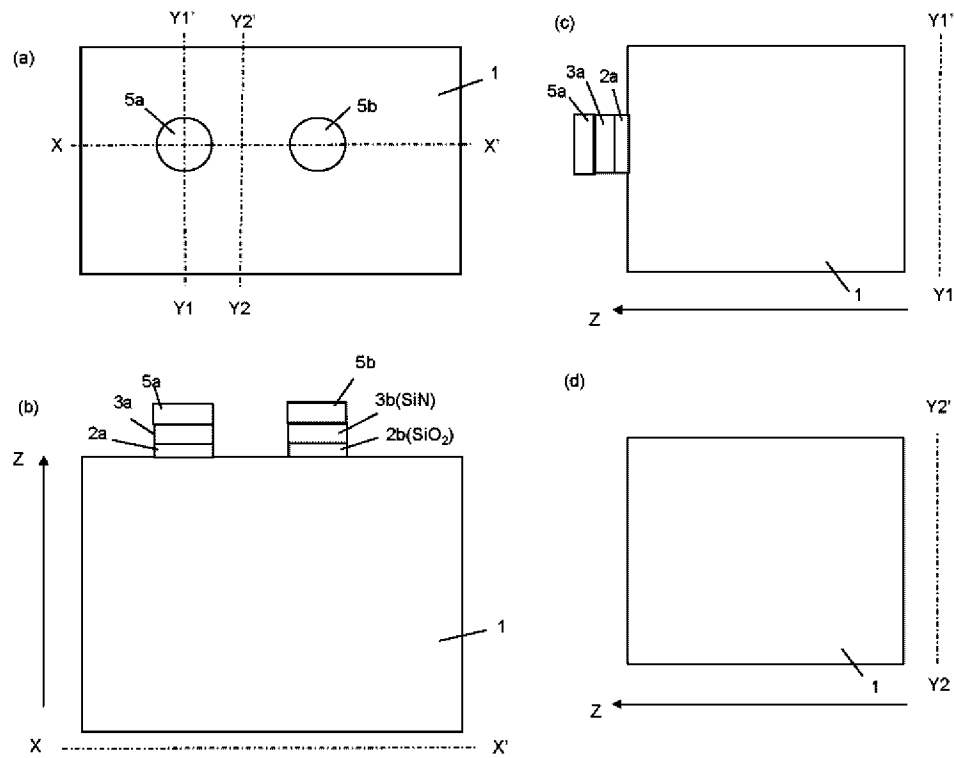
前記構造体を提供する工程は、

前記第 1 の半導体柱の下部に前記第 1 の不純物領域を形成する工程と、その後、

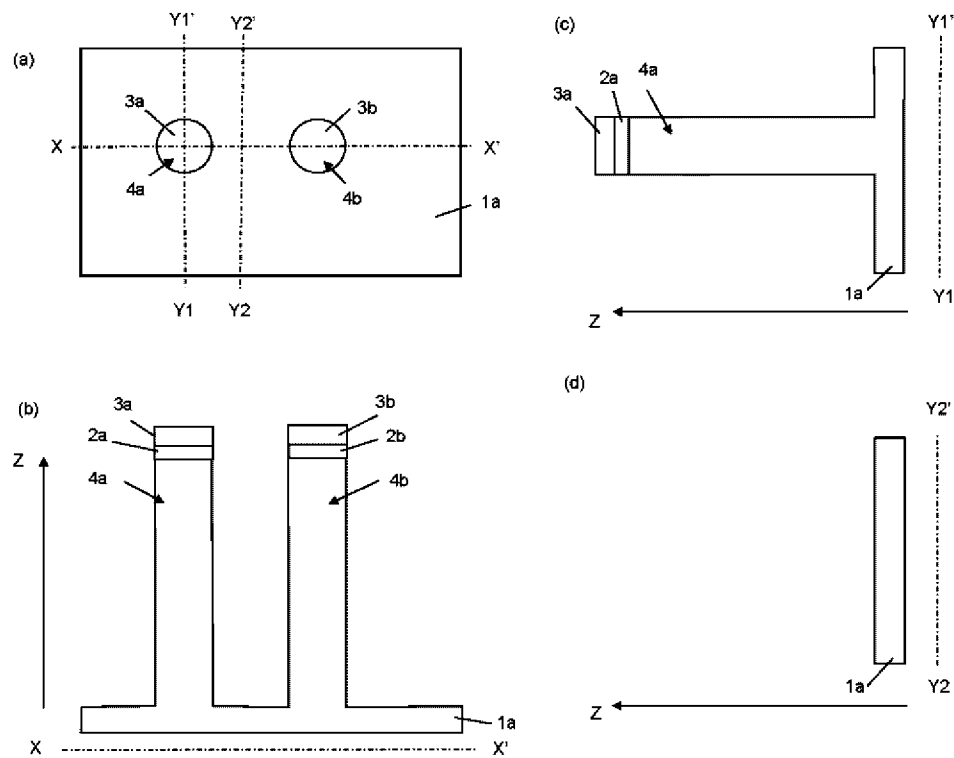
前記第 1 の不純物領域の全周を囲み、且つ前記第 1 の不純物領域の側面に接する前記合金層を形成する工程とを含む、

ことを特徴とする請求項 7 に記載の S G T を有する半導体装置の製造方法。

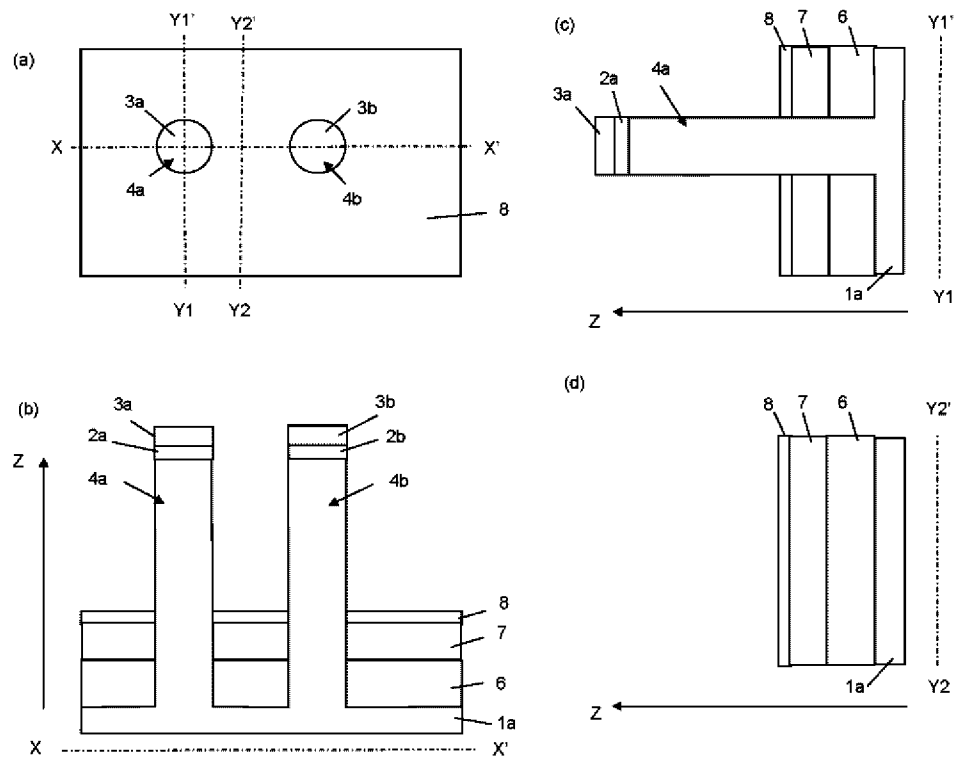
[図1A]



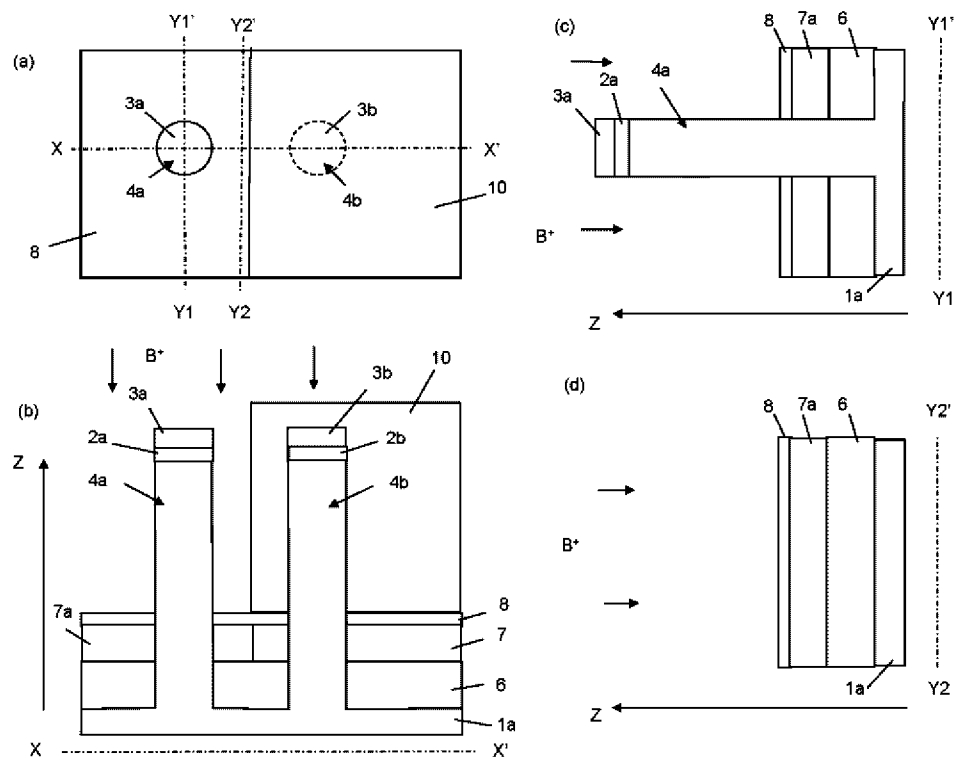
[図1B]



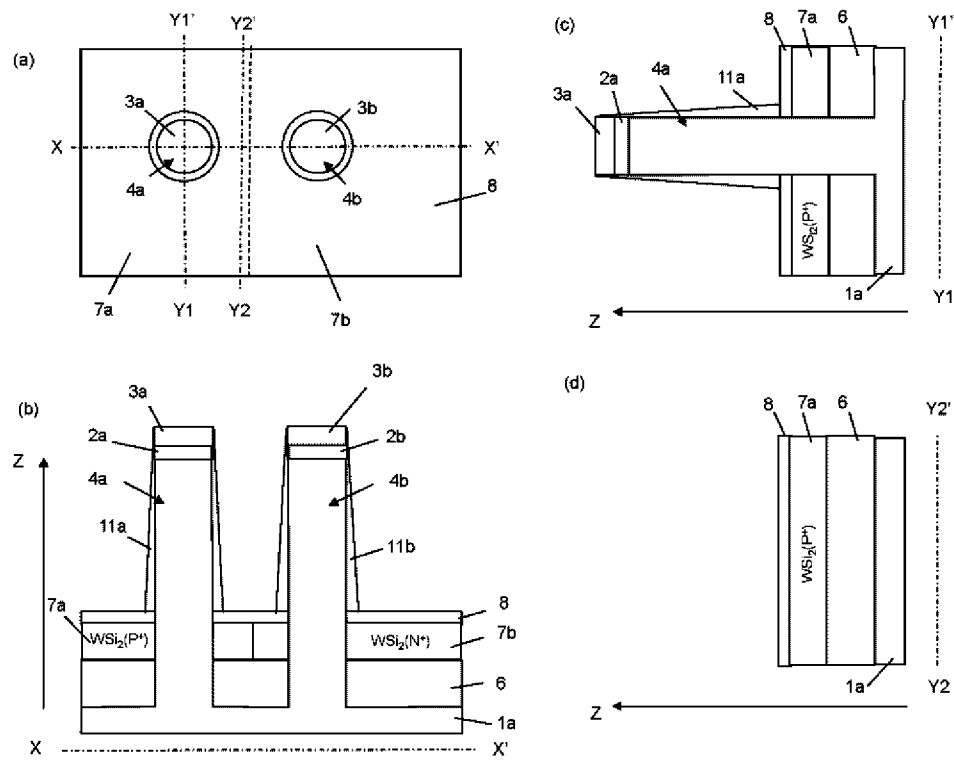
[図1C]



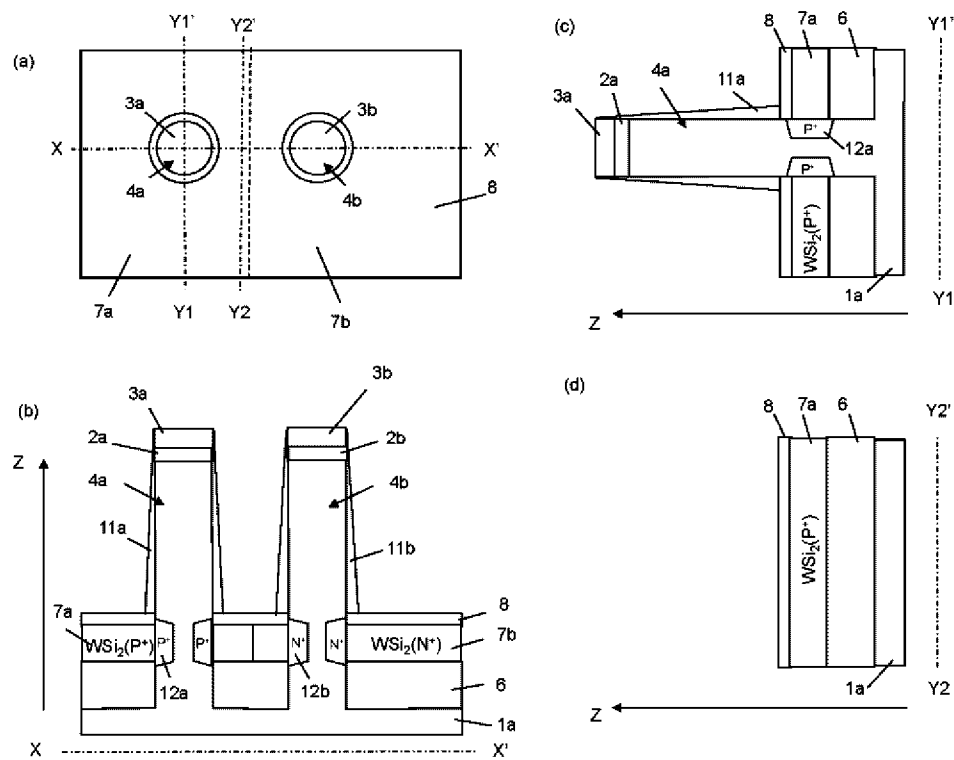
[図1D]



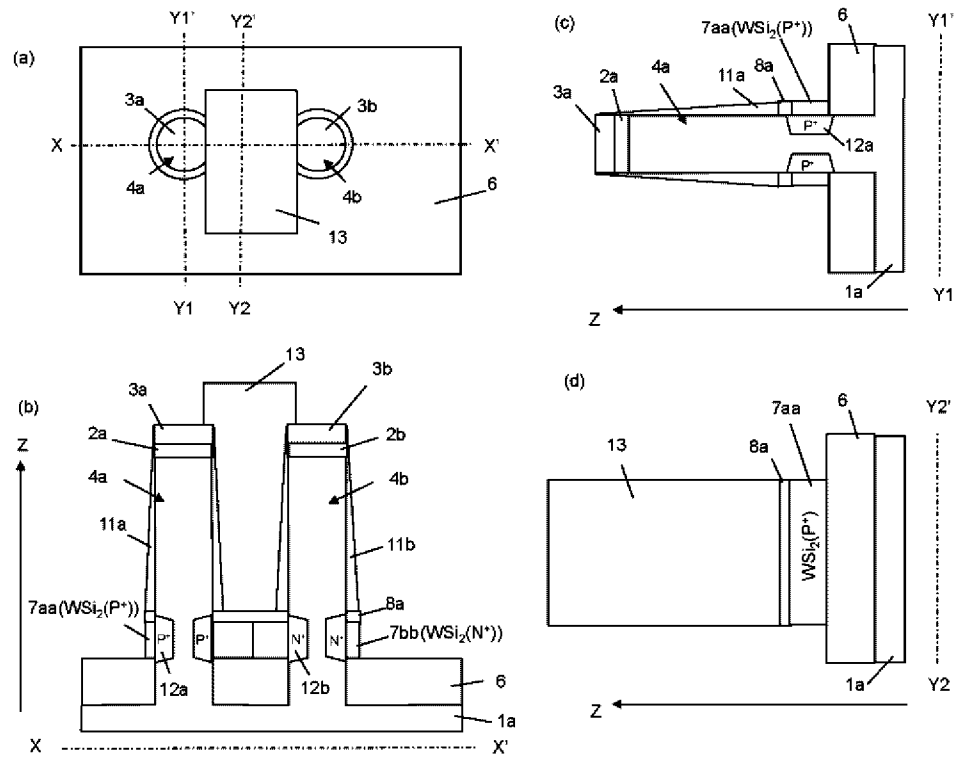
[図1E]



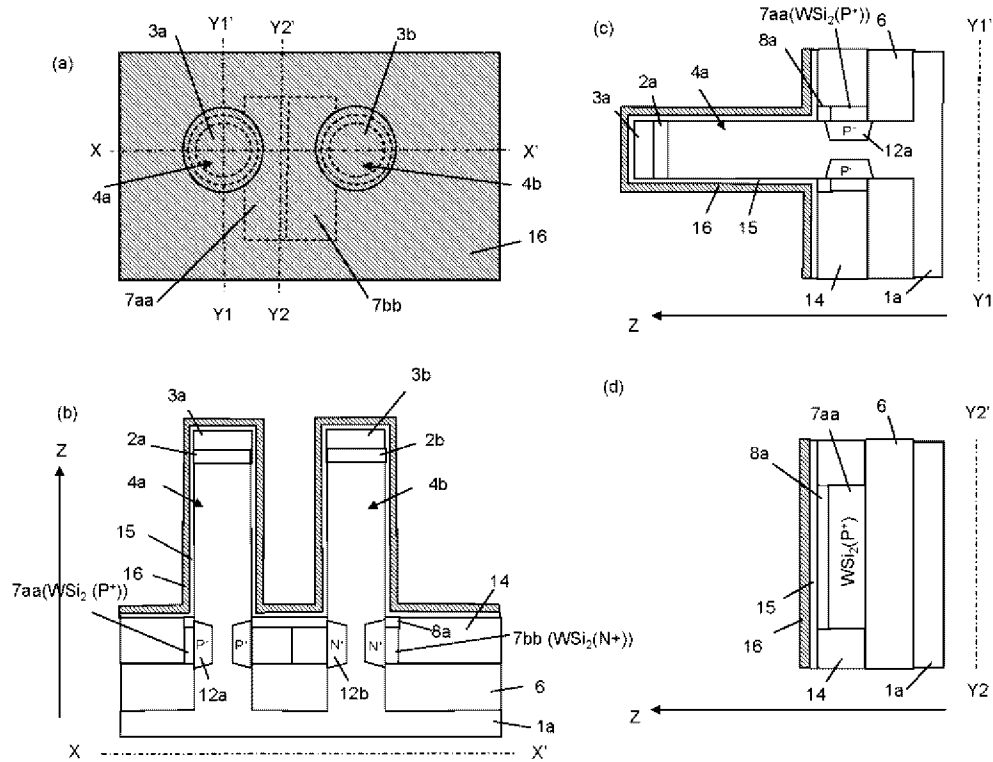
[図1F]



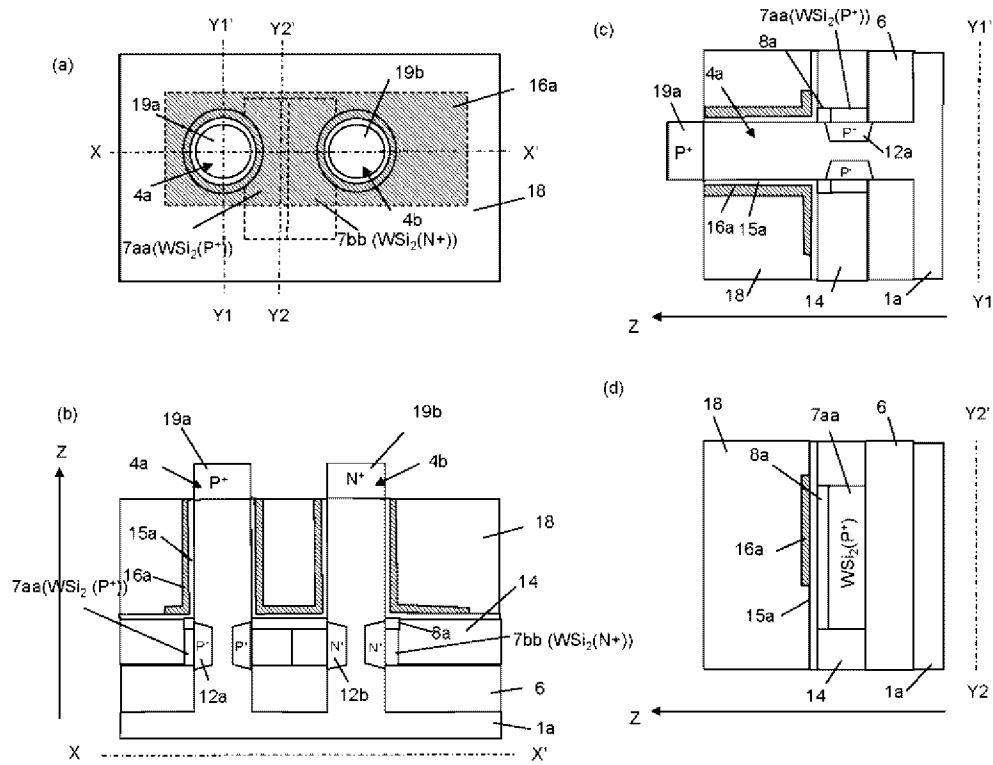
[図1G]



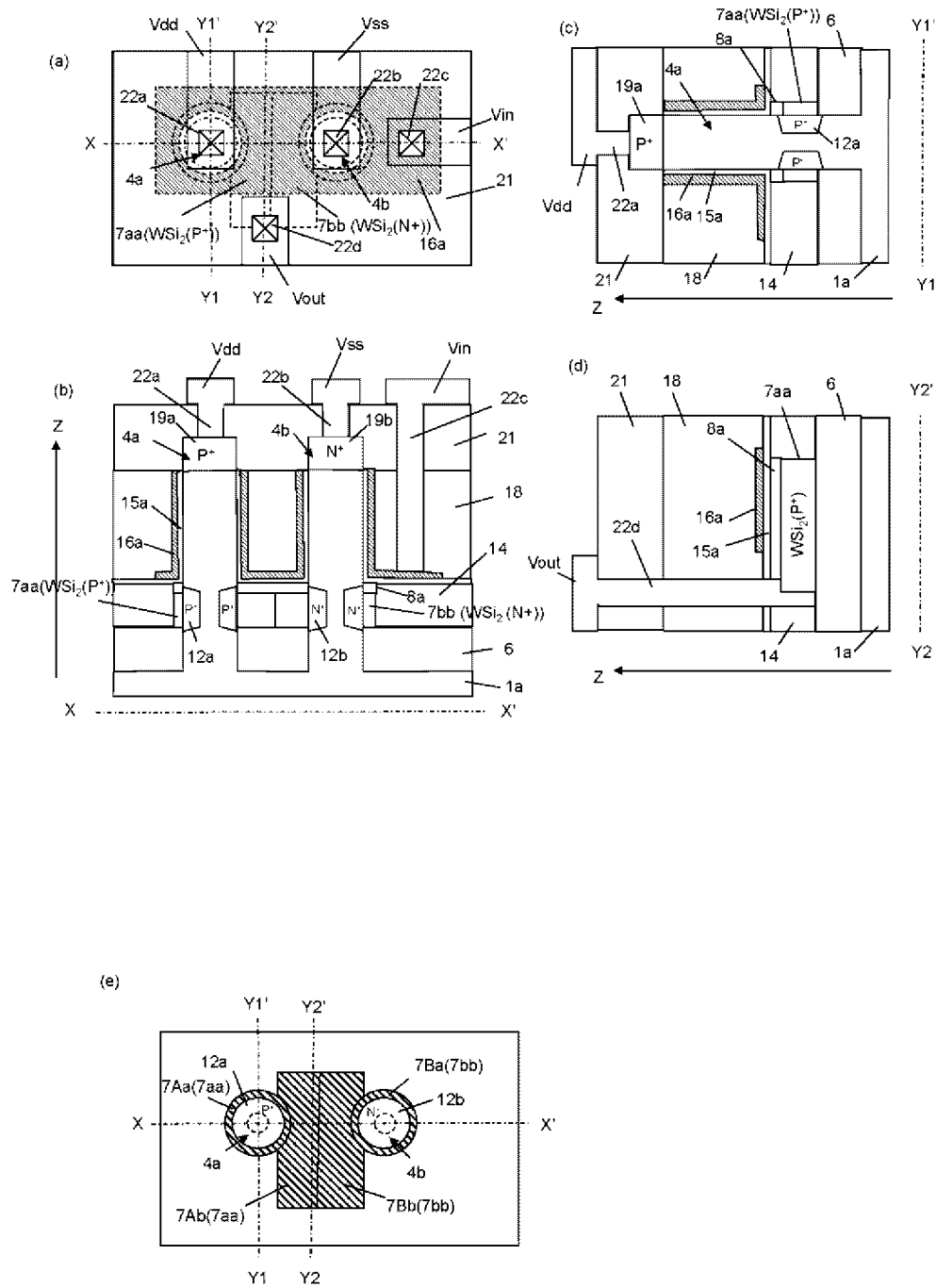
[図1H]



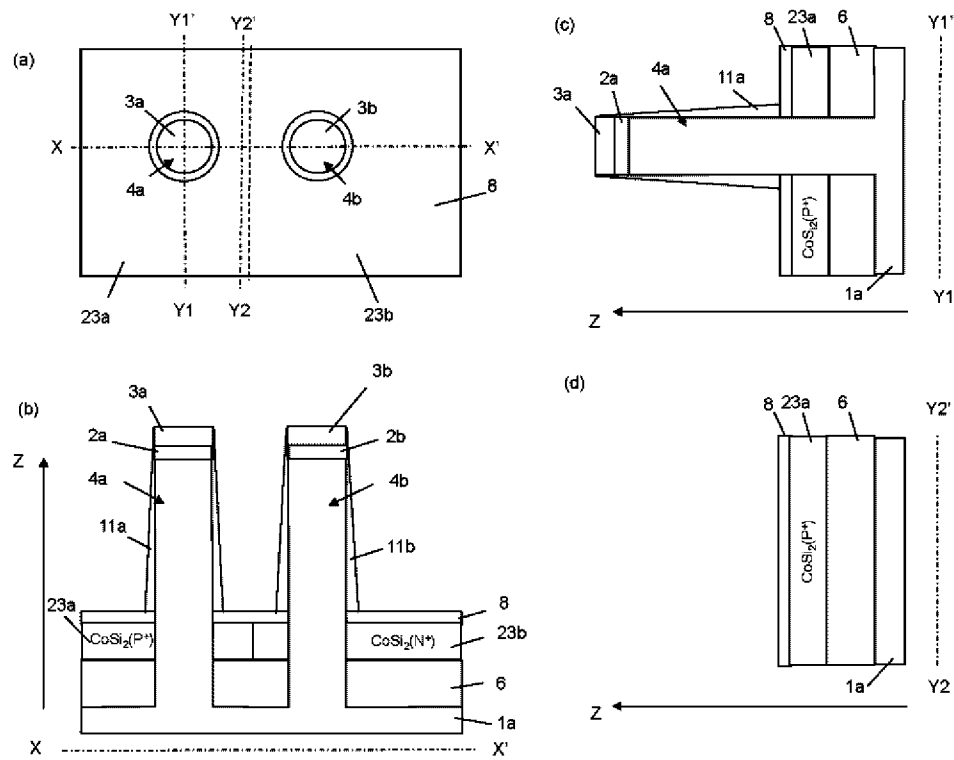
[図1I]



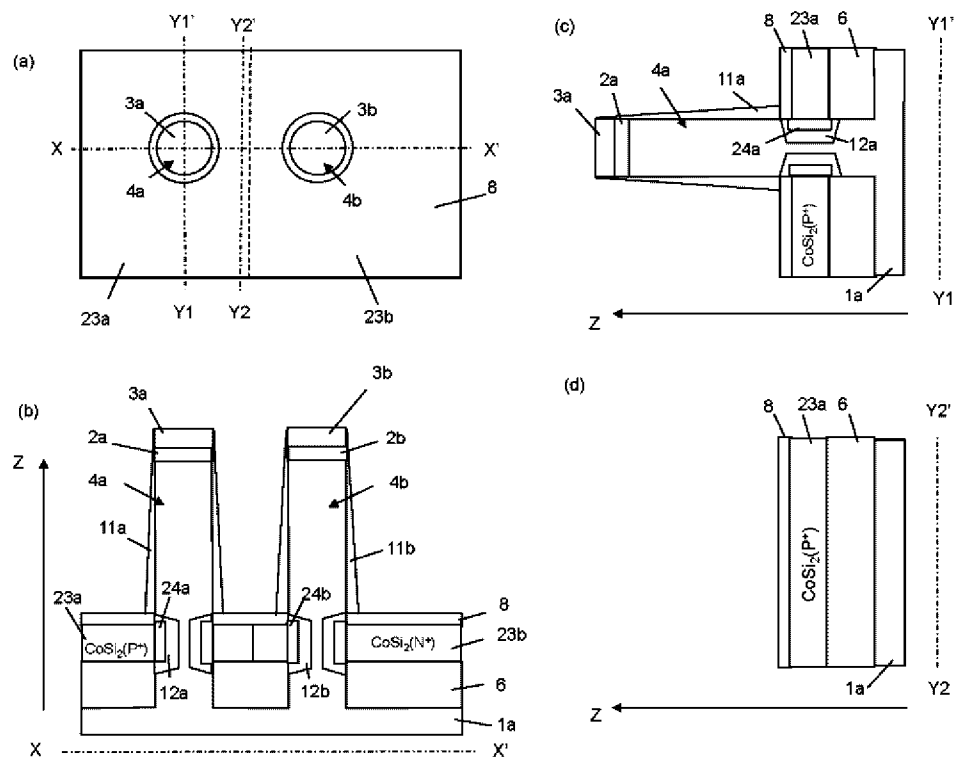
[図1J]



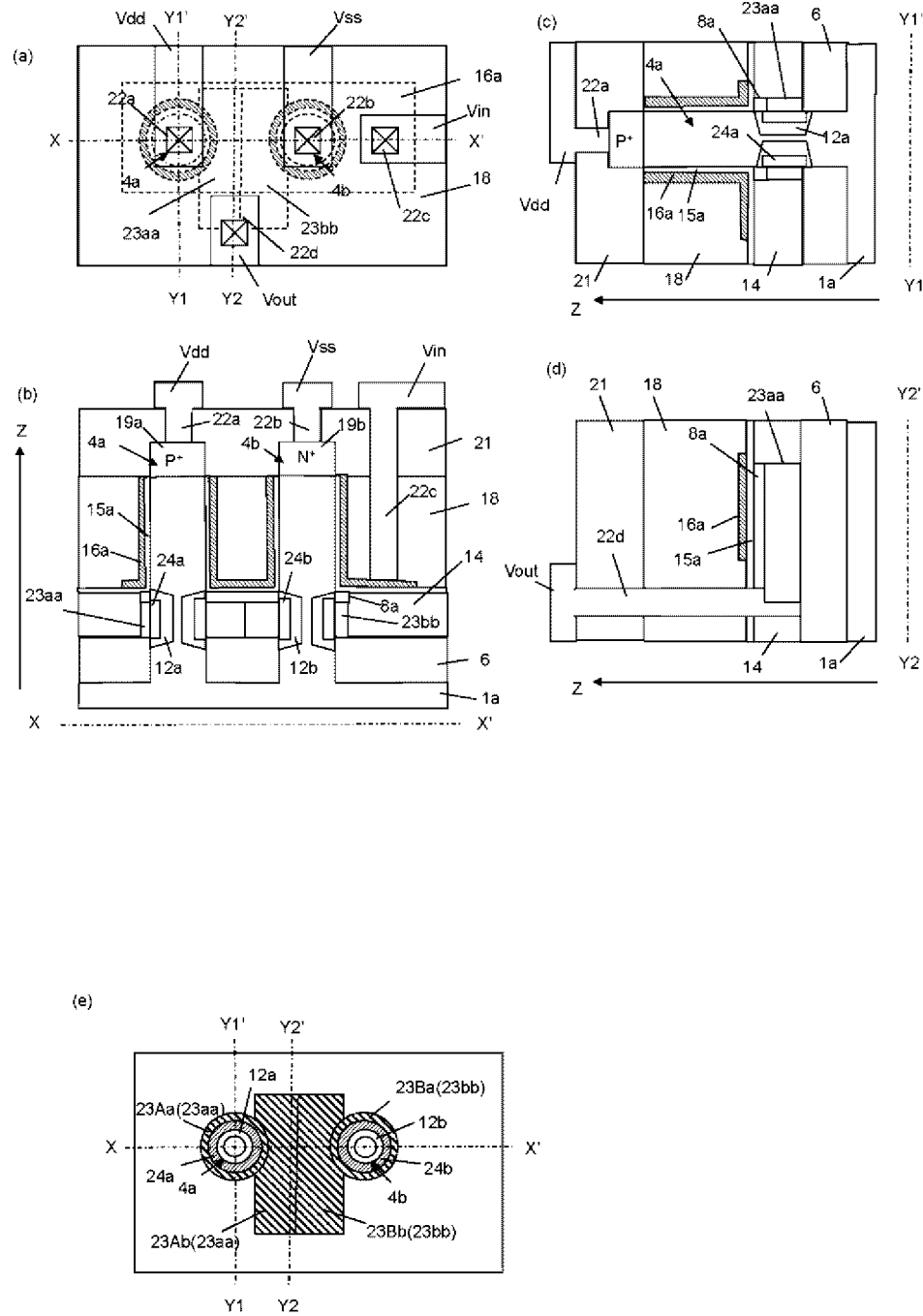
[図2A]



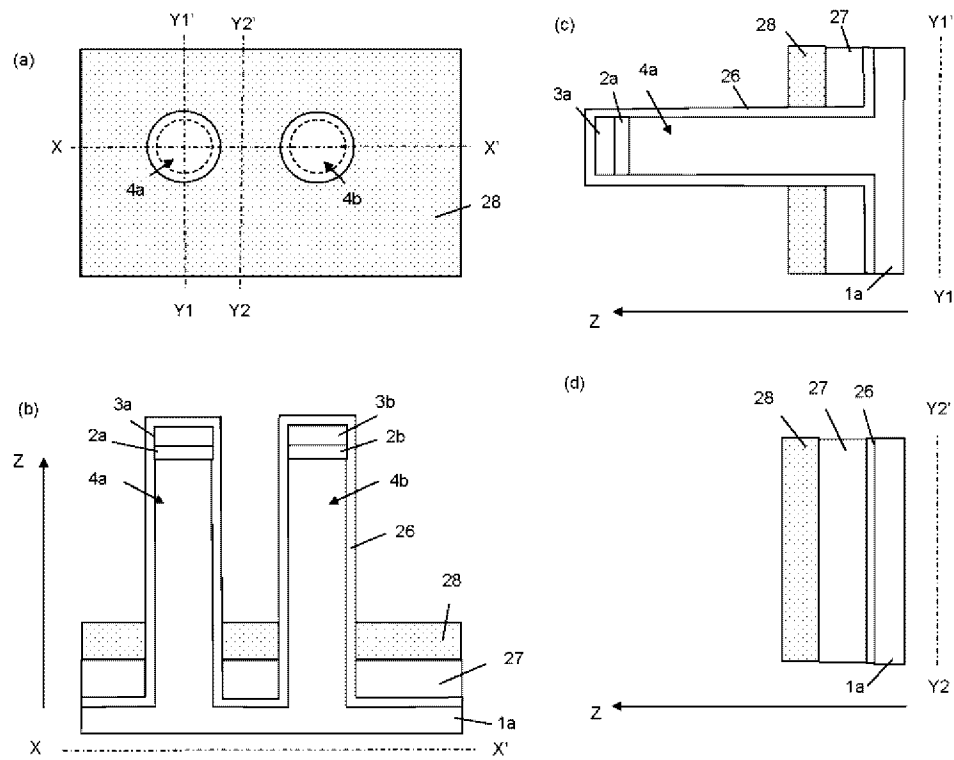
[図2B]



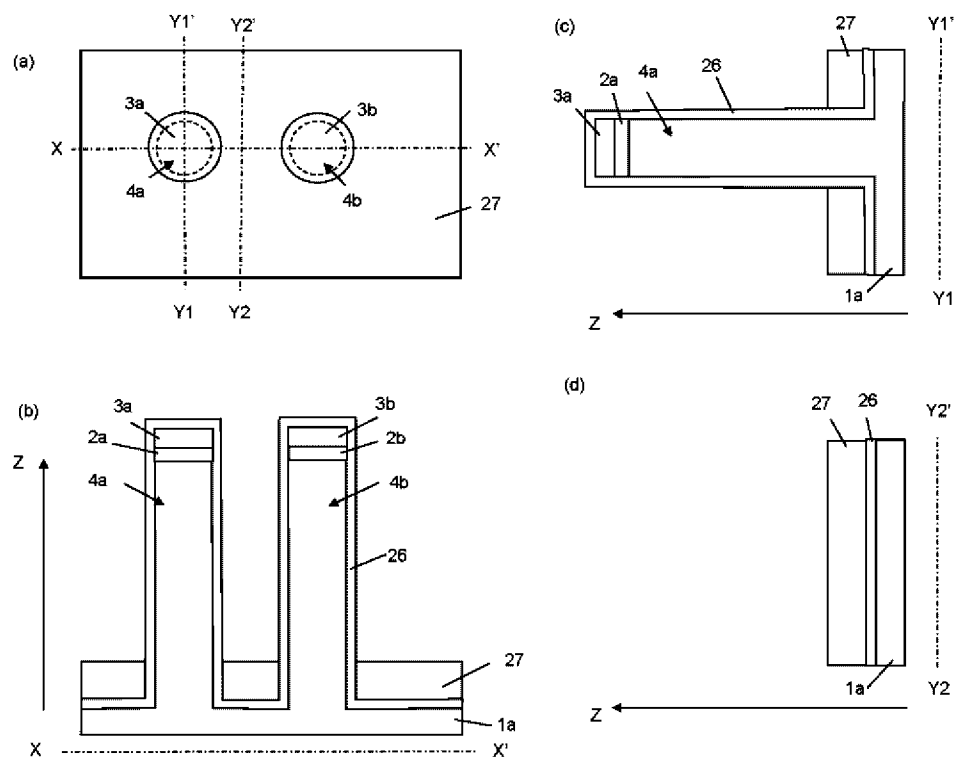
[図2C]



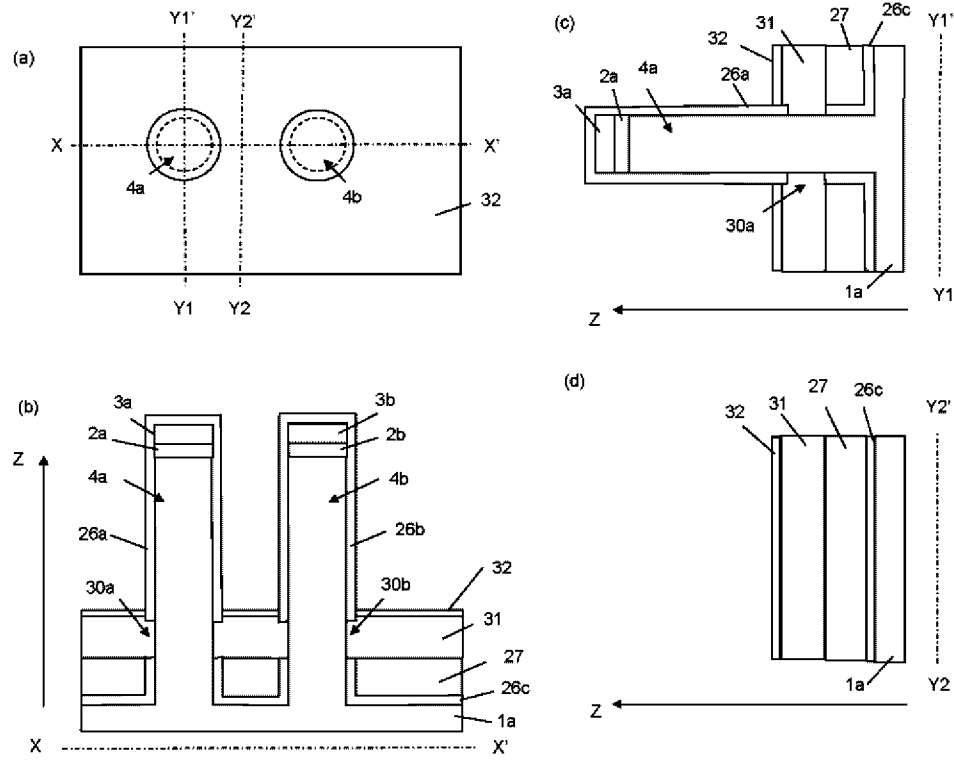
[図3A]



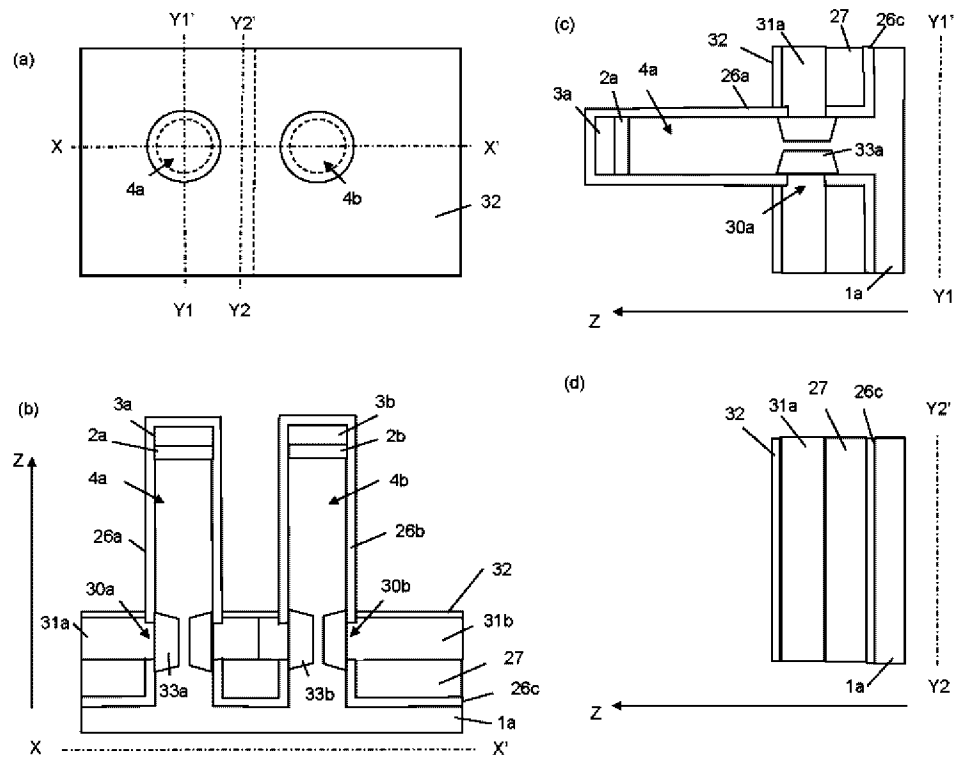
[図3B]



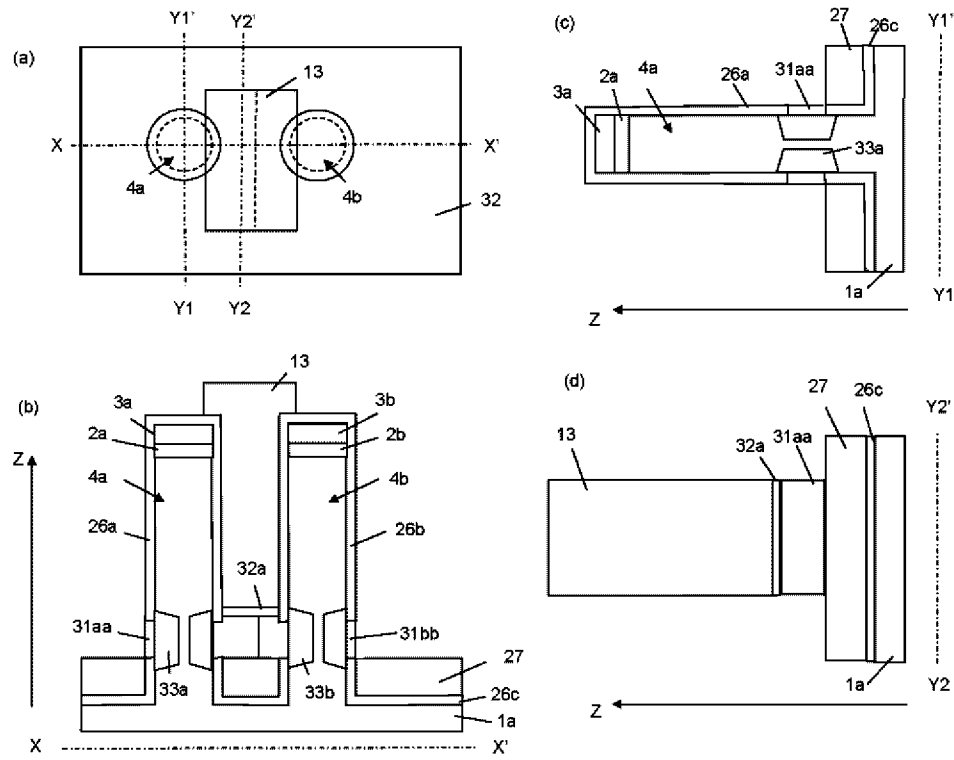
[図3C]



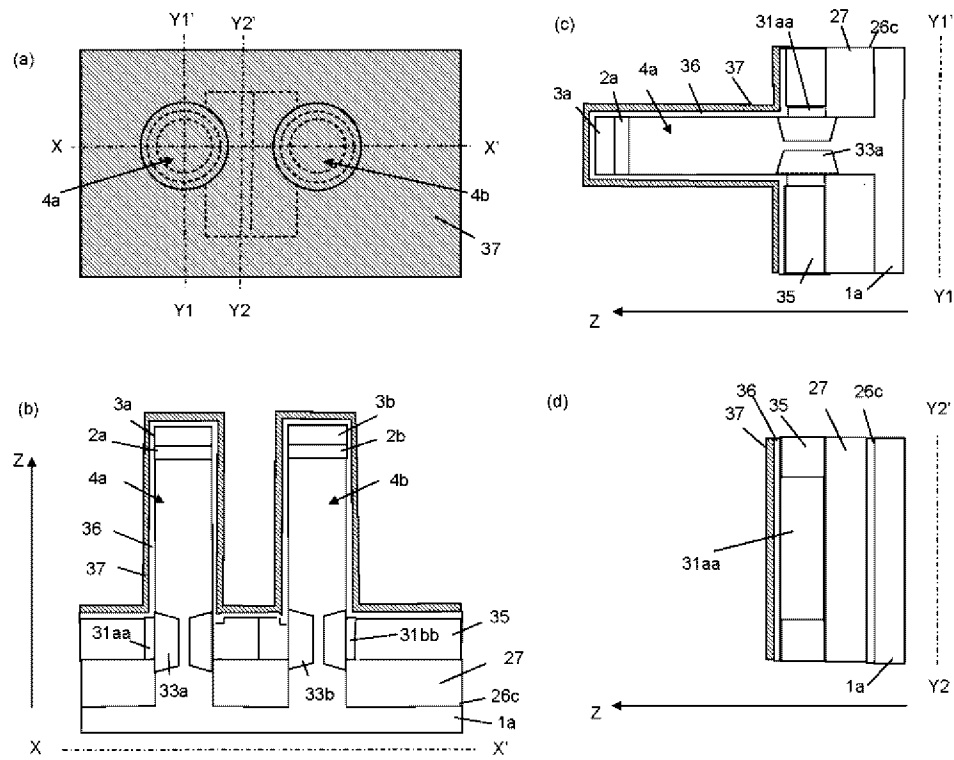
[図3D]



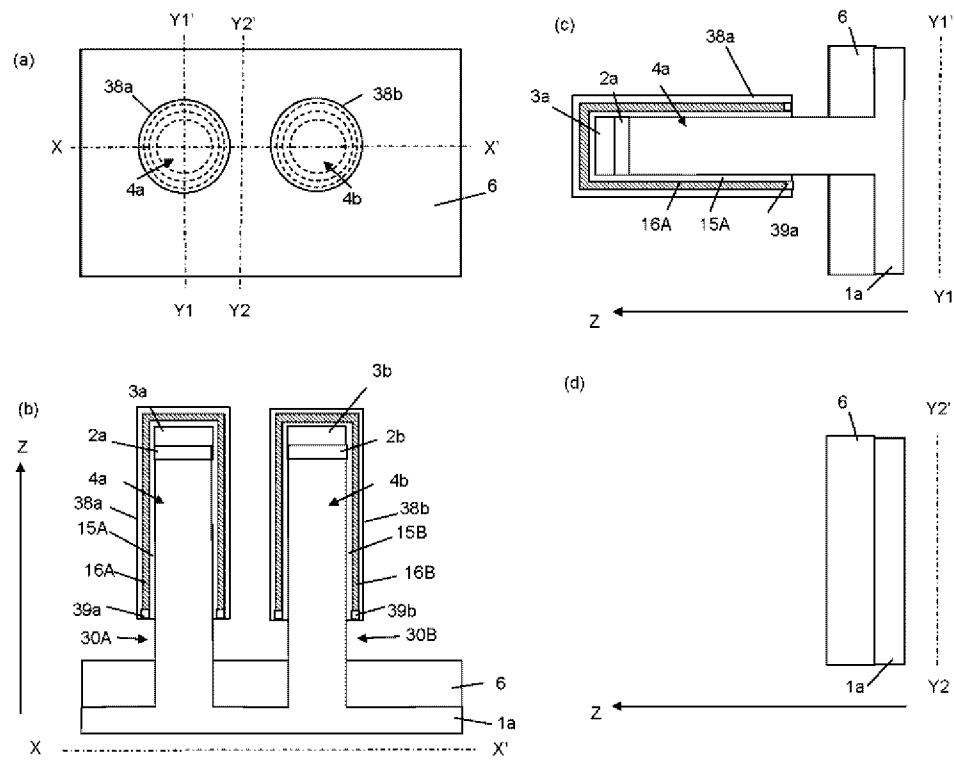
[図3E]



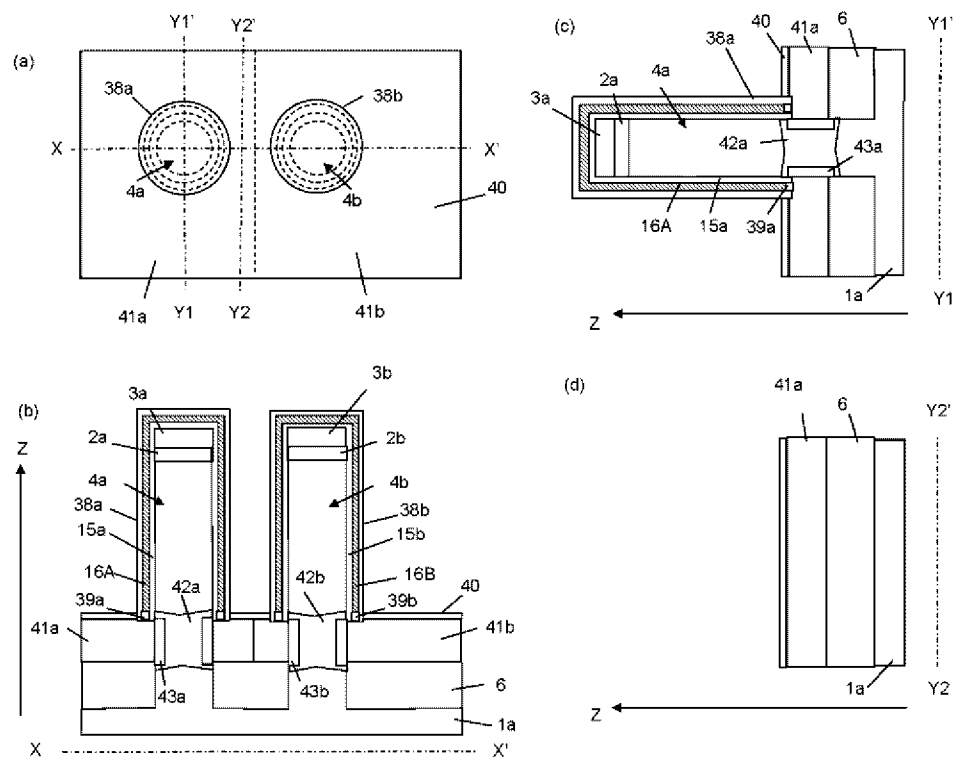
[図3F]



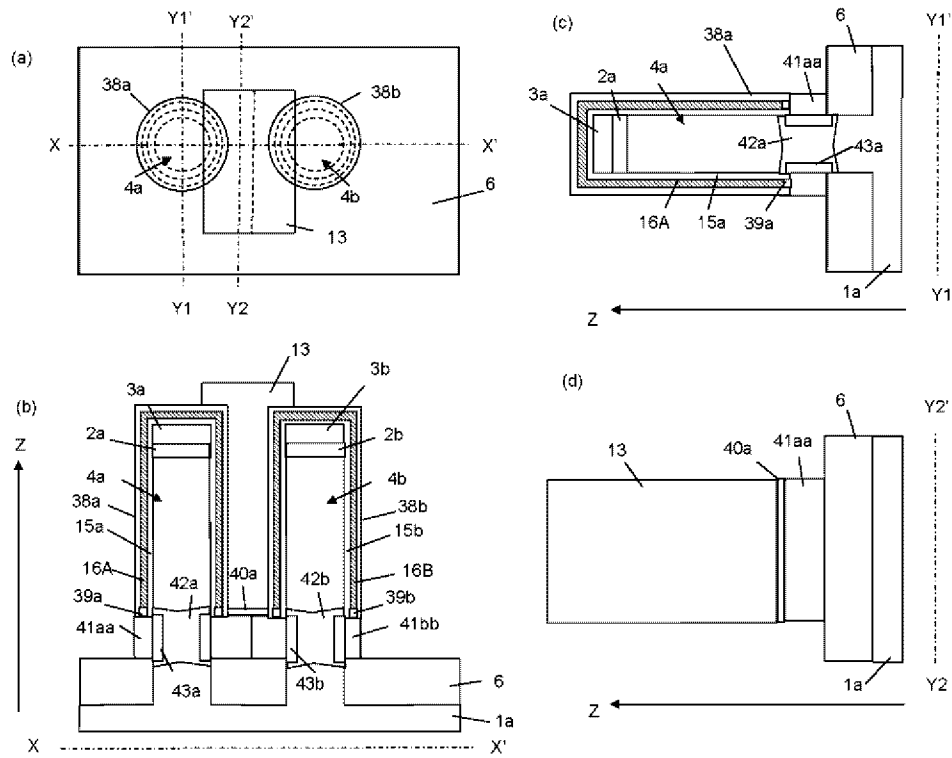
[図4A]



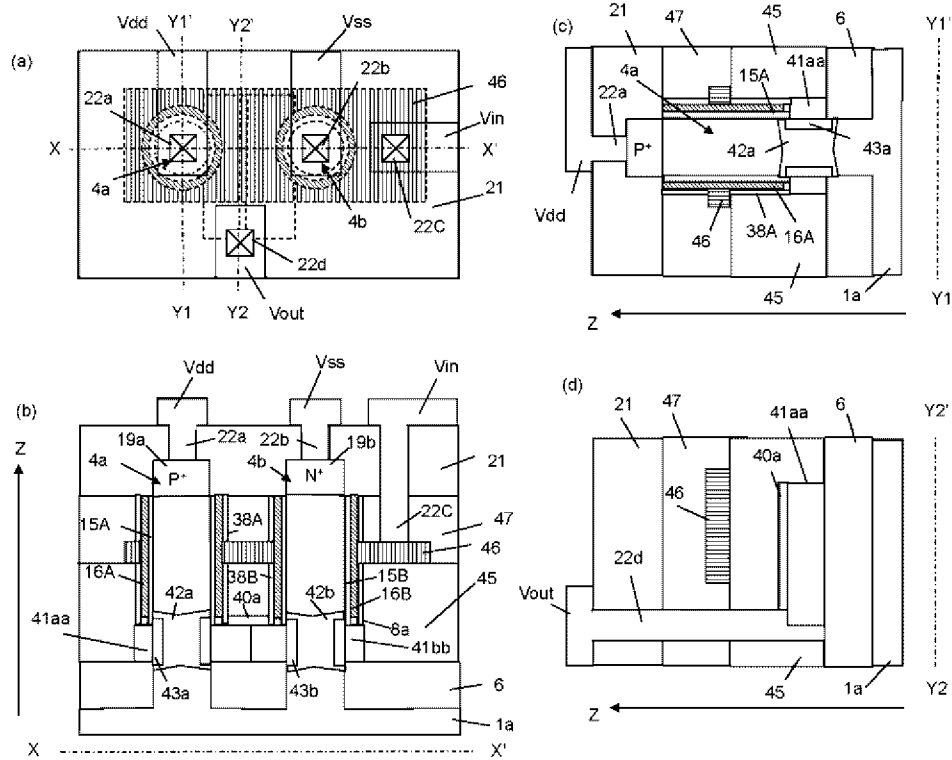
[図4B]



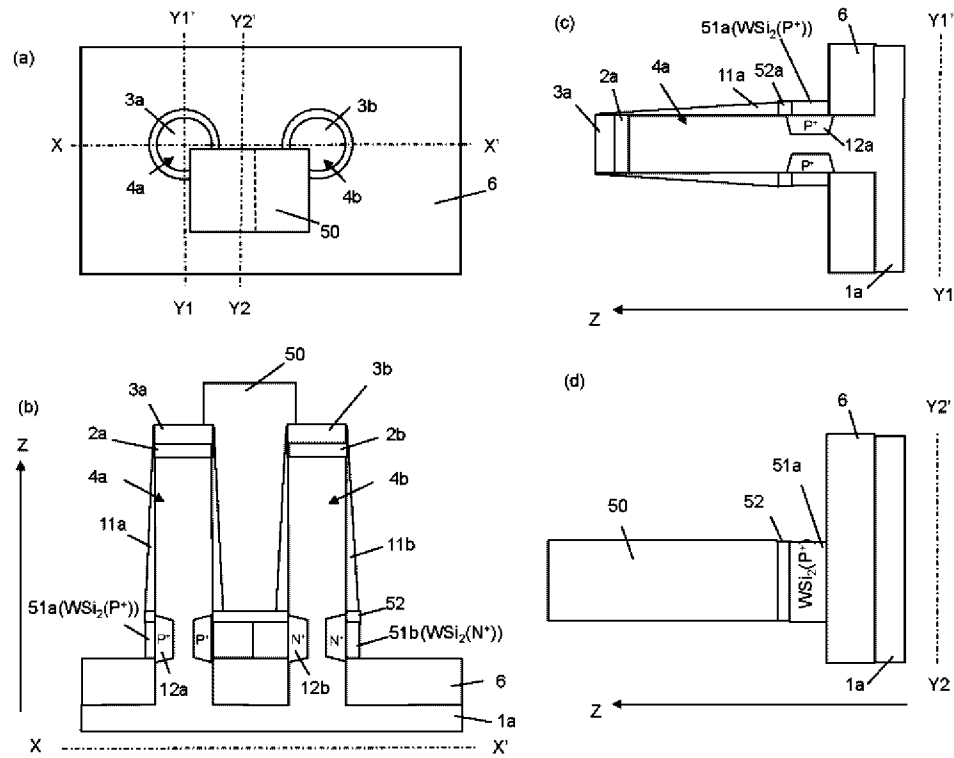
[図4C]



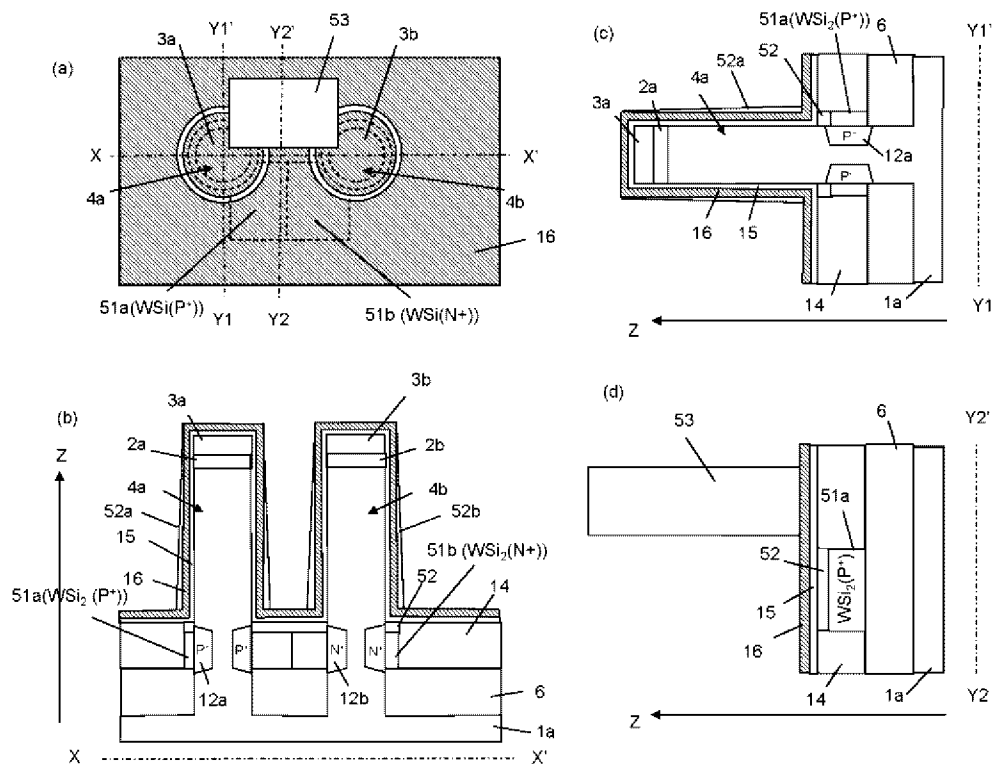
[図4D]



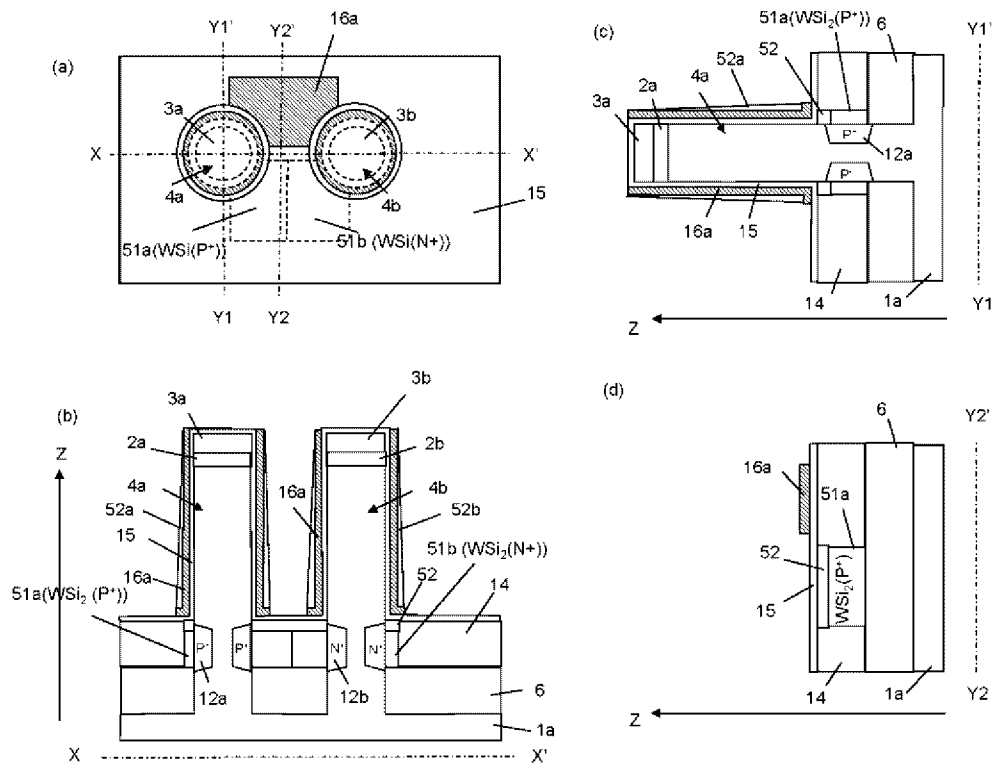
[図5A]



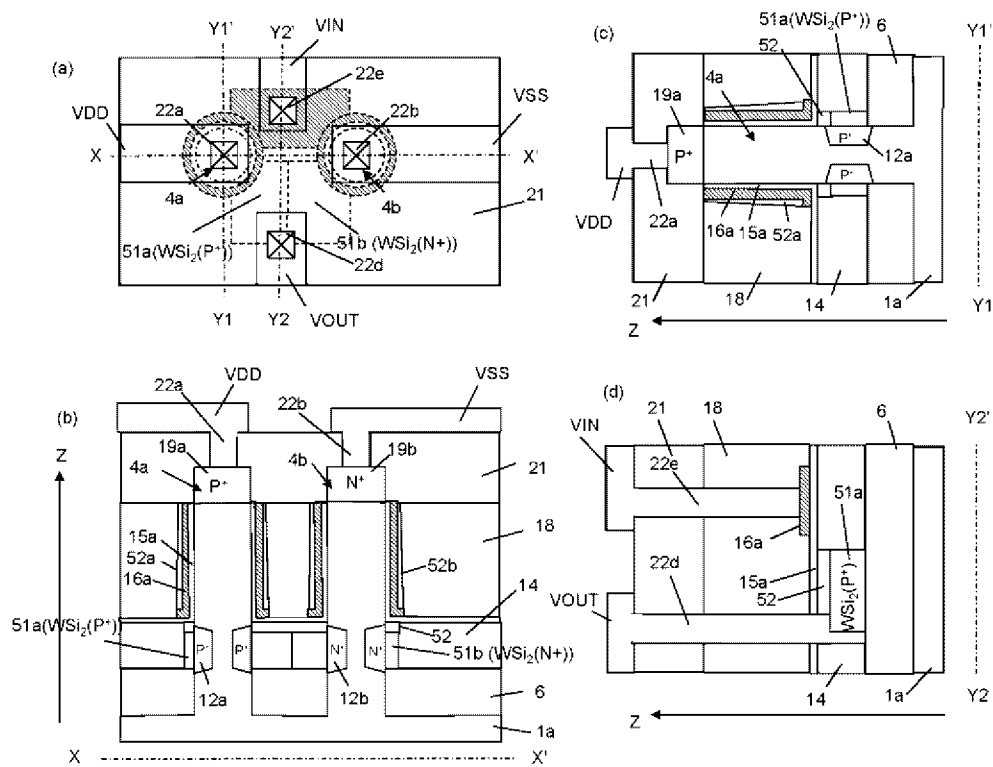
[図5B]



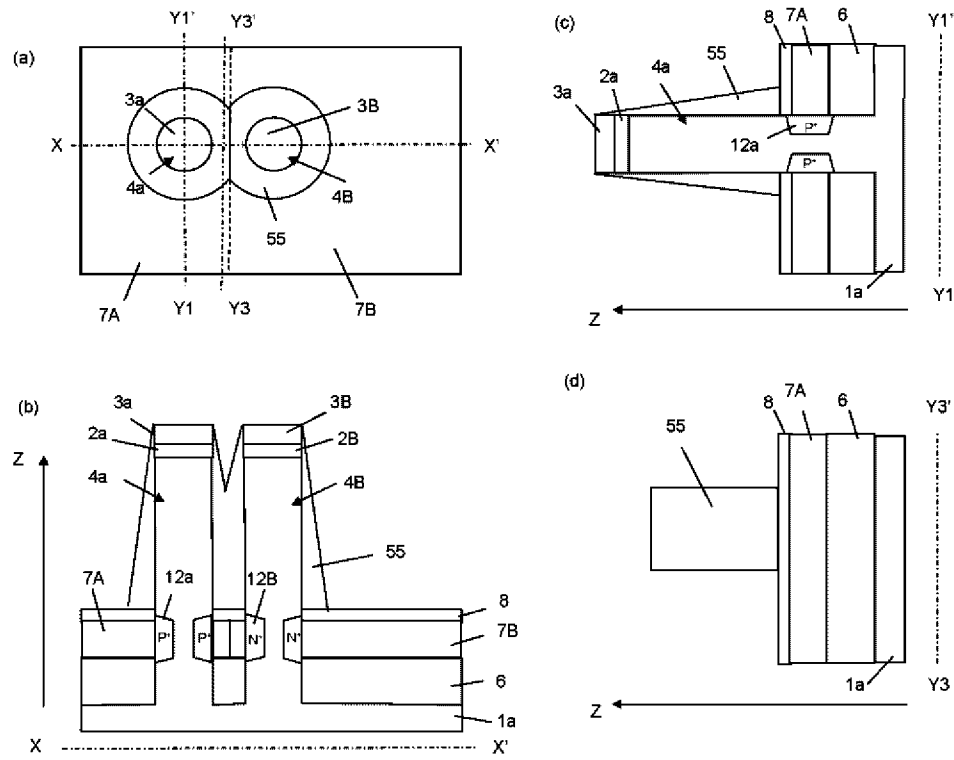
[図5C]



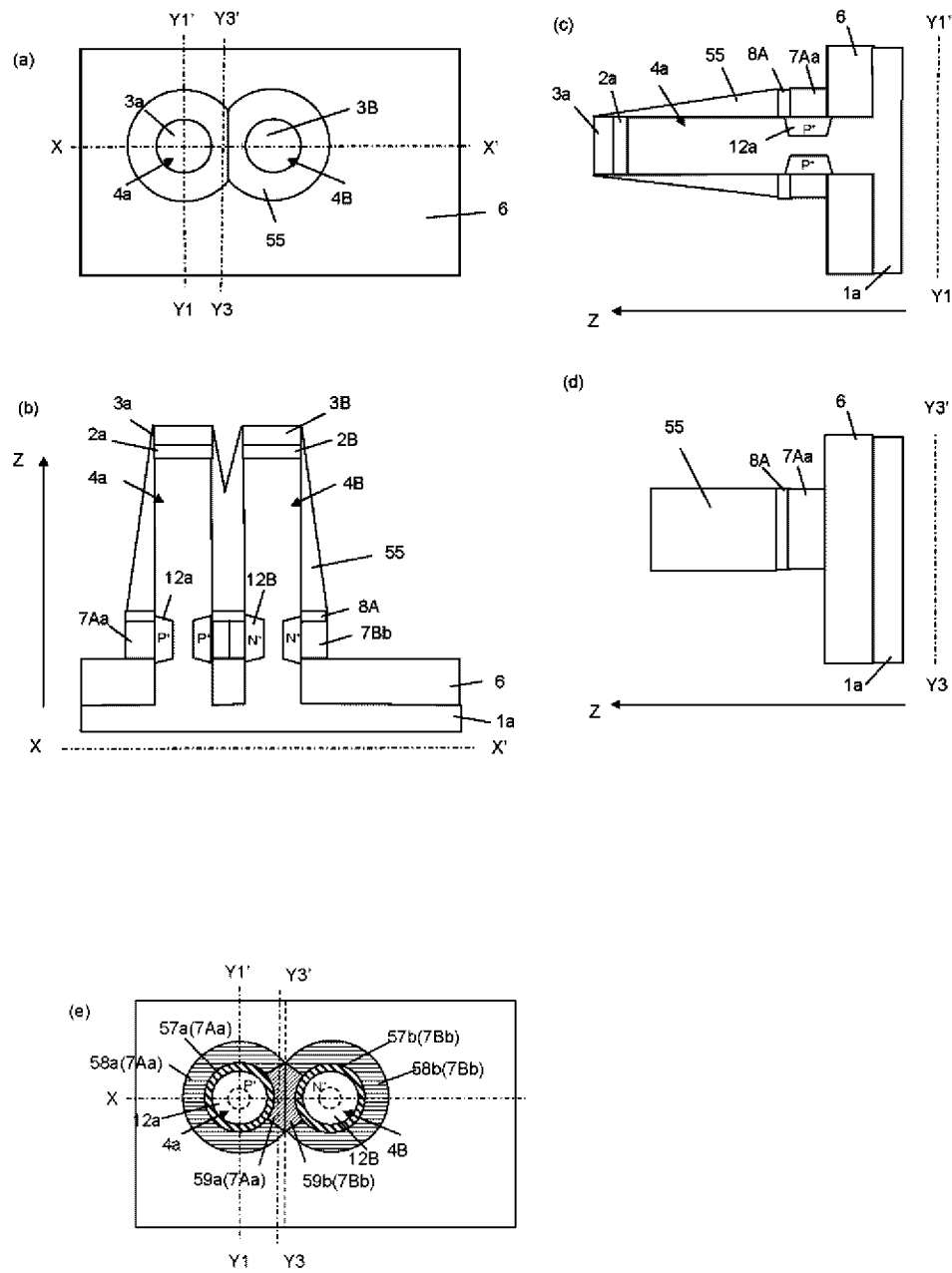
[図5D]



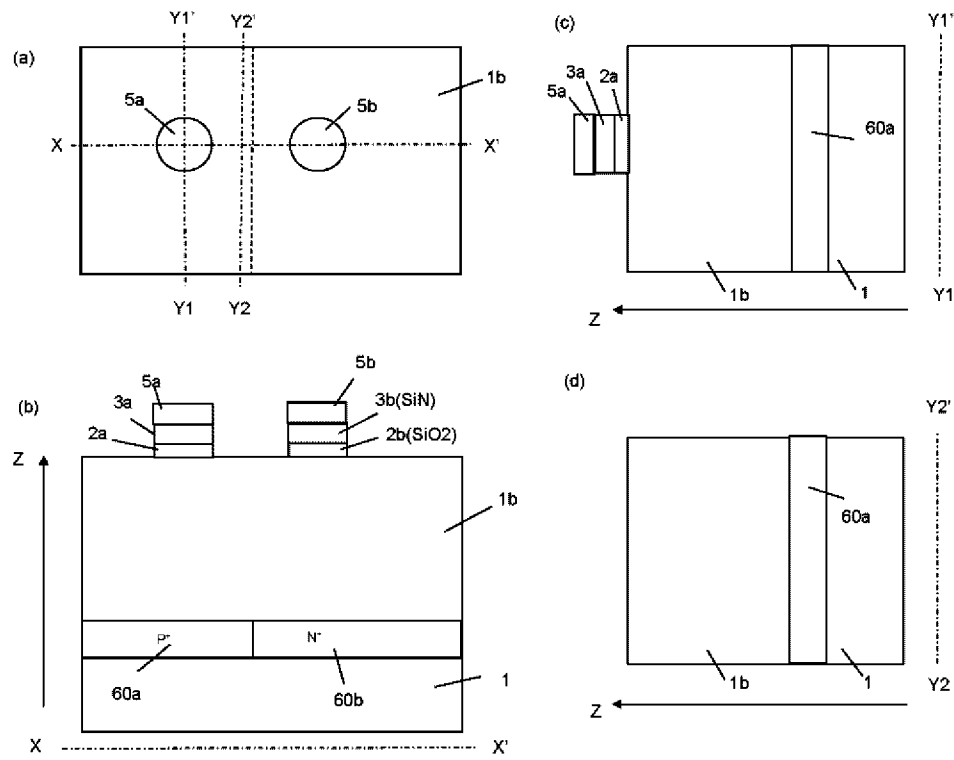
[図6A]



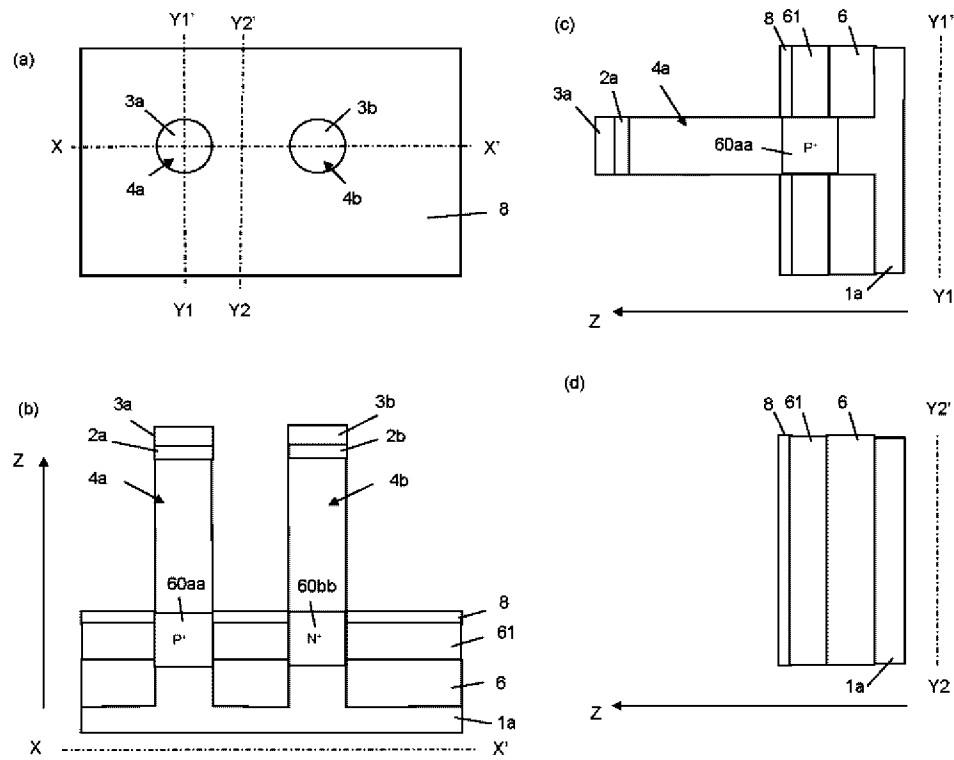
[図6B]



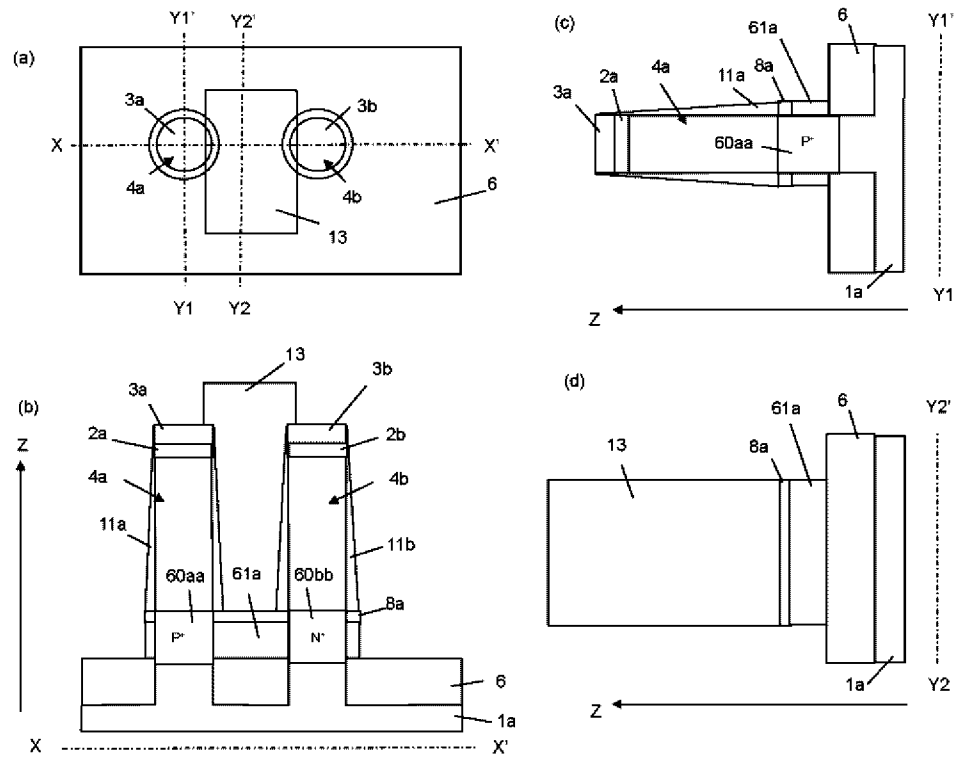
[図7A]



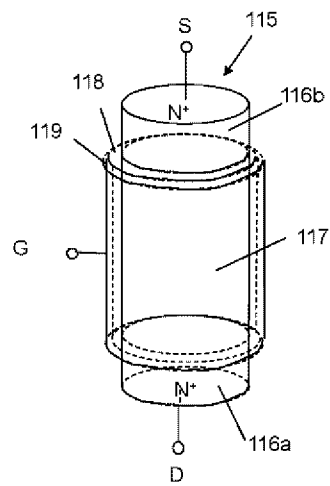
[図7B]



[図7C]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085469

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8238, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 02-198170 A (Hitachi, Ltd.), 06 August 1990 (06.08.1990), pages 3 to 8; fig. 1 to 30 (Family: none)	1-10, 12, 13 11
Y	WO 2015/097798 A1 (Unisantis Electronics Singapore Pte Ltd.), 02 July 2015 (02.07.2015), paragraphs [0032] to [0062]; fig. 1 to 7 & JP 5685351 B & US 2015/0357438 A1 paragraphs [0073] to [0116]; fig. 1 to 7	1-10, 12, 13
Y	JP 2008-140996 A (Elpida Memory, Inc.), 19 June 2008 (19.06.2008), paragraphs [0019] to [0072]; fig. 1 to 30 & US 2008/0258209 A1 paragraphs [0049] to [0103]; fig. 1 to 30	1-10, 12, 13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 February 2016 (25.02.16)

Date of mailing of the international search report
08 March 2016 (08.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085469

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-165159 A (Elpida Memory, Inc.), 22 August 2013 (22.08.2013), paragraph [0023] (Family: none)	1-10, 12, 13
A	WO 2009/075031 A1 (Unisantis Electronics Japan Ltd.), 18 June 2009 (18.06.2009), entire text; all drawings & US 2010/0187601 A1 & EP 2221858 A1 & KR 10-2010-0093582 A & CN 101897008 A	1-13
A	JP 2011-23543 A (Renesas Electronics Corp.), 03 February 2011 (03.02.2011), entire text; all drawings (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/8238, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 02-198170 A (株式会社日立製作所) 1990.08.06, 第3頁-第8頁, 図1-図30 (ファミリーなし)	1-10, 12, 13 11
Y	WO 2015/097798 A1 (ユニサンティス エレクトロニクス シンガポ ール プライベート リミテッド) 2015.07.02, 段落 [0032]-[0062], 図1-7 & JP 5685351 B & US 2015/0357438 A1, 段落 [0073]-[0116], 図1-7	1-10, 12, 13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25.02.2016

国際調査報告の発送日

08.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

篠原 功一

5 F

5293

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-140996 A (エルピーダメモリ株式会社) 2008.06.19, 段落 [0019]-[0072], 図 1-30 & US 2008/0258209 A1, 段落 [0049]-[0103], 図 1-30	1-10, 12, 13
Y	JP 2013-165159 A (エルピーダメモリ株式会社) 2013.08.22, 段落 [0023] (ファミリーなし)	1-10, 12, 13
A	WO 2009/075031 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.06.18, 全文全図 & US 2010/0187601 A1 & EP 2221858 A1 & KR 10-2010-0093582 A & CN 101897008 A	1-13
A	JP 2011-23543 A (ルネサスエレクトロニクス株式会社) 2011.02.03, 全文全図 (ファミリーなし)	1-13