

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4991127号
(P4991127)

(45) 発行日 平成24年8月1日 (2012.8.1)

(24) 登録日 平成24年5月11日 (2012.5.11)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/36

G O 9 G 3/20 6 1 2 E

G O 9 G 3/20 6 2 3 F

G O 9 G 3/20 6 2 1 F

G O 9 G 3/20 6 2 3 G

請求項の数 5 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2005-189901 (P2005-189901)	(73) 特許権者	302020207
(22) 出願日	平成17年6月29日 (2005.6.29)		株式会社ジャパンディスプレイセントラル
(65) 公開番号	特開2007-10871 (P2007-10871A)		埼玉県深谷市幡羅町一丁目9番地2
(43) 公開日	平成19年1月18日 (2007.1.18)	(74) 代理人	100091351
審査請求日	平成20年6月2日 (2008.6.2)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男
			最終頁に続く

(54) 【発明の名称】 表示信号処理装置および液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の階調基準電圧を複数の電圧出力端から発生する階調基準電圧発生回路と、前記複数の電圧出力端の端子間電圧を分圧するように直列に接続される抵抗群から得れる所定数の階調電圧を選択的に用いて表示信号を画素電圧に変換する信号変換回路とを備え、

前記階調基準電圧発生回路は、表示用電圧値を表す数値データを保持する複数の第1レジスタと、前記表示信号の最大階調差に対応した画素電圧範囲内の所定の間電圧値を表すプリチャージ用数値データを保持する複数の第2レジスタと、前記複数の第1レジスタに保持された数値データおよび前記複数の第2レジスタに保持された数値データを1水平走査期間において選択的に出力する複数の切換スイッチと、前記複数の切換スイッチから出力される各数値データをアナログ電圧に変換する複数のデジタルアナログ変換器を含み、

前記複数の切換スイッチは、各水平走査期間の開始直後のプリチャージ期間に前記複数の第2レジスタの出力を選択し、次いで残余の水平走査期間において前記複数の第1レジスタの出力を選択するように切換え、

前記複数の第2レジスタの数値データは夫々全て等しい数値データに設定されるとともに、前記複数の第1レジスタの数値データは前記画素電圧範囲内において夫々互いに異なる数値データに設定されていることを特徴とする表示信号処理装置。

【請求項 2】

前記階調基準電圧発生回路はさらに前記複数の電圧出力端間の電圧を分圧するように直

列に接続される複数の抵抗を含むことを特徴とする請求項 1 に記載の表示信号処理装置。

【請求項 3】

前記所定の中間電圧値は、前記最大階調差に対応した画素電圧範囲内の電圧の略 1 / 2 であることを特徴とする請求項 1 に記載の表示信号処理装置。

【請求項 4】

略マトリクス状に配置される複数の表示画素、前記複数の表示画素の行に沿って配置される複数のゲート線、前記複数の表示画素の列に沿って配置される複数のソース線、および前記複数のゲート線および前記複数のソース線の交差位置近傍に配置され各々対応ゲート線が駆動される間に対応表示画素を対応ソース線に電氣的に接続する複数の画素スイッチング素子を含む液晶表示パネルと、

10

前記複数のゲート線を順次駆動するゲートドライバ回路と、

1 行分の表示画素に対する表示信号に対応して前記複数のソース線を駆動するソースドライバ回路とを備え、

前記ソースドライバ回路は、複数の階調基準電圧を複数の電圧出力端から発生する階調基準電圧発生回路と、前記複数の電圧出力端の端子間電圧を分圧するように直列に接続される抵抗群から得られる所定数の階調電圧を選択的に用いて表示信号を画素電圧に変換する信号変換回路とを含み、

前記階調基準電圧発生回路は、表示用電圧値を表す数値データを保持する複数の第 1 レジスタと、前記表示信号の最大階調差に対応した画素電圧範囲内の所定の中間電圧値を表すプリチャージ用数値データを保持する複数の第 2 レジスタと、前記複数の第 1 レジスタに保持された数値データおよび前記複数の第 2 レジスタに保持された数値データを 1 水平走査期間において選択的に出力する複数の切換スイッチと、前記複数の切換スイッチから出力される各数値データをアナログ電圧に変換する複数のデジタルアナログ変換器を含み、

20

前記複数の切換スイッチは、各水平走査期間の開始直後のプリチャージ期間に前記複数の第 2 レジスタの出力を選択し、次いで残余の水平走査期間において前記複数の第 1 レジスタの出力を選択するように切換え、

前記複数の第 2 レジスタの数値データは夫々全て等しい数値データに設定されるとともに、前記複数の第 1 レジスタの数値データは前記画素電圧範囲内において夫々互いに異なる数値データに設定されている表示信号処理装置を有し、

30

前記ゲートドライバ回路は、前記複数の切換スイッチが前記複数の第 2 レジスタを選択するプリチャージ期間において、少なくとも 2 本の隣接ゲート線を一緒に駆動するように構成されることを特徴とする液晶表示装置。

【請求項 5】

前記画素電極の極性は 1 ライン毎および 1 フレーム毎に反転され、

前記ゲートドライバ回路は前記複数の切換スイッチが前記複数の第 2 レジスタを選択するプリチャージ期間において、2 本の隣接ゲート線を一緒に駆動することを特徴とする請求項 4 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、表示信号を画素電圧に変換する表示信号処理装置およびこの表示信号処理装置を有する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置に代表される平面表示装置は、パーソナルコンピュータ、情報携帯端末、テレビジョン受像機、あるいはカーナビゲーションシステム等の表示装置として広く利用されている。

【0003】

液晶表示装置は、一般に複数の液晶画素のマトリクスアレイを含む表示パネルと、この

50

表示パネルを駆動する駆動回路とを備える。典型的な表示パネルはアレイ基板および対向基板間に液晶層を挟持した構造を有する。アレイ基板はマトリクス状に配置される複数の画素電極を有し、対向基板はこれら画素電極に対向する共通電極を有する。画素電極および共通電極はこれら電極間に配置される液晶層の画素領域と共に液晶画素を構成し、画素領域内の液晶分子配列を画素電極および共通電極間の電界によって制御する。駆動回路では、例えば各行の画素に対するデジタル表示信号が複数の階調基準電圧を用いて画素電圧に変換され、表示パネルに出力される。画素電圧は共通電極の電位を基準として画素電極に印加される電圧であり、液晶分子の偏在化による表示パネルの劣化を避けるために例えば図5に示すように1水平走査期間(1H)毎に共通電極の電位に対して極性反転されてソースドライバから出力される。図5において、CKVは1垂直走査期間において1水平走査期間を周期として発生されるパルスである垂直クロック信号CKVを表し、STBは垂直クロック信号CKVに同期して水平走査期間(1H)毎に発生されるストロブ信号である。

10

【0004】

従来の階調基準電圧発生回路は、例えば一对の電源端子間に複数の抵抗を直列に接続したラダー抵抗器からなり、電源端子間の電圧を分圧して複数の階調基準電圧を出力する(例えば、特許文献1を参照)。

【特許文献1】特開2003-228332号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

近年では、液晶表示装置の高精細化が求められ、画素数が増大する傾向にある。駆動回路の駆動能力が一定であるとすれば、1垂直走査期間内において表示信号に対応して全ての画素を駆動するために各行の画素の駆動時間を短縮する必要がある。1行(ライン)分の画素の画素電圧はこの駆動時間内に遷移して、これら画素の階調を例えば白表示である最大値から黒表示である最小値まで、あるいは最小値から最大値まで変化させることが可能でなくてはならない。しかしながら、この駆動時間が駆動回路の駆動能力に対して短すぎると、この駆動時間内に画素電圧の遷移を完了させることが困難となる。

【0006】

本発明はこのような問題点に鑑みてなされたものであり、駆動能力の増大を必要とせずに画素の駆動期間を短縮することが可能な表示信号処理装置および液晶表示装置を提供することにある。

30

【課題を解決するための手段】

【0007】

本発明によれば、複数の階調基準電圧を複数の電圧出力端から発生する階調基準電圧発生回路と、前記複数の電圧出力端の端子間電圧を分圧するように直列に接続される抵抗群から得れる所定数の階調電圧を選択的に用いて表示信号を画素電圧に変換する信号変換回路とを備え、前記階調基準電圧発生回路は、表示用電圧値を表す数値データを保持する複数の第1レジスタと、前記表示信号の最大階調差に対応した画素電圧範囲内の所定の中間電圧値を表すプリチャージ用数値データを保持する複数の第2レジスタと、前記複数の第1レジスタに保持された数値データおよび前記複数の第2レジスタに保持された数値データを1水平走査期間において選択的に出力する複数の切換スイッチと、前記複数の切換スイッチから出力される各数値データをアナログ電圧に変換する複数のデジタルアナログ変換器を含み、前記複数の切換スイッチは、各水平走査期間の開始直後のプリチャージ期間に前記複数の第2レジスタの出力を選択し、次いで残余の水平走査期間において前記複数の第1レジスタの出力を選択するように切換え、前記複数の第2レジスタの数値データは夫々全て等しい数値データに設定されるとともに、前記複数の第1レジスタの数値データは前記画素電圧範囲内において夫々互いに異なる数値データに設定されている液晶表示装置が提供される。

40

【0008】

50

さらに本発明によれば、略マトリクス状に配置される複数の表示画素、前記複数の表示画素の行に沿って配置される複数のゲート線、前記複数の表示画素の列に沿って配置される複数のソース線、および前記複数のゲート線および前記複数のソース線の交差位置近傍に配置され各々対応ゲート線が駆動される間に対応表示画素を対応ソース線に電氣的に接続する複数の画素スイッチング素子を含む液晶表示パネルと、前記複数のゲート線を順次駆動するゲートドライバ回路と、1行分の表示画素に対する表示信号に対応して前記複数のソース線を駆動するソースドライバ回路とを備え、前記ソースドライバ回路は、複数の階調基準電圧を複数の電圧出力端から発生する階調基準電圧発生回路と、前記複数の電圧出力端の端子間電圧を分圧するように直列に接続される抵抗群から得られる所定数の階調電圧を選択的に用いて表示信号を画素電圧に変換する信号変換回路とを含み、前記階調基準電圧発生回路は、表示用電圧値を表す数値データを保持する複数の第1レジスタと、前記表示信号の最大階調差に対応した画素電圧範囲内の所定の中間電圧値を表すプリチャージ用数値データを保持する複数の第2レジスタと、前記複数の第1レジスタに保持された数値データおよび前記複数の第2レジスタに保持された数値データを1水平走査期間において選択的に出力する複数の切換スイッチと、前記複数の切換スイッチから出力される各数値データをアナログ電圧に変換する複数のデジタルアナログ変換器を含み、前記複数の切換スイッチは、各水平走査期間の開始直後のプリチャージ期間に前記複数の第2レジスタの出力を選択し、次いで残余の水平走査期間において前記複数の第1レジスタの出力を選択するように切換え、

10

前記複数の第2レジスタの数値データは夫々全て等しい数値データに設定されるとともに、前記複数の第1レジスタの数値データは前記画素電圧範囲内において夫々互いに異なる数値データに設定されている表示信号処理装置を有し、前記ゲートドライバ回路は、前記複数の切換スイッチが前記複数の第2レジスタを選択するプリチャージ期間において、少なくとも2本の隣接ゲート線を一緒に駆動するように構成される液晶表示装置が提供される。

20

【発明の効果】

【0009】

これら表示信号処理装置および液晶表示装置では、出力制御部が信号変換回路の変換動作毎に複数の階調基準電圧を画素電圧範囲において互いに同じであるプリチャージ用中間電圧値に一時的に設定する。この状態では、階調基準電圧発生回路の電圧出力端子間に電圧差が生じないため、信号変換回路が抵抗群から得られる全階調電圧のどれを画素電圧として選択しても、上述したプリチャージ用中間電圧値の画素電圧が出力される。信号変換回路の画素電圧出力端の負荷容量がこの画素電圧によってプリチャージされていると、画素電圧が表示信号を反映した電圧値までより短い時間で遷移する。従って、駆動能力の増大を必要とせずに画素の駆動期間を短縮することが可能である。

30

【発明を実施するための最良の形態】

【0010】

以下、本発明の一実施形態に係る液晶表示装置について添付図面を参照して説明する。図1はこの液晶表示装置1の回路構成を概略的に示す。液晶表示装置1は、複数の液晶画素PXを有する表示パネルDP、および表示パネルDPを制御する制御ユニットCNTを備える。表示パネルDPはアレイ基板2および対向基板3間に液晶層4を挟持した構造である。

40

【0011】

アレイ基板2は、例えばガラス等の透明絶縁基板上にマトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って配置される複数のゲート線Y(Y1~Ym)、複数の画素電極PEの列に沿って配置される複数のソース線X(X1~Xn)、これらゲート線Yおよびソース線Xの交差位置近傍に配置される画素スイッチング素子W、および複数のゲート線Yを順次駆動するゲートドライバ10、および各ゲート線Yが駆動される間に複数のソース線Xを駆動するソースドライバ20を有する。各画素スイッチング素子Wは例えばポリシリコン薄膜トランジスタからなる。この場合、薄膜トランジスタ

50

のゲートが1本のゲート線Yに接続され、ソースおよびドレインパスが1本のソース線Xおよび1個の画素電極PE間にそれぞれ接続される。尚、ゲートドライバ10は画素スイッチング素子Wと同一工程で同時に形成されるポリシリコン薄膜トランジスタを用いて構成される。また、ソースドライバ20はCOG (Chip On Glass) 技術によりアレイ基板2にマウントされた集積回路(IC)チップである。

【0012】

対向基板3は例えばガラス等の透明絶縁基板上に配置されるカラーフィルタ(図示せず)、および複数の画素電極PEに対向してカラーフィルタ上に配置される共通電極CE等を含む。各画素電極PEおよび共通電極CEは例えばITO等の透明電極材料からなり、画素電極PEおよび共通電極CE間に配置されこれら電極PE, CEからの電界に対応した液晶分子配列に制御される液晶層4の画素領域と共に液晶画素PXを構成する。また、全ての画素PXは補助容量Csを有する。これら補助容量Csはアレイ基板2側において複数行の画素電極PEにそれぞれ容量結合した複数の補助容量線を共通電極CEに電氣的に接続することにより得られる。

10

【0013】

制御ユニットCNTはコントローラ5、コモン電圧発生回路6、階調基準電圧発生回路7を含む。コントローラ5は外部から供給されるデジタル映像信号VIDEOを画像として表示パネルDPに表示させるためにコモン電圧発生回路6、階調基準電圧発生回路7、ゲートドライバ10、ソースドライバ20を制御する。コモン電圧発生回路6は対向基板3上の共通電極CEに対してコモン電圧Vcomを発生する。階調基準電圧発生回路7は映像信号VIDEOから各画素PXに対して得られる例えば6ビットの表示信号DATAを画素電圧に変換するために用いられる複数の階調基準電圧VREFを発生する。画素電圧は共通電極CEの電位を基準として画素電極PEに印加される電圧である。

20

【0014】

コントローラ5は、1垂直走査期間毎に順次複数のゲート線Yを選択するための制御信号CTYおよび、1水平走査期間(1H)毎に映像信号VIDEOに含まれる1行(ライン)分の画素PXに対する表示信号DATAを複数のソース線Xにそれぞれ割り当てるための制御信号CTX等を発生する。制御信号CTYは1垂直走査期間(1V)毎に発生されるパルスである垂直スタート信号STV、および1垂直走査期間においてゲート線数分発生されるパルスである垂直クロック信号CKVを含む。ここで、制御信号CTXは1水平走査期間(1H)毎に発生されるパルスである水平スタート信号STH、各水平走査期間においてソース線数分発生されるパルスである水平クロック信号CKH、1ライン分の画素に対する表示信号DATAを並列的に画素電圧に変換してソース線X1~Xnに出力するために1水平走査期間(1H)毎にスタート信号STHから所定時間遅れて発生されるパルスであるストローク信号STB、および1水平走査期間毎および1垂直走査期間毎に画素電圧の極性を反転させるための極性信号POLを含む。制御信号CTYはコントローラ5からゲートドライバ10に供給され、制御信号CTXは表示信号DATAと共にコントローラ5からソースドライバ20に供給される。

30

【0015】

ゲートドライバ10は制御信号CTYの制御により複数のゲート線Yを順次選択し、画素スイッチング素子Wを導通させる走査信号を選択ゲート線Yに供給する。但し、ゲートドライバ10は各水平走査期間の開始後において一時的に2本の隣接ゲート線Y1およびY2, Y2およびY3, Y3およびY4...を一緒に選択するように構成されている。

40

【0016】

図2は図1に示すソースドライバ20の構成を概略的に示す。ソースドライバ20は、水平スタート信号STHを水平クロック信号CKHに同期してシフトし、デジタル映像信号VIDEOを順次直並列変換するタイミングを制御するシフトレジスタ21、シフトレジスタ21の制御により1ライン分の画素PXに対する表示信号DATAを順次ラッチし、並列的に出力するサンプリング&ロードラッチ22、これら表示信号DATAをアナログ形式の画素電圧に変換するデジタルアナログ(D/A)変換回路23、およびD/A変換回路23か

50

ら得られるアナログ画素電圧をソース線 $X_1 \sim X_n$ に出力する出力バッファ回路 24 を含む。D/A 変換回路 23 は、階調基準電圧発生回路 7 から発生される複数の階調基準電圧 V_{REF} を参照するように構成される。

【0017】

階調基準電圧発生回路 7 は、図 3 に示すように例えば 6 個の電圧切換部 $VC_1 \sim VC_6$ と、これら電圧切換部 $VC_1 \sim VC_6$ によって制御される可変電圧発生部 $VG_1 \sim VG_6$ と、これら可変電圧発生部 $VG_1 \sim VG_6$ の出力端（出力チャネル） $CH_6 \sim CH_1$ 間電圧を分圧するように直列に接続される複数の抵抗 $R_0 \sim R_8$ とを有する。

【0018】

電圧切換部 $VC_1 \sim VC_6$ は表示用数値データを格納するレジスタ RG_1 、プリチャージ用数値データを格納するレジスタ RG_2 、並びに可変電圧発生部 $VG_1 \sim VG_6$ を制御するために表示用数値データおよびプリチャージ用数値データ的一方を選択的に出力する切換スイッチ S を含む。表示用数値データおよびプリチャージ用数値データは電源投入時にコントローラ 5 から複数の電圧切換部 $VC_1 \sim VC_6$ のレジスタ RG_1 、 RG_2 に供給される。電圧切換部 $VC_1 \sim VC_6$ の切換スイッチ S は各水平走査期間においてストローブ信号 STB に同期してプリチャージ用数値データを所定のプリチャージ期間出力し、このプリチャージ期間の経過後に表示用数値データを出力するようにコントローラ 5 により制御される。1 水平走査期間が $31.7 \mu s$ である場合、プリチャージ期間は $8 \mu s$ 程度である。表示用数値データおよびプリチャージ用数値データは $8 \sim 10$ ビット程度であり、6 ビットの表示信号 $DATA$ に対して十分高い分解能を有する。

【0019】

可変電圧発生部 $VG_1 \sim VG_6$ の各々は、D/A 変換器 30 および出力バッファ 31 を含む。可変電圧発生部 $VG_1 \sim VG_6$ の D/A 変換器 30 はそれぞれ電圧切換部 $VC_1 \sim VC_6$ から出力される数値データを出力電圧に変換し、出力バッファ 31 がこの出力電圧を出力端 $CH_6 \sim CH_1$ に出力する。

【0020】

複数の抵抗 $R_0 \sim R_8$ は可変電圧発生部 $VG_1 \sim VG_6$ の出力端 $CH_6 \sim CH_1$ 間電圧を分圧して複数の階調基準電圧 V_{REF} を得ると共にこれら階調基準電圧 V_{REF} の電圧出力端の電気的な相互接続のために用いられる。この実施形態において、階調基準電圧 V_{REF} は例えば 10 個の電圧出力端から出力される階調基準電圧 $V_0 \sim V_9$ である。これら階調基準電圧 $V_0 \sim V_9$ は、階調基準電圧 V_0 に向かって相対的に高いレベルになり、階調基準電圧 V_9 側に向かって相対的に低いレベルになるように設定されている。

【0021】

ソースドライバ 20 の D/A 変換回路 23 は、例えば図 2 および図 3 に示すように複数の D/A 変換部 23' および階調基準電圧発生回路 7 の電圧出力端間に接続される入力抵抗群 $r_0 \sim r_8$ で構成される。入力抵抗群 $r_0 \sim r_8$ は複数の D/A 変換部 23' に対して共通に設けられ、これら電圧出力端間電圧を分圧して得られる所定数の階調電圧を複数の D/A 変換部 23' に出力する。

【0022】

各 D/A 変換部 23' はサンプリング & ロードラッチ 22 から出力されるデジタル表示信号 $DATA$ に対応して所定数の階調電圧の 1 つを選択して、これをアナログ画素電圧として出力バッファ回路 24 に出力する。出力バッファ回路 24 は複数の D/A 変換部 23' からのアナログ画素電圧をそれぞれソース線 X_1 、 X_2 、 X_3 、... に出力する複数のバッファアンプ 24' で構成される。

【0023】

上述の電圧切換部 $VC_1 \sim VC_6$ は D/A 変換回路 23 の変換動作毎に階調基準電圧 $V_0 \sim V_9$ を表示信号の最大階調差に対応した画素電圧範囲において互いに同じであるプリチャージ用中間電圧値に一時的に設定し、続いて階調基準電圧 $V_0 \sim V_9$ をこの画素電圧範囲において互いに異なる表示用電圧値に設定する出力制御部を構成する。プリチャージ用中間電圧値は画素電圧範囲の略 $1/2$ であることが好ましい。また、D/A 変換回路 2

10

20

30

40

50

3 および出力バッファ回路 24 は階調基準電圧発生回路 7 の電圧出力端間電圧を分圧するように直列に接続される入力抵抗群 $r_0 \sim r_8$ から得られる所定数の階調電圧を選択的に用いて 1 ライン分の表示信号 DATA をそれぞれ画素電圧に変換し、これら画素電圧をソース線 $X_1 \sim X_n$ に出力する信号変換回路を構成する。

【0024】

ソース線 $X_1 \sim X_n$ 上の画素電圧は走査信号によって駆動された 1 ライン分の画素スイッチング素子 W を介して対応する画素電極 P E にそれぞれ供給される。コモン電圧 V_{com} は画素電圧の出力タイミングに同期してコモン電圧発生回路 6 から共通電極 C E に出力される。このコモン電圧発生回路 6 はコントローラ 5 によって設定される 8 ~ 10 ビット程度の数値データに対応した出力電圧を発生する D/A 変換器等を用いて構成され、例えば 0 V および 5.8 V の電圧を 1 水平走査期間毎に交互に出力する。このため、ソースドライバ 20 側では、各 D/A 変換部 23' がコモン電圧 V_{com} の中心レベルを基準にして画素電圧を極性反転させる。液晶印加電圧を最大にする場合、画素電圧は 0 V のコモン電圧 V_{com} に対して 5.8 V に設定され、5.8 V のコモン電圧 V_{com} に対して 0 V に設定される。ちなみに、画素電圧がソースドライバ 20 から 5.8 V で出力されても、画素スイッチング素子 W の寄生容量に起因するフィールドスルー電圧等により例えば 4.8 V 程度に低下して画素電極 P E に保持されることになる。このため、コモン電圧発生回路 6 から出力されるコモン電圧 V_{com} の振幅および中心レベルは実際に画素電極 P E に保持される画素電圧に合わせて予め調整される。全画素 P X の液晶印加電圧はさらに 1 フレーム (1 垂直走査期間) 毎に反転される。

【0025】

この液晶表示装置 1 では、ゲートドライバ 10 が 1 垂直走査期間においてゲート線 $Y_1, Y_2, Y_3, \dots$ に 1 水平走査期間ずつ順次走査信号を出力する。また、走査信号は各水平走査期間の開始直後のプリチャージ期間だけゲート線 $Y_1, Y_2, Y_3, \dots$ の次のゲート線 $Y_2, Y_3, Y_4, \dots$ にも出力される。すなわち、各水平走査期間の開始直後のプリチャージ期間では、2 本のゲート線 Y_1 および Y_2, Y_2 および Y_3, Y_3 および $Y_4, \dots$ が一緒に駆動される。

【0026】

例えばゲート線 Y_1 および Y_2 がプリチャージ期間において一緒に駆動されると、2 ライン分の画素スイッチング素子 W が同時に導通し、ソース線 $X_1, X_2, X_3, \dots$ が対応画素スイッチング素子 W を介して第 1 ラインの対応画素電極 P E および第 2 ラインの対応画素電極 P E に電氣的に接続される。階調基準電圧発生回路 7 では、電圧切換部 $VC_1 \sim VC_6$ の切換スイッチ S がこのプリチャージ期間においてプリチャージ用数値データを可変電圧発生部 $VG_1 \sim VG_6$ に出力し、可変電圧発生部 $VG_1 \sim VG_6$ がプリチャージ用数値データを出力電圧に変換する。この結果、複数の階調基準電圧 $V_0 \sim V_9$ は表示信号 DATA の最大階調差に対応した画素電圧範囲において互いに同じであるプリチャージ用中間電圧値に一時的に設定される。すなわち、階調基準電圧発生回路 7 の電圧出力端子間に電圧差が生じない。このため、これら電圧出力端間に接続された入力抵抗群 $r_0 \sim r_8$ から得られる所定数の階調電圧が全てこの中間電圧値に設定され、複数の D/A 変換部 23' に出力される。各 D/A 変換部 23' が表示信号 DATA に対応してこれら階調電圧の 1 つを選択しこれを画素電圧として画素電圧出力端から出力すると、ソース線 $X_1 \sim X_n$ が実質的に表示信号 DATA を反映しない中間電圧値の画素電圧までプリチャージされる。

【0027】

上述のプリチャージ期間が経過すると、走査信号は 1 本のゲート線 Y_1 だけに継続的に出力され、次のゲート線 Y_2 には出力されなくなる。これにより、ゲート線 Y_1 が単独で駆動され、1 ライン分の画素スイッチング素子 W だけ導通させると、ソース線 $X_1, X_2, X_3, \dots$ が対応画素スイッチング素子 W を介して第 1 ラインの対応画素電極 P E に電氣的に接続される。階調基準電圧発生回路 7 では、電圧切換部 $VC_1 \sim VC_6$ の切換スイッチ S がプリチャージ期間の経過後に表示用数値データを可変電圧発生部 $VG_1 \sim VG_6$ に出力し、可変電圧発生部 $VG_1 \sim VG_6$ が表示用数値データを出力電圧に変換する。この結

果、複数の階調基準電圧 $V_0 \sim V_9$ は表示信号DATAの最大階調差に対応した画素電圧範囲において互いに異なる表示用電圧値に設定される。これにより、階調基準電圧発生回路7の電圧出力端子間に電圧差が生じるため、これら電圧出力端間に接続された入力抵抗群 $r_0 \sim r_8$ から得られる所定数の階調電圧が互いに異なる表示用電圧値に設定され、複数のD/A変換部23'に出力される。各D/A変換部23'が表示信号DATAに対応してこれら階調電圧の1つ選択し、これを画素電圧として画素電圧出力端から出力すると、ソース線 $X_1 \sim X_n$ 上の画素電圧が表示信号DATAを反映した電圧値まで遷移する。

【0028】

上述の実施形態では、階調電圧発生回路7およびソースドライバ20の組み合わせが書き込み能力に優れた表示信号処理装置を構成し、画素電圧の電圧値および時間を任意に制御してソース線Xおよび画素PXをプリチャージできる。具体的には、出力制御部（電圧切換部 $VC_1 \sim VC_6$ ）が信号変換回路（D/A変換回路23および出力バッファ24）の変換動作毎に階調基準電圧 $V_0 \sim V_9$ を表示信号DATAの最大階調差に対応する画素電圧範囲において互いに同じであるプリチャージ用中間電圧値に一時的に設定する。この状態では、階調基準電圧 $V_0 \sim V_9$ の電圧出力端子間に電圧差が生じないため、信号変換回路が入力抵抗群 $r_0 \sim r_8$ から得られる全階調電圧のどれを画素電圧として選択しても、上述した中間電圧値の画素電圧が出力される。信号変換回路の画素電圧出力端の負荷容量（ソース線 $X_1 \sim X_n$ ）が中間電圧値の画素電圧によってプリチャージされていると、画素電圧が表示信号DATAを反映した電圧値までより短い時間で遷移する。従って、駆動能力の増大を必要とせずに画素の駆動期間を短縮することが可能である。

【0029】

特に上述のように全画素PXの液晶印加電圧の極性が1ライン毎および1フレーム毎に反転される駆動形式である場合には、ソースドライバ20のバッファ出力が各画素PXの画素電極PEに対して画素電圧を設定するために極めて大きく遷移しなくてはならない。例えば全体的に黒（または白）の画像が複数フレームにおいて連続的に表示される場合には、ソースドライバ20のバッファ出力はストロブ信号STBおよび垂直クロック信号CKVに対して図4に示すようなタイミングで遷移する。表示信号DATAに基づくD/A変換の開始タイミングをソース線Xを中間電圧値に設定した後にしてもよいが、上述のようにソースドライバ20のバッファ出力がフレームiおよび次のフレームi+1について逆極性になる場合には、表示信号DATAに基づくD/A変換の開始タイミングが既存のソースドライバICの仕様のためにソース線Xを中間電圧値に設定する前に制約されても、次の理由から表示信号DATAを反映した電圧値までの遷移時間を短縮することが可能である。ここで、例えばゲート線 Y_{k-1} 、 Y_k およびソース線 X_1 に対応した一対の画素 PX_{k-1} 、 PX_k に注目する。画素 PX_{k-1} 、 PX_k はプリチャージ期間において導通する一対の画素スイッチング素子 W_{k-1} 、 W_k をそれぞれ介して電氣的にソース線 X_1 に接続され、画素 PX_{k-1} および画素 PX_k 間で電荷を等しく配分させてこれら一対の画素 PX_{k-1} 、 PX_k に同量の電荷を共有させる。ソース線 X_1 がソースドライバ20のバッファ出力によって画素電圧範囲の略1/2である中間電圧値までプリチャージされる場合には、ソース線 X_1 の電位遷移がこのプリチャージにおいて促進される。次に、ゲート線 Y_k 、 Y_{k+1} およびソース線 X_1 に対応した一対の画素 PX_k 、 PX_{k+1} に注目すると、画素 PX_{k-1} 、 PX_k は1水平走査期間（1H）後のプリチャージ期間において導通する一対の画素スイッチング素子 W_k 、 W_{k+1} をそれぞれ介して電氣的にソース線 X_1 に接続され、画素 PX_k および画素 PX_{k+1} 間で電荷を等しく配分させてこれら一対の画素 PX_{k-1} 、 PX_k に同量の電荷を共有させる。画素 PX_k については、1水平走査期間（1H）前のプリチャージ期間においてソース線 X_1 と共に中間電圧値に設定されている。これは、プリチャージ期間後においてソースドライバ20のバッファ出力によって行うソース線 X_1 の電位遷移についても促進し、その結果として画素 PX_k の画素電圧を表示信号DATAを反映させた電圧値まで遷移させる時間を短縮する。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 3 0 】

【図 1】本発明の一実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図 2】図 1 に示すソースドライバの構成を概略的に示す図である。

【図 3】図 2 に示す階調基準電圧発生回路の構成を示す図である。

【図 4】図 1 に示す液晶表示装置の動作を示す波形図である。

【図 5】従来から知られる H ライン反転駆動方式を示す波形図である。

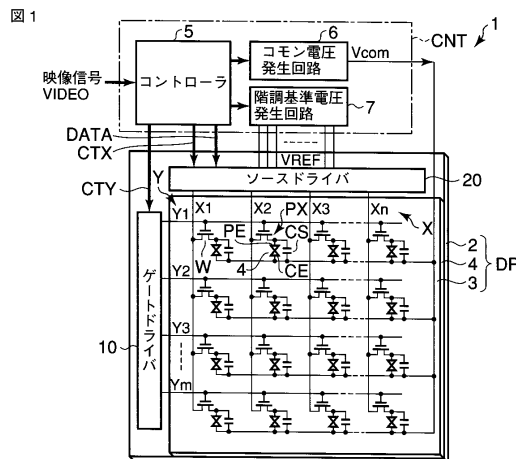
【符号の説明】

【 0 0 3 1 】

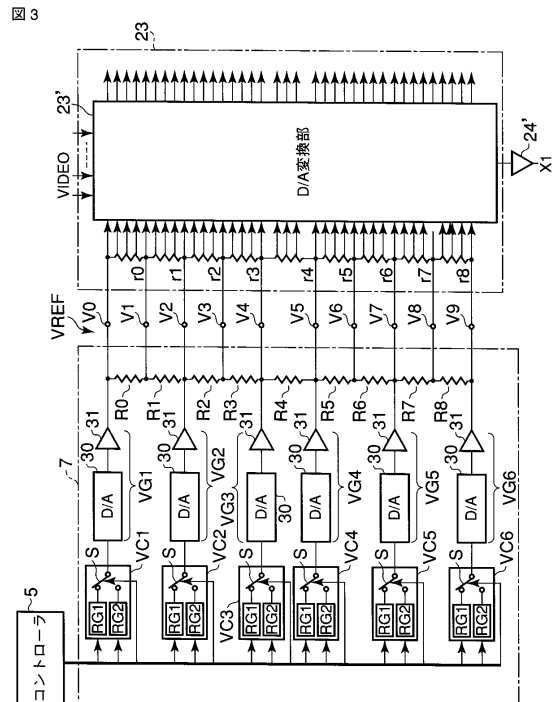
1 ... 液晶表示装置、2 ... アレイ基板、3 ... 対向基板、4 ... 液晶層、5 ... コントローラ、
6 ... コモン電圧発生回路、7 ... 階調基準電圧発生回路、10 ... ゲートドライバ、20 ... ソ
ースドライバ、23 ... D/A 変換回路、23' ... D/A 変換部、VC1 ~ VC6 ... 電圧切
換部 VC1 ~ VC6、VG1 ~ VB6 ... 可変電圧発生部、30 ... D/A 変換器、31 ... 出
力バッファ、PE ... 画素電極、CE ... 共通電極、PX ... 液晶画素、DP ... 表示パネル、C
NT ... 制御ユニット、X ... ソース線、Y ... ゲート線、W ... 画素スイッチング素子。

10

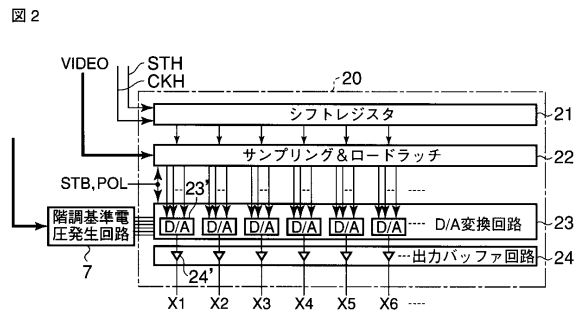
【図 1】



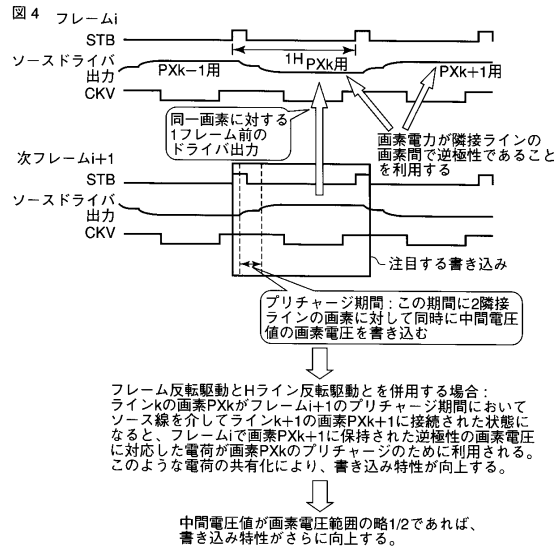
【図 3】



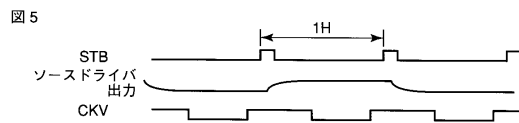
【図 2】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 1 2 R

G 0 9 G 3/20 6 2 3 B

G 0 2 F 1/133 5 5 0

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 金田 晴利

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 森口 忠紀

(56)参考文献 特開2004-165749(JP,A)

特開平07-325556(JP,A)

特開2002-072968(JP,A)

特開2002-311916(JP,A)

特開2002-366112(JP,A)

特開平10-333648(JP,A)

特開2005-234495(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 , 5 0 5 - 1 / 1 3 3 , 5 8 0