

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6110141号
(P6110141)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int. Cl. F I
H03L 7/197 (2006.01) H03L 7/197 140
H03L 7/08 (2006.01) H03L 7/08

請求項の数 12 外国語出願 (全 15 頁)

(21) 出願番号	特願2013-66 (P2013-66)	(73) 特許権者	510145967
(22) 出願日	平成25年1月4日(2013.1.4)		ウーブボックス アクチェンゲゼルシャフト
(65) 公開番号	特開2013-143773 (P2013-143773A)		スイス国, ツェーハー 8800 タールビル, チュルヒャーシュトラッセ 68
(43) 公開日	平成25年7月22日(2013.7.22)	(74) 代理人	100099759
審査請求日	平成27年11月13日(2015.11.13)		弁理士 青木 篤
(31) 優先権主張番号	12405002.2	(74) 代理人	100092624
(32) 優先日	平成24年1月6日(2012.1.6)		弁理士 鶴田 準一
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100122965
			弁理士 水谷 好男
		(74) 代理人	100141162
			弁理士 森 啓
		(74) 代理人	100160716
			弁理士 遠藤 力

最終頁に続く

(54) 【発明の名称】 分数分周PLLシンセサイザ信号のオフセット時間を決定する方法、及びその方法を実行するシンセサイザ、信号処理装置並びにGNSS受信器

(57) 【特許請求の範囲】

【請求項1】

ロック喪失期間(II)の前の第1ロック状態期間(I)の間のシンセサイザ信号の位相に対する前記ロック喪失期間(II)の後の第2ロック状態期間(III)の間の分数分周PLLシンセサイザ信号(b)のオフセット時間を決定する方法において、前記ロック状態期間(I及びIII)の間では、前記シンセサイザ信号(b)は、フィードバックパスによって基準信号(a)にロックされて、前記基準信号(a)の周波数が、分数分周比で分周された後の周波数と等しくなるように前記基準信号(a)と分周信号(d)との間の位相関係が一定に保たれる方法であって、

前記ロック喪失期間(II)の間の前記基準信号のサイクル数と前記フィードバックパスの前記分周信号のサイクル数との間のサイクル差が評価され、前記フィードバックパスのシンセサイザ信号(b)のオフセット時間は、前記分周比と前記サイクル差とによる生成物に比例する数値として決定される、ことを特徴とする方法。

【請求項2】

前記第2ロック状態期間(III)の位相補正デジタル信号の部分が前記第1ロック状態期間(I)の位相補正デジタル信号の部分と位相が一致するように、前記位相補正デジタル信号は、アナログ入力信号から生成され、

前記アナログ入力信号は、前記シンセサイザ信号(b)から抽出されたダウンコンバート信号とミックスされることによりダウンコンバートされ、

前記ダウンコンバートされたアナログ信号は、デジタル信号に変換され、

10

20

前記位相補正デジタル信号は、前記デジタル信号から抽出され、前記抽出は、前記ロック喪失期間（ $I I$ ）の後に、補正時間が前記オフセット時間から抽出され、前記第2ロック状態期間（ $I I I$ ）のデジタル信号の位相が前記補正時間に応じて補正されることを含む、請求項1に記載の方法。

【請求項3】

前記デジタル信号は、複素デジタル中間信号であり、前記位相補正デジタル信号は、複素デジタル指数関数信号と前記複素デジタル中間信号とをミックスすることにより、前記複素デジタル中間信号から抽出され、前記位相の前記補正によって、前記複素デジタル指数関数信号が前記補正時間に比例する位相補正に従うようになる、請求項2に記載の方法。

10

【請求項4】

前記複素デジタル指数関数信号は、非回転信号であり、前記位相補正デジタル信号は位相補正ベースバンド信号である、請求項3に記載の方法。

【請求項5】

2つ以上のフィードバックパスを交互に使用して、前記分周信号は、それぞれの場合の特定の分周比で抽出され、フィードバックパスはそれぞれ、交互にフィードバックパスのロック状態期間を有するロック喪失期間を有し、オフセット時間はフィードバックパスのロック喪失期間の後にフィードバックパスのそれぞれについて決定される、請求項1～4の何れか一項に記載の方法。

【請求項6】

20

周期的な基準信号（ a ）を受信する第1入力を有する位相検出器（31）と、前記位相検出器により制御され、シンセサイザ信号（ b ）を生成する発振器と、前記発振器の出力に接続される入力を備える分周器（35）であって、周波数が分数分周比で分周されたシンセサイザ信号（ b ）の周波数に等しい分周信号を出力で生成する分周器（35）を有し、前記分周器（35）の出力は、前記フィードバックパスを閉じるために前記位相検出器（31）の第2入力に接続され、又は接続可能にされるフィードバックパスと、を有する分数分周PLLシンセサイザであって、前記位相検出器（31）の第1入力と、前記分周器（35）の出力とに接続され、前記基準信号（ a ）及び前記分周信号（ d ）のサイクルに応じて、前記分数分周PLLシンセサイザのサイクルカウント出力にサイクルカウント信号を提供するサイクル検出器を有する、請求項1～5の何れか一項に記載の方法を実行する分数分周PLLシンセサイザ。

30

【請求項7】

前記サイクル検出器は、前記分周信号（ d ）のサイクルを検出してカウントアップし、且つ前記基準信号（ a ）のサイクルを検出してカウントダウンするか又はその逆であるアップダウンカウンタ（36）を有する、請求項6に記載の分数分周PLLシンセサイザ。

【請求項8】

前記シンセサイザ信号（ b ）から第1ダウンコンバート信号と、前記第1ダウンコンバート信号に対して $/2$ シフトした第2ダウンコンバート信号とを抽出する位相シフタ（34）を更に有する、請求項6又は7に記載の分数分周PLLシンセサイザ。

【請求項9】

40

前記発振器の出力に接続される入力を有する分周器（35a、35b）であって、周波数がフィードバックパス特有の非整数分周比（ $N f a$ 、 $N f b$ ）で分周された前記シンセサイザ信号の周波数に関連する分周信号を出力に生成する分周器をそれぞれ有する2つ以上のフィードバックパスと、

個々のフィードバックパスを閉じるために、前記位相検出器（31）の第2入力に前記分周器（35a、35b）の出力のそれぞれを交互に接続可能なフィードバックスイッチ（37）と、

フィードバックパスそれぞれにおいて、前記位相検出器（31）の第1入力と、前記分周器（35a、35b）の出力とに接続され、前記基準信号（ a ）と前記分周信号（ d ）とにตอบสนองするサイクル検出器と、

50

前記分数分周 P L L シンセサイザのサイクルカウント出力に前記サイクル検出器の出力を交互に接続可能な出力スイッチ (3 8) と、を有する、請求項 6 ~ 8 の何れか一項に記載の分数分周 P L L シンセサイザ。

【請求項 1 0】

請求項 8 又は 8 及び 9 に記載の分数分周 P L L シンセサイザをフロントエンドシンセサイザ (6、6´) として有する信号処理装置であって、

複素ダウンコンバートアナログ信号をアナログ入力信号から抽出するために、前記第 1 ダウンコンバート信号を受信する第 1 アナログミキサ (9 a) 及び前記第 2 ダウンコンバート信号を受信する第 2 アナログミキサ (9 b) と、

複素デジタル中間信号を前記複素ダウンコンバートアナログ信号から抽出する A / D 変換器 (1 5 a、1 5 b) と、

前記サイクルカウント信号に依存する補正時間に従って位相補正がされる複素デジタル指数を提供するように構成される N C O (2 9) によって制御される複素ミキサ (1 6) と、を更に有する、信号処理装置。

【請求項 1 1】

前記フロントエンドシンセサイザ (6、6´) のサイクルカウント出力と、前記 N C O (2 9) との間に接続され、前記分周比、及び前記サイクルカウント信号から抽出されるサイクル差の生成物から補正期間を抽出するように構成される、オフセット計算部 (3 0) を更に有する、請求項 1 0 に記載の信号処理装置。

【請求項 1 2】

請求項 1 0 又は 1 1 に記載の信号処理装置を有する G N S S 受信器。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

本発明は、分数分周 P L L シンセサイザ信号 (Fractional-N PLL Synthesizer signal) のオフセット期間を決定する方法に関する。本発明に係る方法は、具体的には携帯電話及び G N S S 受信器のような G S S S 信号受信器である受信器などに使用される。また、本発明は、その方法を実行するシンセサイザに関し、シンセサイザを有する信号処理装置及びそのような信号処理装置を有する G N S S 受信器に関する。

【背景技術】

【 0 0 0 2】

P L L (phase-locked loop、位相同期回路) ドライバのフィードバックパスにおいて分周器が基準信号よりも高い周波数を有するシンセサイザ信号を抽出する P L L シンセサイザが種々の装置で使用される。分数分周器 (fractional-N frequency divider) を使用して、シンセサイザ信号の周波数を基準信号の周波数に関連付けることによって、分数の分周比が可能になり、周波数チャンネルを比較的狭い空間にできる。従来、この種のフィードバックパスは、異なる 2 以上の整数の分周比の間で定期的に切り替えるカウンタを有する分周器を使用して実行される。例えば、いわゆるデュアル・モジュラス分数分周シンセサイザ (dual-modulus fractional-N synthesizers) において、分周器は、K 倍したシンセサイザ信号の周波数を、整数 N + 1 で除算し、L > K として (L - K) 倍したシンセサイザ信号の周波数を N で除算するように構成できる。したがって、平均分周比 N f は、(N + K) / L 又は (N L + K) / L、すなわち分数、非整数である分周比である。シンセサイザ信号の周波数が基準信号の周波数の N f 倍であるとき、出力信号の周波数は、パラメータ N、L 及び K を選択することによって、広い帯域に亘って変更可能であり、且つ解像度を高くできる。具体的には、分周器はシグマ デルタ変調器で制御できるが、分数分周器は、他の装置でも実施可能である。

【 0 0 0 3】

整数分周器を採用する P L L シンセサイザにはなく、分数分周器を採用する P L L シンセサイザに存在する課題は、P L L がクローズしてロックが確立するロック状態期間が、ロックが喪失されるロック喪失期間によって分離されるときはいつでも、2 つのロック状

10

20

30

40

50

態期間のシンセサイザ信号の部分は、概して位相が一致していないことである。言い換えると、第1期間の阻害されていないシンセサイザ信号の仮想の連続、すなわち、ロック喪失が生じないで連続した場合のシンセサイザ信号に対して、第2期間の間のシンセサイザ信号の部分に位相シフトがあることである。この状況は、同一の装置から安定してデータを抽出するなどの応用では、受信信号の処理において著しく生ずる。この課題に対して種々の提案がされている。

【0004】

クレーム1の包括部に従う方法が米国特許公報2009/0224974号公報に記載されている。ここで、シンセサイザ信号と、クロック信号から抽出される基準信号との間の位相関係は、回路が低消費電力モードになり、PLLの機能がクロックから離れて一時停止する中断時間の前後で決定される。ダウタイム前後のシンセサイザ信号の間の位相オフセットは、中断時間前後のシンセサイザ信号と基準信号との間の差異により決定される。

10

【0005】

米国特許公報2009/0224974号公報で提案されている方法は、複雑である。また、この方法は、シンセサイザ信号の周波数よりも高い周波数を有する基準信号に依存する。シンセサイザ信号は、周波数を低下させることが一般に要求される。シンセサイザ信号と基準信号との間の位相関係は、制限された精度のみによって決定され、実際には、シンセサイザ信号と基準信号との間の位相関係は、精度の上方又は下方で決定される。

【0006】

20

米国特許第6107843号には、先にN、L及びKとして示されたパラメータのいくつか又は全てを種々の値の間で切り替えることによって、分周比を変動できる方法が記載される。位相が一致している状態を維持するために、パラメータの種々のセットの間の切り換えは、基準信号のサイクル数がLの倍数である場合か、種々の値のLを使用したときに、それらの値の最小公倍数である場合にのみ可能になる。この方法では、他のパラメータセットに転換する前に、待機時間が要求されることが一般的である。このため、予期せずロックが突然に喪失したときに生じる位相のオフセットを決定することは容易でない。

【0007】

米国特許第6556082号及び米国特許7463710号において、同様な方法が開示される。また、米国特許7463710号では、上述のLに対応するパラメータを一時的に補正することによってPLLシンセサイザ信号の位相を調整することが開示される。

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、分数分周PLLシンセサイザにおけるロックの一時的な喪失の全ての場合に確実に動作する汎用的な方法を提供することを目的とする。この目的は、クレーム1の特徴部分によって実現される。

【課題を解決するための手段】

【0009】

本発明に係る方法では、ロックが喪失する前後のシンセサイザ信号の位相関係は、予期しない突然の事象、すなわち異なるフィードバックパスへの中間切り替え、同調コンデンサの切り替え、電源電圧上昇、又はPLLに接続される回路の一部の電源喪失などの事象によりロックが喪失した場合でも、原則的且つ正確に評価され、補償される。

40

【0010】

本発明に係る方法は、簡明且つ容易に実行される。種々の分周比の間の切り替えは、時間的に制限されない。本発明に係る方法は、分周器の実装方法に依存せず、上述の先行技術に関連して説明された型のものにする必要はない。

【0011】

また、本発明は、本発明に係る方法を実行するシンセサイザを提供することを目的とする。請求項6に係るシンセサイザは、この目的のために適切なものである。このシンセサ

50

イザの構造は、簡明であり、機能は信頼性がある。

【 0 0 1 2 】

さらに、本発明は、デジタル信号の位相を補正するために使用可能な本発明に係るシンセサイザを有する信号処理装置を提供することを目的とする。

【 0 0 1 3 】

さらに、本発明は、本発明に係る信号処理装置を有するGNSS受信器を提供することを目的とする。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】本発明に係る信号処理装置の一部とともにGNSS受信器の無線周波数部を示す図である。

10

【 図 2 】本発明に係る信号処理装置の他の部分とともに、無線周波数部が図 1 に示されるGNSS受信器のベースバンド部を示す図である。

【 図 3 】本発明に係る分数分周PLLシンセサイザの第 1 実施形態を示す図である。

【 図 4 】本発明に係る分数分周PLLシンセサイザの第 2 実施形態を示す図である。

【 図 5 】本発明に係る方法で使用されるパラメータのタイミング図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、本発明は、実施形態が示される図面を参照してより詳細に説明される。

【 0 0 1 6 】

20

以下、本発明に係る信号処理装置を有し、GPS (Global Positioning System、グローバル・ポジショニング・システム) に適したGNSS (Global Navigation Satellite System、全地球的航法衛星システム) 受信器が説明される。GNSS受信器とは別に、本発明に係る信号処理装置は、携帯電話受信器のようなDSSS (Direct Signal Spread Spectrum) 受信器などの他の環境で使用してもよい。GLONASS (Global Navigation Satellite System、全地球的航法衛星システム、グロナス) 又はGALILEOのような他のGNSSシステムが使用される場合、又は本発明が携帯電話技術など異なる環境に採用される場合などでは、必要な補正は容易に行われる。

【 0 0 1 7 】

図 1 に示す受信器は、アンテナ 1 と、アンテナ 1 に接続される無線周波数部 2 と、帯域通過フィルタ 3 と、受信器用クロックなどを生成するTCXO (Temperature Compensated Crystal Oscillator、温度補償型水晶発振器) 4 と、ベースバンド部 5 (図 2 に示す) とを有する。無線周波数部 2 とベースバンド部 5 とは、単一の半導体チップに実装されることが好ましいが、他の形態でもよい。

30

【 0 0 1 8 】

一般的にはSAW (Surface Acoustic Wave、弾性表面波) である帯域通過フィルタ 3 は、別個の素子である。同様に別個の素子であるTCXO 4 は、例えば 26 MHz など 19 MHz と 40 MHz との間の基本周波数を提供する。TCXO 4 から提供された基本周波数は、無線周波数部 2 及びベースバンド部 5 に供給される。無線周波数部 2 において、TCXO 4 の出力信号はフロントエンドシンセサイザ 6 を制御して、互いに位相が 90 度シフトした半分の周波数 (1572 MHz) を有する 2 つダウンコンバート信号から 3144 MHz のクロック信号を生成する。

40

【 0 0 1 9 】

無線周波数部 2 のアンテナ入力には、低雑音増幅器 7 が接続される。低雑音増幅器 7 は、外部の帯域通過フィルタ 3 と制御可能RF増幅器 8 とを介してアナログミキサ 9 a 及び 9 b に接続される。また、アナログミキサ 9 a 及び 9 b は、フロントエンドシンセサイザ 6 からダウンコンバート信号を受信する。アナログミキサ 9 a 及び 9 b は、約 3 MHz の中間周波数にシフトダウンされた複素アナログ信号の I 成分及び Q 成分を提供する。アナログミキサ 9 a 及び 9 b はそれぞれ、カットオフ周波数が約 20 kHz であるハイパスフィルタ 10 a 及び 10 b と、カットオフ周波数が約 7.5 MHz である制御可能なローパ

50

スフィルタ 1 1 a 及び 1 1 b と、プログラマブル利得増幅器 1 2 a 及び 1 2 b とを介してベースバンド部 5 に接続される。

【 0 0 2 0 】

また、T C X O 4 の出力信号は、ベースバンド部 5 に供給され、ベースバンドシンセサイザ 1 3 に接続されるとともに、P L L シンセサイザに供給される。ベースバンドシンセサイザ 1 3 は、9 6 M H z の周波数を有するクロック信号を生成し、生成されたクロック信号は、ベースバンドシンセサイザ 1 3 に接続される分周器 1 4 で 2 4 M H z に分周される。ベースバンド部 5 において、それぞれ 5 ビットの解像度を有する A / D 変換器 (analog-to-digital Converters) 1 5 a 及び 1 5 b を使用して、2 4 M H z のサンプリングレートを有する可変利得増幅器 1 2 a 及び 1 2 b からの信号をサンプリングして、複素デジタル中間信号を生成する。生成された複素デジタル中間信号は、複素デジタルミキサ 1 6 に供給され、ベースバンドに落とされる。また、生成された複素デジタル中間信号は、周波数アナライザ 1 7 a 及び 1 7 b に供給される。波数アナライザ 1 7 a 及び 1 7 b の出力は、無線周波数部 2 のローパスフィルタ 1 1 a 及び 1 1 b を制御する制御ユニット 1 8 に接続される。複素ミキサ 1 6 は、3 M H z のカットオフ周波数を有するデシメーションフィルタ 1 9 a 及び 1 9 b と、ダウンサンプラー 2 0 a 及び 2 0 b とに接続される。A / D 変換器 1 5 a 及び 1 5 b、複素ミキサ 1 6、周波数アナライザ 1 7 a 及び 1 7 b、デシメーションフィルタ 1 9 a 及び 1 9 b 並びにダウンサンプラー 2 0 a 及び 2 0 b は、分周器 1 4 からのクロック信号で制御される。

10

【 0 0 2 1 】

連続する波干渉を除去することで、加工されていないデジタル信号をフィルタリングする帯域消去フィルタ 2 1 と、フィルタリングされたデジタル信号を 6 ビットから 3 ビットに低下させるデジメータ (decimator) 2 2 とは、周波数アナライザ 2 3 に接続される。周波数アナライザ 2 3 の出力信号は制御ユニット 1 8 で使用されて、帯域消去フィルタ 2 1 を制御する。また、デジメータ 2 2 は、ダウンサンプラー 2 4 a 及び 2 4 b を介して、G N S S システムの特定の衛星から放射された信号の成分を識別する取得ユニット 2 5 に接続される。また、デジメータ 2 2 は、信号成分を継続的にトラッキングし、信号成分の時間遅延を解析し、信号成分からデータビットを抽出するトラッキングユニット 2 6 に接続される。

20

【 0 0 2 2 】

分周器 2 7 は、帯域消去フィルタ 2 1 と、周波数アナライザ 2 3 と、ダウンサンプラー 2 4 a 及び 2 4 b と、トラッキングユニット 2 6 とを制御する 8 M H z クロック信号を、分周器 1 4 の 2 4 M H z 信号出力から生成する。更なる分周器 2 8 は、取得ユニット 2 5 に 2 M H z クロック信号を提供する。また、取得ユニット 2 5 は、ベースバンドシンセサイザ 1 3 から 9 6 M H z のクロック信号を受信する。制御ユニット 1 8 は、衛星から放射された暦データ及び天体暦データを含む信号の時間遅延が取り除かれたデータをトラッキングユニット 2 6 から受信する。このデータから制御ユニット 1 8 は、G N S S 受信器の位置を計算する。この計算は、受信器に記憶される付加的なデータ及びいくつかの付加的な接続を介して受信器に伝送される付加的なデータを含んでよく、公知の方法で実行される。また、制御ユニット 1 8 は、取得ユニット 2 5 及びトラッキングユニット 2 6 を制御する。

30

【 0 0 2 3 】

複素ミキサ 1 6 は N C O (numerically controlled oscillator、数値制御発振器) 2 9 によって制御される。N C O 2 9 は、分周器 1 4 の出力信号と、オフセット計算ユニット 3 0 からの位相補正信号とを受信する。オフセット計算ユニット 3 0 は、フロントエンドシンセサイザ 6 のカウンタ出力のサイクルから受信するサイクルカウンタ信号によって制御される。これらは、後に詳細に説明される。

40

【 0 0 2 4 】

図 1 に示すアンテナによって受信されたアナログ信号が低雑音増幅器 7 によって増幅された後、信号のスペクトルは、帯域通過フィルタ 3 によって 1 5 7 5 . 4 2 M H z の G P

50

S周波数を中心とする30MHz帯に低減される。さらに増幅された後に、ミキシングしたDC成分はハイパスフィルタ10a及び10bによって除去され、高周波数は、アンチエイリアスのためにローパスフィルタ11a及び11bによって抑制される。ローパスフィルタ11a及び11bは、3MHzの基準周波数の信号に応じて、信号が7.5MHzで-3dB、12MHzで-12dBに減衰する。すなわちローパスフィルタ11a及び11bは、ベースバンド部5の入力においてA/D変換器15a及び15bのサンプリングレートが半分に減衰するように周波数アナライザ17a及び17bの出力に基づいて制御ユニット18(図2参照)によって制御される。プログラマブル利得増幅器12a及び12bは、A/D変換器15a及び15bの入力ダイナミックレンジに信号を調整する。

【0025】

次いで、増幅し且つフィルタリングされた複素アナログ信号は、ベースバンド部5のA/Dコンバータ15a及び15bによって、複素デジタル信号に変換され、複素デジタルミキサ16によって、非回転、すなわち実質的にゼロにシフトされる。デシメーションフィルタ19a及び19bによって、スペクトルが3MHz周波数帯に低減された後に、スペクトルのサンプリングレートは、ダウンサンプラー20a及び20bによって、8MHzに低減される。-3MHzから3MHzまで広がる、加工されず固定された単一の周波数帯に限定されたデジタル信号は、帯域消去フィルタ21に供給されてフィルタリングされる。いくつかの連続波干渉器(Continuous Wave Interferer)は、加工されていないデジタル信号の無視できるひずみを抑制して、加工していない信号の周波数帯と一致するフィルタリングされた信号の周波数帯に制限されたフィルタリングデジタル信号を生成する。次のステップにおいて、フィルタリングされたデジタル信号は、非線形デシメーションテーブルを使用してデシメータ22で6ビットから3ビットに再量子化される。この結果により得られたデジタル信号は、周波数アナライザ23と、トラッキングユニット26と、サンプリング周波数を2MHzに低減するダウンサンプラー24a及び24bを介して取得ユニット25に並列に供給される。

【0026】

取得ユニット25において、この入力信号から抽出された信号は、種々のドップラー周波数で種々のコード位相シフトによって、内部で生成されたGNSS衛星の特有のシーケンスに従って補正される。比較的低い2MHzのサンプル周波数によって、信号の効果的な処理が可能となり、その結果として、受信した衛星信号の迅速な検出が可能になる。

【0027】

一方、取得ユニット25で有効な補正值を生じるシーケンス、ドップラー周波数及びコード位相シフトが適用されるトラッキングユニット26において、より高い8MHzのサンプル周波数によって、補正のピーク位置及び衛星信号に関連する位相を非常に正確に決定することが可能になる。これによって、受信器の位置の正確な計算が可能になる。スキャン周波数が変動するチャンネルと一定のシーケンスを使用するトラッキングユニット26の一部にしてもよい周波数アナライザ23からの成果物は、連続する波干渉の検出及び、干渉周波数の決定に採用される。決定された干渉周波数を使用して制御ユニット18は、干渉周波数を抑制するように帯域消去フィルタ21を制御する。干渉周波数は、加工していない信号周波数帯を通して1kHzごとに周期的にスイープし、周波数帯全体に亘って平均で個々のエネルギー密度を比較することによって、識別できる。

【0028】

図3に詳細に示されるフロントエンドシンセサイザ6は、分数分周PLLシンセサイザである。

【0029】

チャージポンプを含む位相検出器として実装される位相検出器31は、固定された基準周波数 f_r を有する基準信号をTCXO4から周期的に受信する第1入力と、第2入力を有する。位相検出器31の出力は、ローパスフィルタであるループフィルタ32を介してVCO(Voltage-Controlled Oscillator、電圧制御発振器)33に接続される。VCO33によって生成されるシンセサイザ信号は、シンセサイザ周波数 f_s を有する周期的

10

20

30

40

50

な信号であり、位相シフタ 34 によって 2 つの周期的なダウンコンバート信号に変換される。2 つの周期的なダウンコンバート信号の周波数 f_d は、シンセサイザ信号の周波数 f_s の半分である。2 つの周期的なダウンコンバート信号の一方は、2 つの周期的なダウンコンバート信号の他方に対して $\pi/2$ すなわち 90 度シフトされる。また、2 つの信号は、単一の複素ダウンコンバート信号として考えてもよい。上述のように、2 つの周期的なダウンコンバート信号のそれぞれは、アナログミキサ 9a 及び 9b の 1 つに供給される。また、VCO 33 の出力は、分周器 35 を有するフィードバックパスを介して位相検出器 31 の第 2 入力に接続される。

【0030】

分周器 35 は分数分周器である。分周器 35 は、1 よりも大きい分数の分周比 Nf でシンセサイザ信号の周波数 f_s を分周して、分周信号を提供する。分周器 35 は、公知技術で構成され、 $N > 1$ であり且つ $L > K$ である整数 N 、 L 、 K によって、 K を $N - 1$ 倍し $L - K$ を N 倍して、シンセサイザ信号の周波数を分周するように構成される。平均分周比は、 $N + K/L$ 、すなわち $(NL + K)/L$ となり、分数分周比、すなわち非整数分周比になる。具体的には、分周器 35 は、シグマ - デルタモジュレータで制御されてもよい。しかしながら、分数分周器 35 をどのように実装するかは重要ではない。多くの場合、分周信号 (d) の周波数 f_{fd} と、シンセサイザ周波数 f_s との関係は式 (1) で示される。

$$(1) \quad f_{fd} = f_s / Nf$$

【0031】

アップダウンカウンタ 36 として実装されるサイクル検出器 36 は、位相検出器 31 の第 1 入力と並列にフロントエンドシンセサイザ 6 の入力に接続され、且つ分周器 35 の出力に接続される。フロントエンドシンセサイザ 6 のサイクルカウント出力において、アップダウンカウンタ 36 は、サイクルカウント信号を生成する。上述のように、生成されたサイクルカウント信号は、オフセット計算ユニット 30 に提供される。

【0032】

図 5 は、いくつかのパラメータのタイミング図である。図 5 において、時間は (a) で示される基準信号の周期で測定される。なお、図 5 に示すタイミング図は一例であり、分周比及び GNSS 回路で使用される他のパラメータを反映するものではない。

【0033】

フロントエンドシンセサイザ 6 がロックされると、位相検出器 31 は、基準信号 (a) の位相と分周信号 (d) の位相との間の位相差が一定になるように、また好適にはゼロになるように VCO を制御する。その結果として、分周信号 (d) の周波数 f_{fd} は、基準信号 (a) の周波数 f_r と等しくなる。式 (1) から式 (2) が導かれる。

$$(2) \quad f_s = Nf \cdot f_r$$

【0034】

この結果は、図 5 のロック状態期間 I に示される。

【0035】

ロックが喪失すると、基準信号 (a) の位相と分周信号 (d) の位相との間の位相差が一定でなくなり変動し、図 5 のロック喪失期間 II に示すように、分周信号 (d) の周波数は、基準信号 (a) の周波数と異なるようになる (一例では大きくなる)。図 5 の第 2 ロック状態期間 III に示すように、図 5 のロックが回復すると、シンセサイザ信号の周波数 f_s は式 (2) の関係を満たす。しかしながら、ロック喪失期間 II の前方に位置するロック状態期間 I のシンセサイザ信号の部分と、ロック喪失期間 II の後方に位置するロック状態期間 III のシンセサイザ信号の部分とは一般に同一の位相を有さない。これは、図 5 のシンセサイザ信号 (b) と (c) とを比較することによって明らかになる。すなわち、シンセサイザ信号 (c) は、ロック喪失期間 II による影響を受けずに続いている仮想のシンセサイザ信号である。すなわち、シンセサイザ信号 (c) は、ロック喪失が生じない場合のシンセサイザ信号である。実際のシンセサイザ信号 (b) は、仮想のシンセサイザ信号 (c) から位相オフセットだけ異なっていることは明らかである。

【0036】

10

20

30

40

50

したがって、以下に詳細に説明するように、補正時間は、NCO29を適切に制御することによって位相オフセットを補償することが可能になるように決定される。このために、アップダウンカウンタ36は、図5の基準信号(a)及び分周信号(d)のサイクルにตอบสนองする。すなわち、アップダウンカウンタ36は、分周信号(d)の立ち上がりエッジを検出するとカウントアップし、基準信号(a)の立ち上がりエッジを検出するとカウントダウンする。フロントエッジシンセサイザ6が第1ロック状態期間Iの間にロックされている限り、基準信号(a)及び分周信号(d)のエッジは事実上一致している。したがって、信号(e)に示すように、アップダウンカウンタ36はゼロのままである。

【0037】

ロック喪失期間IIの間、分周信号(d)の立ち上がりエッジは、分周信号(d)の周波数が高くなるので、基準信号(a)の立ち上がりエッジに先行する。この結果、アップダウンカウンタ36は、分周信号(d)及び基準信号(a)の立ち上がりエッジを検出し、それに応じてアップダウンする。設定した時間の後、ロックが十分に回復する状態、すなわち、第2ロック状態期間IIIでは、基準信号(a)及び分周信号(d)のエッジは再び一致しているので、カウントは一定になる。カウントが安定することを使用して、ロック状態が回復したことを確認することができる。

【0038】

カウント(e)は、分周信号(d)のサイクル C_{fd} の数と基準信号(a)のサイクル C_r の数とのサイクル差Dを示す。すなわち、サイクル差Dは式(3)で示される。

$$(3) \quad D = C_{fd} - C_r$$

【0039】

ロック喪失期間IIの間に、サイクル差Dは増加する。サイクル差Dはサイクルカウント信号によって符号化される。

【0040】

周波数の関係を示す式(1)は通常、シンセサイザがロックされているか否かに有効なので、ロック喪失の間の実際のシンセサイザ信号(b)と仮想のシンセサイザ信号(c)との間で増加する位相オフセットを反映するオフセット時間は、オフセット計算ユニット30において、式(4)のように決定できる。

$$(4) \quad d = N f \cdot D_r$$

【0041】

分周比及びロック喪失期間IIの端部におけるサイクル差によって生成される。

【0042】

シンセサイザ信号(b)の実際の位相オフセットは、 $2 \cdot d$ である。この周波数がシンセサイザ信号(b)の周波数 f_s の半分の周波数であるため、ダウンコンバート信号の位相シフトが $= / 2$ になるためである。

【0043】

ダウンコンバート信号の周期性により、位相は、 2 の余剰演算のみで規定されるので、位相シフトは、式(5)のように再度規定される。

$$(5) \quad = \text{mod} (/ 2 , 2)$$

【0044】

対応する補正時間 $-$ は、オフセット計算ユニット30で計算される。以下で説明するように、対応する補正時間 $-$ を使用して、NCO29を制御する。 $d / 2$ の分数部に直接作用させることは、同等であり、且つより便利である。すなわち、

$$(6) \quad d' = \text{mod} (d / 2 , 1)$$

【0045】

そして位相シフトは式(7)で示される。

$$(7) \quad = 2 \cdot d'$$

【0046】

位相シフトが計算された後で、アップダウンカウンタ36はゼロにリセットされる。

【0047】

10

20

30

40

50

図5に示す例において、分周比 Nf は 3.25 であり、ロック喪失期間 II の分周信号(d)の立ち上がりエッジ C_{fd} の数は 9 であり、ロック喪失期間 II の基準信号(a)の立ち上がりエッジ C_r の数は 4 である。このため、ロック喪失期間 II の端部におけるサイクル差 $D(e)$ は 5 であり、オフセット時間 $d = Nf \cdot D$ は 16.25 である。これから、周期性、及び $\pi/4$ すなわち 45 度のダウンコンバート信号の位相シフトのために $\pi/2$ すなわち 90 度に低減されるシンセサイザ信号の位相オフセットは 32.5 となる。また、この結果は、式(6)を使用してより直接的に抽出できる。すなわち、 $d' = \text{mod}(d/2, 1) = 0.125$ 及び式(7)により算出される。この補正時間は $\pi/4$ であり、位相シフトの負である。

【0048】

分周信号の立ち上がりエッジでカウントダウンし、且つ基準信号の立ち上がりエッジでカウントアップするアップダウンカウンタを使用することができることは当然である。また、立ち下がりエッジで動作するアップダウンカウンタを使用してもよい。また、サイクル検出器は、アップダウンカウンタをサイクルカウンタとして使用する代わりに他の方法で実施してもよい。例えば、分周信号(d)のサイクルと基準信号(a)のサイクルとをそれぞれカウントする2つのアップカウンタを有してもよい。次いで、サイクルカウント信号は、双方のカウントの結果を符号化して、サイクル差 D は、オフセット計算ユニット30のロック喪失期間の端部におけるカウントの差として決定し、アップカウンタがリセットされる。さらに、サイクル検出器は、分周信号及び基準信号の立ち上がりエッジ等を単に記憶し、記憶した情報をサイクル信号に符号化する単なるレジスタにしてもよい。実際のカウントはオフセット計算ユニットで実行してもよい。

【0049】

アンテナ1で受信した対象とする信号の成分は式(8)で示される。

$$(8) \quad S(t) = M(t) \cos 2\pi f_c t$$

【0050】

f_c は搬送周波数を示し、 $M(t)$ は $+1$ と -1 の値である変調器符号化データである。アナログミキサ9a及び9bによるダウンコンバートは、変調器符号化データとフロントエンドシンセサイザ6で生成されるダウンコンバート信号 $\cos 2\pi f_d t$ 及び $\sin 2\pi f_d t$ とをそれぞれミックスし、複素アナログダウンコンバート信号を生成する。フィルタ10a及び10b並びに11a及び11bによるフィルタリングと、可変利得増幅器12a及び12bによる増幅と、A/D変換器15a及び15bによるA/D変換によって、複素デジタル中間信号を生じる。

【数1】

$$(9) \quad S_i(t) = M(t) e^{-2\pi i[(t-t_0)t]}$$

すなわち、

【数2】

$$(10) \quad S_i(t) = M(t) e^{-2\pi i f_i t}$$

ここで、

$$(11) \quad f_i = f_c - f_d$$

【0051】

中間周波数は、受信信号 $S(t)$ のキャリアと、絶対値1の複素定数によって乗算されるダウンコンバート信号との間の最初の位相シフトであってここでは無視される位相シフトとは異なる。

【0052】

第1ロック状態期間Iの間の中間信号が(10)で示され、ロック喪失期間IIの間フロントエンドシンセサイザ6のロック喪失により位相オフセットがシンセサイザ信号に取り込まれる場合、第2ロック状態期間IIIにおける中間信号は式(12)に示されるようになる。

【数3】

$$(12) S_i'(t) = M(t) e^{-2\pi i f_i t + i\delta}$$

【0053】

ここで、 $\delta/2$ は、位相オフセットにより生じるダウンコンバート信号の位相シフトである。

【0054】

次いで、中間信号は、非回転信号、複素デジタル指数関数信号

【数4】

$$e^{2\pi i f_i t}$$

とミックスして非回転とすることによって、式(13)に示す第1ロック状態期間Iにおけるベースバンド信号部を生じる。

$$(13) S_b^I(t) = M(t)$$

【0055】

そして、第2ロック状態期間IIIにおけるベースバンド信号部は式(14)に示す。

$$(14) S_b^{III}(t) = M(t) e^i$$

【0056】

この位相シフトを補償するために、式(4)、(6)及び(7)で示されるオフセット時間dから位相シフトを計算したオフセット計算部30は第2ロック状態期間IIIの間に、複素ミキサ16に提供される非回転信号が、補正時間によって決定される位相補正に従うように、NCO29を制御する。ここで、中間信号は、ベースバンド信号部S

b^{III} と e^i とを乗することによって得られる位相補正非回転信号

【数5】

$$e^{2\pi i f_i t - i\delta}$$

とミックスすることによって、非回転となる。これによって、位相補正ベースバンド信号 $S_b^{\prime}(t)$ が得られる。ここで、第1ロック状態期間Iの信号の変化しない部分は式(15)で示される。

$$(15) S_b^{\prime}(t) = S_b^I(t) = M(t)$$

【0057】

第2ロック状態期間IIIの信号の補正部分は式(16)で示される。ここでは位相は一致している。

$$(16) S_b^{III\prime}(t) = e^{-i} S_b^{III}(t) = M(t)$$

【0058】

ロック状態期間を分離するロック喪失事象のシーケンスがある場合、上述の位相補正は、全てのロック喪失期間の後に採用して、ロック状態期間に亘って位相が一致している位相補正ベースバンド信号を提供してもよい。NCO29及びミキサ16を上述のように使用することによって、位相シフトの補償が容易になる。しかしながら、位相補正を他の方法で実施してもよく、位相補正を信号処理工程のいくつかの点を変更することによって実

10

20

30

40

50

施してもよいことは当然である。

【0059】

図4は、本発明に係るシンセサイザの第2実施形態を示す図である。図4に示すシンセサイザは、信号処理装置の他の部分は適用し、図3のシンセサイザの変わりにフロントエンドシンセサイザとして使用して、GNSS受信器がGPS信号及びGLONASS信号を交互に使用できることになる。このため、フロントエンドシンセサイザ6'は、第1の分数分周器35aを有する第1フィードバックパスと、第2分数分周器35bを有する第2フィードバックパスとを有する。第2分周器35bの分周比 Nf_b は、第1分周器35aの分周比 Nf_a と相違する。第1分周器35aの出力と、フロントエンドシンセサイザ6'の入力とを接続する第1アップダウンカウンタ36aに加えて、第2分周器35bの出力と、フロントエンドシンセサイザ6'の入力とを接続する第2アップダウンカウンタ36bが提供される。このように、それぞれにフィードバックパスには対応するサイクルカウンタが含まれる。

10

【0060】

フィードバックスイッチ37は、第1分周器35aの入力又は第2分周器35bの出力の何れかを、位相検出器31の第2入力に接続する。出力スイッチ38は、第1分周器35aの出力又は第2分周器35bの出力の何れかを、フロントエンドシンセサイザ6'の入力に接続して、オフセット計算ユニット30にサイクルカウント信号を提供する。

【0061】

第1分周比 Nf_a を第1期間に最初に使用する場合、フィードバックスイッチ37は、第1分周器35aの出力を位相検出器31の第2入力に接続し、出力スイッチ38は、第1分周器35aの出力を、フロントエンドシンセサイザ6'の入力に接続する。第1フィードバックパスはロックされ、シンセサイザ信号の周波数 f_s は $Nf_a \cdot f_r$ に等しい。第2フィードバックパスはロック喪失状態である。

20

【0062】

第1期間が終了した後に、第2周比 Nf_b を第2期間に使用する場合、フィードバックスイッチ37は、第2分周器35bの出力を位相検出器31の第2入力に接続し、出力スイッチ38は、第2分周器35bの出力を、フロントエンドシンセサイザ6'の入力に接続する。設定時間が終了した後に、第2フィードバックパスはロックされ、第1フィードバックパスはロック喪失状態になる。第2サイクルカウンタのサイクル差 D_b は、通常ゼロではなく、補正時間が計算し使用されることになるが、第2フィードバックパスが前に使用されていない場合にはその必要はない。

30

【0063】

しかしながら、第2期間が終了した後に第1分周比 Nf_a を再度使用する場合、スイッチは先の状態に戻り、第1サイクルカウンタ36aのサイクル差 D_a は、オフセット時間及び補正時間を計算するためにオフセット計算ユニット30に提供される。計算されたオフセット時間及び補正時間をNC029で使用して位相を補正して、第1期間のベースバンド信号の位相が一致する状態を確立する。

【0064】

このように、2つの異なる分周比 Nf_a 及び Nf_b を有するフロントエンドシンセサイザ6'を交互に使用することにより、適切なフィードバックパスをそれぞれの場合に採用することになる。1つのフィードバックパスのみが一度にロックされる。したがって、ロック状態期間は、必然的に他のフィードバックパスのロック喪失期間になる。しかしながら、それぞれのフィードバックパスのロック喪失期間の間に形成される位相オフセットを計算し使用して、再びロックするときに位相が一致する状態を確立するので、分周比 Nf_a 及び Nf_b それぞれについて、対応するロック状態期間の全てに亘って位相が一致することになる。

40

【0065】

本発明の概念を2つ以上のフィードバックパスに拡張する方法は容易に理解されるので、本発明は、3つ以上の異なる分周比に交互に使用することは可能である。他のフィード

50

バックパスがロックされているときはいずれも、所与のフィードバックパスのロックは維持できない。しかしながら、ロック喪失の間、対応するサイクルカウンタによってサイクルカウントが実行されているので、フィードバックパスが再び閉じてロックが回復するときにはいつでも位相が一致する状態を速やかに確立できる。

【符号の説明】

【 0 0 6 6 】

1	アンテナ	
2	無線周波数部	
3	バンドパスフィルタ	
4	T C X O	10
5	ベースバンド部	
6、6'	フロントエンドシンセサイザ	
7	低雑音増幅器	
8	制御可能 R F 増幅器	
9 a、9 b	アナログミキサ	
10 a、10 b	ハイパスフィルタ	
11 a、11 b	ローパスフィルタ	
12 a、12 b	可変利得増幅器	
13	ベースバンドシンセサイザ	
14	分周器	20
15 a、15 b	A / D 変換器	
16	デジタル複素ミキサ	
17 a、17 b	周波数アナライザ	
18	制御ユニット	
19 a、19 b	デシメーションフィルタ	
20 a、20 b	ダウンサンプラー	
21	帯域消去ユニット	
22	デジメータ	
23	周波数アナライザ	
24 a、24 b	ダウンサンプラー	30
25	取得ユニット	
26	トラッキングユニット	
27	分周器	
28	分周器	
29	N C O	
30	オフセット計算ユニット	
31	位相検出器	
32	ループフィルタ	
33	V C O	
34	位相シフタ	40
35 a、35 b	分周器	
36 a、36 b	サイクルカウンタ	
37	フィードバックスイッチ	
38	出力スイッチ	

フロントページの続き

(72)発明者 トマス ブラウナー

スイス国, ツェーハー - 8800 タールビル, チュルヒャーシュトラーセ 68, ツェーノオー
ウー - ブロックス アクチェンゲゼルシャフト

審査官 鬼塚 由佳

(56)参考文献 国際公開第2007/091516(WO, A1)

特表2004-520780(JP, A)

特開平10-327071(JP, A)

米国特許第06107843(US, A)

米国特許出願公開第2009/0224974(US, A1)

(58)調査した分野(Int.Cl., DB名)

H03L 7/00 - 7/22