

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/314 (2006.01)



## [12] 发明专利申请公开说明书

[21] 申请号 200480032967.2

[43] 公开日 2006年12月13日

[11] 公开号 CN 1879201A

[22] 申请日 2004.9.8

[21] 申请号 200480032967.2

[30] 优先权

[32] 2003.9.12 [33] US [31] 10/661,379

[86] 国际申请 PCT/US2004/029172 2004.9.8

[87] 国际公布 WO2005/034229 英 2005.4.14

[85] 进入国家阶段日期 2006.5.9

[71] 申请人 微米技术有限公司

地址 美国爱达荷州

[72] 发明人 Z·殷 W·李

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 梁 永

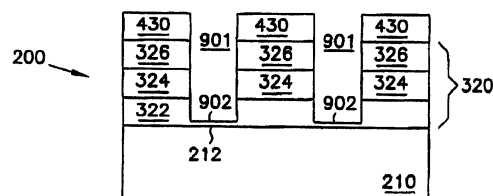
权利要求书 10 页 说明书 14 页 附图 18 页

### [54] 发明名称

半导体器件中的透明非晶碳结构

### [57] 摘要

形成透明非晶碳层。该透明非晶碳层具有低吸收系数以致非晶碳在可见光中是透明的。该透明非晶碳层可以使用于半导体器件中用于不同的目的。该透明非晶碳层可以包括在半导体器件的最终结构中。该透明非晶碳层还可在半导体器件的制造期间的蚀刻处理中用作掩模。



1. 一种在处理中的器件，所述器件包含：  
衬底；
- 5 在所述衬底上形成的器件结构；以及  
在所述器件结构上形成的掩模结构，所述掩模结构包括非晶碳层，其中所述非晶碳层在可见光范围内是透明的。
2. 如权利要求 1 所述的器件，其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。
- 10 3. 如权利要求 1 所述的器件，其中所述可见光范围包括具有 400 纳米到 700 纳米之间波长的电磁辐射。
4. 如权利要求 1 所述的器件，其中所述非晶碳层具有大于 4000 埃的厚度。
5. 如权利要求 4 所述的器件，其中所述器件结构具有大于 40000  
15 埃的厚度。
6. 如权利要求 1 所述的器件，其中所述掩模结构还包括在所述非晶碳层上形成的氧氮化硅层。
7. 如权利要求 1 所述的器件，其中所述掩模结构还包括光刻胶层。
- 20 8. 如权利要求 7 所述的器件，其中所述掩模结构还包括抗反射层。
9. 如权利要求 7 所述的器件，其中所述光刻胶层包括至少一个开口。
10. 如权利要求 9 所述的器件，其中所述非晶碳层包括与所述  
25 光刻胶层的至少一个开口连续的至少一个开口。
11. 如权利要求 1 所述的器件，其中所述器件结构包括从由传导材料、非传导材料和半传导材料组成的组中的材料选择的层。
12. 如权利要求 11 所述的器件，其中所述器件结构还包括非晶

碳层，其中所述器件结构的所述非晶碳层在可见光范围内是透明的。

13. 一种用于器件的掩模结构，所述掩模结构包含：

非晶碳层，其中所述非晶碳层对于具有 400 纳米到 700 纳米之间波长的辐射是透明的。

5 14. 如权利要求 13 所述的掩模结构，其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。

15. 如权利要求 13 所述的掩模结构，其中所述非晶碳层具有至少 4000 埃的厚度。

16. 如权利要求 13 所述的掩模结构，还包含光刻胶层。

10 17. 如权利要求 16 所述的掩模结构，还包含在所述非晶碳层上形成的加盖层。

18. 如权利要求 17 所述的掩模结构，其中所述加盖层包括氮氧化硅。

15 19. 如权利要求 16 所述的掩模结构，其中所述光刻胶层包括至少一个开口。

20. 如权利要求 19 所述的掩模结构，其中所述非晶碳层包括与所述光刻胶层的至少一个开口连续的至少一个开口。

21. 一种在处理中的存储器件，所述存储器件包含：

具有多个掺杂区的衬底；

20 在所述衬底上形成的器件结构，所述器件结构包括多个栅极结构、多个触点，每个所述触点位于两个栅极结构之间并接触一个掺杂区，并且在所述栅极结构和所述触点上形成绝缘层；以及

在所述器件结构上形成的掩模结构，所述掩模结构包括非晶碳层，其中所述非晶碳层在可见光范围内是透明的。

25 22. 如权利要求 21 所述的存储器件，其中所述非晶碳层具有至少 4000 埃的厚度。

23. 如权利要求 22 所述的存储器件，其中所述存储器件结构具有至少 40000 埃的厚度。

24. 如权利要求 21 所述的存储器件, 其中所述掩模结构还包括在所述非晶碳层上形成的氮化硅层。

25. 如权利要求 21 所述的存储器件, 其中所述掩模结构还包括光刻胶层。

5 26. 如权利要求 25 所述的存储器件, 其中所述掩模结构还包括抗反射层。

27. 如权利要求 25 所述的存储器件, 其中所述光刻胶层包括所述光刻胶层的至少一个开口。

10 28. 如权利要求 27 所述的存储器件, 其中所述非晶碳层包括与  
所述光刻胶层的至少一个开口连续的至少一个开口。

29. 如权利要求 28 所述的存储器件, 其中所述绝缘层包括与所述非晶碳层的至少一个开口和所述光刻胶层的至少一个开口都连续的至少一个开口。

15 30. 如权利要求 21 所述的存储器件, 其中所述器件结构还包括  
位于所述栅极结构和所述触点之间的阻挡层。

31. 如权利要求 21 所述的存储器件, 其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。

32. 一种系统, 包含:

具有约 200°C 到约 500°C 之间温度的室; 以及

20 置于所述室中的晶片, 所述晶片包括管芯, 所述管芯包括衬底、  
在所述衬底上形成的器件结构和在所述器件结构上形成的掩模结  
构, 所述掩模结构包括非晶碳层, 其中所述非晶碳层在可见光范围  
内是透明的。

25 33. 如权利要求 32 所述的系统, 其中所述非晶碳层具有大于 4000  
埃的厚度。

34. 如权利要求 33 所述的系统, 其中所述器件结构具有大于  
40000 埃的厚度。

35. 如权利要求 34 所述的系统, 其中所述掩模结构还包括在所

述非晶碳层上形成的氮化硅层。

36. 如权利要求 32 所述的系统, 其中所述掩模结构还包括光刻胶层。

5 37. 如权利要求 36 所述的系统, 其中所述掩模结构还包括抗反射层。

38. 如权利要求 36 所述的系统, 其中所述光刻胶层包括至少一个开口。

39. 如权利要求 38 所述的系统, 其中所述非晶碳层包括与所述光刻胶层的至少一个开口连续的至少一个开口。

10 40. 如权利要求 32 所述的系统, 其中所述器件结构包括传导层。

41. 如权利要求 40 所述的系统, 其中所述器件结构还包括绝缘层。

42. 如权利要求 41 所述的系统, 其中所述器件结构还包括抗反射层。

15 43. 如权利要求 42 所述的系统, 其中所述器件结构还包括非晶碳层。

44. 如权利要求 43 所述的系统, 其中所述掩模结构还包括光刻胶层。

20 45. 如权利要求 44 所述的系统, 其中所述掩模结构还包括抗反射层。

46. 如权利要求 32 所述的系统, 其中所述至少一个管芯包括用于存储器件的线路。

47. 如权利要求 32 所述的系统, 其中所述至少一个管芯包括用于处理器的线路。

25 48. 如权利要求 32 所述的系统, 其中所述室是等离子体增强气相化学沉积室。

49. 一种方法, 包含:

在衬底上形成器件结构; 以及

在所述衬底上形成掩模结构包括形成非晶碳层，其中所述非晶碳层在可见光范围内是透明的。

50. 如权利要求 49 所述的方法，其中形成非晶碳层包括形成具有至少 4000 埃厚度的所述非晶碳层。

5 51. 如权利要求 50 所述的方法，其中形成所述器件结构包括形成具有至少 40000 埃厚度的所述器件结构。

52. 如权利要求 49 所述的方法，其中形成所述掩模结构还包括在所述非晶碳层上形成氧氮化硅层。

10 53. 如权利要求 52 所述的方法，其中所述氧氮化硅层与所述非晶碳层一起在原处沉积。

54. 如权利要求 49 所述的方法，其中形成非晶碳层包括对所述非晶碳层形成图案以形成经图案化的非晶碳层。

55. 如权利要求 54 所述的方法，其中形成器件结构包括使用所述经图案化的非晶碳层作为掩模对所述器件结构形成图案。

15 56. 如权利要求 49 所述的方法，其中形成掩模结构还包括形成经图案化的光刻胶层。

57. 如权利要求 56 所述的方法，其中形成掩模结构还包括使用所述经图案化的光刻胶层作为掩模对所述非晶碳层形成图案。

20 58. 如权利要求 56 所述的方法，其中形成器件结构包括使用所述经图案化的非晶碳层作为掩模对所述器件结构形成图案。

59. 如权利要求 49 所述的方法，其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。

60. 如权利要求 59 所述的方法，其中所述非晶碳在约 200℃到约 500℃的温度范围形成。

25 61. 如权利要求 49 所述的方法，其中所述可见光范围包括具有 400 纳米到 700 纳米之间波长的电磁辐射。

62. 一种方法，包含：

在衬底上形成器件结构；以及

在所述器件结构上形成掩模结构包括在约 200°C 到约 500°C 的温度范围形成非晶碳层。

63. 如权利要求 62 所述的方法, 其中形成所述掩模结构还包括在所述非晶碳层上形成氧氮化硅层。

5        64. 如权利要求 63 所述的方法, 其中所述氧氮化硅层同所述非晶碳层一起在原处沉积。

65. 如权利要求 64 所述的方法, 其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。

66. 如权利要求 62 所述的方法, 其中形成非晶碳层包括在约 200  
10        °C 到约 300°C 以下的温度形成所述非晶碳层。

67. 如权利要求 62 所述的方法, 其中形成非晶碳层包括形成具有大于 4000 埃厚度的所述非晶碳层。

68. 如权利要求 67 所述的方法, 其中形成所述器件结构包括形成具有大于 40000 埃厚度的所述器件结构。

15        69. 如权利要求 62 所述的方法, 其中形成非晶碳层在经受约 4 托到约 6.5 托的压强范围、约 450 瓦到约 1000 瓦的射频功率范围并且包括丙稀的混合气体的室中执行。

70. 如权利要求 69 所述的方法, 其中所述混合气体还包括氮。

71. 如权利要求 70 所述的方法, 其中所述丙稀以 500 标准立方  
20        厘米每分钟 (sccm) 到 4000sccm 之间的流速引入到所述室中。

72. 如权利要求 71 所述的方法, 其中所述氮以 250sccm 到 1000sccm 之间的流速引入到所述室中。

73. 一种方法, 包含:

在衬底上形成器件结构;

25        在所述器件结构上形成掩模结构包括形成非晶碳层, 其中所述非晶碳层在可见光范围内是透明的; 以及

使用所述非晶碳层作为掩模蚀刻所述器件结构。

74. 如权利要求 73 所述的方法, 其中形成非晶碳层在具有约 200

°C到约 500°C的温度范围、约 4 托到约 6.5 托的压强范围、约 450 瓦到约 1000 瓦的射频功率范围并且包括丙稀的混合气体的室中执行。

75. 如权利要求 74 所述的方法，其中所述丙稀以 500 标准立方厘米每分钟 (sccm) 到 4000sccm 之间的流速引入到所述室中。

5        76. 如权利要求 75 所述的方法，其中所述氦以 250sccm 到 1000sccm 之间的流速引入到所述室中。

77. 如权利要求 73 所述的方法，其中形成非晶碳层通过化学气相沉积处理执行。

78. 如权利要求 73 所述的方法，其中形成所述掩模结构还包括  
10 在所述非晶碳层上形成氧氮化硅层。

79. 如权利要求 78 所述的方法，其中所述氧氮化硅层同所述非晶碳层一起在原处沉积。

80. 如权利要求 79 所述的方法，其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。

15        81. 一种方法，包含：

形成非晶碳层，其中所述非晶碳层在可见光范围内是透明的，其中形成非晶碳层在具有 200°C 以上到 500°C 以下的温度、约 4 托到约 6.5 托的压强范围、约 450 瓦到约 1000 瓦的射频功率范围并且包括丙稀的混合气体的室中执行。

20        82. 如权利要求 81 所述的方法，其中形成非晶碳层包括形成具有大于 4000 埃厚度的所述非晶碳层。

83. 如权利要求 81 所述的方法，其中所述混合气体还包括氦。

84. 如权利要求 83 所述的方法，其中所述丙稀以 500 标准立方厘米每分钟 (sccm) 到 4000sccm 之间的流速引入到所述室中。

25        85. 如权利要求 84 所述的方法，其中所述氦以 250sccm 到 1000sccm 之间的流速引入到所述室中。

86. 一种方法，包含：

在衬底上形成具有栅极结构的器件结构；



在所述器件结构上形成非晶碳层，其中所述非晶碳层在可见光范围内是透明的；

对所述非晶碳层形成图案以形成经图案化的非晶碳层；

5 使用所述经图案化的非晶碳层作为掩模蚀刻所述器件结构，以形成存储单元的电容器的结构；以及  
移除所述经图案化的非晶碳层。

87. 如权利要求 86 所述的方法，其中对所述非晶碳层形成图案包括：

10 在所述非晶碳层上形成经图案化的光刻胶层；以及  
使用所述经图案化的光刻胶层作为掩模蚀刻所述非晶碳层。

88. 如权利要求 87 所述的方法，还包含：

在形成所述经图案化的光刻胶层之前在所述非晶碳层上形成氧化硅层。

15 89. 如权利要求 88 所述的方法，其中所述氧化硅层同所述非晶碳层一起在原处沉积。

90. 如权利要求 86 所述的方法，其中移除所述经图案化的非晶碳使用氧等离子体处理来执行。

91. 如权利要求 86 所述的方法，其中移除所述经图案化的非晶碳使用具有  $\text{CF}_4$  和  $\text{H}_2$  之一的氧等离子体处理来执行。

20 92. 一种方法，包含：

在室中放置晶片，所述晶片包括具有衬底的至少一个管芯和在所述衬底上形成的器件结构；

在所述室中设置温度在约  $200^\circ\text{C}$  到约  $500^\circ\text{C}$  之间；以及

在所述器件结构上形成掩模结构包括形成非晶碳层。

25 93. 如权利要求 92 所述的方法，其中形成所述掩模结构还包括在所述非晶碳层上形成氧化硅层。

94. 如权利要求 93 所述的方法，其中所述氧化硅层同所述非晶碳层一起在原处沉积。

95. 如权利要求 94 所述的方法, 其中所述非晶碳层在 633 纳米波长具有约 0.15 到约 0.001 之间的吸收系数。
96. 如权利要求 92 所述的方法, 其中执行形成非晶碳层直到所述非晶碳层具有至少 4000 埃的厚度。
- 5 97. 如权利要求 92 所述的方法, 还包含:  
把丙烯引入到所述室中;  
在所述室中设置压强在约 4 托到约 6.5 托之间; 以及  
使所述晶片经受约 450 瓦到约 1000 瓦的功率。
98. 如权利要求 92 所述的方法, 还包含:
- 10 把氮引入到所述室中。
99. 如权利要求 98 所述的方法, 其中所述丙烯以 500 标准立方厘米每分钟 (sccm) 到 4000sccm 之间的流速引入到所述室中。
100. 如权利要求 99 所述的方法, 其中所述氮以 250sccm 到 1000sccm 之间的流速引入到所述室中。
- 15 101. 如权利要求 92 所述的方法, 其中所述室是等离子体增强气相化学沉积室。
102. 一种方法, 包含:  
形成若干存储单元包括形成非晶碳层, 其中所述非晶碳层在可见光范围内是透明的。
- 20 103. 如权利要求 102 所述的方法, 其中形成若干存储单元还包括在所述非晶碳层上形成氮化硅层。
104. 如权利要求 103 所述的方法, 其中所述氮化硅层同所述非晶碳层一起在原处沉积。
105. 如权利要求 104 所述的方法, 其中所述非晶碳层在 633 纳  
25 米波长具有约 0.15 到约 0.001 之间的吸收系数。
106. 如权利要求 102 所述的方法, 其中非晶碳层有至少 4000 埃的厚度。
107. 如权利要求 102 所述的方法, 其中形成若干存储单元包括:

形成若干晶体管；以及

形成具有电容器板极的若干电容器。

108. 如权利要求 107 所述的方法，其中所述电容器板极在使用所述非晶碳层蚀刻所述晶体管的栅极结构上的绝缘层之后形成。

5        109. 如权利要求 108 所述的方法，其中所述层在具有约 200℃ 到 500℃ 的温度范围、约 4 托到约 6.5 托的压强范围、约 450 瓦到约 1000 瓦的射频功率范围并且包括丙稀的混合气体的室中完成。

110. 如权利要求 109 所述的方法，其中所述混合气体还包括氮。

10       111. 如权利要求 110 所述的方法，其中所述丙稀以 500 标准立方厘米每分钟 (sccm) 到 4000sccm 之间的流速引入到所述室中。

112. 如权利要求 112 所述的方法，其中所述氮以 250sccm 到 1000sccm 之间的流速引入到所述室中。

## 半导体器件中的透明非晶碳结构

### 5 相关申请

本申请涉及以下名为“具有包括非晶碳层的多层的掩模结构”的共同未决和共同转让的申请，其代理机构卷号为 303869US1、申请号为 10/661100，通过引用将其结合于本文。

### 10 技术领域

本发明通常涉及半导体器件，更具体地说，涉及半导体器件中的掩模结构。

### 背景技术

15 半导体器件（如存储器件）存在于许多计算机和电子产品中来存储数据。典型的半导体器件具有在半导体晶片上形成的不同材料的许多层。

在制造期间，上述层经过许多处理。例如，形成图案的处理在层上放置图案。一些形成图案的处理使用掩模将图案从掩模转移到  
20 掩模下面的层。

一些常规的掩模是由非晶碳组成。但是，一定厚度的非晶碳掩模对于光线具有高吸收性，导致非晶碳掩模不适用于某些处理。

### 发明内容

25 本发明提供具有掩模结构的器件和用于形成掩模结构的技术。掩模结构包括具有低吸收特性的非晶碳层。非晶碳层在电磁辐射的可见光范围内是透明的。

### 附图说明

图 1A 是示出根据本发明实施例形成非晶碳层的方法的流程图。

图 1B 是示出根据本发明实施例的透明非晶碳层的在示例波长的吸收系数 ( $k$ ) 对沉积温度的图形。

图 1C 是示出根据本发明实施例的透明非晶碳的在示例温度的吸收系数 ( $k$ ) 对波长范围的图形。

图 1D 是示出根据本发明实施例的在示例温度和示例厚度的几个透明非晶碳层的穿透百分比对波长范围的图形。

图 1E 是示出根据本发明实施例的形成透明非晶碳层的方法的示例淀积速率对温度范围的图形。

图 2-10 示出根据本发明实施例在不同处理阶段中器件的截面图。

图 11-19 示出根据本发明实施例在不同处理阶段中存储器件的截面图。

图 20 示出根据本发明实施例的系统。

15

### 具体实施方式

以下描述和附图充分阐明了本发明的特定实施例以使本领域技术人员能实践本发明。其它实施例可结合结构、逻辑、电气、处理和其它变化。在附图中，图中相似的标记描述基本相似的组件。示例仅仅代表可能的变化。某些实施例的部分和特征可以包括在或用于替代其它实施例的那些部分和特征。本发明的范围涵盖权利要求书的全部范围和所有可得到的等价物。

图 1A 是示出根据本发明实施例形成非晶碳层的方法的流程图。方法 100 形成具有低吸收系数的非晶碳层，使得非晶碳层在可见光范围内是透明的。

可见光范围是具有人眼可见的光（电磁辐射）的电磁光谱范围（光学范围）。可见光范围包括具有约 400nm（纳米）到约 700nm（纳米）之间波长的任何光。非可见光范围是整个电磁光谱减去可

见光范围后的范围。非可见光范围的一些示例包括具有约 700nm 到一毫米之间波长（红外光）、10nm 到 400nm 之间波长（紫外光）以及 0.01nm 到 10nm（X 射线）之间波长的电磁辐射。

在本说明书中，非晶碳层在可见光范围内是透明的，这意味着非晶碳层具有充分低的吸收系数 ( $k$ )，其中  $k$  在 633nm 波长具有约 0.15 到约 0.001 的范围。在一些实施例中，在可见光范围的非晶碳层是在从约 200°C 到约 500°C 的温度形成的非晶碳层，使得非晶碳层在 633nm 波长具有约 0.15 到约 0.001 之间的吸收系数 ( $k$ )。

在图 1A 中方法 100 的框 102，在室中放置晶片。在一些实施例中，该室是化学气相沉积室并且晶片是半导体晶片。在图 1A 表示的实施例中，该室是等离子体增强化学气相沉积（PECVD）室。

在框 104，为根据本发明形成非晶碳层的处理设置参数。参数包括温度、混合气体、气体流速、功率和压强。室内温度设置成选择的温度。所选择的温度是从约 200°C 到约 500°C 的任何温度。在一些实施例中，温度设置在约 200°C 到 300°C 以下之间。在其它实施例中，温度设置在约 225°C 到约 375°C 之间。

在形成非晶碳层的处理中，以某流速将包括丙烯（ $C_3H_6$ ）的处理气体引入到室内。在一些实施例中，丙烯的流速设置在约 500 标准立方厘米每分钟（sccm）到约 3000sccm 之间。还可以某流速将包括氨的附加气体引入到室内。在一些实施例中，氨的流速设置在约 250sccm 到约 1000sccm 之间。而且，实施例存在使用其它烃气的至少一种作为处理气体的情况。其它烃气包括  $CH_4$ 、 $C_2H_2$ 、 $C_2H_4$ 、 $C_2H_6$  和  $C_3H_8$ 。氨也可以与这些烃气的至少一种一起使用。因此，在框 104 中，将混合气体引入到室内。

在本说明书中，混合气体可以仅仅是一种气体或者是至少两种气体的组合。例如，混合气体可以仅仅是丙烯（ $C_3H_6$ ）或者是丙烯和氨的组合。作为另一示例，混合气体可以是丙烯、 $CH_4$ 、 $C_2H_2$ 、 $C_2H_4$ 、 $C_2H_6$  和  $C_3H_8$  以及氨中的至少一种。

在方法 100 中形成非晶碳层的处理期间，室受到射频（RF）功率和压强的控制。在一些实施例中，射频功率设置在约 450 瓦到约 1000 瓦之间，以及压强设置在约 4 托到约 6.5 托之间。

在框 106 中，在晶片上将非晶碳层形成为沉积层。非晶碳层在可见光范围内是透明的。在一些实施例中，通过方法 100 形成的非晶碳层在 633nm 波长具有约 0.15 到约 0.001 之间的吸收系数 ( $k$ )。

因为通过方法 100 形成的非晶碳层在可见光范围内是透明的，所以通过方法 100 形成的非晶碳层也称作透明非晶碳层。因此，透明非晶碳层是指根据其中温度设置成从约 200°C 到约 500°C 的方法 100 形成的非晶碳层。

通过方法 100 形成的非晶碳层的透明度在某种程度上取决于在处理期间的温度设置。在方法 100 中，在较低温度形成特定厚度的非晶碳层的透明度比在较高温度形成上述特定厚度的非晶碳层更透明。例如，在方法 100 中，在 200°C 形成某厚度的非晶碳层比在 500°C 形成相同厚度的非晶碳层更透明。

通过方法 100 形成的透明非晶碳层可用于例如存储器件和微处理器的半导体器件中。例如，通过方法 100 形成的透明非晶碳层可以作为绝缘层或抗反射层包括在半导体器件的结构中。在另一示例中，通过方法 100 形成的透明非晶碳层还可在半导体器件的制造期间的蚀刻处理中用作掩模。

图 1B 是示出根据本发明实施例的透明非晶碳层的在示例波长的吸收系数 ( $k$ ) 对沉积温度的图形。在一些实施例中，图 1B 的图形示出了根据图 1A 中描述的方法形成的透明非晶碳层的吸收系数。

在图 1B 中，曲线 150 示出了在 633nm 波长具有从约 0.15 到约 0.001 范围的吸收系数  $k$  的透明非晶碳层，其中透明非晶碳层在从约 200°C 到约 500°C 的温度形成（或沉积）。在图 1B 中，曲线 150 具有示例形状。在一些实施例中，曲线 150 可具有与图 1B 示出的形状不同的形状。

图 1C 是示出根据本发明实施例的透明非晶碳的在示例温度的吸收系数 ( $k$ ) 对波长范围的图形。在一些实施例中, 图 1C 的图形示出根据图 1A 中描述的方法形成的透明非晶碳层的吸收系数。

5 在图 1C 中, 曲线 161 示出在 375°C 的示例温度形成的透明非晶碳的吸收系数 ( $k$ ) 对波长范围的曲线。曲线 162 示出在 225°C 的示例温度形成的另一透明非晶碳的吸收系数对波长范围的曲线。

图 1D 是示出根据本发明实施例的在示例温度和示例厚度的几个透明非晶碳层的穿透百分比对波长范围的图形。在一些实施例中, 图 1D 的图形示出根据图 1A 中描述的方法形成的透明非晶碳层的示例穿透百分比。

10 在图 1D 中, 曲线 171、172 和 173 示出了在不同温度形成的不同厚度的三个不同非晶碳层的穿透百分比对波长范围的曲线。曲线 171 示出了在 225°C 的温度形成的 3000 埃厚度的透明非晶碳层的穿透百分比对波长范围的曲线。曲线 172 示出了在 375°C 的温度形成的  
15 3000 埃厚度的透明非晶碳层的穿透百分比对波长范围的曲线。曲线 173 示出了在 375°C 的温度形成的 7000 埃厚度的透明非晶碳层的穿透百分比对波长范围的曲线。图 1D 示出当厚度或温度或者二者都减小时穿透增加。

图 1E 是示出根据本发明实施例形成透明非晶碳层的方法的示例  
20 淀积速率对温度范围的图形。在一些实施例中, 图 1E 的图形示出了根据图 1A 中描述的方法形成的透明非晶碳层的示例沉积速率。图 1E 示出沉积速率与温度成反比。例如, 在 250°C 的温度, 沉积速率约为 2800 埃每分钟。在另一实例中, 在 400°C 的温度, 沉积速率约为 2100 埃每分钟。

25 图 2-10 示出了根据本发明的实施例在不同处理阶段中的器件 200。

图 2 示出了包括衬底 210 的器件 200 的截面图。衬底 210 可以表示一部分晶片或晶片自身。晶片可以是半导体晶片比如硅晶片。



衬底 210 还可以是在晶片上形成的结构或层。衬底 210 可以包括非传导材料、传导材料和半传导材料中的至少一种。非传导材料的实例包括氧化物（如  $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ ）、氮化物（如  $\text{Si}_3\text{N}_4$ ）和玻璃（硼磷硅酸盐玻璃-BPSG）。传导材料的实例包括铝、钨、其它金属以及金属的化合物。半传导材料的实例包括硅和具有其它材料（如硼、磷和砷）掺杂的硅。在图 2 所示的实施例中，衬底 210 包括半导体材料。

衬底 210 具有其中形成对准标记 214 的表面 212。对准标记 214 用作衬底（晶片）210 的参考点或坐标。在对准处理期间，对准标记 214 用来对衬底 210 进行对准或定位，使得衬底 210 上的结构和层能彼此或与衬底 210 精确地对准。

图 3 示出具有在衬底 210 上形成的器件结构 320 的器件 200。器件结构 320 包括多层 322、324 和 326。这些多层中的每一个可包括非传导材料、半传导材料和传导材料中的至少一个。例如，层 322 可以是氧化层；层 324 可以是金属层或具有金属和硅的化合物的层；以及层 326 可以是氮化层。在一些实施例中，多层 322、324 和 326 按照不同于图 3 所示顺序的顺序排列。多层 322、324 和 326 通过生长或沉积或通过其它已知的处理来形成。在一些实施例中，层 322、324 和 326 中的一个或多个从器件结构 320 中省略。在其它实施例中，与层 322、324 和 326 类似的一个或多个附加层被增加到器件结构 320 中。器件结构 320 具有厚度 T3。在一些实施例中，T3 至少 40000 埃。

图 4A 示出了具有在器件结构 320 上形成的掩模（层）430 的器件 200。掩模 430 由碳制成。在图 4A 所示的实施例中，该碳是非晶碳。因此，在图 4A 中，掩模 430 还被称为非晶碳层 430。非晶碳层 430 可以通过与图 1A 中描述的方法 100 类似的方法来形成。

非晶碳层 430 具有厚度 T4。T4 可为任何厚度。在一些实施例中，T4 至少 4000 埃。非晶碳层 430 具有低吸收系数，使得非晶碳层 430 在可见光范围内是透明的。在一些实施例中，非晶碳层 430 在 633nm

波长具有约 0.15 到约 0.001 之间的吸收系数 ( $k$ )。

因为非晶碳层 430 在可见光范围内是透明的，所以非晶碳层 430 在可见光范围内基本上不吸收或反射光。因此，非晶碳层 430 的在可见光范围特性中的透明度在衬底 210 的对准期间改善了衬底 210 上的对准标记 214 (图 2) 的读出。而且，因为非晶碳层 430 在可见光范围内是透明的，所以可以不限非晶碳层 430 的厚度。因此，非晶碳层 430 可以形成具有足够的厚度以便彻底地蚀刻器件结构 320，同时允许对准标记 (如对准标记 214) 的精确读出。

与具有比非晶碳层 430 更高吸收系数 (或更低透明度) 的常规非晶碳层来比较非晶碳层 430，常规非晶碳层对于一些处理会有厚度限制。例如，一些处理会要求具有特定厚度的掩模，因为常规非晶碳层的高吸收特性，使用具有特定厚度的常规非晶碳层会致使读对准标记困难或可导致不精确的读出。因此，因为低吸收特性，非晶碳层 430 在要求具有特定厚度掩模的处理中是有用的，在该处理中常规非晶碳掩模是不适用的。

器件 200 的非晶碳层 430 形成具有足够的厚度以便彻底地蚀刻器件结构 (如器件结构 320)。例如，非晶碳层 430 形成具有大于等于约 4000 埃的厚度 T4，以便蚀刻具有大于等于 40000 埃的厚度 T3 的器件结构 320。

图 4B 示出了具有在非晶碳层 430 上形成的加盖层 540 的器件 200。在一些实施例中，加盖层 540 包括氧化物材料。在其它实施例中，加盖层 540 包括非氧化材料。在图 4B 中，加盖层 540 包括氧氮化硅 ( $\text{Si}_x\text{O}_y\text{N}_z$ ) 或富硅氧化物 ( $\text{Si}_x\text{O}_y$ ) (silicon-rich oxide)，其中  $x$ 、 $y$  和  $z$  是实数。在一些实施例中，加盖层 540 包括氢化的氧氮化硅 ( $\text{Si}_x\text{O}_y\text{N}_z:\text{H}$ ) 或氢化的富硅氧化物 ( $\text{Si}_x\text{O}_y:\text{H}$ )。

加盖层 540 能通过沉积处理 (如 CVD 和 PECVD 处理) 形成。在一些实施例中，加盖层 540 与非晶碳层 430 在相同处理 (相同的处理步骤) 中一起形成，使得加盖层 540 在非晶碳层 430 上原处沉

积。

图 5 示出了具有在加盖层 540 和非晶碳层 430 上形成的光刻胶层 550 的器件 200。使用已知的技术形成光刻胶层 550。在一些实施例中，加盖层 540 用作抗反射层，用于在光刻胶层 550 的形成图案 5 期间降低从非晶碳层 430 下面的层到光刻胶层 550 的反射。降低反射允许光刻胶层 550 的更精确的形成图案。在其它实施例中，加盖层 540 用作对非晶碳层 430 形成图案的掩模。在一些其它的实施例中，加盖层 540 用作抗反射层和掩模。

非晶碳层 430、加盖层 540 和光刻胶层 550 的组合形成掩模结构 10 560。在一些实施例中，加盖层 540 从掩模结构 560 中省略。在其它实施例中，除了非晶碳层 430、加盖层 540 和光刻胶层 550 以外，掩模结构还包括在光刻胶层 550 和加盖层 540 之间形成的附加层。附加层用作抗反射层以便进一步增强图处理性能。

图 6 示出了光刻胶层 550 形成图案之后的器件 200。能使用已知 15 的技术对光刻胶层 550 执行形成图案。在图 6 中，经图案化的光刻胶层 550 具有开口 652。经图案化的光刻胶层 550 用作对加盖层 540 和非晶碳层 430 形成图案的掩模。

图 7 示出了掩模结构 560 形成图案之后的器件 200。能通过一个或多个蚀刻步骤执行对掩模结构 560 形成图案。在一些实施例中， 20 加盖层 540 和非晶碳层 430 在一个蚀刻步骤中一起被蚀刻。在其它实施例中，加盖层 540 和非晶碳层 430 在不同的蚀刻步骤中分别被蚀刻。如图 7 所示，经图案化的加盖层 540 和经图案化的非晶碳层 430 中的每一个具有与光刻胶层 550 的开口 652 连续且对准的开口。在一些实施例中，在非晶碳层 430 形成图案之后，掩模结构 560 的层 25 430、540 和 550 的组合可以保留并用作蚀刻器件结构 320 的层的掩模。在其它实施例中，在非晶碳层 430 形成图案之后，移除光刻胶层 550 或光刻胶层 550 和加盖层 540 的组合。掩模结构 560 的剩余的（未移除）层用作蚀刻器件结构 320 和衬底 210 中的一个或两个

的掩模。

图 8 示出了移除光刻胶层 550 和加盖层 540 之后的器件 200。在该实例中，剩余的非晶碳层 430 用作蚀刻一部分器件结构 320 或整个器件结构 320 的掩模。在一些实施例中，还使用非晶碳层 430 作为掩模来蚀刻衬底 210 的至少一部分。

图 9 示出了蚀刻器件结构 320 之后的器件 200。蚀刻处理的结果形成了槽 901。在图 9 的实施例中，在器件结构 320 的至少一部分中形成槽 901。在一些实施例中，在整个器件结构 320 和在衬底 210 的至少一部分中形成槽 901。

10 将层 322 蚀刻到层面 (level) 902。层面 902 是衬底 210 的表面 212 以上的任何层面。在图 9 的实施例中，对器件结构 320 蚀刻，使得蚀刻处理穿透层 326 和 324 并部分地进入层 322 并停止在层面 902。在一些实施例中，对器件结构 320 蚀刻，使得层面 902 能在器件结构 320 中的任何地方。在其它实施例中，蚀刻处理穿透所有的层 322、  
15 324 和 326 并停止在衬底 210 的表面 212 或表面 212 以下。蚀刻处理蚀刻进入器件结构 320 的哪一层面取决于在对器件结构 320 蚀刻之后形成什么。例如，如果要形成传导互联，则器件结构 320 被蚀刻到某一个层面，并且如果要形成组件 (如电容器)，则器件结构 320 被蚀刻到另一个层面。

20 图 10 示出了移除非晶碳层 430 之后的器件 100。在一些实施例中，使用具有氧等离子体的灰烬处理来移除非晶碳层 430。在其它实施例中，使用具有氧等离子体和  $CF_4$  的组合的灰烬处理来移除非晶碳层 430。

在上面图 4A 到图 10 的描述中，在可见光范围透明的非晶碳层 430 包括在掩模结构 560 中，用作蚀刻器件结构 320 的掩模。在一些  
25 实施例中，非晶碳层 (如非晶碳层 430) 也包括在器件结构 320 中。比如，器件结构 320 的层 322、324 和 326 中的一个可以是非晶碳层 (如非晶碳层 430)。在另一实例中，器件结构 320 可包括除了层 322、

324 和 326 之外的附加层,其中附加层是非晶碳层(如非晶碳层 430)。

在器件结构 320 内存在非晶碳层的实施例中,器件结构 320 内的非晶碳层可用于绝缘目的、抗反射目的或用于其它目的。因此,在器件结构 320 包括类似于非晶碳层 430 的非晶碳层的实施例中,5 在从器件 200 移除掩模结构 560 的非晶碳层 430 之后,器件结构 320 的非晶碳层仍保留在器件 200 中。

如图 10 所示在移除非晶碳层 430 之后,能对器件 200 执行其它的处理以形成组件,比如晶体管、电容器、存储单元或比如存储器件、处理器、专用集成电路或其它类型的集成电路的集成电路。

10 图 11-19 示出了根据本发明的实施例在不同处理阶段中存储器件 1100 的截面图。在图 11 中,存储器件 1100 包括具有在衬底 1102 的表面 1107 上形成的对准标记 1104 的衬底 1102。在衬底 1102 上形成若干表面结构(栅极结构)1105(1105.1-1105.4)。在衬底 1102 内,形成若干扩散区 1106(1106.1-1106.3)和隔离结构 1107.1 和 1107.2。15 为清晰起见,图 11 示出在对准标记 1104 上没有部件形成的对准标记 1104。然而,在对准标记 1104 上可以形成如图 11 所示的层的部件。

存储器件 1100 还包括绝缘层 1130 和若干贯穿绝缘层 1130 的触点 1140(1140.1-1140.3)。每个触点 1140 连接一个扩散区 1106。阻挡层 1145 把表面结构 1105 从绝缘层 1130 和触点 1140 分开。触点 1140 20 由传导材料制成用以提供扩散区 1106 的电气连接。阻挡层 1145 可以是氧化物或氮化物或其它非传导材料,用以避免在表面结构 1105 和绝缘层 1130 之间的材料的交叉扩散。在一些实施例中,省略了阻挡层 1145。绝缘层 1130 提供了触点 1140 之间的绝缘。绝缘层 1130 25 可以用一种或多种掺杂物(如硼和磷)掺杂的硅酸盐玻璃或其它类型的掺杂玻璃的层。例如,绝缘层 1130 可以是硼磷酸盐玻璃(BSG)或磷硅酸盐玻璃(PSG)。在图 11 的实施例中,绝缘层 1130 包括硼磷硅酸盐玻璃(BPSG)且具有厚度 T11。在一些实施例中,T11 的

范围为 3000 埃到 5000 埃。

在图 11 的实施例中，衬底 1102 包括用比如硼掺杂物掺杂的硅以便使其为 P 型材料。扩散区用比如磷掺杂物掺杂以便使它们为 N 型材料。在一些实施例中，衬底 1102 可以是 N 型材料而扩散区 1106  
5 可以是 P 型材料。

每个栅极结构 1105 包括若干单元：栅极绝缘层（栅氧化层）1109、掺杂多晶硅层 1112、硅化物层 1114、加盖介质层 1116 和介质衬垫 1118。硅化物层 1114 可包括金属和硅的化合物。比如硅化钛、硅化砷及其它。在栅极结构 1105 中的所有介质可包括比如氧化硅的材料。  
10 每个栅极结构 1105 还被称作字线。使用已知的技术能形成图 11 的结构。

图 12 示出了形成绝缘层 1210 之后的存储器件 1100。类似于绝缘层 1130，绝缘层 1210 可以包括 BSG、PSG 或 BPSG。图 12 中的绝缘层 1210 和其它结构形成器件结构 1220。器件结构 1220 具有厚  
15 度 T12。在一些实施例中，T12 至少为 40000 埃。

图 13 示出了在器件结构 1220 之上形成非晶碳层之后的存储器件 1100。非晶碳层 1330 具有低吸系数，使得非晶碳层 1330 在可见光范围内是透明的。在一些实施例中，非晶碳层 1330 在 633nm 波长具有从约 0.15 到约 0.001 之间的吸收系数 ( $k$ )。通过与图 1A 中  
20 描述的方法 100 类似的方法形成非晶碳层 1330。

因为非晶碳层 430 在可见光范围内是透明的，所以可以在选择的厚度形成非晶碳层 1330 以便彻底地蚀刻器件结构 1220，而在器件 1100 的对准期间基本上不影响对准标记 1104 的读出。非晶碳层 1330 具有厚度 T13，能选择适当的厚度值来彻底地蚀刻器件结构 1220。T13  
25 可以是任何厚度。在一些实施例中，T13 至少为 4000 埃。

图 14 示出了在非晶碳层 1330 上形成加盖层 1440 和光刻胶层 1450 之后的器件 1100。在一些实施例中，加盖层 1440 包括氧化物材料。在其它实施例中，加盖层 1440 包括非氧化材料。在图 14 中，加盖

层 1440 包括氮化硅 ( $\text{Si}_x\text{O}_y\text{N}_z$ ) 或富硅氧化物 ( $\text{Si}_x\text{O}_y$ )，其中  $x$ 、 $y$  和  $z$  是实数。在一些实施例中，加盖层 1440 包括氢化的氮化硅 ( $\text{Si}_x\text{O}_y\text{N}_z\text{:H}$ ) 或氢化的富硅氧化物 ( $\text{Si}_x\text{O}_y\text{:H}$ )。使用已知的技术形成层 1440 和 1450。非晶碳层 1330、加盖层 1440 和光刻胶层 1450 5 形成掩模结构 1460。在一些实施例中，加盖层 1440 从掩模结构 1460 省略。在其它实施例中，掩模结构 1460 还包括在光刻胶层 1450 和加盖层 1440 之间形成的附加层。该附加层用作抗反射层以便进一步增强图处理性能。

图 15 示出了在光刻胶层 1450 形成图案之后的器件 1100。能使用 10 用已知的技术对光刻胶层 1450 形成图案。经图案化的光刻胶层 1450 包括开口 1552。

图 16 示出了掩模结构 1460 形成图案之后的器件 1100。能通过一个或多个蚀刻步骤对掩模结构 1460 执行形成图案。在一些实施例中，加盖层 1440 和非晶碳层 1330 在一个蚀刻步骤中一起被蚀刻。 15 在其它实施例中，加盖层 1440 和非晶碳层 1330 在不同蚀刻步骤中分别被蚀刻。如图 16 所示，在形成图案之后，经图案化的加盖层 1440 和经图案化的非晶碳层 1330 的每一个包括与光刻胶层 1450 的开口 1552 连续切对准的开口。

在一些实施例中，在非晶碳层 1330 形成图案之后，掩模结构 1460 20 的层 1330、1440 和 1450 的组合可以保留并用作蚀刻器件结构 1220 的层的掩模。在其它实施例中，在非晶碳层 1330 形成图案之后，移除光刻胶层 1450 或者光刻胶层 1450 和加盖层 1440 的组合。掩模结构 1220 的剩余的（未移除）层用作蚀刻器件结构 1220 的掩模。

图 17 示出了在蚀刻器件结构 1220 之后的器件 1100。在图 16 的 25 实施例中，在蚀刻器件结构 1220 之前移除光刻胶层 1450 和加盖层 1440。非晶碳层 1330 用作蚀刻器件结构 1220 的层的掩模。已蚀刻的器件结构 1220 具有开口 1701。

图 18 示出了移除非晶碳层 1330 之后的器件 1100。在一些实施

例中，使用具有氧等离子体的灰烬处理来移除非晶碳层 1330。在其它实施例中，使用具有氧等离子体和  $CF_4$  的组合的灰烬处理来移除非晶碳层 1330。

图 19 示出了使用已知技术形成其它层之后的器件 1100。在每个开口 1552 中形成第一传导层 1902 (1902.1 和 1902.2)、第二传导层 1904 (1904.1 和 1904.2) 和介质层 1906 (1906.1 和 1906.2)。传导层 1902、1904，介质层 1906 和其它部件形成存储电容器 C1 和 C2。例如，在存储电容器 C1 中，传导层 1902.1、触点 1140.1 和扩散区 1106.1 形成第一电容器板极 (底板极)；传导层 1902.2 形成第二电容器板极 (顶板极)；以及介质层 1906.1 是电容器介质。在一些实施例中，传导层 1904 连接到存储器件 1100 的公共单元板极。为简单起见图 19 省略了公共单元板极。

存储器件 1110 包括存取晶体管 T1 和 T2。栅极结构 1105.2 和扩散区 1106.1-1106.2 形成存取晶体管 T1。栅极结构 1105.3 和扩散区 1106.2-1106.3 形成存取晶体管 T2。存取晶体管 T1 和存储电容器 C1 形成存储 CELL1。存取晶体管 T2 和存储电容器 C2 形成存储 CELL2。

存储单元 CELL1 和 CELL2 在存储电容器 C1 和 C2 中以电荷的形式存储数据。电荷通过触点 1140.2 传送到电容器 C1 和 C2 的掺杂区 1106.1 和 1106.3 或者从该掺杂区传递出。在一些实施例中，触点 1140.2 是埋置的位线触点，其连接到存储器件 1100 的位线上。

在其它实施例中，可以在开口 1701 (图 17) 中形成具有不同于层 1902、1904 和 1906 的结构的其它部件。例如，可以在开口 1552 中形成互联而不是电容器板极，以便把扩散区 1106 连接到存储器件 1100 的其它部分。

存储器件 1100 可以是动态随机存取存储器 (DRAM) 器件。DRAM 器件的实例包括一般称为 SDRAM 的同步 DRAM、SDRAM II、SGRAM (同步图形随机存取存储器)、DDR SDRAM (双倍数据速率 SDRAM)、DDR II SDRAM、DDR III SDRAM、GDDR III



SDRAM（图形双倍数据速率）和 Rambus DRAM。存储器件 1100 包括其它部件，为清晰起见其未示出。

图 20 示出了根据本发明实施例的系统。系统 2000 包括室 2010 和置于室中的晶片 2020。在一些实施例中，室 2010 是 PECVD 室以及晶片 2020 是半导体晶片。室 2010 的实例包括从 Applied Materials 公司（座落在 Santa Clara, California）得到的 Producer Processor 的室。室 2010 和晶片 2020 能用于图 1A 描述的方法 100，以根据方法 100 形成透明非晶碳层。

晶片 2020 包括若干对准标记 2014 和若干管芯 2030。在一些实施例中，对准标记 2014 表示对准标记 214（图 2）和对准标记 1104（图 11）。

管芯 2030 中的至少一个包括根据上文图 2-19 描述的实施例的部件。例如，管芯 2030 中的至少一个包括比如器件 200 和 1100（图 2-19）的衬底、器件结构和掩模结构。因此，管芯 2030 的至少一个包括非晶碳层、比如根据在图 2-19 中描述的处理形成的非晶碳层 430（图 4A）和非晶碳层 1330（图 13）。

比如管芯 2030 其中之一的管芯是半导体晶片（如晶片 2020）上的图案。管芯含有执行特定功能的线路。例如，管芯 2030 中的至少一个含有用于器件的线路，上述器件例如为处理器或如存储器件 1100（图 11-19）的存储器件。

## 结论

本发明的各种实施例提供形成透明非晶碳层的技术。透明非晶碳层能用作掩模来蚀刻器件的某种结构。非晶碳层还可为用于其它目的的器件的结构的一部分。尽管在此描述了特定的实施例，但本领域技术人员认识到其它的实施例可以替代示出的特定实施例来取得相同目的。本申请涵盖了本发明的任何修改或变化。因此，本发明仅仅受限于权利要求书和所有可得到的等价物。

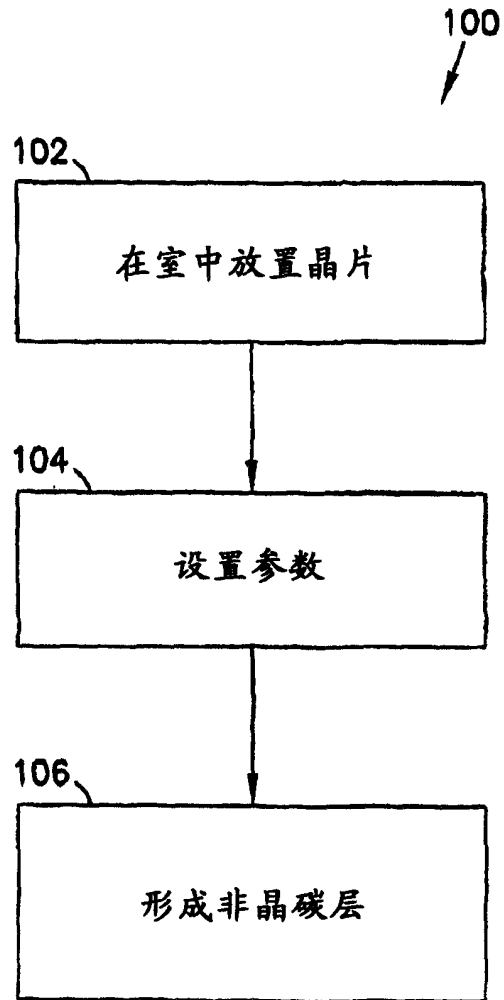


图 1A

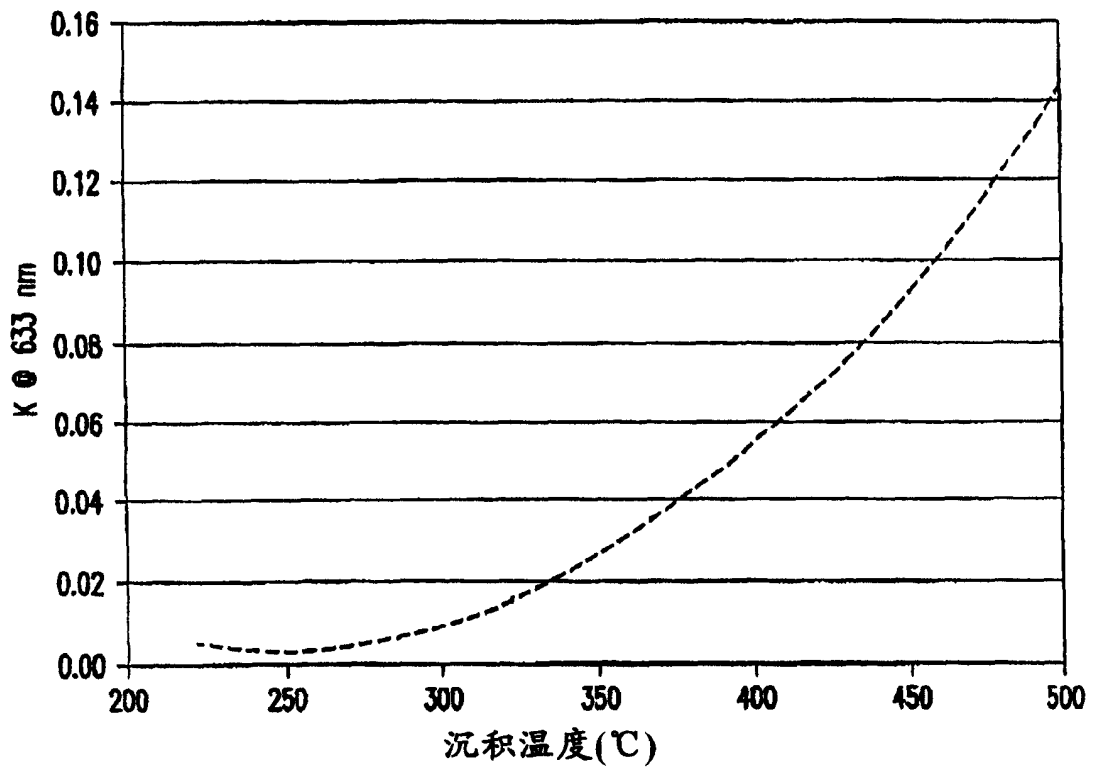


图 1B

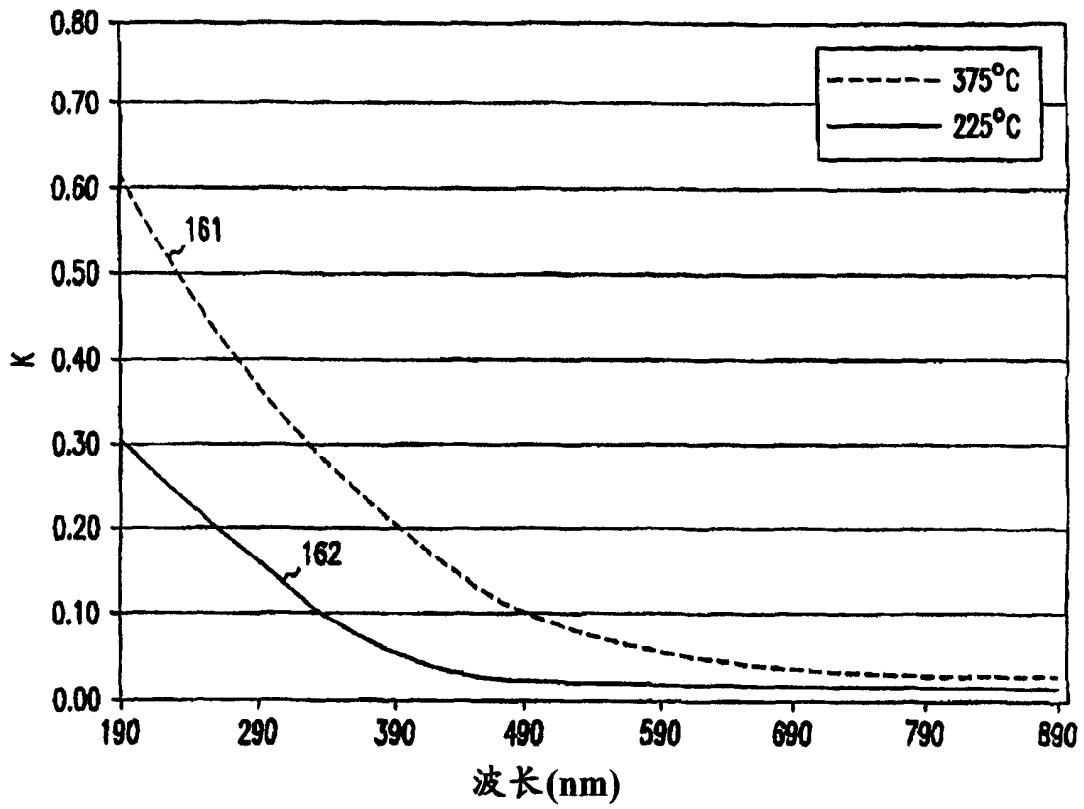


图 1C

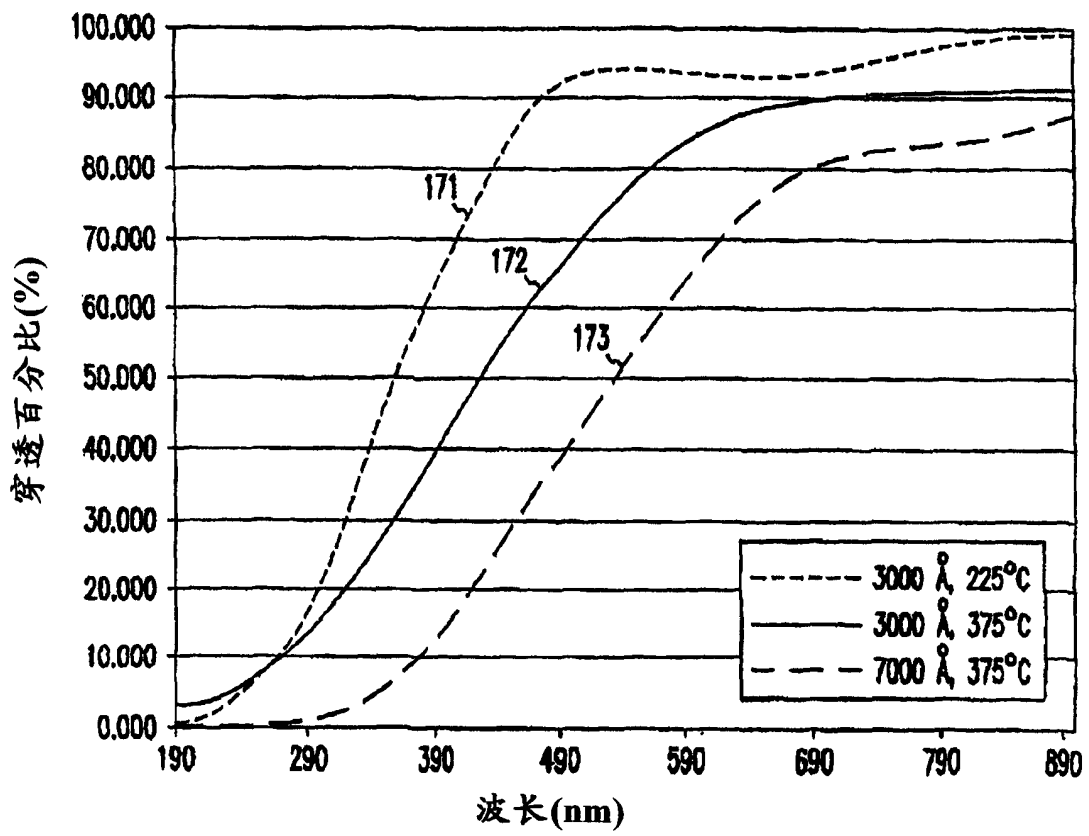


图 1D

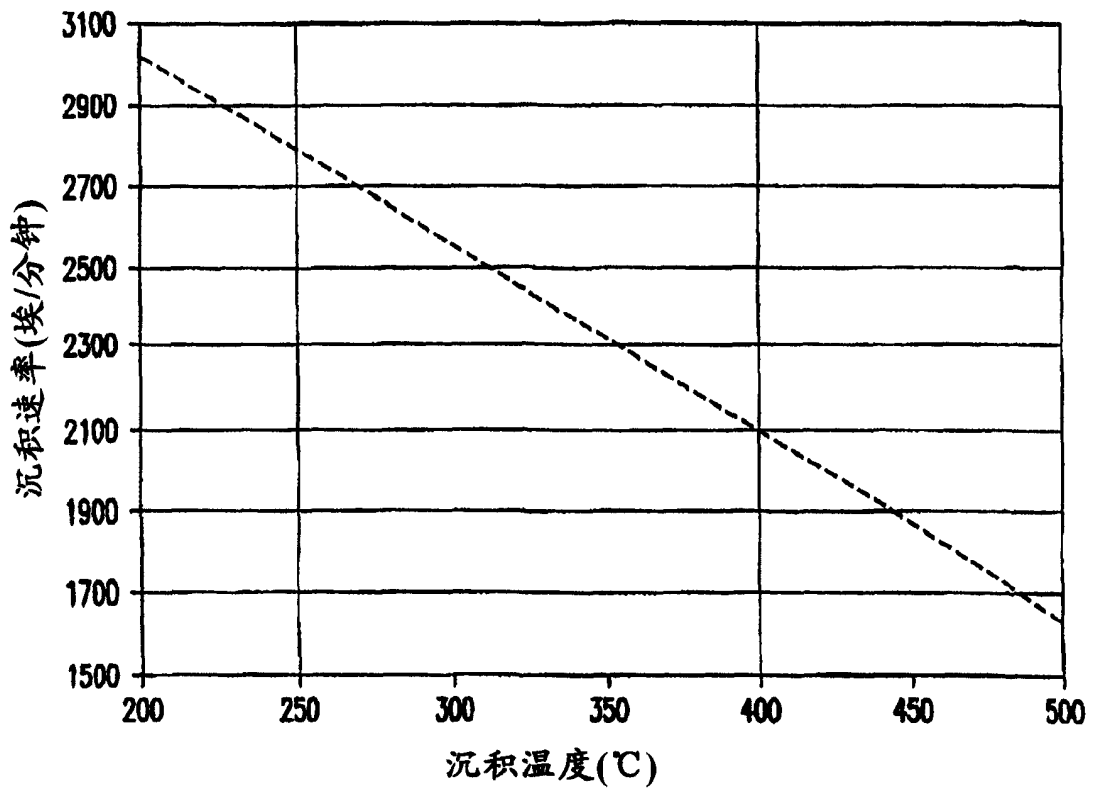


图 1E

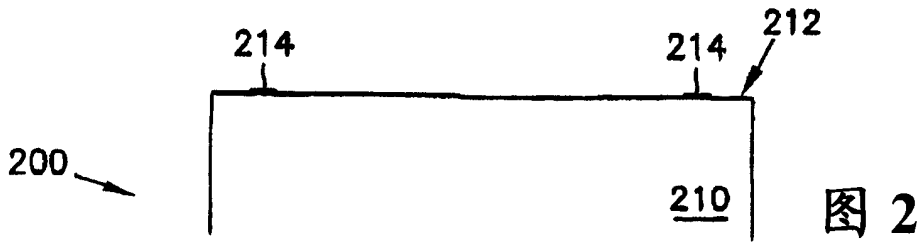


图 2

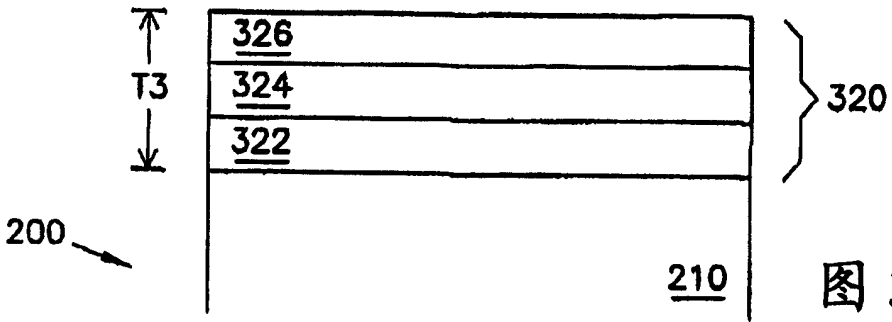


图 3

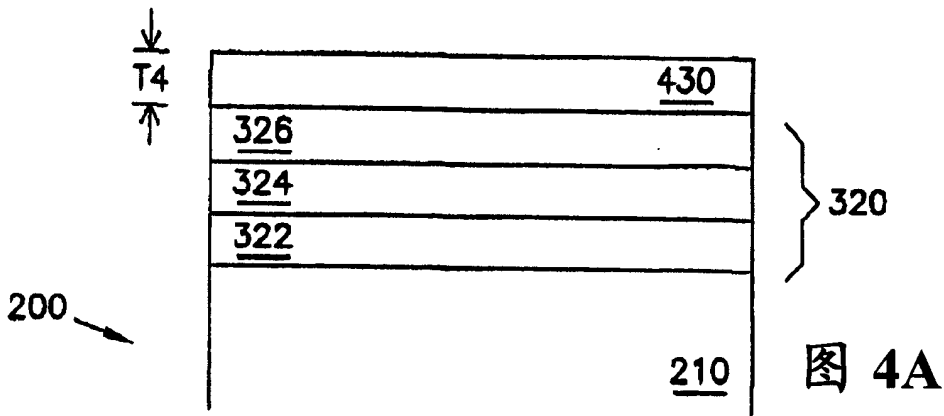


图 4A

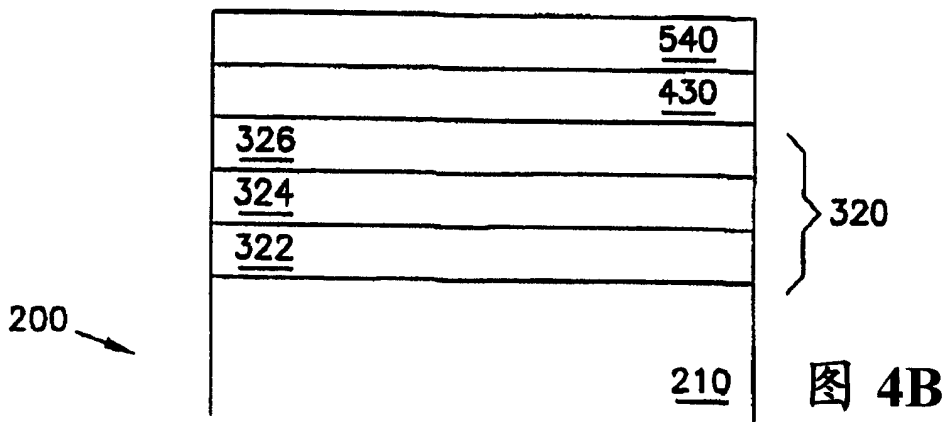


图 4B

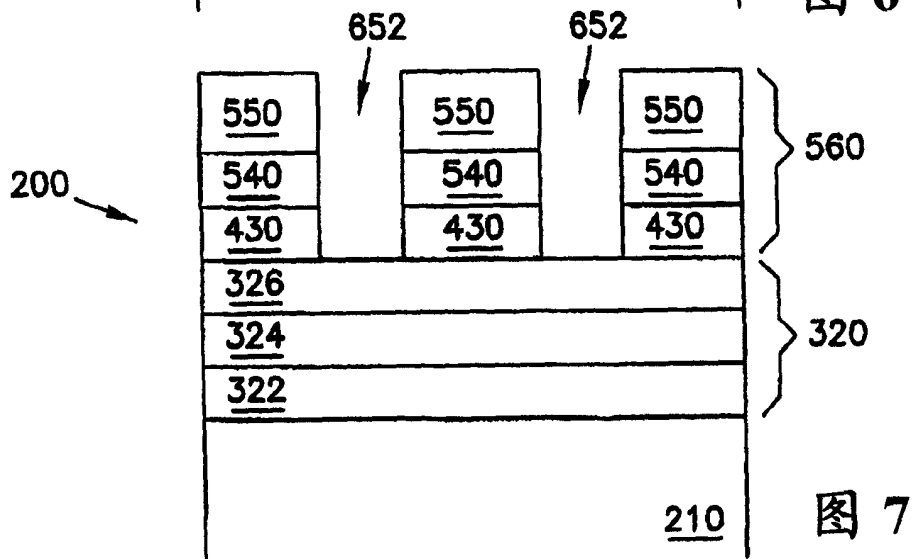
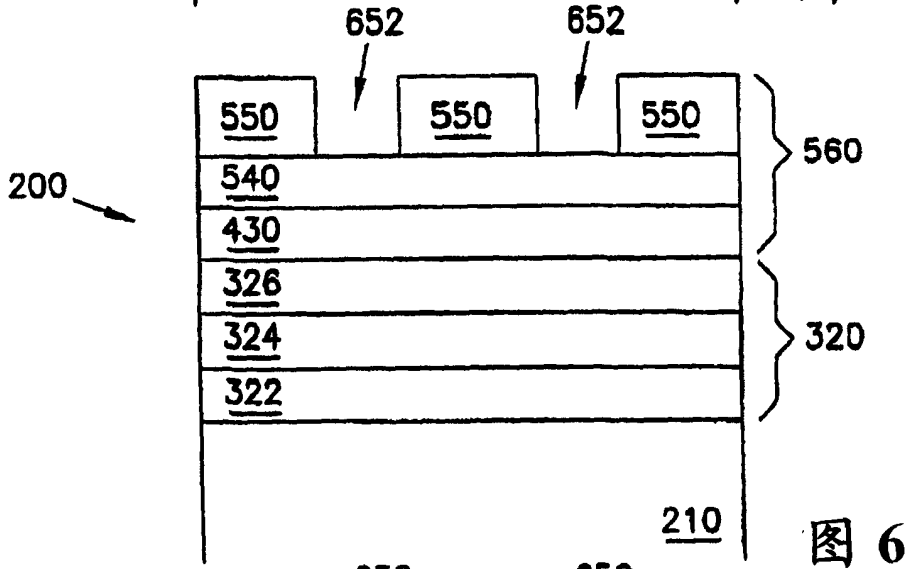
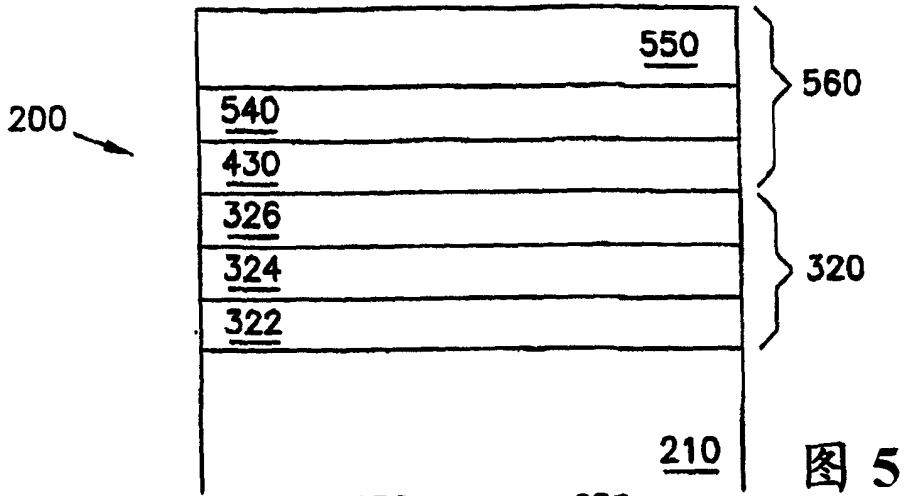




图 8

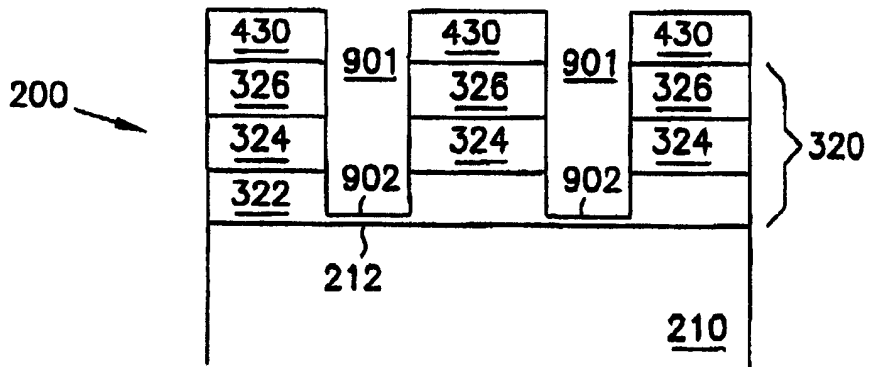
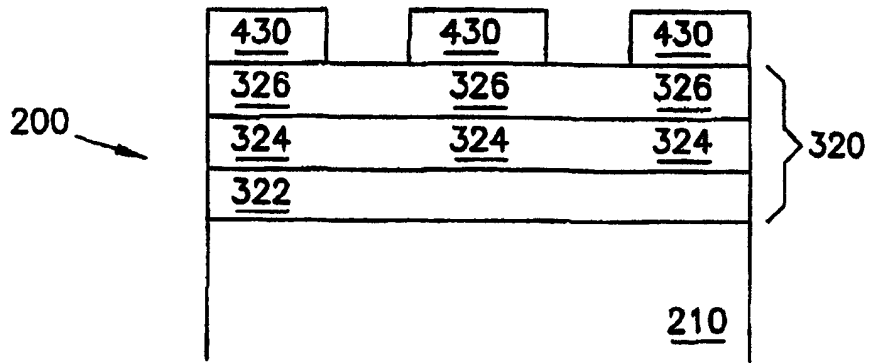


图 9

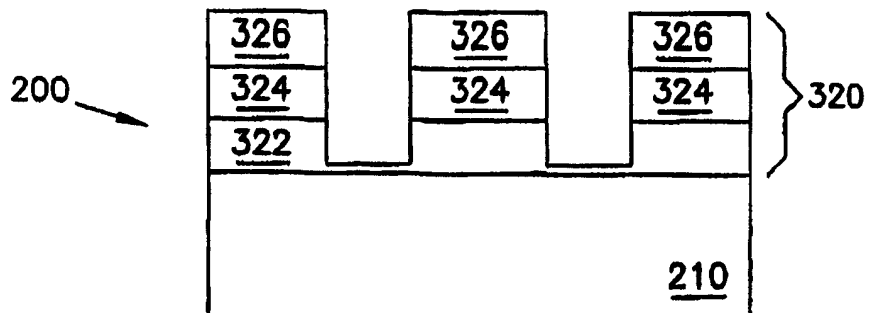


图 10

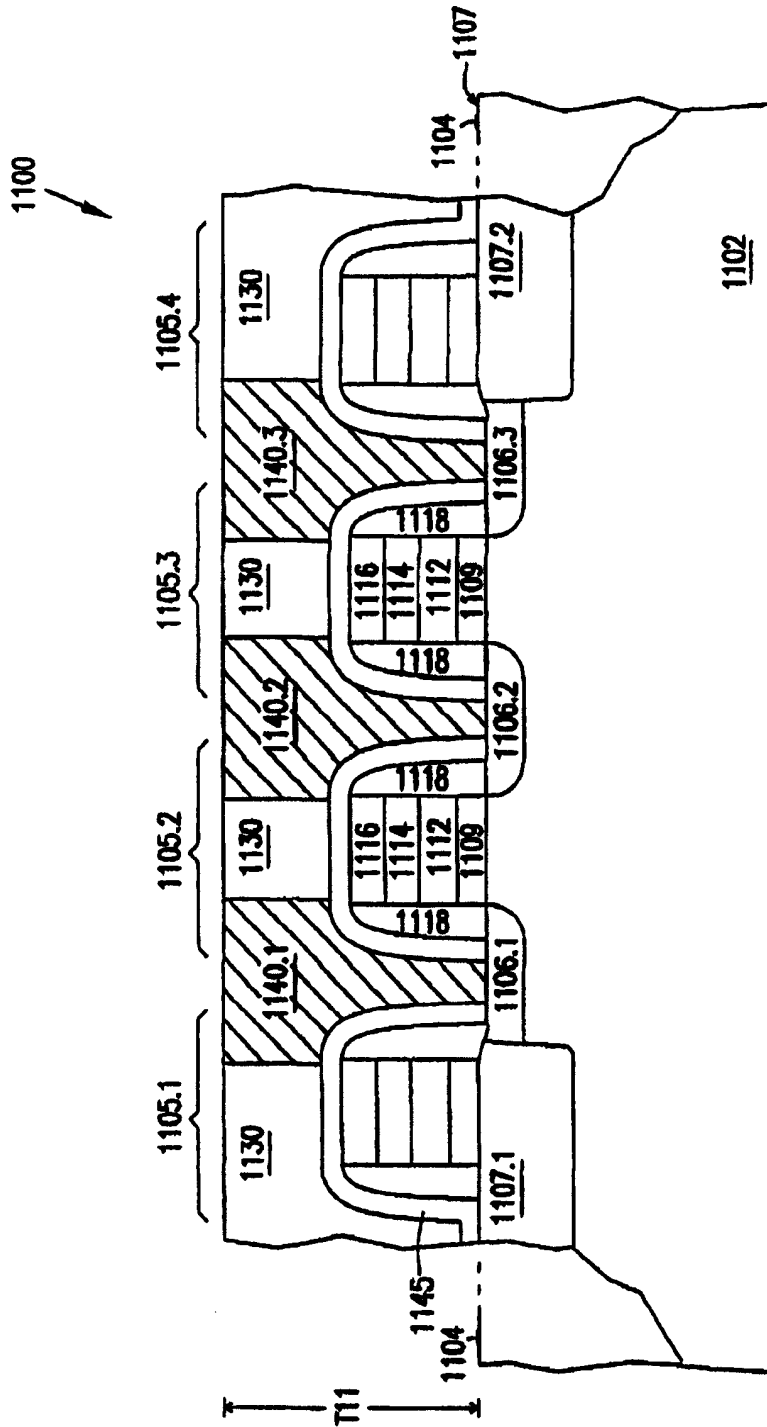


图 11

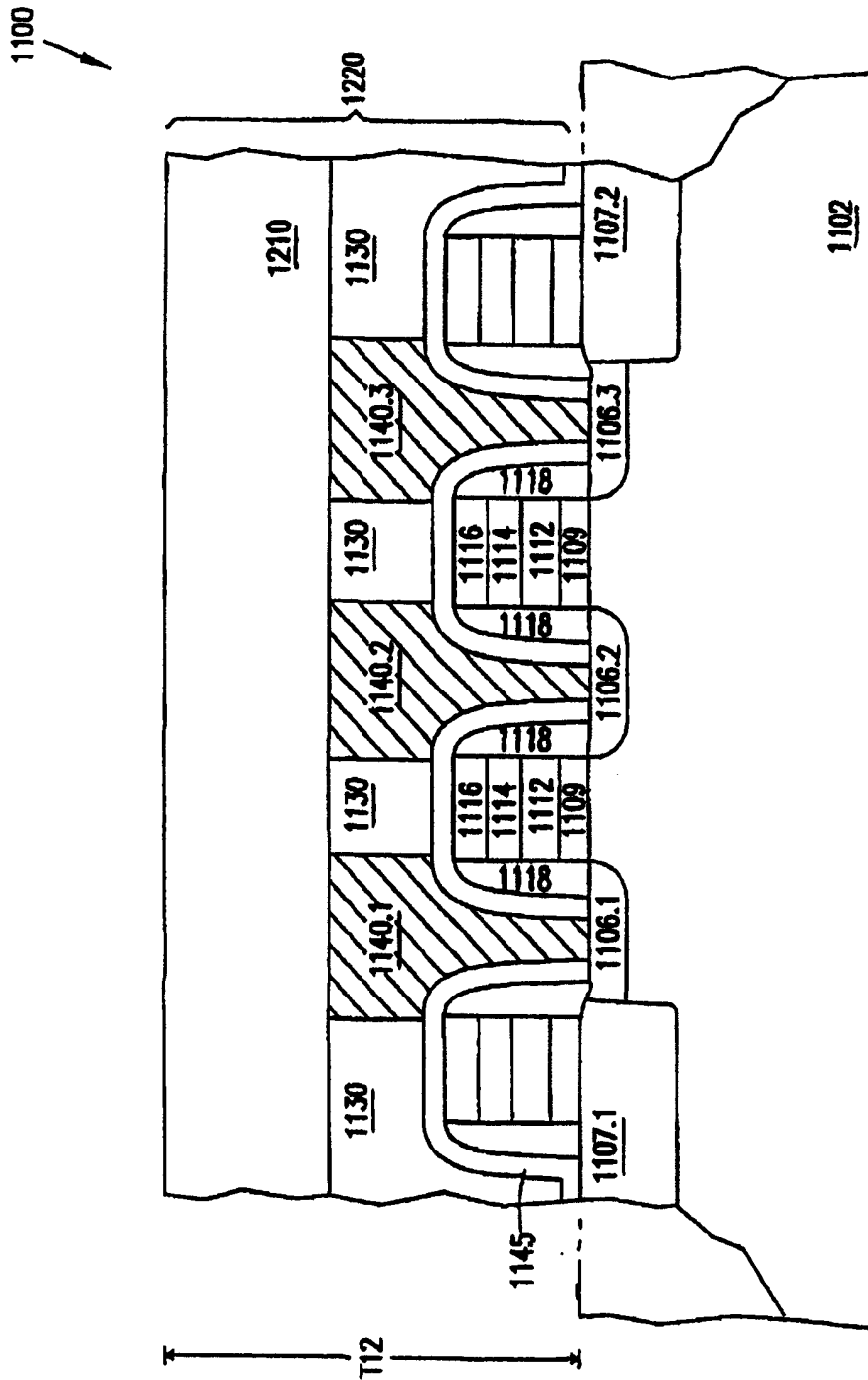


图 12

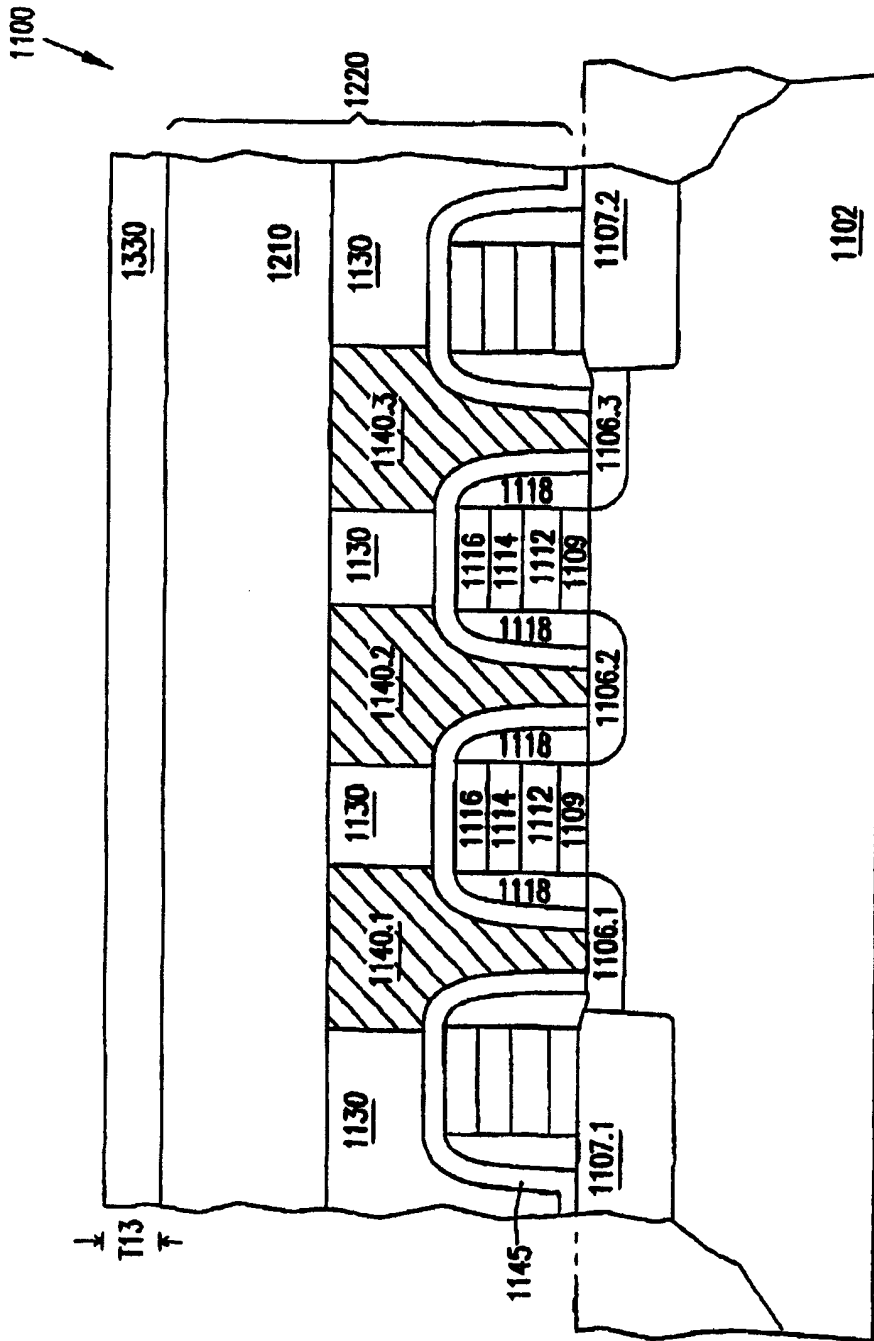


图 13

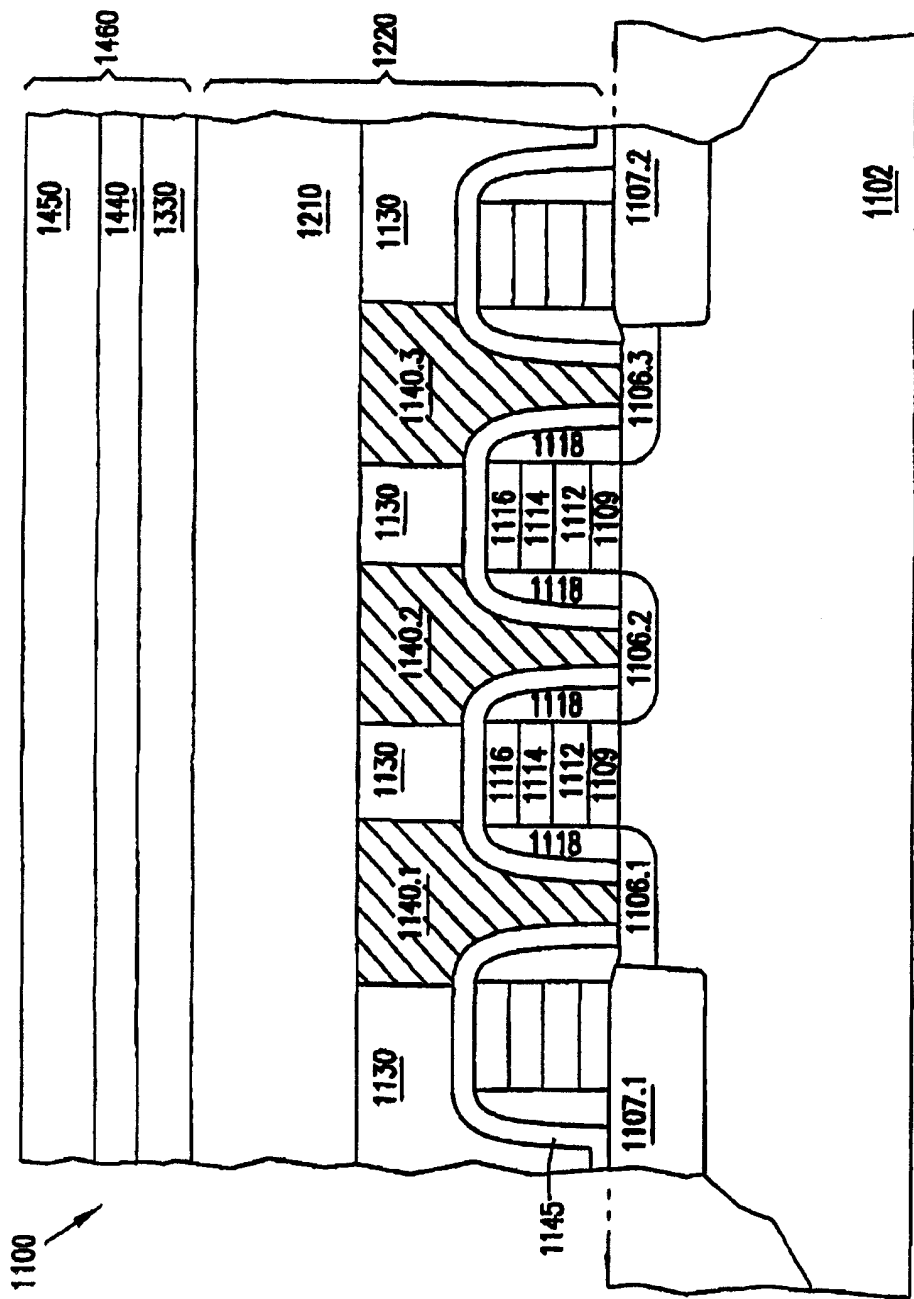


图 14

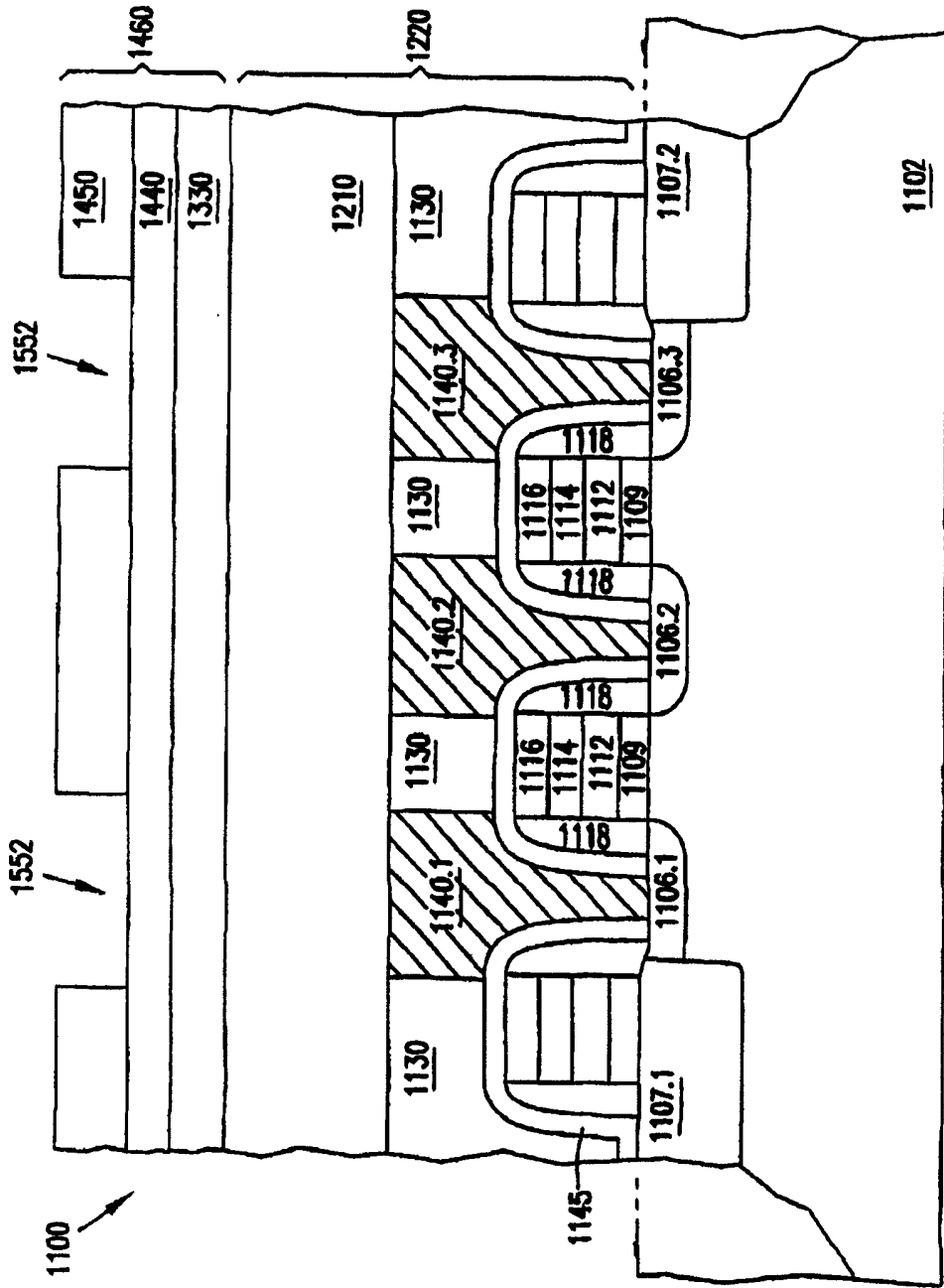


图 15

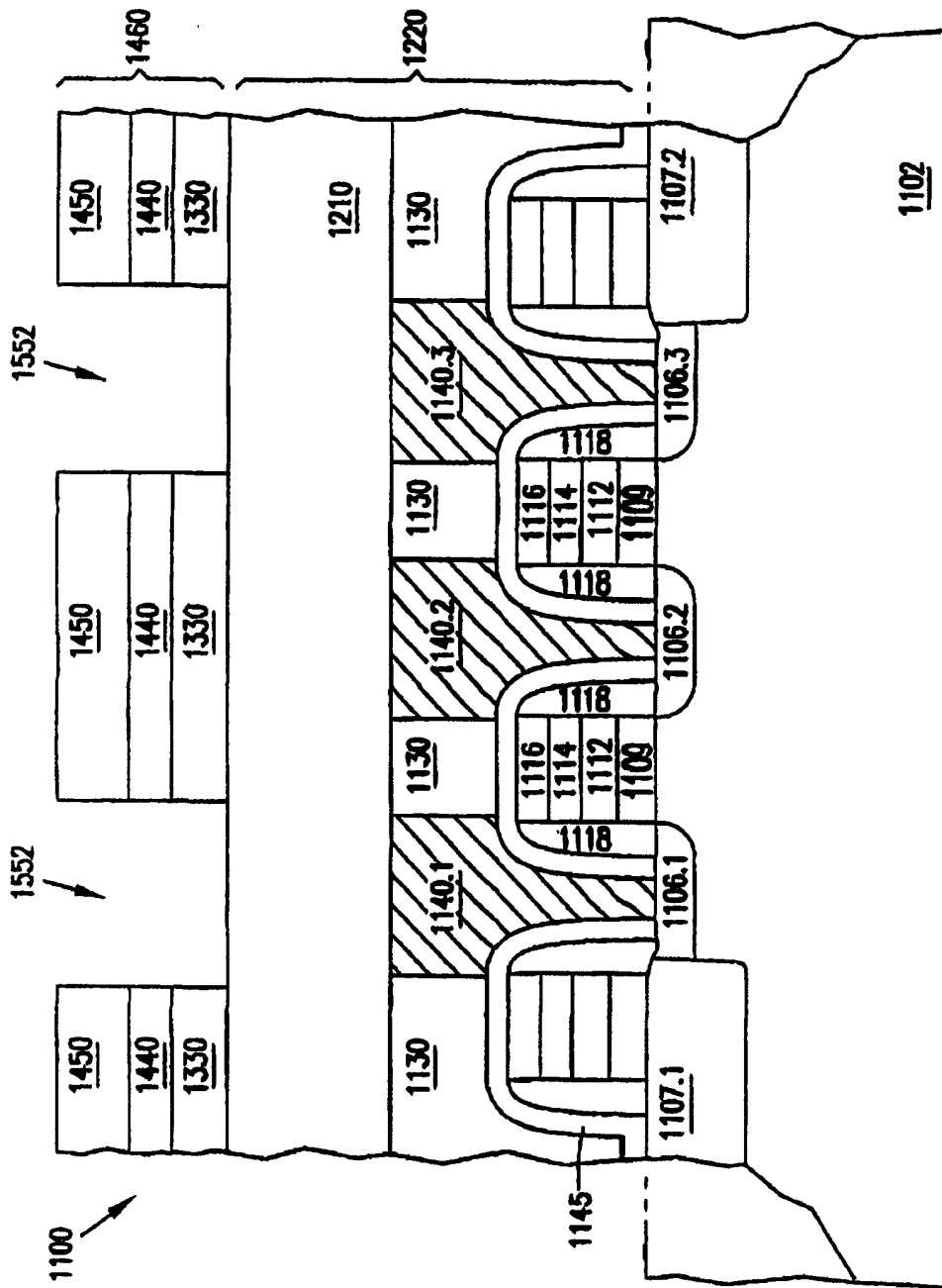


图 16

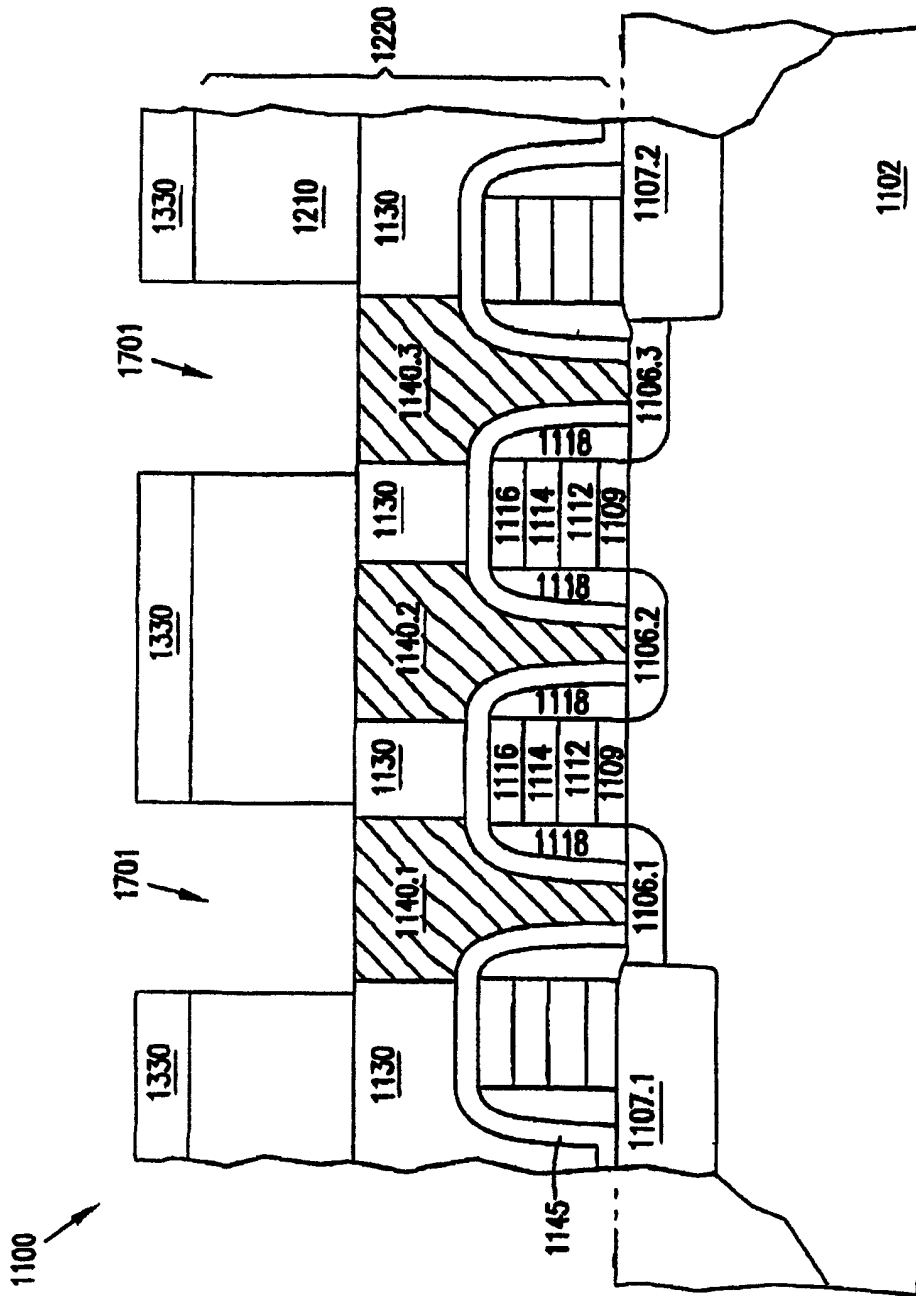


图 17



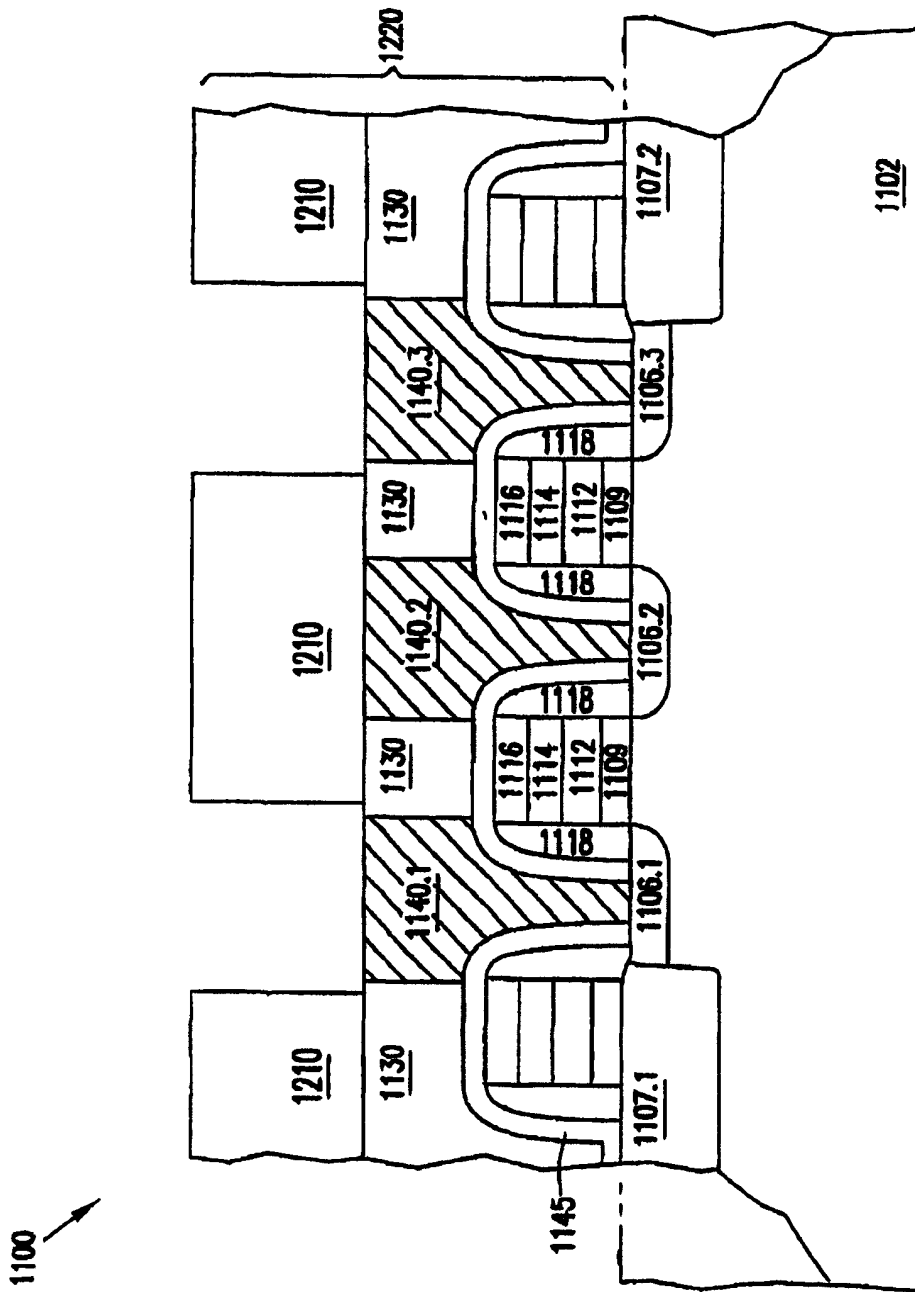


图 18

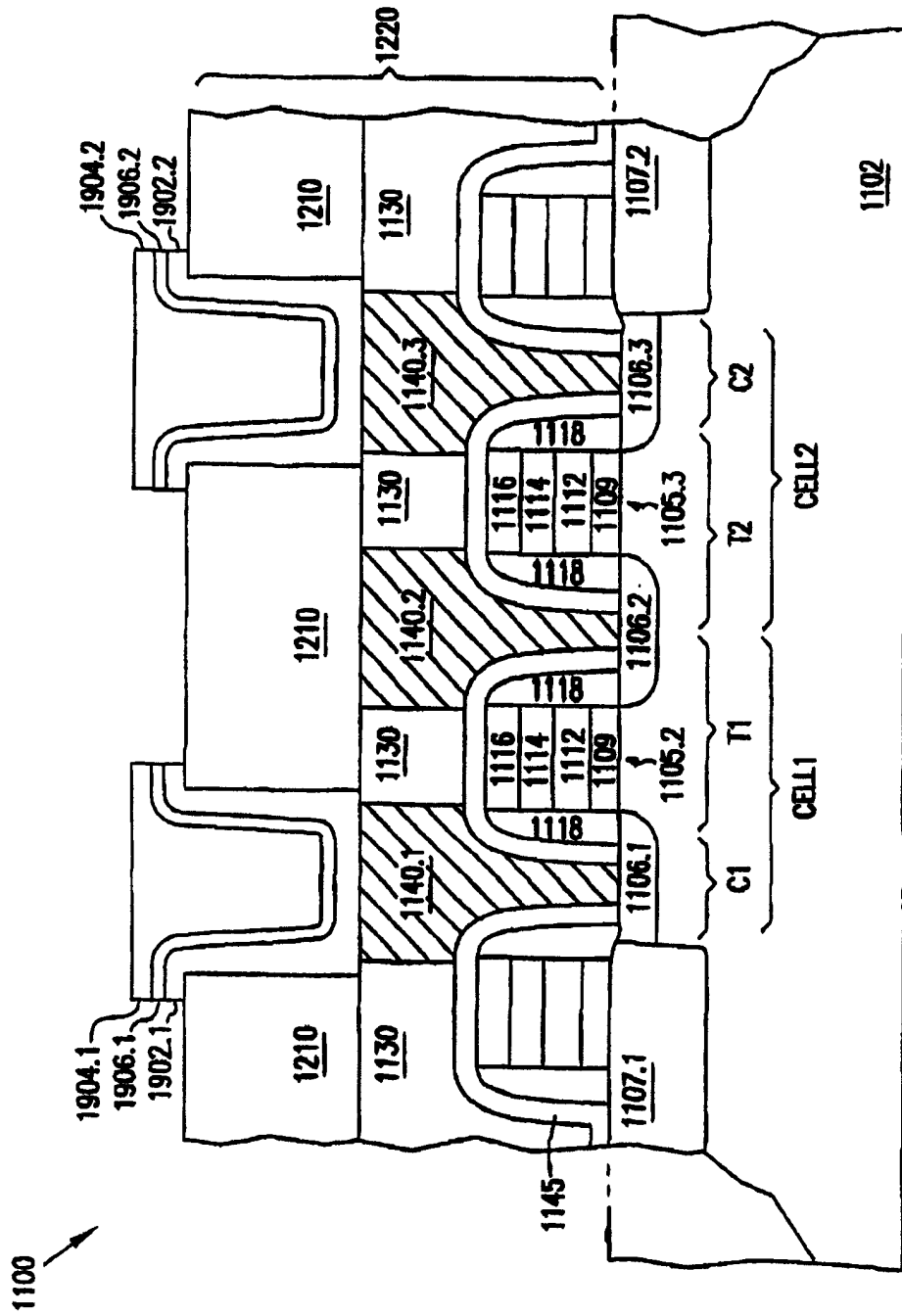


图 19

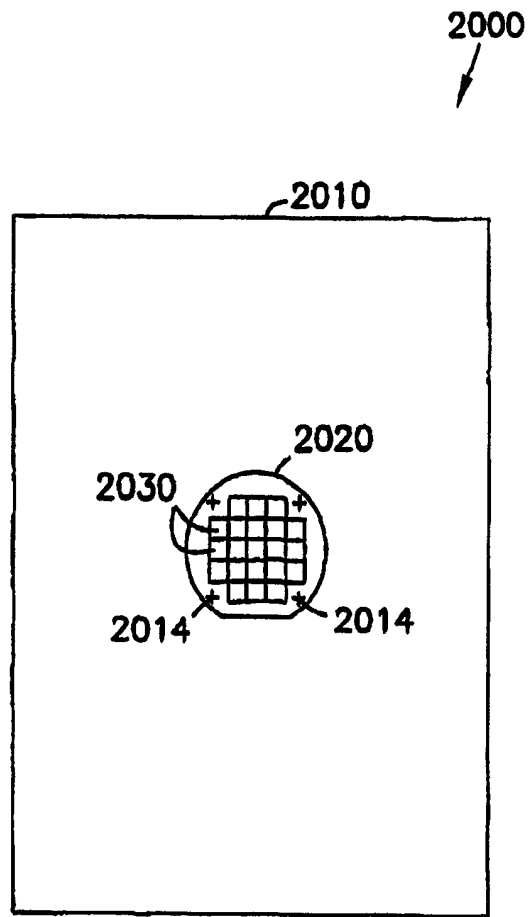


图 20