



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I615933 B

(45)公告日：中華民國 107 (2018) 年 02 月 21 日

(21)申請案號：103105153

(22)申請日：中華民國 103 (2014) 年 02 月 17 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2013/03/13 日本

2013-050141

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：晴山耕佑 HAREYAMA, KOSUKE (JP)；茅野大祐 CHINO, DAISUKE (JP)；西谷祐司 NISHITANI, YUUI (JP)

(74)代理人：陳長文

(56)參考文獻：

US 5851337A

US 6650016B1

US 2006231541A1

US 2012074566A1

US 2012193789A1

審查人員：吳松屏

申請專利範圍項數：20 項 圖式數：16 共 49 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

本發明揭示一種半導體裝置，該半導體裝置包含：複數個焊料球，其在該半導體裝置之一表面上；及一存留主體，其與該複數個焊料球中之一第一焊料球相關聯，將該第一焊料球與該複數個焊料球中之至少一第二焊料球分離。該存留主體包含一導電部分及經組態以覆蓋該導電部分之一絕緣部分。此外，本發明揭示一種製造一半導體裝置之方法，該方法包含以下動作：在一佈線基板之一表面上形成複數個存留主體，每一存留主體包括一導電部分及覆蓋該導電部分之一絕緣部分，每一存留主體形成一開口區段；及在由該等存留主體中之每一者所形成之該開口區段中形成一焊料球。

A semiconductor device including a plurality of solder balls on a surface of the semiconductor device, and a retaining body associated with a first solder ball of the plurality of solder balls, separating the first solder ball from at least a second solder ball of the plurality of solder balls. The retaining body includes a conductive portion and an insulating portion configured to cover the conductive portion. Also, a method of manufacturing a semiconductor device, including acts of forming a plurality of retaining bodies on a surface of a wiring substrate, each retaining body comprising a conductive portion and an insulating portion covering the conductive portion, each retaining body forming an opening section, and forming a solder ball in the opening section formed by each of the retaining bodies.

指定代表圖：

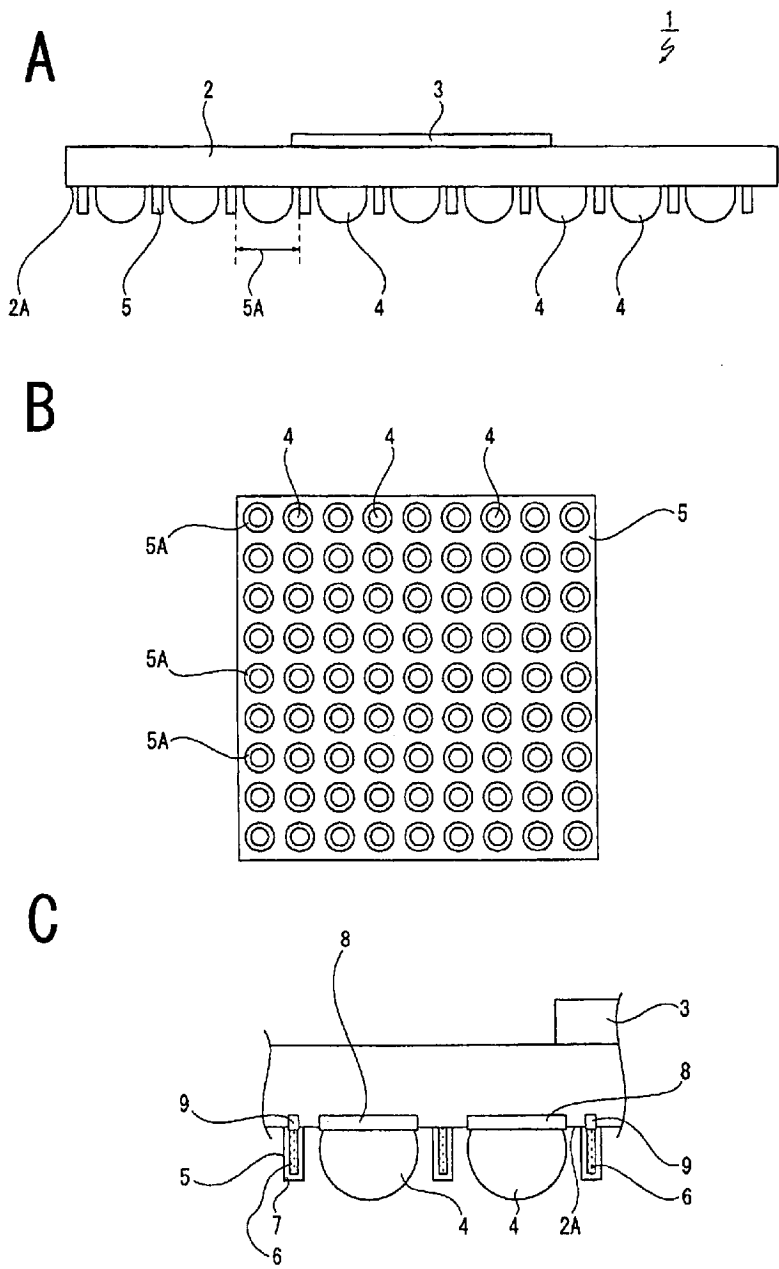


圖 1

符號簡單說明：

- 1 . . . 半導體裝置
- 2 . . . 佈線基板
- 2A . . . 球柵陣列表面/頂部表面
- 3 . . . 半導體晶片
- 4 . . . 焊料球/各別焊料球
- 5 . . . 存留主體/導電區段
- 5A . . . 開口區段
- 6 . . . 導電區段/各別導電區段
- 7 . . . 絕緣區段
- 8 . . . 墊/各別墊
- 9 . . . 各別接地端子/接地端子

發明摘要

※ 申請案號： 103105153

※ 申請日： 103/02/17

※IPC 分類：H05K3/00

【發明名稱】

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明揭示一種半導體裝置，該半導體裝置包含：複數個焊料球，其在該半導體裝置之一表面上；及一存留主體，其與該複數個焊料球中之一第一焊料球相關聯，將該第一焊料球與該複數個焊料球中之至少一第二焊料球分離。該存留主體包含一導電部分及經組態以覆蓋該導電部分之一絕緣部分。此外，本發明揭示一種製造一半導體裝置之方法，該方法包含以下動作：在一佈線基板之一表面上形成複數個存留主體，每一存留主體包括一導電部分及覆蓋該導電部分之一絕緣部分，每一存留主體形成一開口區段；及在由該等存留主體中之每一者所形成之該開口區段中形成一焊料球。

【英文】

A semiconductor device including a plurality of solder balls on a surface of the semiconductor device, and a retaining body associated with a first solder ball of the plurality of solder balls, separating the first solder ball from at least a second solder ball of the plurality of solder balls. The retaining body includes a conductive portion and an insulating portion configured to cover the conductive portion. Also, a method of manufacturing a semiconductor device, including acts of forming a plurality of retaining bodies on a surface of a wiring substrate, each retaining body comprising a conductive portion and an insulating portion covering the conductive portion, each retaining body forming an opening section, and forming a solder ball in the opening section formed by each of the retaining bodies.

圖式

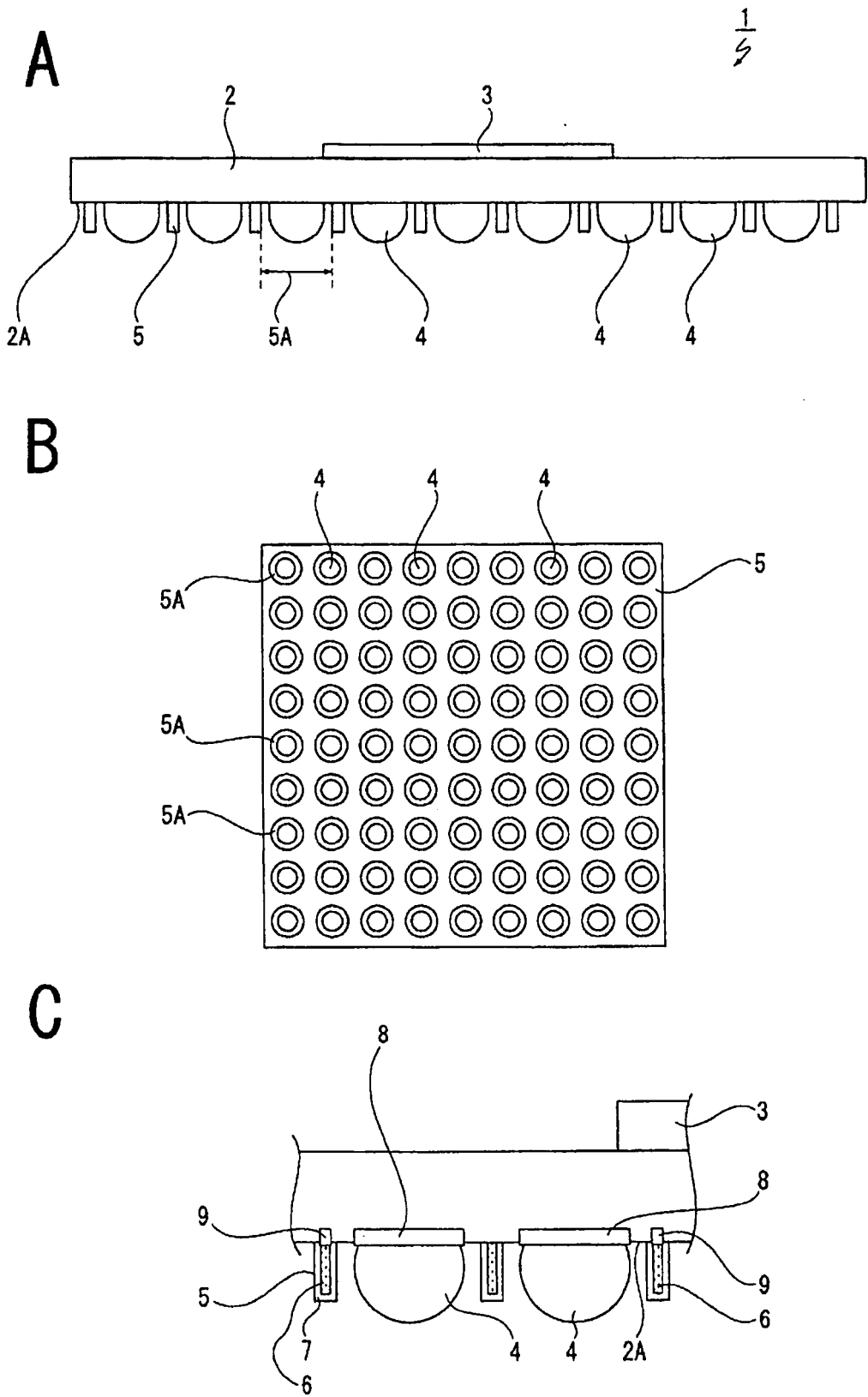
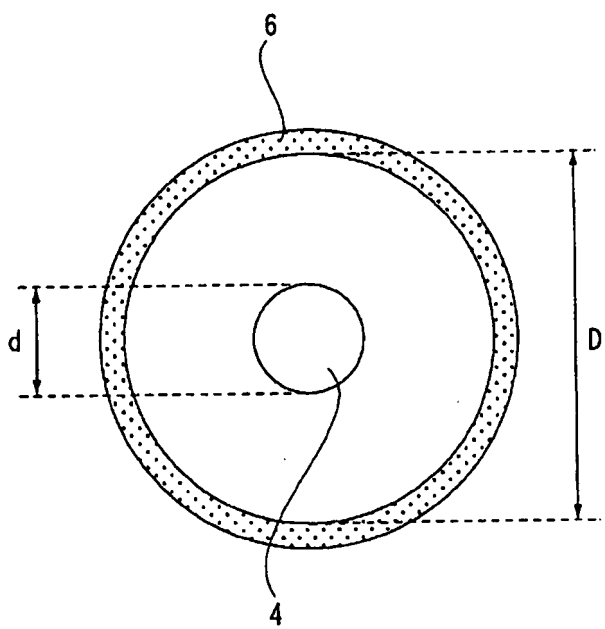


圖 1

A



B

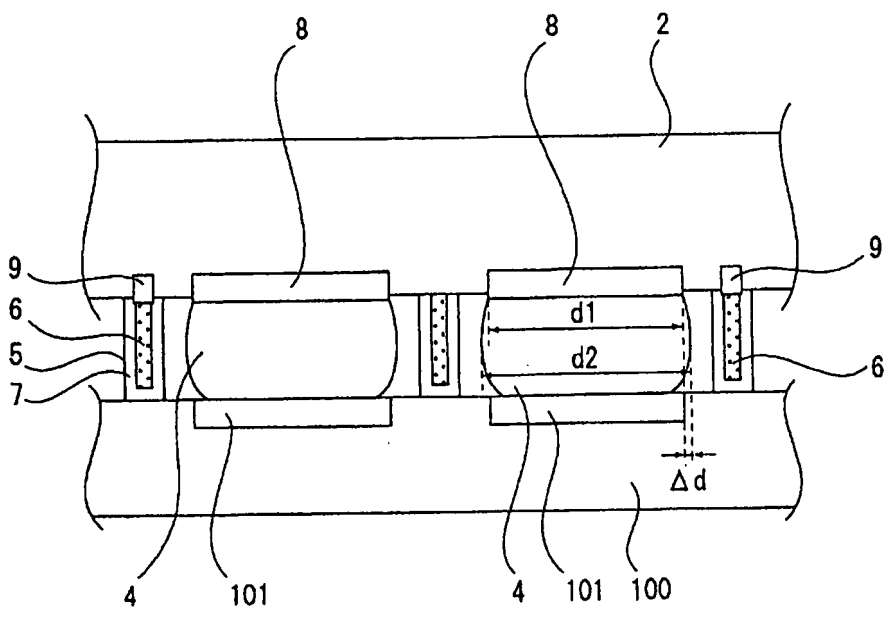


圖 2

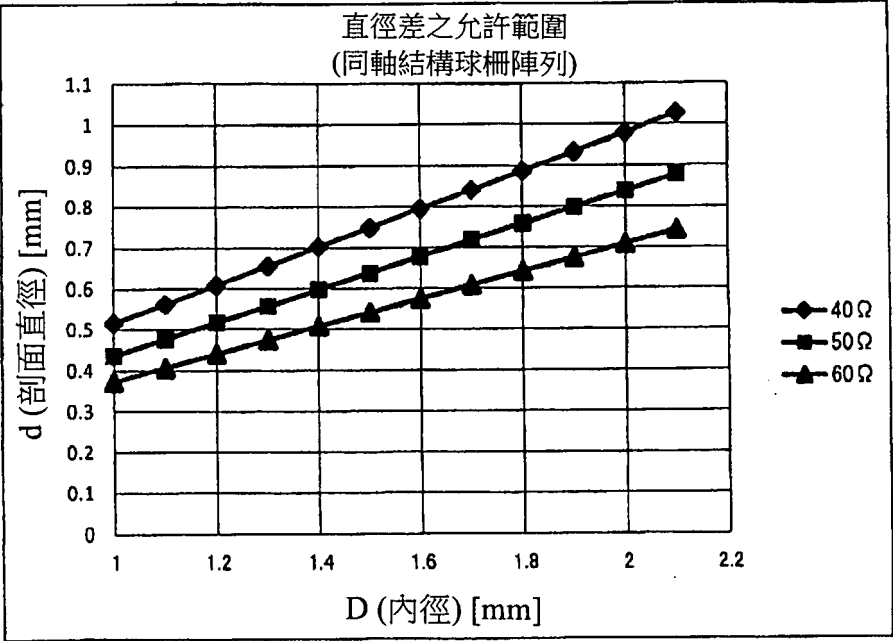


圖 3

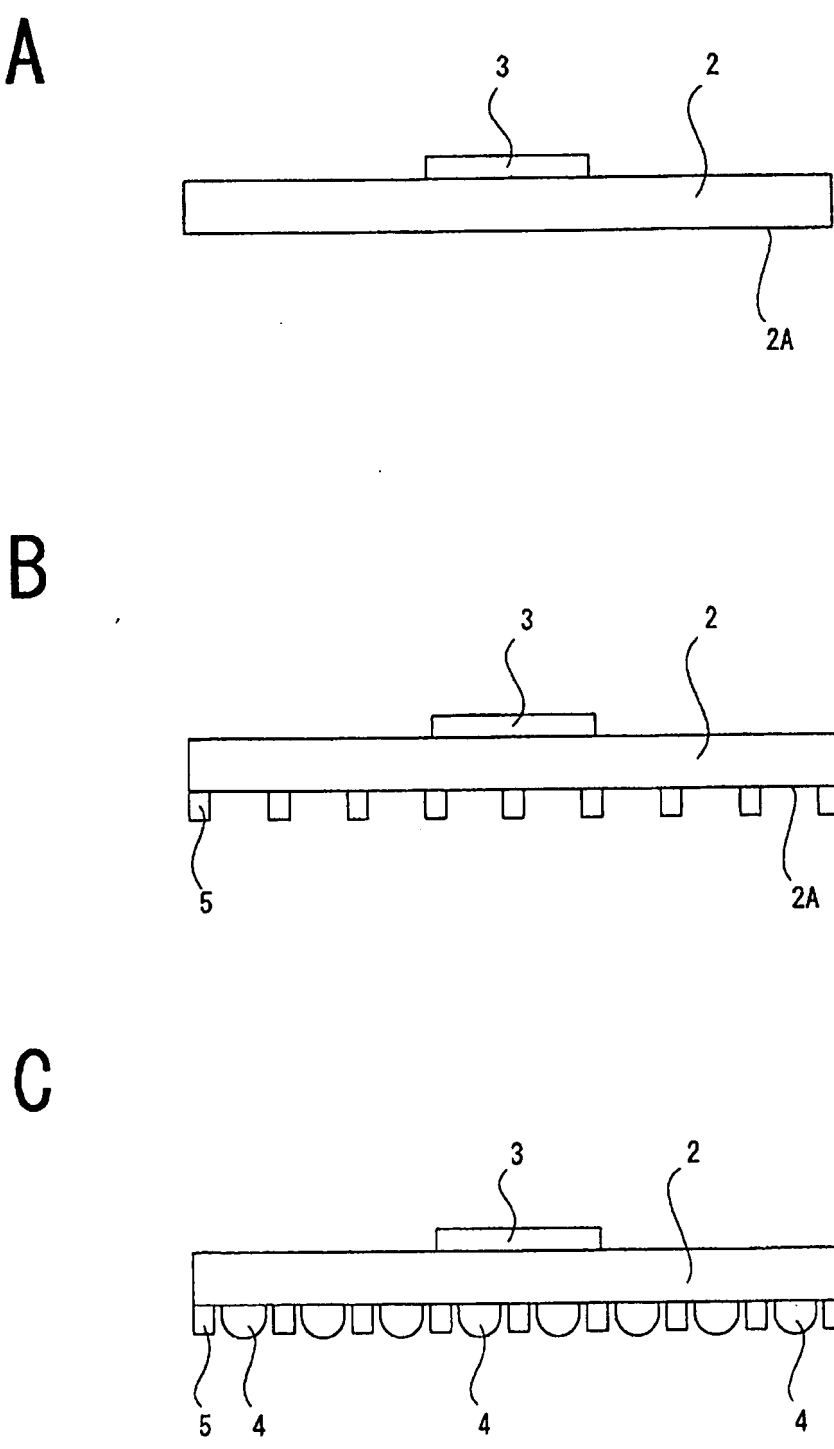
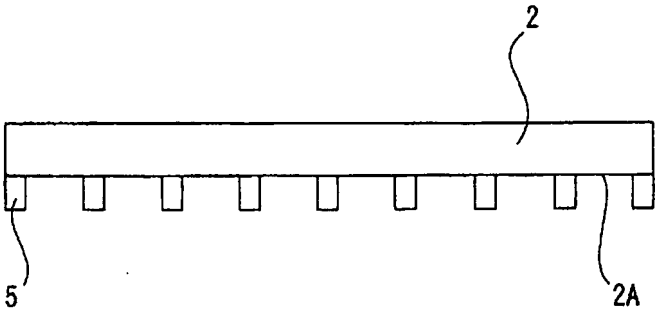
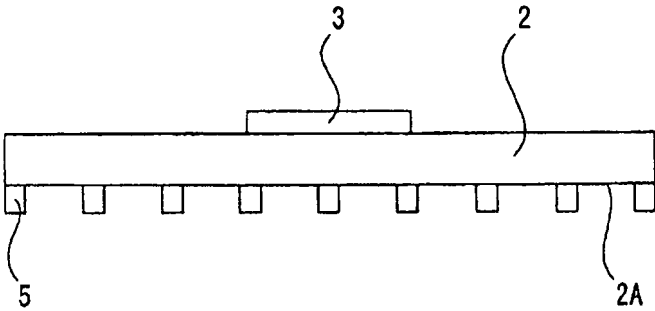


圖 4

A



B



C

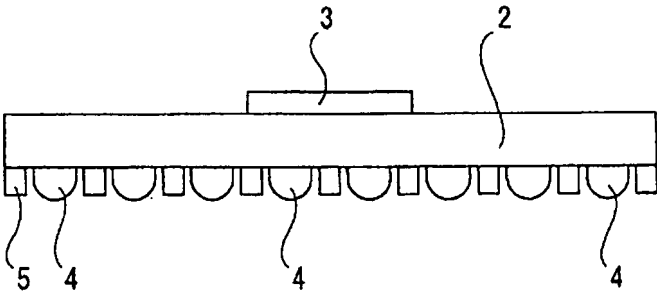
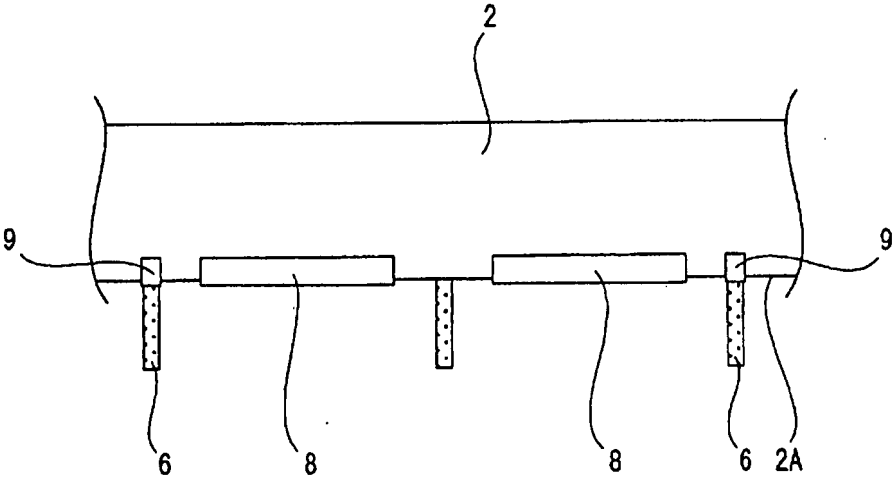


圖 5

A



B

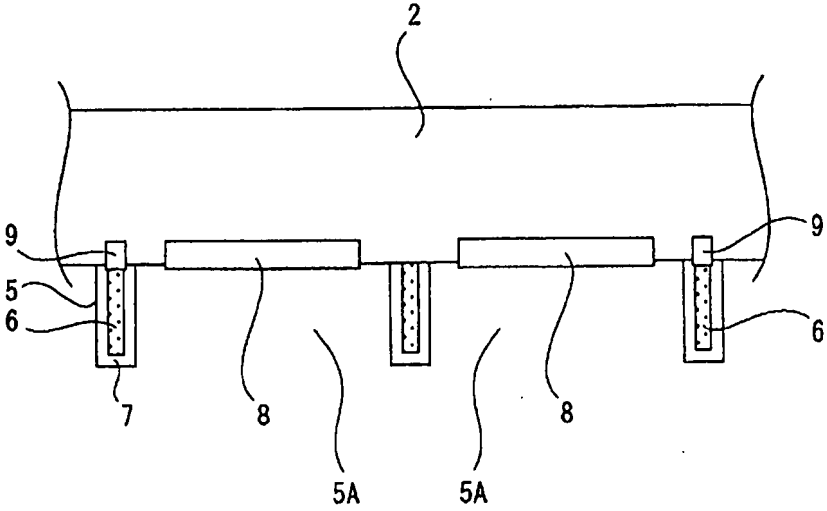


圖 6

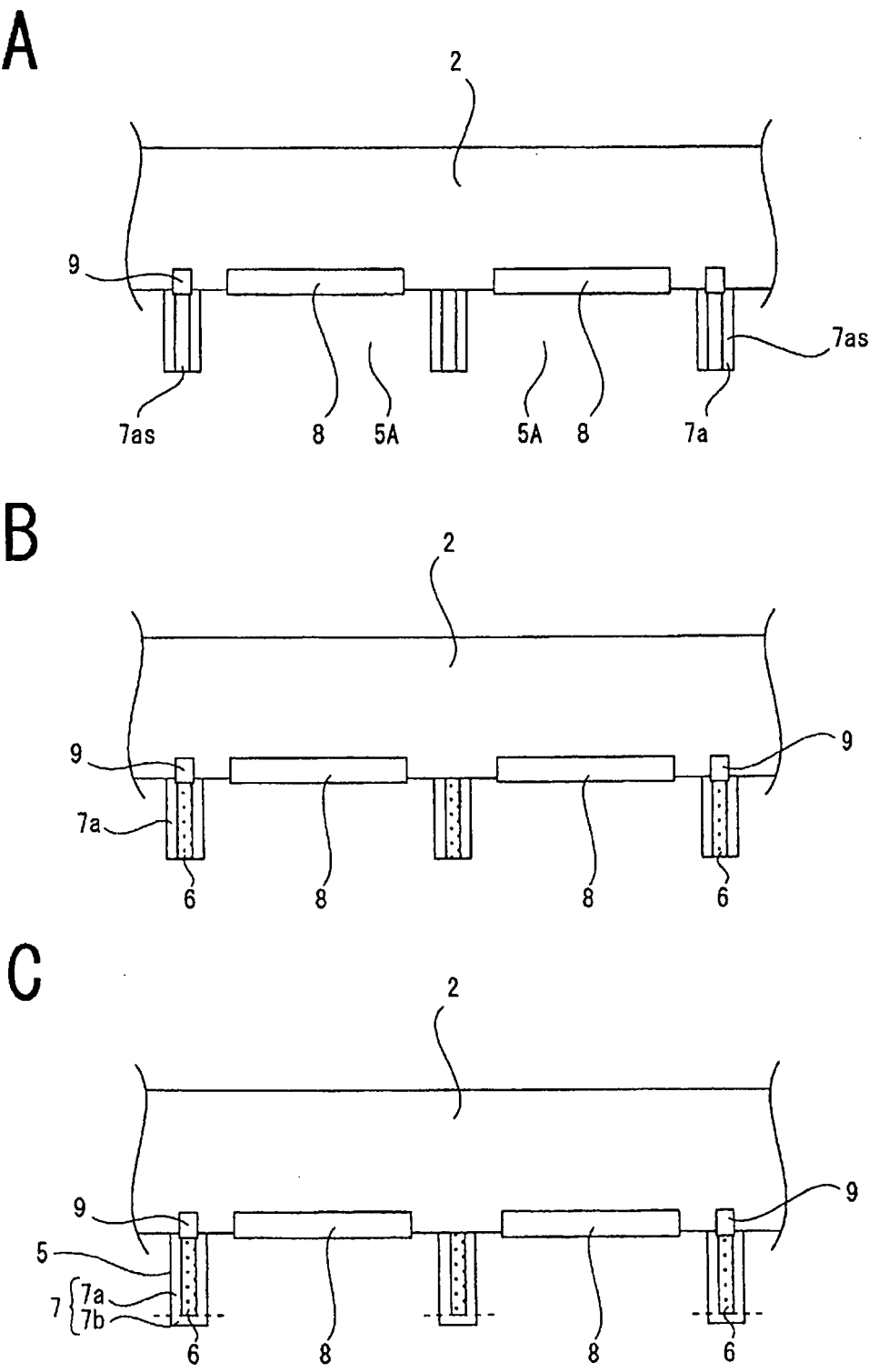
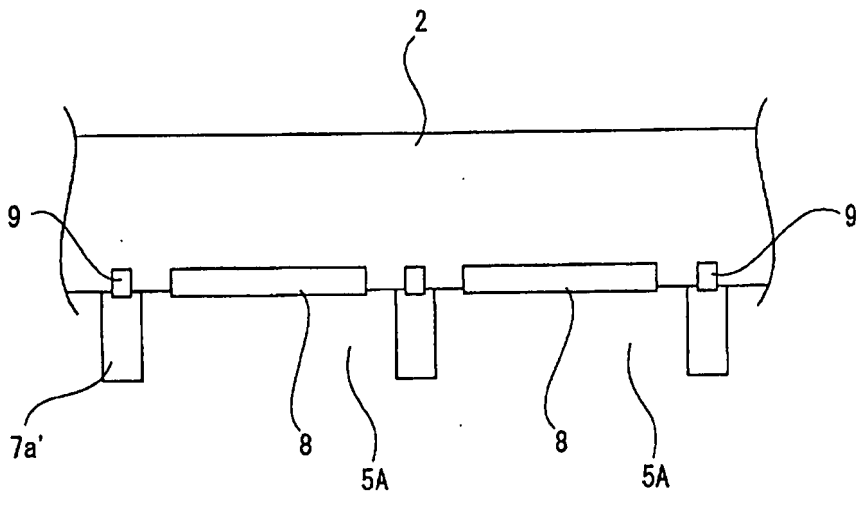


圖 7

A



B

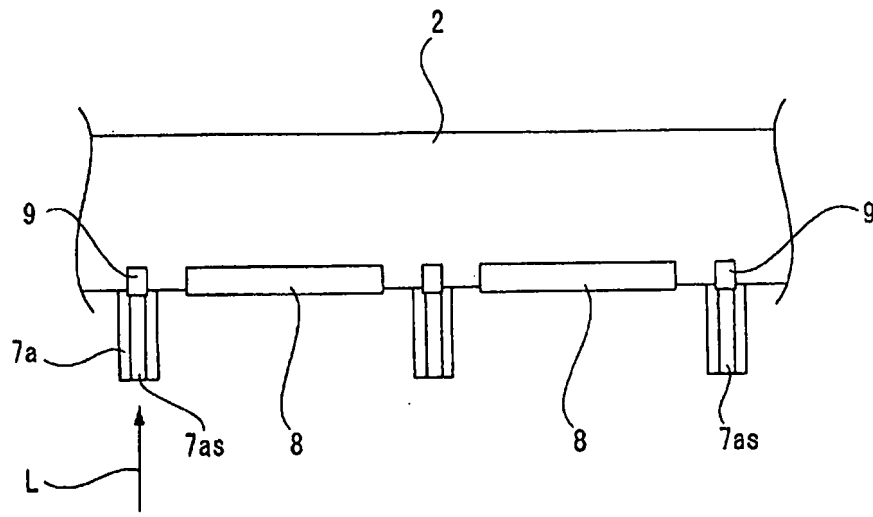


圖 8

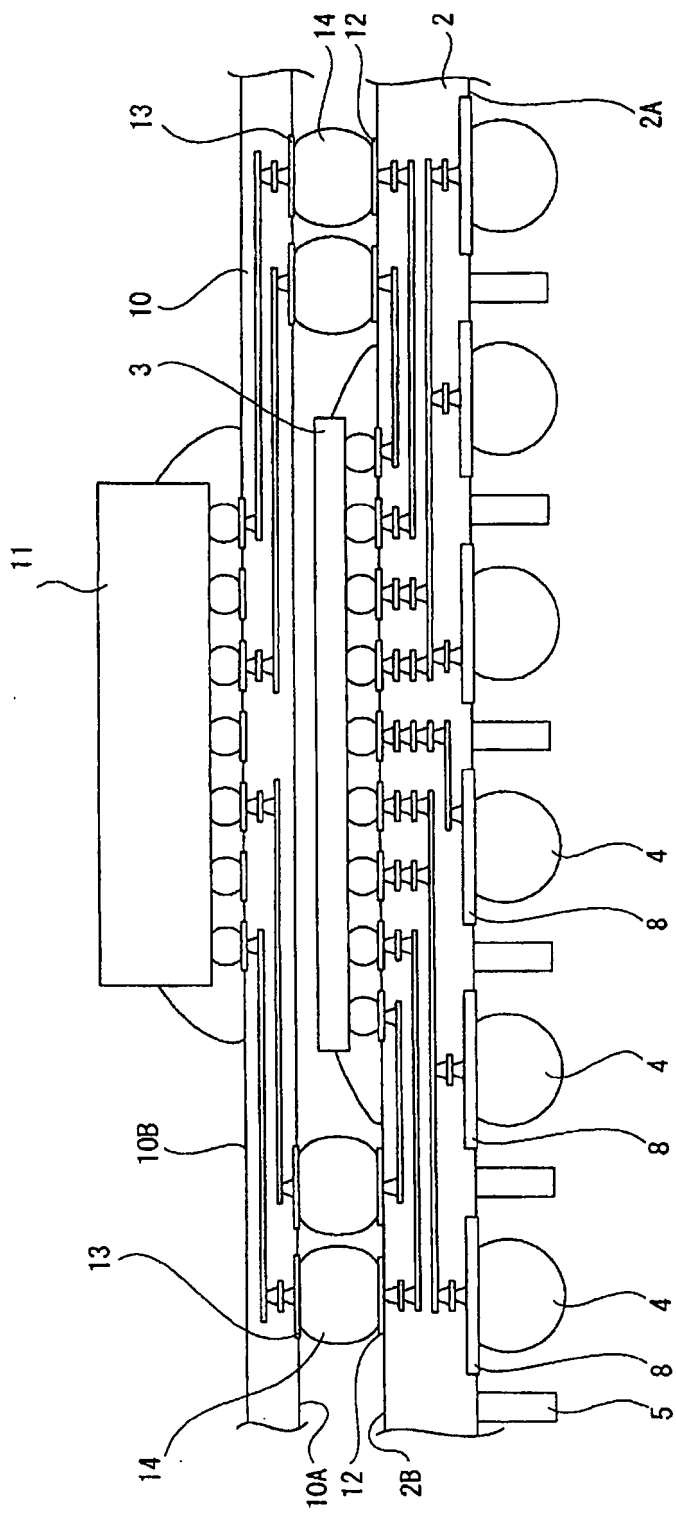


圖 9

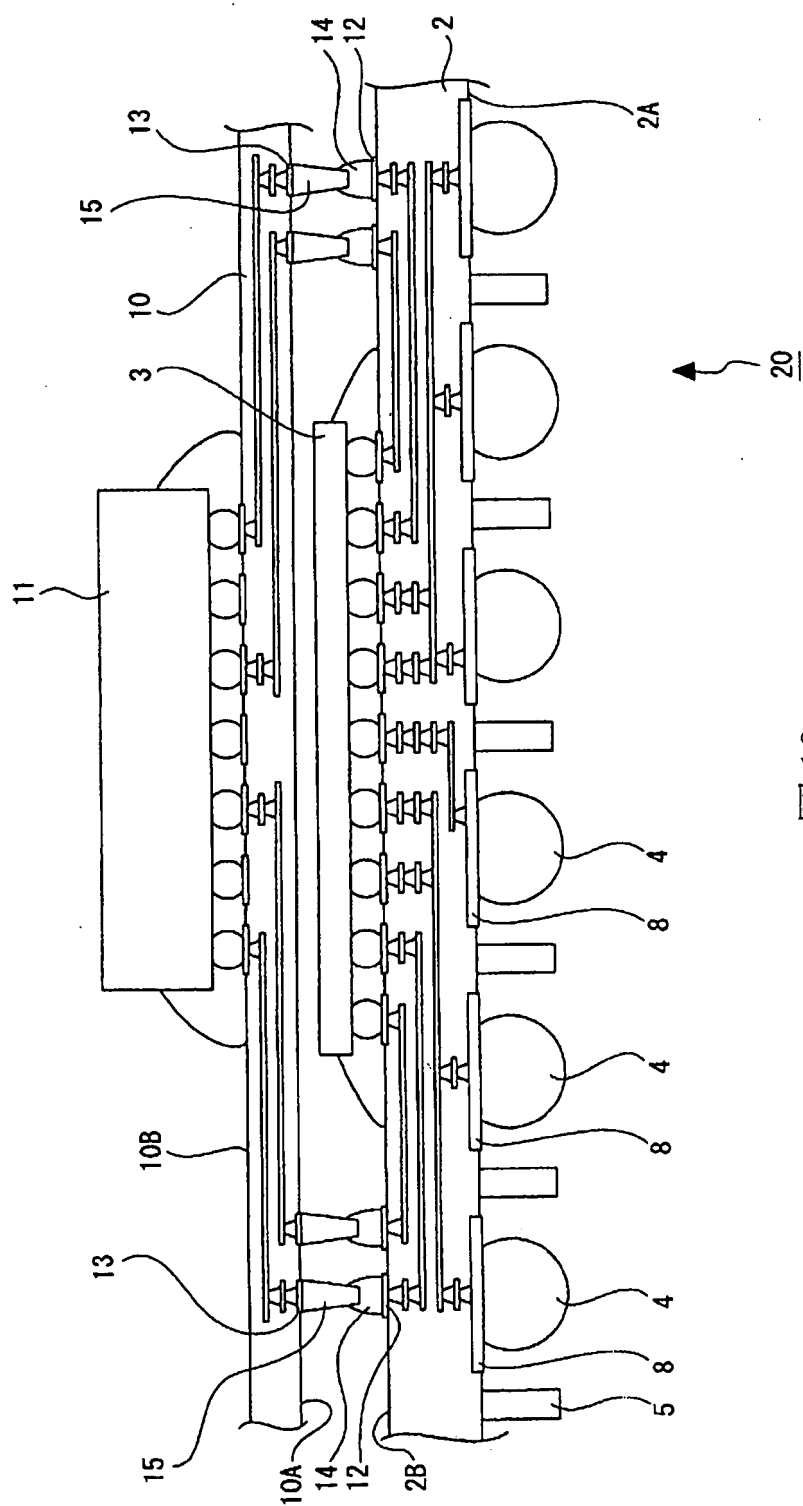


圖 10



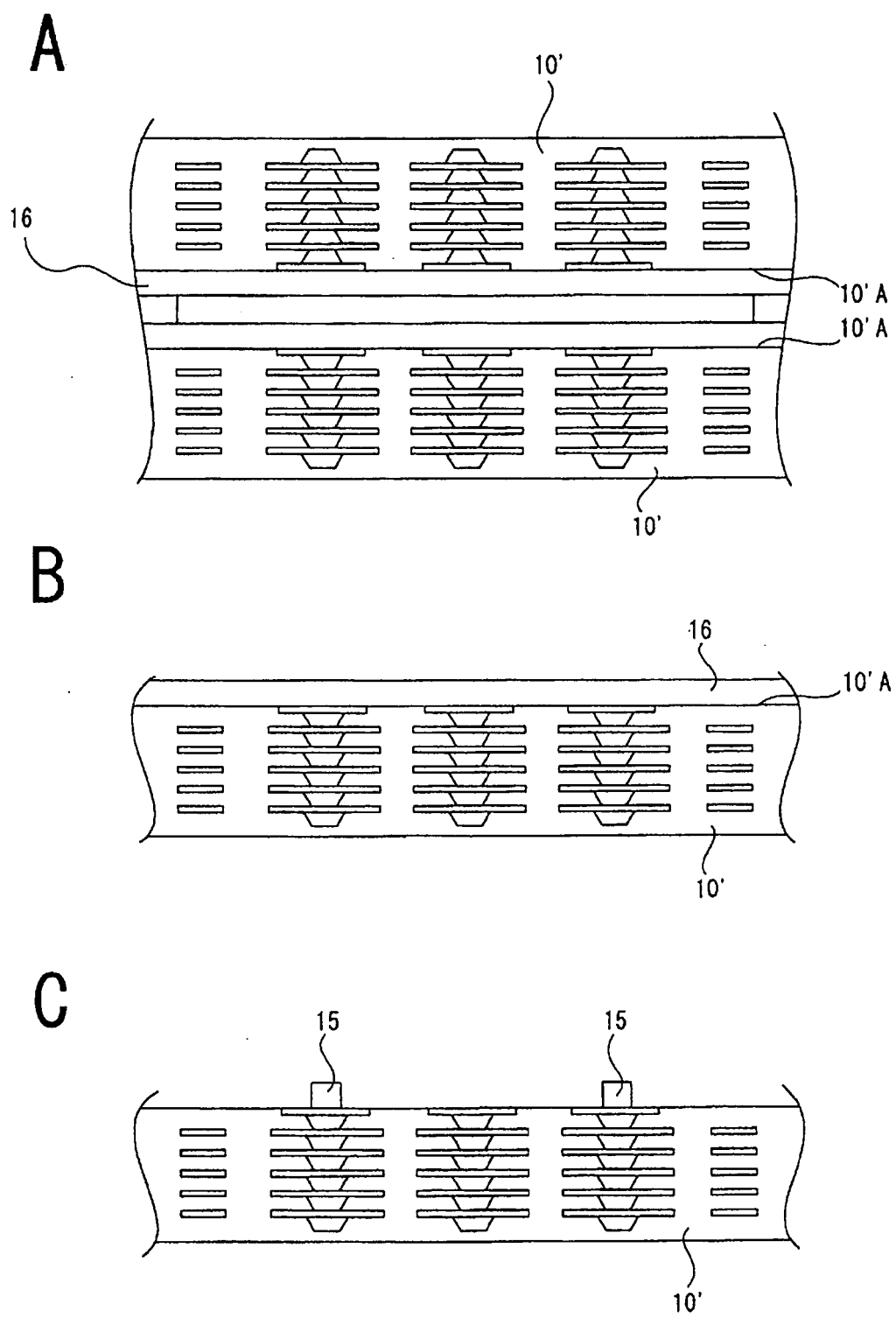


圖 11

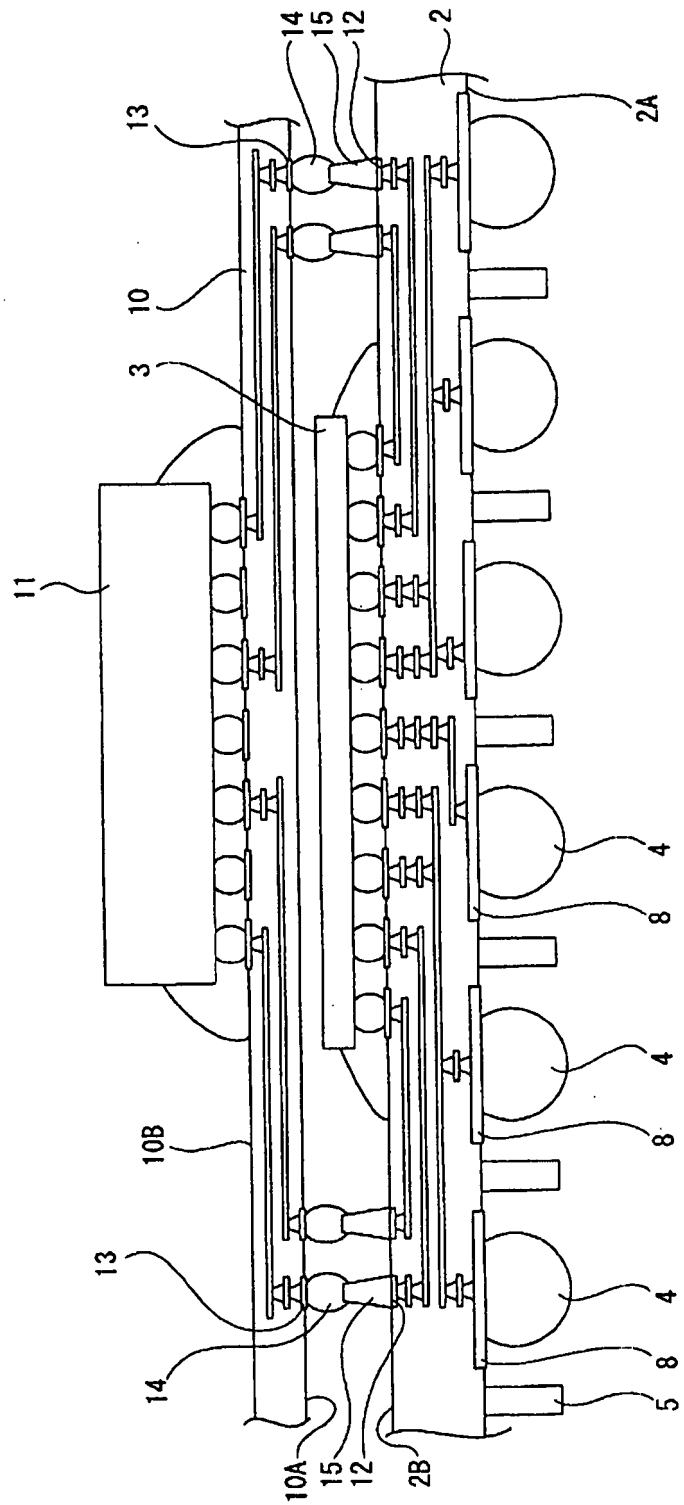


圖 12

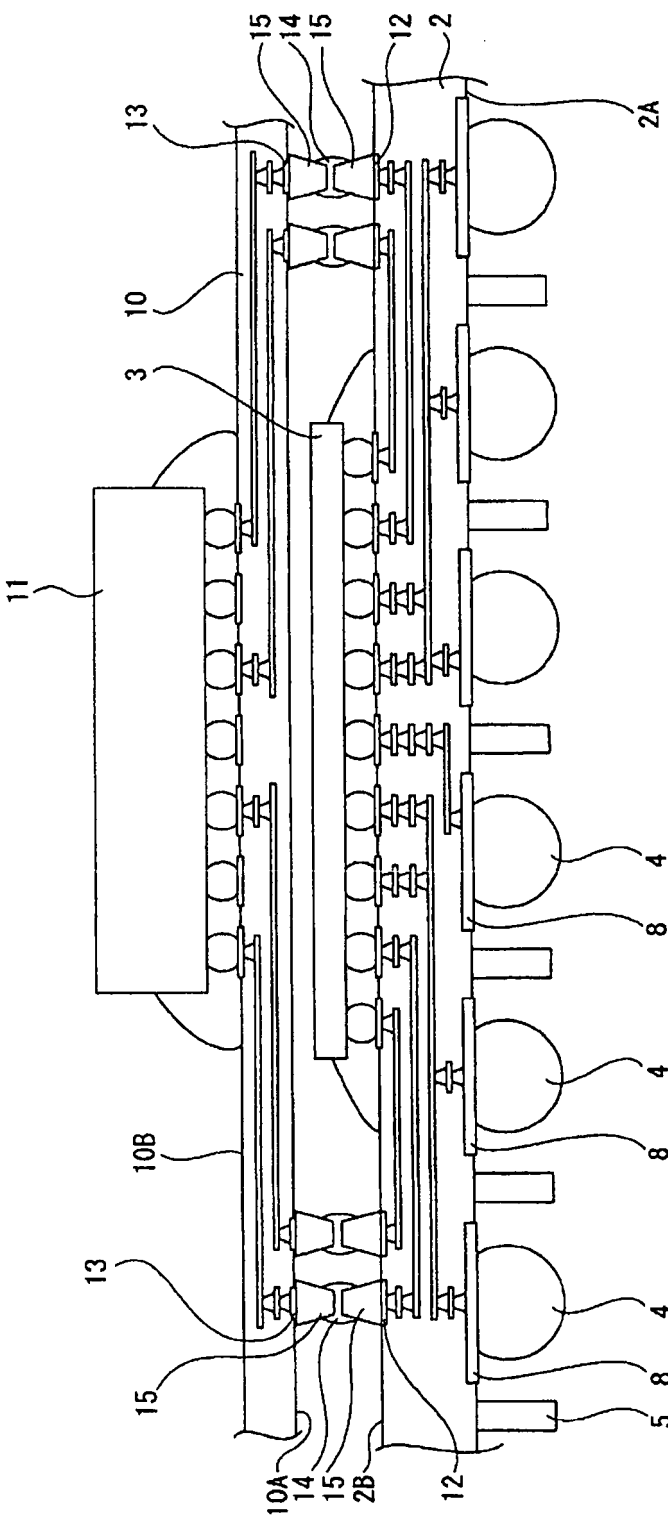
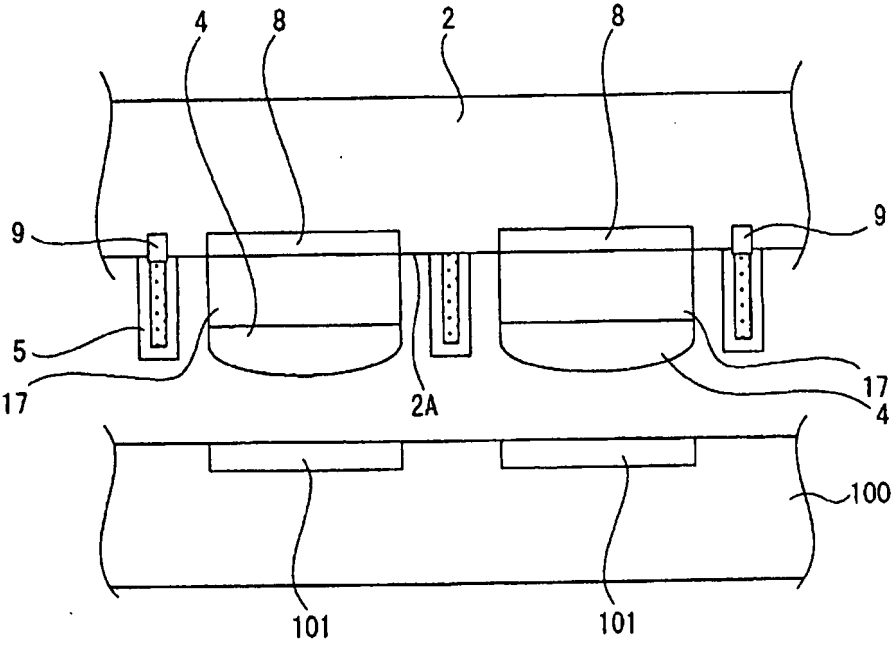


圖 13

A



B

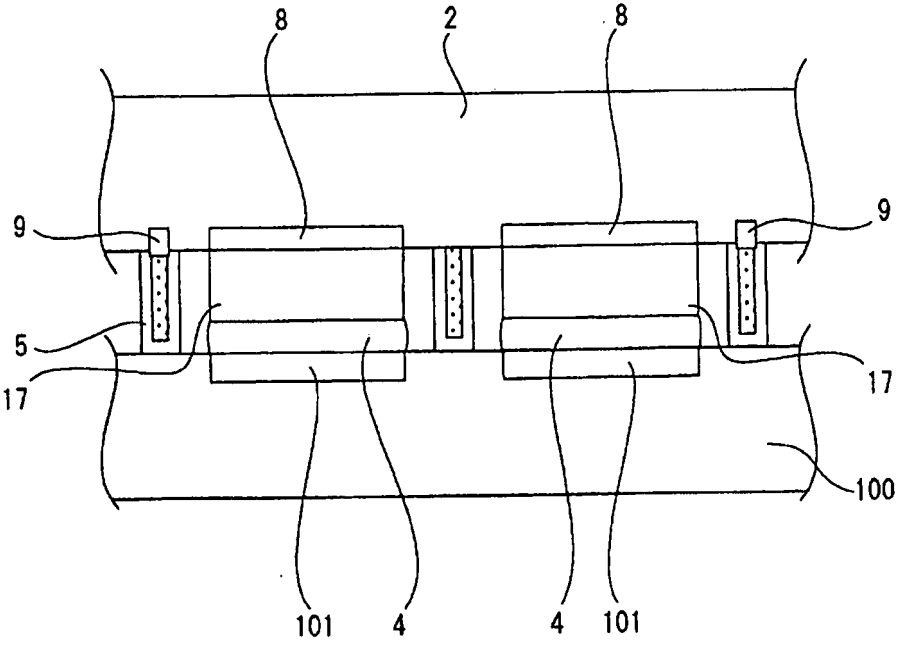


圖 14

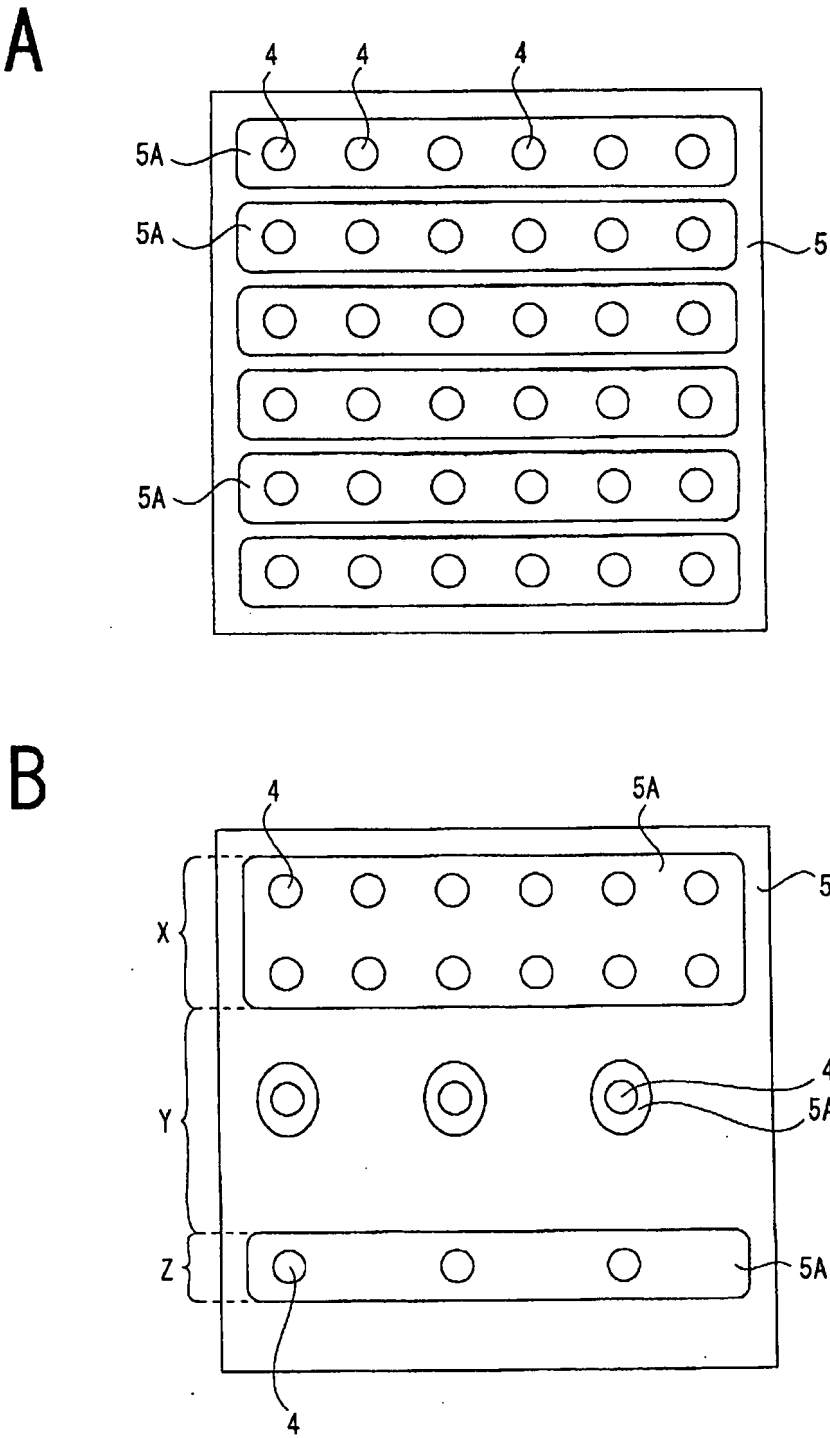


圖 15

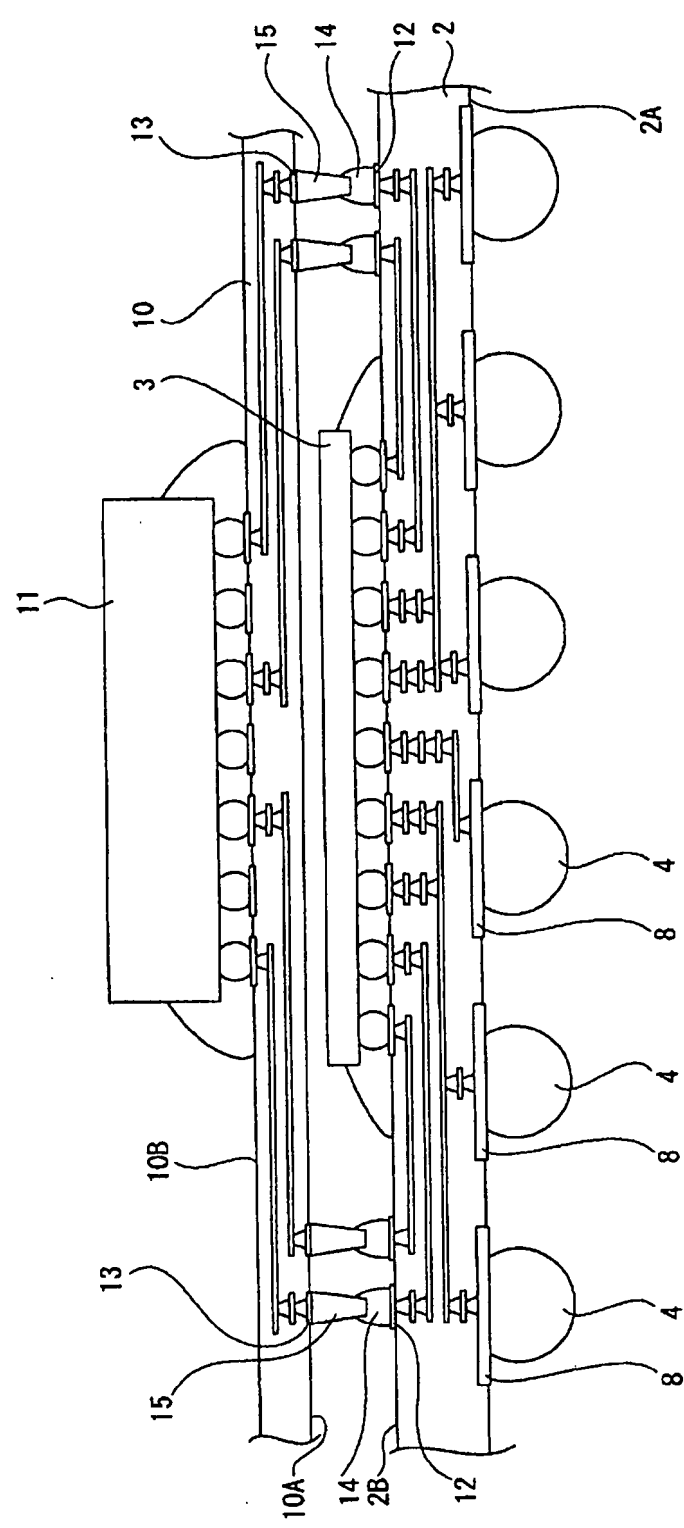


圖 16

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 1 半導體裝置
- 2 佈線基板
- 2A 球柵陣列表面/頂部表面
- 3 半導體晶片
- 4 焊料球/各別焊料球
- 5 存留主體/導電區段
- 5A 開口區段
- 6 導電區段/各別導電區段
- 7 絕緣區段
- 8 墊/各別墊
- 9 各別接地端子/接地端子

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING SEMICONDUCTOR DEVICE

[相關申請案之交叉參考]

本申請案主張2013年3月13日提出申請之日本優先權專利申請案 JP 2013-050141之權益，該日本優先權專利申請案之全部內容以引用方式併入本文中。

【技術領域】

本發明技術係關於一種具有其中一半導體晶片層壓於一佈線基板上之一組態之半導體裝置及一種製造該半導體裝置之方法。

[引文清單]

[專利文獻]

[PTL 1]日本未經審查專利申請公開案第2002-26171號

[PTL 2]日本未經審查專利申請公開案第2010-161419號

[PTL 3]日本未經審查專利申請公開案第H10-335547號

【先前技術】

近年來，用作電腦、蜂巢式電話及諸如此類之微處理器之半導體晶片(IC (積體電路)晶片)之速度及功能性已越來越增強。相應地，已存在增加端子之數目之一趨勢，藉此使端子之間的一節距變窄。通常，大數目個端子區段安置於一IC晶片之一底部表面上之一陣列中。

由於在此一IC晶片中之端子區段與形成於稱為「母板」之一電路板上之連接端子之間存在一大節距差，因此難以將IC晶片安裝於母

板上。

因此，為將IC晶片連接至母板，要形成包含一佈線基板以及安裝於該佈線基板上之IC晶片及諸如此類之稱為「半導體封裝」之一結構，且將該佈線基板安裝於(連接至)母板上。因此，IC晶片透過佈線基板連接至母板。

上文所闡述佈線基板之實例可包含由一疊層組態且不包含一核心層(一核心基板)之一所謂的無核心類型佈線基板(舉例而言，參考上文所闡述PTL 1及2)，該疊層藉由一增層法藉由層壓複數個絕緣層及複數個佈線層而形成。由於此一無核心類型佈線基板不包含核心基板，因此減小該無核心類型佈線基板之一整個佈線長度以減小一高頻率信號之傳輸損失。相應地，允許IC晶片以高速度操作。

在上文所闡述佈線基板中，各別佈線層透過各別導通孔彼此連接，且連接至導通孔之複數個平台被提供至該等佈線層中之每一者。

在上文所闡述半導體封裝中，期望進一步縮減大小且進一步增強操作速度及密度，且相應地期望寄生電感之一減小及增強對一信號線之阻抗之控制之準確度。

在目前情況下，阻抗控制係在佈線基板之一相同佈線層中執行。在此情形中，阻抗控制由一帶狀線或一微帶狀線執行。

在其中進一步增加一傳輸信號頻率且(舉例而言)10 GHz或10 GHz以上之一信號自一半導體封裝傳輸至一母板之一情形中，傳輸因阻抗之一影響而大部分限於除佈線基板之佈線層之外之一BGA (球柵陣列)區段中。

在目前情況下，傳輸信號頻率並不增加至約10 GHz；因此，對BGA區段之阻抗控制不視為重要的。

作為實現對BGA區段之阻抗控制之一組態，舉例而言，上文所闡述PTL 3揭示其中具有PTH (鍍通孔)之一間隔片夾在一BGA表面與

motherboard之間的一組態(參考PTL 3中之圖4、圖5及諸如此類)。在PTH中之每一者中，一銅佈線經形成以覆蓋BGA區段中之一焊料球之一周邊，且該銅佈線之使用實現對BGA區段之阻抗控制。

【發明內容】

[技術問題]

然而，在PTL 3中所闡述之一技術中，在半導體封裝連接至作為 motherboard之一電路板時，有必要執行三個組件(亦即，半導體封裝、PTH及電路板)之對準。

由於對準點之數目增加，因此不對準之一機率增加導致產品良率之減小。

期望在實現對BGA區段之阻抗控制之同時改良良率。

[問題解決方案]

某些實施例係關於一種半導體裝置，該半導體裝置包含：複數個焊料球，其在該半導體裝置之一表面上；及一存留主體，其與該複數個焊料球中之一第一焊料球相關聯，將該第一焊料球與該複數個焊料球中之至少一第二焊料球分離。該存留主體包含一導電部分及經組態以覆蓋該導電部分之一絕緣部分。在某些實施例中，該存留主體係環形的。

在某些實施例中，該半導體裝置進一步包含一佈線基板，其中該半導體裝置之該表面係該佈線基板之一第一表面。該半導體裝置可進一步包含電連接至該佈線基板之一半導體晶片。在某些實施例中，該半導體晶片安裝於與該半導體裝置之該第一表面相對之一第二表面上。在某些實施例中，該佈線基板係包括複數個層之一經層壓結構。該複數個層可包含至少一個絕緣層及至少一個佈線層。在某些實施例中，該至少一個絕緣層及該至少一個佈線層可交替。

在某些實施例中，該佈線基板係一第一佈線基板且該半導體裝

置進一步包括電連接至該第一佈線基板之一第二佈線基板。

在某些實施例中，該第二佈線基板藉由至少一個金屬柱電連接至該第一佈線基板。在其他實施例中，該第二佈線基板藉由不同於該第一佈線基板之該第一表面上之該複數個焊料球之至少一個焊料球而電連接至該第一佈線基板。不同於該第一佈線基板之該第一表面上之該複數個焊料球之該至少一個焊料球可係在與該半導體裝置之該第一表面相對之一第二表面上。

在某些實施例中，該第二佈線基板藉由不同於該第一佈線基板之該第一表面上之該複數個焊料球之至少一個焊料球及至少一個金屬柱而電連接至該第一佈線基板。

在某些實施例中，該半導體裝置包含與該存留主體相關聯之一接地端子，其中該存留主體之該導電部分電連接至該接地端子。

在某些實施例中，該存留主體之該導電部分包括一導電樹脂。

在某些實施例中，該存留主體之該絕緣部分包括一絕緣樹脂。

在某些實施例中，該存留主體係複數個存留主體中之一第一存留主體，該複數個存留主體中之每一者與該複數個焊料球中之一各別焊料球相關聯。

某些實施例係關於一種製造一半導體裝置之方法。該方法包含：在一佈線基板之一表面上形成複數個存留主體，每一存留主體包括一導電部分及覆蓋該導電部分之一絕緣部分，每一存留主體形成一開口區段；及在由該等存留主體中之每一者形成之該開口區段中形成一焊料球。

在某些實施例中，在一佈線基板之一表面上形成該複數個存留主體包含：使用一導電樹脂之射出模製來形成每一存留主體之該導電部分；及在形成該導電部分之後使用一絕緣樹脂之射出模製來形成每一存留主體之該絕緣部分。在其他實施例中，在一佈線基板之一表面

上形成該複數個存留主體包括：形成每一存留主體之該絕緣部分之一第一部分，該絕緣部分之該第一部分包括一凹槽區段；在該凹槽區段中形成每一存留主體之該導電部分；及形成每一存留主體之該絕緣部分之一第二部分以覆蓋該凹槽區段中之該導電部分。

[本發明之有利效應]

在本發明技術之上文所闡述實施例中，形成於BGA表面上之存留主體包含經形成以將焊料球彼此分離之導電區段；因此，對BGA表面之阻抗控制係藉助使用導電區段而實現。

在彼基礎上，在根據本發明技術之上文所闡述實施例之半導體裝置中，具有其上形成有存留主體之BGA表面之第一佈線基板將連接至電路板；因此，在其中半導體裝置連接至電路板之一情形中之對準中，僅有必要執行兩個組件(亦即，半導體裝置及電路板)之對準。

因此，在實現阻抗控制的同時可達成良率之一改良。

應理解，前述一般說明及以下詳細說明兩者皆係例示性的且意欲提供對如所主張技術之進一步闡釋。

【圖式簡單說明】

[圖1]圖1係根據一第一實施例之一半導體裝置之一組態之一闡釋性圖式。

[圖2]圖2係組態一BGA之一焊料球之一直徑差之一闡釋性圖式。

[圖3]圖3係直徑差之一允許範圍之一闡釋性圖式。

[圖4]圖4係用於闡述製造半導體裝置之一方法之一簡要流程之一實例之一圖式。

[圖5]圖5係用於闡述製造半導體裝置之方法之簡要流程之另一實例之一圖式。

[圖6]圖6係形成一存留主體之一第一方法之一闡釋性圖式。

[圖7]圖7係形成存留主體之一第二方法之一闡釋性圖式。

[圖8]圖8係形成存留主體之一第三方法之一闡釋性圖式。

[圖9]圖9係圖解說明具有一PoP組態之一半導體裝置之一組態實例之一圖式。

[圖10]圖10係圖解說明根據一第二實施例之一半導體裝置之一剖面組態之一圖式。

[圖11]圖11係形成一金屬柱之一方法之一闡釋性圖式。

[圖12]圖12係圖解說明形成一金屬柱之一位置之另一實例之一圖式。

[圖13]圖13係圖解說明形成金屬柱之位置之另一實例之一圖式。

[圖14]圖14係其中金屬柱形成於一BGA表面上之一修改實例之一闡釋性圖式。

[圖15]圖15係存留主體之一組態之一修改實例之一闡釋性圖式。

[圖16]圖16係例示不具有存留主體之一組態之一圖式。

【實施方式】

本發明技術之某些實施例將在下文闡述。

注意，將按以下次序給出說明。

(1. 第一實施例)

(1-1. 半導體裝置之組態)

(1-2. 製造半導體裝置之方法)

(1-3. 第一實施例之總結)

(2. 第二實施例)

(2-1. 半導體裝置之組態)

(2-2. 製造半導體裝置之方法)

(2-3. 第二實施例之總結)

(3. 修改實例)

(1. 第一實施例)

(1-1. 半導體裝置之組態)

圖1係根據本發明技術之一第一實施例之一半導體裝置1之一組態之一闡釋性圖式。圖1之A係半導體裝置1之一剖視圖，圖1之B係半導體裝置1之一仰視圖，且圖1之C係接近於半導體裝置1之一BGA表面之一區域之一放大剖視圖。

如圖1之A中所圖解說明，半導體裝置1包含一佈線基板2、一半導體晶片3、複數個焊料球4及一存留主體5。雖然未圖解說明，但佈線基板2係藉由交替地層壓佈線層及絕緣層而形成，在佈線層中形成有電連接至半導體晶片3之一預定端子之一佈線。一通孔(一導通孔)形成於絕緣層中之每一者中，且各別佈線層之佈線藉由填充於通孔中之一導體而彼此連接。在實例中，佈線基板2係不包含一核心層之一所謂的無核心基板。

半導體晶片3安裝於佈線基板2之一個表面上。雖然未圖解說明，但用於將形成於半導體晶片3中之複數個端子連接至佈線層中之各別預定佈線之複數個墊形成於佈線基板2之一個表面上。半導體晶片3之端子與該等墊可藉由(舉例而言)覆晶互連或諸如此類而接合在一起。作為半導體晶片3之一實例，可使用諸如一SDRAM (同步動態隨機存取記憶體)之一IC (積體電路)晶片。因此，根據此實施例之半導體裝置1具有如其中半導體晶片3安裝於佈線基板2上之一所謂的半導體封裝之一組態。

與其中半導體晶片3安裝於佈線基板2上之表面相對之一表面係用於連接至未圖解說明之一電路基板(一母板)之一BGA (球柵陣列)表面2A。該複數個焊料球4形成於BGA表面2A上。如圖1之C中所圖解說明，墊8係形成於其中焊料球4應該形成於BGA表面2A上的位置處，且各別焊料球4係對應於各別墊8而形成。雖然未圖解說明，但各別墊8電連接至形成於佈線基板2中之佈線層中的各別預定佈線。換言之，

各別墊8透過形成於佈線層中之佈線電連接至半導體晶片3之各別預定端子。

形成於各別墊8上之各別焊料球4連接至形成於作為一母板之一電路板(將稍後闡述之一電路板100)上之各別預定位置處的端子(墊101)。因此，半導體晶片3透過形成於佈線基板2中之佈線電連接至電路板100中之一佈線。

在根據此實施例之半導體裝置1中，存留主體5形成於佈線基板2之BGA表面2A上。在存留主體5中，複數個開口區段5A係形成於對應於其中形成有焊料球4之位置的位置處。更特定而言，此實例中之開口區段5A係如此形成以便具有與焊料球4之一個一對一關係。BGA表面2A上之焊料球4的配置空間由開口區段5A緊固。

如圖1之C中所圖解說明，存留主體5包含導電區段6及一絕緣區段7。在此實例中，一導電樹脂可用於導電區段6，且一絕緣樹脂可用於絕緣區段7。作為導電樹脂，舉例而言，可使用含有一導電材料之一樹脂材料。此時，在其中含有一顆粒導電材料作為上文所闡述導電材料之一情形中，可使用(舉例而言)銀、鎳、銅、金、碳或諸如此類。此外，在其中含有一纖維導電材料之一情形中，碳係適合的。另一選擇係，舉例而言，可使用作為塗佈有金屬之塑膠粒子之含有金、銅或鎳之一樹脂。

此外，作為絕緣樹脂，使用含有一絕緣材料之一樹脂材料，且舉例而言，可含有諸如二氧化矽、氧化鋁或聚矽氧之一絕緣材料作為一填充劑。應注意，用於導電樹脂及絕緣樹脂之樹脂材料之實例可包含環氧樹脂、聚氨基甲酸酯、丙烯酸、SBS (苯乙烯-丁二烯苯乙烯嵌段共聚物)、SEBS (苯乙烯-乙炔-丁二烯-苯乙烯嵌段共聚物)及PVB (聚乙炔丁醛)。

導電區段6如此形成以便將形成於BGA表面2A上之焊料球4彼此

分離。更特定而言，在此實例中，具有一環之一形狀之一個導電區段6針對一個焊料球4形成以便覆蓋一個焊料球4之一周邊表面。因此，達成了一所謂的「同軸結構」。在此實例中之存留主體5中，提供在數目上相等於焊料球4之以此一環形狀形成之導電區段6。

絕緣區段7如此形成以便覆蓋導電區段6。存留主體5由導電區段6及如此形成以便覆蓋導電區段6之絕緣區段7組態。因此，如圖1之B中所圖解說明，存留主體5如此形成以便在對應於其中形成有焊料球4之位置之位置處具有開口區段5A。

以此一方式形成之存留主體5具有抑制不包含核心基板之佈線基板2翹曲變形之一功能。換言之，存留主體5充當用於存留佈線基板2之形狀(平坦度)之一存留基板。

在此實施例中，各別導電區段6電連接至形成於佈線基板2之BGA表面2A上之各別接地端子9，如圖1之C中所圖解說明。因此，允許執行透過由導電區段6所環繞之焊料球4(亦即，至母板之連接接針)對傳輸線之阻抗控制。

一BGA中之阻抗取決於焊料球4之一剖面直徑 d 與具有一環之一形狀之導電區段6之一內徑 D 之間的一關係，如圖2之A中之一剖視圖中所圖解說明。圖2之B係圖解說明在各別焊料球4連接至各別墊101達成形成於電路板100上之焊料球連接時在佈線基板2與電路板100之間的一連接區段周圍之一狀態之一剖視圖。如圖2之B中所圖解說明，在接合至電路板100之焊料球4中，存在作為一最小剖面直徑 d_1 與一最大剖面直徑 d_2 之間的一差之一直徑差 Δd 。

在此一直徑差 Δd 較小時，阻抗之變化減小，且可達成適當阻抗控制。另一方面，在直徑差 Δd 較大時，阻抗之變化增加，且難以達成適當阻抗控制。

因此，在此實施例中，直徑差 Δd 係藉由一以下方式減小。圖3係

直徑差 Δd 之一允許範圍之一闡釋性圖式，且圖解說明在阻抗係 $50\ \Omega$ 、 $40\ \Omega$ 或 $60\ \Omega$ 時剖面直徑 d 與內徑 D 之間的一關係，其中一水平軸指示內徑 D (mm)，且一垂直軸指示剖面直徑 d (mm)。

BGA區段可較佳地經設計以具有約 $50\ \Omega$ 之一阻抗，且可允許達成適當阻抗控制之阻抗之變化通常在一設計值(亦即，約 $50\ \Omega$)之約 $\pm 20\%$ 之一範圍內。圖3圖解說明內徑 D 與剖面直徑 d 在相對於阻抗之設計值之 -20% ($40\ \Omega$)處之間的一關係(由一鑽石標記指示)及內徑 D 與剖面直徑 d 在相對於阻抗之設計值之 $+20\%$ ($60\ \Omega$)處之間的一關係(由一個三角標記指示)。如自圖3可見，內徑 D 與剖面直徑 d 在相對於設計值之變化之一上限($60\ \Omega$)處之間的關係係 d/D =約 36.5% ，且內徑 D 與剖面直徑 d 在阻抗處於相對於設計值之一下限($40\ \Omega$)處時之間的關係係 d/D =約 51% 。

在此實施例中，基於此，半導體裝置1如此形成以便允許內徑 D 與剖面直徑 d 在焊料球4接合至電路板100時之間的關係將係 d/D =約 36.5% 至約 51% 。

因此，允許適當地執行對BGA區段之阻抗控制。

應注意，相對於上文所闡述「 d/D 」之一條件，剖面直徑 d 係指自最小剖面直徑 d_1 至最大剖面直徑 d_2 之所有剖面直徑 d 。

(1-2. 製造半導體裝置之方法)

接下來，下文將參考圖4至圖8闡述製造半導體裝置1之一方法。首先，將參考圖4及圖5闡述製造半導體裝置1之方法之一簡要流程。

應注意，下文將不參考圖式來闡述製造佈線基板2之一方法。雖然在(舉例而言)上文所闡述PTL 1及2及諸如此類中詳細闡述製造作為一無核心基板之佈線基板2之方法，但出於確認將簡要地闡述製造佈線基板2之方法。作為製造佈線基板2之方法之一流程，在(舉例而言)作為一暫時基板之由銅製成之一基板上形成其中交替地層壓絕緣層及

佈線層之一疊層，且然後藉由(舉例而言)蝕刻或諸如此類移除保留於該疊層上之暫時基板。在此實例中之佈線基板2中，在上文所闡述製造程序中，亦執行形成上文所闡述墊8及上文所闡述接地端子9之一處理程序。

作為製造半導體裝置1之方法之簡要流程，大致採用圖4及圖5中所圖解說明之兩個實例。在圖4中之一實例中，首先，將半導體晶片3安裝於佈線基板2上(參考圖4之A)，且在其上安裝有半導體晶片3之佈線基板2之BGA表面2A上形成存留主體5 (參考圖4之B)。然後，在BGA表面2A上形成焊料球4以便插入至由存留主體5之開口區段5A所形成之空間中(參考圖4之C)。

另一方面，在圖5中之一實例中，首先，在佈線基板2之BGA表面2A上形成存留主體5 (參考圖5之A)，且將半導體晶片3安裝於其上形成有存留主體5之佈線基板2上(參考圖5之B)。然後，在BGA表面2A上形成焊料球4以便插入至由存留主體5之開口區段5A所形成之空間中(參考圖5之C)。

下文將參考圖6至圖8闡述形成存留主體5之一特定方法。作為形成存留主體5之方法，可考量以下三種方法。

圖6係形成存留主體5之一第一方法之一闡釋性圖式。

首先，在第一形成方法中，在佈線基板2之BGA表面2A上之預定位置處形成導電區段6 (參考圖6之A)。在此實例中，可藉由藉助使用上文所闡述導電樹脂之射出模製來形成導電區段6。此時，如此判定其中形成導電區段6之位置以便允許導電區段6連接至BGA表面2A上之接地端子9。因此，形成電連接至接地端子9之導電區段6。

其次，如此形成絕緣區段7以便允許用其覆蓋以上文所闡述方式形成之導電區段6 (參考圖6之B)。在此實例中，可藉由藉助使用上文所闡述絕緣樹脂之射出模製來形成絕緣區段7。此時，執行藉助使用

絕緣樹脂之模製以便不用絕緣樹脂覆蓋墊8。因此，緊固焊料球4之配置空間作為開口區段5A。因此，藉由形成上文所闡述絕緣區段7而在BGA表面2A上形成存留主體5。

圖7係形成存留主體5之一第二方法之一闡釋性圖式。

在第二形成方法中，首先，在BGA表面2A上形成具有凹槽區段7as及開口區段5A之一絕緣區段形成部件7a（參考圖7之A）。使用凹槽區段7as來形成用於形成導電區段6之空間；因此，凹槽區段7as中之每一者具有一環形狀。在此實例中，可藉由藉助使用上文所闡述絕緣樹脂之射出模製來形成具有此等凹槽區段7as之絕緣區段形成部件7a。此時，如此判定其中形成凹槽區段7as之位置以便允許作為具有一環之一形狀之各別凹槽區段7as之空間與對應於其之各別接地端子9接觸。

接下來，在以上文所闡述方式形成之絕緣區段形成部件7a之凹槽區段7as中形成導電區段6（參考圖7之B）。在此情形中，透過藉由(舉例而言)噴墨印刷或諸如此類用一液體形式導電樹脂來塗佈凹槽區段7as而形成導電區段6。由於如上文所闡述判定其中形成凹槽區段7as之位置，因此形成於各別凹槽區段7as中之各別導電區段6電連接至對應於其之各別接地端子9。

接下來，在其上導電區段6如上文所闡述形成於凹槽區段7as中之絕緣區段形成部件7a上如此形成一絕緣區段形成部件7b以便覆蓋其中導電區段6因其曝露之一側上之一表面(參考圖7之C)。在此實例中，可透過藉由噴墨印刷或任何其他印刷方法用一液體形式絕緣樹脂來塗佈絕緣區段形成部件7a來形成絕緣區段形成部件7b。因此，形成用其覆蓋導電區段6之絕緣區段7以完成存留主體5。

圖8係形成存留主體5之一第三方法之一闡釋性圖式。在第三形成方法中，首先，在BGA表面2A上形成為不具有凹槽區段7as之絕緣

區段形成部件7a之一絕緣區段形成部件7a' (參考圖之A8)。亦可藉由藉助使用絕緣樹脂的射出模製來形成絕緣區段形成部件7a'。

接下來，如圖8之B中所圖解說明，藉由自由圖式中之一箭頭L所指示之一方向將雷射光施加至絕緣區段形成部件7a'中之預定位置而在絕緣區段形成部件7a'中形成凹槽區段7as。換言之，形成類似於圖7之A中所圖解說明之絕緣區段形成部件7a之一結構。

由於凹槽區段7as係如上文所闡述藉由雷射光形成，因此雷射光可穿透絕緣區段形成部件7a'導致對BGA表面2A之損壞。就此考量，在第三形成方法中，於對應於其中施加雷射光以將凹槽區段7as形成於BGA表面2A上之位置於位置處形成接地端子9。換言之，預先在對應於其中施加雷射光之上文所闡述位置之BGA表面2A上的位置處形成具有一環形狀的接地端子9。因此，因所施加雷射光所致之絕緣區段形成部件7a'的穿透在其中形成接地端子9的位置處停止，藉此防止對佈線基板2的損壞。

在第三形成方法中，於以上文所闡述方式形成絕緣區段形成部件7a之後的處理程序類似於第二形成方法中的處理程序，且將不會進一步闡述。

(1-3. 第一實施例之總結)

如上文所闡述，根據第一實施例之半導體裝置1包含半導體晶片3、佈線基板2及存留主體5。佈線基板2係藉由交替地層壓佈線層(其各自具有電連接至半導體晶片3之一佈線)及絕緣層而形成，且具有BGA表面2A，在BGA表面2A上複數個焊料球4經形成以電連接至佈線中之若干預定者，藉此電連接至電路板100。存留主體5包含形成於BGA表面2A上以便將焊料球4彼此分離之導電區段6及經形成以覆蓋導電區段6之絕緣區段7。由於形成於BGA表面2A上之存留主體5包含如此形成以便將焊料球4彼此分離之導電區段6，因此藉助使用導電區

段6實現對BGA區段之阻抗控制。在半導體裝置1中，具有其中形成有存留主體5之BGA表面2A之佈線基板2連接至電路板100；因此，在將半導體裝置1連接至電路板100時，僅有必要執行兩個組件(亦即，半導體裝置1及電路板100)之對準。因此，在實現阻抗控制之同時可達成對良率之一改良。

此外，由於不同於一現有情形，不必藉助中間之PTH(鍍通孔)將佈線基板2安裝於電路板100上，因此允許減小將佈線基板2安裝於電路板100上之一處理程序之一負擔。此外，允許半導體裝置1在回錫期間之焊料下沈維持恆定；因此，在此態樣中，亦允許減小焊料球4之直徑差 Δd 。

此外，在此實施例中，導電區段6可電連接至形成於佈線基板2上之接地端子9。因此，導電區段6與佈線基板2藉由形成存留主體5而彼此電連接。在上文所闡述PTL 3中所闡述之一技術中，用於導電至形成於一PTH中之導電區段之一端子曝露於該PTH之一周邊區段；因此，將用於連接至此端子之一接地端子提供至佈線基板中之BGA表面之一周邊區段，藉此將此等端子彼此連接。另一方面，在此實施例中，如上文所闡述，導電區段6與接地端子9藉由形成存留主體5而彼此電連接；因此，與上文所闡述現有技術相比，不必執行用於將佈線基板中之接地端子與PTH中之端子彼此連接之一額外處理程序，且相應地減小了處理程序之數目。

此外，在此實施例中，存留主體5可具有一同軸結構。可藉由同軸結構達成透過焊料球4對傳輸線之有利阻抗控制。

此外，根據此實施例之半導體裝置1可如此形成以便允許內徑D與剖面直徑d之間的關係滿足 d/D =約36.5%至約51%之一條件。因此，阻抗之變化限制於設計值(50 Ω)之 $\pm 20\%$ ，且允許適當執行阻抗控制。

另外，在此實施例中，導電區段6及絕緣區段7可分別由導電樹脂及絕緣樹脂形成。

由於導電區段6及絕緣區段7由樹脂形成，因此容易形成存留主體5，且相應地減小了處理程序之數目及製造成本。

(2. 第二實施例)

(2-1. 半導體裝置之組態)

接下來，下文將闡述一第二實施例。

第二實施例係關於具有一PoP (疊合式封裝)組態之一半導體裝置，該半導體裝置包含作為一下部封裝之具有用於連接至電路板100之BGA表面2A之一半導體封裝，如同根據第一實施例之上文所闡述半導體裝置1。

圖9係圖解說明具有PoP組態之藉由在具有類似於半導體裝置1之組態之一組態之一半導體封裝上安裝(層壓)另一半導體封裝而組態之一半導體裝置之一組態實例之一圖式。

應注意，相似組件由與第一實施例相似之編號來標識且將不會進一步闡述。

在圖9中，用於電連接至一上部封裝之複數個墊12形成於與佈線基板2之BGA表面2A相對之一表面(下文中稱作「頂部表面2B」)上。各別墊12電連接至形成於佈線基板2之各別佈線層中之預定佈線。

上部封裝係藉由將半導體晶片11安裝於佈線基板10上而組態，如圖式中所圖解說明。面對佈線基板10之下部封裝之一表面係一「底部表面10A」，且與底部表面10A相對之一表面係一「頂部表面10B」。佈線基板10係藉由交替地層壓佈線層及絕緣層而形成之一無核心基板，如同佈線基板2。用於電連接至形成於佈線基板2上之墊12之墊13係形成於佈線基板10之底部表面10A上，且各別墊13電連接至形成於佈線基板10之各別佈線層中之預定佈線。

形成於佈線基板2上之墊12及形成於佈線基板10上之墊13透過焊料球14彼此連接。因此，上部及下部半導體封裝彼此電連接。

在此情形中，在具有此一PoP組態之半導體裝置中，期望緊固佈線基板2之頂部表面2B與佈線基板10之底部表面10A之間的一空間(間距)以便不允許安裝於下部封裝上之半導體晶片3與上部封裝介接。

在圖9中所圖解說明之一組態實例中，下部封裝中之墊12及上部封裝中之墊13透過焊料球14彼此連接；因此，有必要增加焊料球14中之每一者之大小以獲得間距。

然而，在增加焊料球14中之每一者之大小時，將上部及下部封裝接合在一起所必需之面積亦增加；因此，難以將封裝縮減大小。

因此，在第二實施例中，上部及下部封裝透過金屬柱彼此電連接。

圖10係圖解說明根據第二實施例之一半導體裝置20之一剖面組態之一圖式。如圖10中所圖解說明，在半導體裝置20中，一金屬柱15形成於墊13中之每一者上，墊13中之每一者形成於組態上部封裝之佈線基板10之底部表面10A上。在此實例中，金屬柱15可由銅製成。然後，佈線基板2之墊12及金屬柱15透過焊料球14彼此連接。

在圖10中所圖解說明之半導體裝置20中，允許藉由金屬柱15之高度獲得間距；因此，減小了焊料球14之直徑。

(2-2. 製造半導體裝置之方法)

下文將闡述根據第二實施例之製造半導體裝置20之一方法。應注意，將在下文主要闡述形成金屬柱15之一方法以避免重複對第一實施例之說明。

圖11係形成金屬柱15之方法之一闡釋性圖式。

首先，使用由如圖11之A中所圖解說明之一金屬板組態之一暫時基板16來形成作為一無核心基板之佈線基板10。在此實例中，作為暫

時基板16，可使用一銅板。

在暫時基板16之兩個表面上形成作為佈線基板10之基底之疊層10'(亦即，具有其中交替地層壓佈線層及絕緣層之一組態之疊層)。此時，自應該係佈線基板10之底部表面10A(下文中稱作「底部表面10'A」)之一表面開始層壓。換言之，自應該係一最下部層之一層至應該係一最上部層之一層依序層壓佈線層及絕緣層。

在如上文所闡述在暫時基板16之兩個表面上皆形成疊層10'之後，沿著正交於疊層10'之一層壓方向之一方向分割暫時基板16以獲得由經分割暫時基板16及疊層10'組態之一層壓結構(參考圖11B)。

然後，移除層壓結構中之暫時基板16之部分以形成金屬柱15(參考圖11之C)。更特定而言，在此情形中藉由用一抗蝕劑塗佈暫時基板16而形成金屬柱15，且藉由曝光及顯影來蝕刻暫時基板16。另一選擇係，舉例而言，可使用藉助使用作為一障壁金屬之Ni之蝕刻。

允許藉由此一形成方法在佈線基板10之底部表面10A上形成金屬柱15。

應注意，如圖12中所圖解說明，可在佈線基板2之頂部表面2B上形成金屬柱15。另一選擇係，如圖13中所圖解說明，可在佈線基板10之底部表面10A及佈線基板2之頂部表面2B兩者上皆形成金屬柱15。在此等情形中之任一者中，由於佈線基板2及佈線基板10係由無核心基板組態，因此允許藉由移除暫時基板16之部分而形成金屬柱15，如參考圖11所闡述。應注意，在其中在佈線基板2之頂部表面2B上形成金屬柱15之一情形中，自應該係一最上部層之一層至應該係一最下部層之一層依序層壓若干層。

(2-3. 第二實施例之總結)

如上文所闡述，在第二實施例中，作為具有PoP組態之半導體裝置，佈線基板10及佈線基板2在其中佈線基板10之底部表面10A及佈

線基板2之頂部表面2B彼此面對之一狀態下透過金屬柱15而彼此電連接。因此，允許減小用於將佈線基板2與佈線基板10彼此電連接之焊料球14之直徑。相應地，允許減小將上部及下部半導體封裝接合在一起所必需之面積，藉此達成對封裝縮減大小。

此外，在第二實施例中，佈線基板2及佈線基板10中之每一者可由一無核心基板組態。因此，允許藉由移除暫時基板16之部分形成金屬柱15，且允許有效地使用最初應完全移除之暫時基板16。因此，允許減小製造成本。此外，不必執行藉由電鍍或諸如此類來形成金屬柱15之一額外形成處理程序；因此，允許減小處理程序之數目，且在此態樣中，亦允許減小製造成本。

(3. 修改實例)

雖然參考上文所闡述實施例來闡述本發明技術，但本發明技術並不限於此。舉例而言，如圖14中所圖解說明，金屬柱可形成於佈線基板2之BGA表面2A上。更特定而言，如圖14之A中所圖解說明，可形成朝向連接至電路板100之一方向自BGA表面2A突出之金屬柱17。此等金屬柱17可由(舉例而言)銅製成。

在此情形中，金屬柱17對應於形成於BGA表面2A上之墊8而形成。然後，焊料球4形成於金屬柱17之端上。

因此，形成於金屬柱17之端上之焊料球4連接至電路板100之墊101，如圖14之B中所圖解說明。

在此修改實例中，焊料球4之體積係藉由將金屬柱17插入於墊8與墊101之間而減小，藉此減小焊料球4之直徑差 Δd 。因此，允許減小阻抗之變化，且可達成較有利阻抗控制。

應注意，金屬柱17可藉由上文參考圖11所闡述之移除暫時基板16之部分之方法而形成。在此情形中，若干層自應該係佈線基板2之一最下部層之一層依序層壓於暫時基板16上。

在上文說明中，已例示其中如圖11之B中所圖解說明之僅具有一同軸結構之存留主體5之一情形；然而，存留主體5可僅具有一微帶狀線結構或一帶狀線結構，如圖15之A中所圖解說明。在微帶狀線結構或帶狀線結構中，開口區段5A中之每一者如此形成以便藉助其一外邊緣環繞兩個或兩個以上焊料球4，如該圖式中所圖解說明。雖然未圖解說明，但在此情形中導電區段6係沿著此一開口區段5A之外邊緣之一外側形成。

微帶狀線結構或帶狀線結構適用於其中焊料球4之間的間隙由於對焊料球4之形成節距及直徑或諸如此類之限制而變窄之一情形中。換言之，在存留主體5具有微帶狀線結構或帶狀線結構時，允許在其中焊料球4之間的間隙較窄之一區域上執行阻抗控制。

此外，在其中由於對BGA表面2A之面積之限制或諸如此類而難以在存留主體5之一整個區域中採用同軸結構之一情形中，可藉由部分地改變焊料球4之形成節距或諸如此類而進行量測。舉例而言，在圖15之B中所圖解說明之一實例中，在其中圖式中的一區域X係其中聚集除信號線之外之一佈線之一區域之一情形中，不必在區域X中進行阻抗控制；因此，減小焊料球4之形成節距以增加惟區域X除外之存留主體5之面積。然後，在其中圖式中的一區域Y係其中聚集信號線之一區域之一情形中，區域Y係藉由在區域Y中將焊料球4之形成節距加寬達惟區域X除外之存留主體之增加面積而採用一同軸結構。另一選擇係，如圖式中的一區域Z中所圖解說明，可替代同軸結構採用一微帶狀線結構或一帶狀線結構來進一步增加惟區域X除外之存留主體5之面積。應注意，在其中藉由採用除同軸結構之外之一結構來增加開口區段5A之面積之一情形中，較佳地係考量存留之一下降。換言之，在其中混合同軸結構與微帶狀線結構或帶狀線結構之一情形中，考量到相對於佈線基板之存留而較佳地判定此等結構之一混合

比、一配置圖案及諸如此類。

此外，在第二實施例中，為減小將上部及下部半導體封裝接合在一起所必需之面積，如圖16中所圖解說明，可採用不具有存留主體5之一組態。應注意，在圖16中，例示其中金屬柱15形成於佈線基板10上之一情形；然而，作為不具有存留主體5之一組態，如圖12或圖13中所圖解說明，可採用其中金屬柱17形成於佈線基板2上之一組態或其中金屬柱17形成於佈線基板2及佈線基板10兩者上之一組態。

本發明技術可具有以下組態。

(1)一種半導體裝置，其包括：複數個焊料球，其在該半導體裝置之一表面上；及一存留主體，其與該複數個焊料球中之一第一焊料球相關聯，將該第一焊料球與該複數個焊料球中之至少一第二焊料球分離，其中該存留主體包括：一導電部分；及一絕緣部分，其經組態以覆蓋該導電部分。

(2)如(1)之半導體裝置，其中該存留主體係環形的。

(3)如(1)之半導體裝置，其進一步包括一佈線基板，其中該半導體裝置之該表面係該佈線基板之一第一表面。

(4)如(3)之半導體裝置，其進一步包括電連接至該佈線基板之一半導體晶片。

(5)如(4)之半導體裝置，其中該半導體晶片安裝於與該半導體裝置之該第一表面相對之一第二表面上。

(6)如(3)之半導體裝置，其中該佈線基板係包括複數個層之一經層壓結構。

(7)如(6)之半導體裝置，其中該複數個層包括至少一個絕緣層及至少一個佈線層。

(8)如(7)之半導體裝置，其中該至少一個絕緣層與該至少一個佈線層交替。

(9)如(3)之半導體裝置，其中該佈線基板係一第一佈線基板且該半導體裝置進一步包括電連接至該第一佈線基板之一第二佈線基板。

(10)如(10)之半導體裝置，其中該第二佈線基板藉由至少一個金屬柱電連接至該第一佈線基板。

(11)如(9)之半導體裝置，其中該第二佈線基板藉由不同於該第一佈線基板之該第一表面上之該複數個焊料球之至少一個焊料球而電連接至該第一佈線基板。

(12)如(11)之半導體裝置，其中不同於該第一佈線基板之該第一表面上之該複數個焊料球之該至少一個焊料球係在與該半導體裝置之該第一表面相對之一第二表面上。

(13)如(9)之半導體裝置，其中該第二佈線基板藉由不同於該第一佈線基板之該第一表面上之該複數個焊料球之至少一個焊料球及至少一個金屬柱而電連接至該第一佈線基板。

(14)如(1)之半導體裝置，其進一步包括與該存留主體相關聯之一接地端子，其中該存留主體之該導電部分電連接至該接地端子。

(15)如(1)之半導體裝置，其中該存留主體之該導電部分包括一導電樹脂。

(16)如(1)之半導體裝置，其中該存留主體之該絕緣部分包括一絕緣樹脂。

(17)如(1)之半導體裝置，其中該存留主體係複數個存留主體中之一第一存留主體，該複數個存留主體中之每一者與該複數個焊料球中之一各別焊料球相關聯。

(18)一種製造一半導體裝置之方法，該方法包括：在一佈線基板之一表面上形成複數個存留主體，每一存留主體包括一導電部分及覆蓋該導電部分之一絕緣部分，每一存留主體形成一開口區段；及在由該等存留主體中之每一者所形成之該開口區段中形成一焊料球。

(19)如(18)之方法，其中在一佈線基板之一表面上形成該複數個存留主體包括：使用一導電樹脂之射出模製來形成每一存留主體之該導電部分；及在形成該導電部分之後使用一絕緣樹脂之射出模製來形成每一存留主體之該絕緣部分。

(20)如(18)之方法，其中在一佈線基板之一表面上形成該複數個存留主體包括：形成每一存留主體之該絕緣部分之一第一部分，該絕緣部分之該第一部分包括一凹槽區段；在該凹槽區段中形成每一存留主體之該導電部分；及形成每一存留主體之該絕緣部分之一第二部分以覆蓋該凹槽區段中之該導電部分。

本發明技術亦可具有以下組態。

(A)一種半導體裝置，其包含：

一第一半導體晶片；

一第一佈線基板，其中佈線層及絕緣層交替層壓，且該第一佈線基板包含其上提供複數個焊料球之一球柵陣列(BGA)表面，該等佈線層各自具有電連接至該第一半導體晶片之一佈線，且該等焊料球電連接至該等佈線中之若干預定者且經組態以電連接至一電路板；及

一存留主體，其包含一導電區段及一絕緣區段，該導電區段提供於該BGA表面上以將該等焊料球彼此分離，且該絕緣區段經提供以覆蓋該導電區段。

(B)如(A)之半導體裝置，其中該導電區段電連接至提供於該第一佈線基板上之一接地端子。

(C)如(A)或(B)之半導體裝置，其中該存留主體具有一同軸結構作為其中針對該單個焊料球提供具有一環之一形狀之該單個導電區段以覆蓋該對應焊料球之一周邊表面之一結構。

(D)如(C)之半導體裝置，其中該導電區段之一內徑與覆蓋有該同軸結構中之該導電區段之該焊料球之一剖面直徑之間的一關係滿足

d/D =約36.5%至約51%且包含其兩者之一條件，其中D係該內徑，且d係該剖面直徑。

(E)如(A)至(D)中任一項之半導體裝置，其中該導電區段及該絕緣區段分別係由一導電樹脂及一絕緣樹脂形成。

(F)如(A)至(E)中任一項之半導體裝置，其進一步包含：

一第二半導體晶片；及

一第二佈線基板，其中佈線層及絕緣層交替層壓，該等佈線層各自具有電連接至該第二半導體晶片之一佈線，

其中該第二佈線基板與該第一佈線基板透過一第一金屬柱彼此電連接，其中與連接至該第二佈線基板之該第二半導體晶片之一表面相對之一表面與和該第一佈線基板之該BGA表面相對之一表面係相對的。

(G)如(F)之半導體裝置，其中該第一佈線基板及該第二佈線基板中之一者係一無核心基板。

(H)如(A)至(G)中任一項之半導體裝置，其中該等焊料球提供於第二金屬柱之端上，該等第二金屬柱電連接至該等佈線中之若干預定者且自該BGA表面突出。

(I)如(A)至(H)中任一項之半導體裝置，其中該存留主體具有一微帶狀線結構及一帶狀線結構中之一者。

(J)一種製造一半導體裝置之方法，該方法包含：

藉由交替地層壓佈線層及絕緣層而形成一第一佈線基板，該等佈線層各自具有電連接至該第一半導體晶片之一佈線，及

形成包含將複數個焊料球彼此分離之一導電區段及一絕緣區段之一存留主體，在係該第一佈線基板之一表面且其上形成有該複數個焊料球之一球柵陣列(BGA)表面上形成該導電區段，將該等焊料球電連接至該等佈線中之若干預定者且組態以電連接至一電路板，且形成

該絕緣區段以覆蓋該導電區段。

(K)如(J)之製造半導體裝置之方法，其中在該第一佈線基板之形成中，在其中該導電區段形成於該BGA表面上之一位置處形成一接地端子。

(L)如(J)或(K)之製造半導體裝置之方法，其中在該存留主體之形成中，形成該存留主體以具有一同軸結構作為其中針對該單個焊料球提供具有一環之一形狀之該單個導電區段以覆蓋該對應焊料球之一周邊表面之一結構。

(M)如(J)至(L)中任一項之製造半導體裝置之方法，其中在該存留主體之該形成中，分別由一導電樹脂及一絕緣樹脂形成該導電區段及該絕緣區段。

(N)如(J)至(M)中任一項之製造半導體裝置之方法，其進一步包含

透過一第一金屬柱將一第二佈線基板及該第一佈線基板彼此電連接，其中與連接至該第二佈線基板之該第二半導體晶片之一表面相對之一表面與和該第一佈線基板之該BGA表面相對之一表面係相對的，該第二佈線基板在其中交替層壓佈線層及絕緣層，且該等佈線層各自具有電連接至一第二半導體晶片之一佈線。

(O)如(N)之製造半導體裝置之方法，其進一步包含

藉由移除一暫時基板之一部分而形成該第一金屬柱，使用該暫時基板來形成該第一佈線基板及係一無核心基板之該第二佈線基板中之一者。

(P)如(J)至(O)之製造半導體裝置之方法，其進一步包含：

在該第一佈線基板上形成電連接至該等佈線中之若干預定者且自該BGA表面突出之第二金屬柱；及

在該等第二金屬柱之端上形成該等焊料球。

(Q)如(J)至(P)中任一項之製造半導體裝置之方法，其中在該存留主體之該形成中，形成該存留主體以具有一微帶狀線結構及一帶狀線結構中之一者。

熟習此項技術者應理解，可取決於設計要求及其他因素做出各種修改、組合、子組合及變更，只要其歸屬於隨附申請專利範圍或其等效物之範疇內即可。

【符號說明】

1	半導體裝置
2	佈線基板
2A	球柵陣列表面/頂部表面
2B	頂部表面
3	半導體晶片
4	焊料球/各別焊料球
5	存留主體/導電區段
5A	開口區段
6	導電區段/各別導電區段
7	絕緣區段
7a	絕緣區段形成部件
7a'	絕緣區段形成部件
7b	絕緣區段形成部件
7as	凹槽區段
8	墊/各別墊
9	各別接地端子/接地端子
10	佈線基板
10A	底部表面
10B	頂部表面

10'	疊層
10'A	底部表面
11	半導體晶片
12	墊/各別墊
13	墊/各別墊
14	焊料球
15	金屬柱/暫時基板
16	暫時基板
17	金屬柱
20	半導體裝置
100	電路板
101	墊/各別墊
d	剖面直徑
d1	最小剖面直徑
d2	最大剖面直徑
D	內徑
L	箭頭
X	區域
Y	區域
Z	區域
Δd	直徑差

申請專利範圍

1. 一種安裝裝置，其包括：
 - 一佈線基板，其具有一第一表面及與該第一表面相對之一第二表面；
 - 複數個焊料球，其設置在該佈線基板之該第一表面上；及
 - 一存留主體，其與該複數個焊料球中之至少一第一焊料球相關聯，該存留主體設置在該佈線基板之該第一表面上並從該第一表面延伸且將該第一焊料球與該複數個焊料球中之至少一第二焊料球分離，其中該存留主體包括：
 - 一導電部分；及
 - 一絕緣部分，其經組態以完全覆蓋該導電部分。
2. 如請求項1之安裝裝置，其中該存留主體係環形的。
3. 如請求項1之安裝裝置，其中該佈線基板係包括複數個層之一經層壓結構。
4. 如請求項3之安裝裝置，其中該複數個層包括至少一個絕緣層及至少一個佈線層。
5. 如請求項4之安裝裝置，其中該至少一個絕緣層包含一第一絕緣層及一第二絕緣層，其中該至少一個佈線層包含一第一佈線層及一第二佈線層，其中該第一佈線層及該第二佈線層與該第一絕緣層及該第二絕緣層交替。
6. 如請求項1之安裝裝置，其中該佈線基板係一第一佈線基板，且其中該安裝裝置進一步包含電連接至該第一佈線基板之一第二佈線基板。
7. 如請求項6之安裝裝置，其中該第二佈線基板藉由至少一個金屬柱電連接至該第一佈線基板。

8. 如請求項6之安裝裝置，其中該第二佈線基板藉由與設置於該第一佈線基板之該第一表面上之該複數個焊料球分開的至少一第三焊料球而電連接至該第一佈線基板。
9. 如請求項6之安裝裝置，其中該第二佈線基板藉由與設置於該第一佈線基板之該第一表面上之該複數個焊料球分開的至少一第三焊料球及至少一個金屬柱而電連接至該第一佈線基板。
10. 如請求項1之安裝裝置，進一步包括與該存留主體相關聯之一接地端子，其中該存留主體之該導電部分電連接至該接地端子。
11. 如請求項1之安裝裝置，其中該存留主體之該導電部分包括一導電樹脂。
12. 如請求項1之安裝裝置，其中該存留主體之該絕緣部分包括一絕緣樹脂。
13. 如請求項1之安裝裝置，其中該存留主體係複數個存留主體中之一第一存留主體，該複數個存留主體中之每一者與該複數個焊料球中之一各別焊料球相關聯。
14. 如請求項2之安裝裝置，其進一步包括一同軸結構，該同軸結構包含該第一焊料球及該存留主體。
15. 一種製造一安裝裝置之方法，該方法包括：
提供一佈線基板；
形成設置在該佈線基板之一表面上之複數個焊料球；及
形成與該複數個焊料球中之至少一第一焊料球相關聯之一存留主體，該存留主體從該佈線基板之該表面延伸且將該第一焊料球與該複數個焊料球中之至少一第二焊料球分隔開，其中該存留主體包括一導電部分及完全覆蓋該導電部分之一絕緣部分。
16. 如請求項15之方法，其中在該佈線基板之該表面上形成該存留

主體進一步包含：

使用一導電樹脂之射出模製來形成該存留主體之該導電部分；及

在形成該導電部分之後使用一絕緣樹脂之射出模製來形成該存留主體之該絕緣部分。

17. 如請求項15之方法，其中在該佈線基板之該表面上形成該存留主體進一步包含：

形成該存留主體之該絕緣部分之一第一部分，該絕緣部分之該第一部分包括一凹槽區段；

在該凹槽區段中形成該存留主體之該導電部分；及

形成該存留主體之該絕緣部分之一第二部分，以覆蓋該凹槽區段中之該導電部分。

18. 一種半導體裝置，其包括：

一佈線基板，其具有一第一表面及與該第一表面相對之一第二表面；

一半導體晶片，其設置於該佈線基板之該第二表面上，該半導體晶片電連接至該佈線基板；

複數個焊料球，其設置在該佈線基板之該第一表面上；及

一存留主體，其與該複數個焊料球中之至少一第一焊料球相關聯，該存留主體從該第一表面延伸且將該第一焊料球與該複數個焊料球中之至少一第二焊料球分隔開，其中該存留主體包括：

一導電部分；及

一絕緣部分，其經組態以完全覆蓋該導電部分。

19. 如請求項18之半導體裝置，其進一步包括與設置於該佈線基板之該第二表面上之該複數個焊料球分開且在該半導體晶片之一

第一表面上的一第三焊料球。

20. 如請求項18之半導體裝置，其進一步包括一同軸結構，該同軸結構包含該第一焊料球及該存留主體。