



(12)发明专利

(10)授权公告号 CN 104040711 B

(45)授权公告日 2017.10.03

(21)申请号 201380005216.0

(22)申请日 2013.01.10

(65)同一申请的已公布的文献号
申请公布号 CN 104040711 A

(43)申请公布日 2014.09.10

(30)优先权数据
13/348,011 2012.01.11 US

(85)PCT国际申请进入国家阶段日
2014.07.11

(86)PCT国际申请的申请数据
PCT/US2013/020930 2013.01.10

(87)PCT国际申请的公布数据
W02013/106502 EN 2013.07.18

(73)专利权人 国际商业机器公司
地址 美国纽约

(72)发明人 鲍军静 G·波尼拉
考施克·查恩达

塞缪尔·S·乔伊
罗纳德·G·菲利普
斯特凡·格鲁诺夫
N·E·勒斯蒂格 丹·默伊
安德鲁·H·西蒙

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 申发振

(51)Int.Cl.
H01L 21/82(2006.01)
H01L 23/62(2006.01)

(56)对比文件
US 6140226 A,2000.10.31,说明书第3栏第
60行-第6栏第14行,图3.

CN 1770443 A,2006.05.10,
CN 101617394 A,2009.12.30,

审查员 周文龙

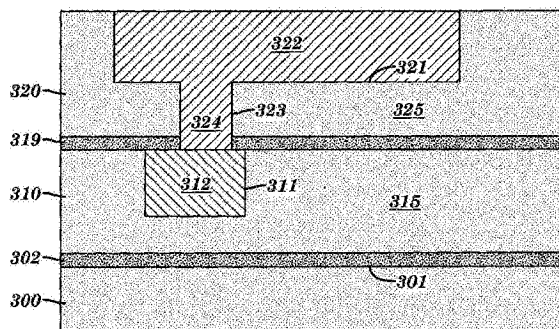
权利要求书1页 说明书6页 附图11页

(54)发明名称

用于形成熔断器的方法

(57)摘要

本发明公开了一种BEOL电子熔断器,该BEOL电子熔断器在通孔内会可靠地烧断,并且即使在最紧密间距的BEOL层内也能够形成。该BEOL电子熔断器能够使用线路优先的双镶嵌工艺来形成,以产生将作为电子熔断器的可编程链路的亚光刻通孔。亚光刻通孔能够使用标准的光刻技术来图形化,并且通孔的截面能够进行调整以匹配目标编程电流。



1. 一种用于形成熔断器的方法,包括:

提供包含在第一介电层之上的硬掩模的结构,其中所述硬掩模还被布置于第二介电层之上,所述第二介电层布置于形成于所述第一介电层内的导电路径之上;

形成穿过所述硬掩模的第一开口;

在抗蚀层中形成第二开口,所述第二开口与所述第一开口不对齐以暴露所述第一开口的侧壁,并且部分地重叠所述第一开口以界定重叠部分,所述重叠部分具有亚基本准则尺寸;

蚀刻被所述重叠部分暴露的所述第二介电层的部分,以在所述第二介电层中形成通孔空腔,其中所述硬掩模没有被蚀刻,所述通孔空腔完全位于所述导电路径上方并且具有亚基本准则尺寸;

移除所述抗蚀层以暴露所述第一开口;

蚀刻被所述第一开口暴露的所述第二介电层的另一部分以在所述第二介电层中形成沟槽。

2. 根据权利要求1所述的方法,其中所述第二开口具有等于或大于基本准则尺寸的尺寸。

3. 根据权利要求1所述的方法,其中所述沟槽具有等于或大于基本准则尺寸的尺寸。

4. 根据权利要求1所述的方法,还包括定位所述第二开口以根据目标编程电流来形成所述重叠部分。

5. 根据权利要求1所述的方法,所述方法还包括使所述导电路径在所述通孔空腔的底部露出。

6. 根据权利要求1所述的方法,还包括通过双镶嵌过程来形成所述沟槽和所述通孔空腔。

7. 根据权利要求6所述的方法,其中所述导电路径被连接作为阴极,并且通过填充所述沟槽而形成的特征件被连接作为阳极。

8. 根据权利要求6所述的方法,还包括通过CVD或者通过电镀来以铜填充所述沟槽和所述通孔空腔。

用于形成熔断器的方法

技术领域

[0001] 本发明涉及集成电路的电子熔断器(e-fuse)。更特别地,本发明涉及形成于后段制程(BEOL)的互连金属层内的电子熔断器。

背景技术

[0002] 在先进的集成电路技术中,电子熔断器已经实现于多晶硅(PC)级别上。在编程期间,持续时间短的高电流脉冲能够通过电子熔断器结构以不可逆地使硅化物迁移至PC的顶部,从而导致电阻变化并且从而充当可编程的熔断器。但是,随着缩放继续进行到更紧密的间距,变得越来越难以用高k值的金属栅过程(metal gate processes)来为某些器件集成方案实现PC级别的电子熔断器。正因如此,存在着实现金属互连级别的电子熔断器(即,后段或者“BEOL电子熔断器”)并且使用电迁移现象(EM)来对熔断器编程的驱动。

[0003] 常规的BEOL电子熔断器结构包括用于连接上线路122和下线路112的通孔124,如图1A所示。线路122能够被连接以作为电子熔断器的阳极来执行,而线路112能够被连接以作为阴极来执行,电子经由通孔124从线路112流到线路122。通孔124能够是单一通孔或堆叠通孔。在实现BEOL电子熔断器方面存在若干挑战。举个例子,至少部分地由于与铜互连一起使用的内衬材料(例如,钽(Ta)和氮化钽(TaN))必须连同铜一起烧断以便实现适当的熔断器编程的事实,对BEOL电子熔断器编程与PC电子熔断器相比可能需要更大的电流。Thei等人的美国专利公开2005/0285222 A1建议通过有意使通孔224相对于下线路212(或者相对于上线路222或相对于两者)不对准来允许在较低的电流下对电子熔断器编程,如图2A所示(示于Thei等人的图14a)。当偏移距离“D”时,在通孔/线路的界面处的接触面积X被减小,这在理论上会将电流密度集中于该界面处。但是这种方法并不可靠,因为接触面积在处理期间还能够垂直延伸以包含面积Y(见图2B)。这种通孔偏移设计还会使得该结构容易受对邻近电路元件的电流泄漏影响,从而降低可靠性和产量。而且,这种相对于上线路222的失准需要单镶嵌工艺,这会增加制造成本。

[0004] 除了需要相对高的编程电流外,有关常规的BEOL电子熔断器的另一问题是控制空隙(void)的位置。与电子熔断器元件相邻的线路级特征件能够是相当接近的,使得当通过BEOL电子熔断器的编程浪涌导致空隙以断开线路122时,上覆盖层(未示出)或电介质125可能会被破坏,并且这能够允许对相邻的线路级特征件的电流泄漏。让空隙出现于通孔124内是优选的,并且能够通过确保编程浪涌与在电通路的其他部分内相比在通孔内产生更大的电流密度来提升。一个选项是设计通孔124使其具有比线路122小的截面,但是当线路在最小光刻尺寸下制成时,在最紧密的间距级别下,光刻无法形成这样的“较小截面的通孔”。

[0005] 在现有技术的集成电路中,可获得的最先进的光刻技术被用来形成半导体器件,以及最低的互连级别(例如,“M1”和“M2”)。能够通过光刻技术来图形化的最小的布线尺寸(也称为临界尺寸或“CD”或者“基本准则(groundrule)”尺寸)与由该光刻技术制成的器件尺寸相关联。根据“国际半导体技术路线图(2010更新)(International Technology Roadmap for Semiconductors,2010update)”,表1示出了所预期的器件栅极长度以及在M1

下的相应布线间距,该“国际半导体技术路线图(2010更新)”通过引用的方式并入本文。

[0006] 表1. INTC6MPU互连技术要求

生产年份	2011	2012	2013	2014	2015	2016
栅极长度 (nm)	24.2	22.09	20.17	18.41	16.80	15.34
[0007] M1 布线间距 (nm)	86	72	61	54	48	43
阻挡层/覆层厚度 (用于 Cu M1 布线)	2.9	2.6	2.4	2.1	1.9	1.7

[0008] 如图1B所示(至少在最紧密的间距互连层内),最小值或光刻间距是最小线路宽度“W”(基本准则的线路宽度)与在相邻特征件之间的最小间隔“S”(基本准则的空间)之和。具有比半间距小的尺寸的结构在此应当称为“亚光刻(sub-lithographic)”或“亚基本准则(sub-groundrule)”结构。

[0009] 人们已经提出各种技术来形成亚光刻通孔,例如,Li等人的美国专利7696085公开了在通过在标准尺寸下图形化通孔开口,然后使用自组装嵌段共聚物(“SABC”)从后面来填充开口而形成的双镶嵌金属互连结构中的亚光刻通孔。SABC的沉积和图形化增加了过程的步骤、复杂性和费用。

[0010] 在Chi Ho Lau和S.W.Ricky Lee的“Fabrication of Nanoscale Vias by Offset Patterning”(Proceedings of MicroNano08, June3-5, 2008, Hong Kong)中公开另一种技术。根据该技术,具有标准的光刻尺寸的第一通孔按照通孔掩模来形成于第一介电层内。然后沉积止蚀层和第二介电层。除了掩模偏移之外,第二介电层就如同第一介电层那样来图形化。按照图形的相交部来蚀刻的通孔具有减小的截面。该过程是不理想的,因为它需要两个通孔图形化步骤。

[0011] 仍然需要能够通过可在通孔内产生空隙的电迁移来可靠地编程的廉价的BEOL电子熔断器。

发明内容

[0012] 根据本发明,即使在最紧密间距的BEOL层内,也能够形成在通孔内会可靠地烧断的BEOL电子熔断器。在第一方面,本发明提供了包含具有亚光刻尺寸的导电通孔的BEOL电子熔断器,这样的通孔使第一BEOL导电特征件与第二BEOL导电特征件导电性耦接,第一BEOL导电特征件被连接为阴极,并且第二BEOL导电特征件被连接为阳极。这两个BEOL导电特征件中的任一个或两者都能够具有基本准则尺寸。第二BEOL导电特征件能够处于位于第一BEOL导电特征件的直接上方的互连层之内。在某些实施例中,导电通孔包含元件叠层,此类元件中的至少一个具有亚光刻尺寸。

[0013] 根据另一方面,本发明提供光刻掩模对,其中所述掩模对中的第一掩模实现沟槽图形,而所述掩模对中的第二掩模实现通孔图形,其中通孔图形被定位为仅与所述沟槽图形部分重叠。通孔图形能够被定位为与沟槽的侧面或沟槽的端部部分重叠。

[0014] 根据另一方面,本发明提供用于形成BEOL电子熔断器的一种方法。该方法要求:提

供具有在第二介电层之上的硬掩模的结构,该第二介电层布置于导电线路被布置于其内的第一介电层之上,然后形成穿过该硬掩模的第一开口,对与第一开口部分重叠的第二开口图形化以界定重叠部分,其中该重叠部分具有亚基本准则尺寸,以及蚀刻重叠部分以致穿过第二介电层,从而形成通孔空腔(via cavity)。在实施例中,第一开口和第二开口中的任一个或两者都能够具有基本准则尺寸。

[0015] 根据另一种实施例,本发明提供用于编程BEOL电子熔断器的一种方法,该方法包括:提供包含耦接于连线为阴极的第一导电特征件与连线为阳极的第二导电特征件之间的亚光刻通孔的BEOL结构;以及通过在所述阳极与所述阴极之间施加电流而在所述亚光刻通孔内形成空隙。

附图说明

[0016] 本发明的实施例的特征和元件将在下文结合附图来描述。

[0017] 图1A示出了常规的后段电子熔断器。

[0018] 图1B示出了给定光刻术的“间距”和“临界尺寸”。

[0019] 图2A和图2B示出了现有技术后段电子熔断器。

[0020] 图3A和图3B示出了分别与上线路的主轴平行和垂直的本发明的BEOL电子熔断器的实施例的侧视图。

[0021] 图3C是本发明的BEOL电子熔断器的实施例的平面图。

[0022] 图4A至图4F示出了用于形成本发明的BEOL电子熔断器的实施例的方法。

[0023] 图5A、图5B、图6、图7和图8示出了根据本发明的BEOL电子熔断器的不同实施例。

具体实施方式

[0024] 本发明提供在通孔内会可靠地烧断的并且即使在最紧密间距的BEOL层内也能够形成的后段制程(BEOL)熔断器结构。本发明的电子熔断器包含耦接于两个BEOL导电特征件(例如,线路)之间的亚光刻通孔,第一个这样的特征件被连接为阴极,第二个这样的特征件被连接为阳极。该亚光刻通孔的截面能够进行调整以匹配目标编程电流。

[0025] 应当理解,当作为层、区域或基板的第一元件被称为位于第二元件“之上”或“上方”时,它能够直接在这样的第二元件上或者还可以存在中间元件。相比之下,当元件被称为“直接”位于第二元件“之上”或“上方”时,则没有中间元件存在。还应当理解,当元件被称为与另一个元件“连接”或“耦接”时,这两个元件能够直接连接或耦接,或者可以存在中间元件。相比之下,当元件被称为与另一个元件“直接连接”或“直接耦接”时,则没有中间元件存在。应当注意,相同的附图标记指的是不同实施例中的相同元件,并且附图并不一定是按比例绘制的。

[0026] 现在参照图3A和3B,本发明的电子熔断器结构形成于在半导体基板300上形成的互连金属层之内。一个或多个半导体器件(未示出)能够形成于基板的顶面301之内或之上。包含诸如通过钝化材料层形成的栅极触头之类的结构的所谓中段(MOL)层302典型地使表面301与包含在形成于层间电介质(ILD)315内的沟槽311中的导电线路312的第一互连层310(“M1”)分离。形成于M1内的线路可以与栅极触头导电连接,所述栅极触头可以是钨螺柱。至少第二互连层320被布置于层310之上,并且包含沟槽321内的导电线路322以及形成

于ILD325内的通孔空腔323内的导电通孔324。ILD325能够通过覆盖层319而与ILD315分隔开。

[0027] 直接覆盖于M1层之上的互连层能够称为M2层。正如所指出的,导电路径322形成于覆盖于第一互连层310之上的“至少第二互连层”内。第一互连层能够称为M1层,并且下一上覆互连层被称为M2,等等。在任何给定的M_x层内形成的是M_x线路以及V_{x-1}通孔。V_{x-1}通孔能够使例如M_x线路与M_{x-1}线路连接。

[0028] 图3C示出了由用于将M_{x+1}沟槽和V_x通孔界定于M_x特征件(x=1,2,3,等)的平面图之上的一对掩模产生的图形。如图3C所示,沟槽321覆盖于沟槽311之上。空腔323从沟槽321延伸至沟槽311。沟槽321和沟槽311之一或两者的宽度大于或等于基本准则尺寸“W”。空腔323的至少一个边缘“E”与沟槽321的边缘“T”是共面的,或者完全对齐。空腔323的较大截面尺寸G能够与基本准则尺寸一样大,而较小的截面尺寸“L”小于G,使得通孔324的截面面积能够显著小于线路322的截面面积。

[0029] 根据本发明的一种实施例,BEOL电子熔断器根据图4A-4F所示的“线路优先(line-first)”的双镶嵌方案来形成。图4A示出了形成于下层ILD415内且由覆盖层419覆盖的下导电路径412a和412b。下互连层410(“M_x”)形成于诸如半导体晶片(未示出)之类的结构上。在层410上形成的是第二ILD层425、硬掩模426和光刻胶427。线路图形通过标准的光刻技术产生于光刻胶427内。线路开口P、Q和R具有根据实现于关联的线路掩模(未示出)内的芯片设计的长度和宽度。线路开口P、Q和R能够按临界尺寸(宽度W)来图形化,或者它们能够是更宽的。

[0030] 在图4B中,开口P、Q和R被转移到硬掩模426,并且光刻胶427按照已知的处理来去除。到该点的步骤与在R. Brain等人的“Low-k Interconnect Stack with a Novel Self-Aligned Via Patterning Process for 32nm High Volume Manufacturing”(Logic Technology Development, #Quality&Reliability, 英特尔公司)中公开的线路优先的双镶嵌方案一致。R. Brain等人提出了线路优先的方案,用于保持所图形化的通孔的尺寸完整性并且避免在通孔优先的方案中的让通孔图形放大并由此与相邻特征件发生短路的倾向。

[0031] 根据本发明,不是保持图形化的通孔尺寸,而是修改该过程以可靠地形成亚光刻通孔。图4C示出了形成于硬掩模426之上的且按照界定通孔的第二掩模(未示出)来图形化的第二抗蚀层428。所示出的实施例示出了图形化到通孔抗蚀层428之内的两个基本准则的(宽度=W)通孔开口A和B。根据芯片设计(由用于相应的M_{x+1}线路和M_x通孔的掩模对实现),通孔开口A能够在线路开口P内完全对齐,而通孔开口B能够有意地与线路开口Q不对齐以按距离“ΔW”部分覆盖于硬掩模之上。图4C的下部示出了覆盖于M_x线路之上的开口P、Q和R(作为M_{x+1})的以及A和B(作为V_x)的相对位置。(注意,通孔图形能够不同于圆形;例如,它能够是长方形(oblong)、直线形(rectilinear)、方形或不规则的。本发明并不要求任何特定的通孔形状,并且本文对通孔直径的引用预期了实现于通孔掩模内的任何通孔形状的圆形等价形状。)

[0032] 在图4D中,M_x通孔与M_{x+1}线路开口对的相交部通过例如选择性的电介质反应离子蚀刻(RIE)工艺转移到ILD425之内。通孔开口A在线路开口P内完全对齐或者由线路开口P所包围,因而通孔A'与通孔开口A同宽度(受蚀刻工艺的能力所限制)。注意,开口A和B被图形化为基本准则尺寸的开口,因而通孔A'将具有相同的基本准则尺寸“W”,并且能够称为

“基本准则通孔”。通孔开口B与线路开口Q不对齐,使得通孔开口B的一部分被硬掩模426所阻挡。通孔开口B覆盖于硬掩模之上的那部分并没有被转移到电介质425之内。RIE工艺被设计为通过硬掩模来停止。在电介质中所产生的物理开口B' 具有比在抗蚀剂图形中的通孔开口B小的截面。因此,通孔开口B' 具有亚光刻尺寸,并且能够称为“亚基本准则通孔”。但是,注意,本发明并不限于最小光刻尺寸的通孔开口。亚光刻通孔B' 能够作为线路开口Q与通孔开口B相交的结果,即使通孔开口B(和/或线路开口Q)比基本准则尺寸大。

[0033] 虽然图4D示出了达到覆盖层419的通孔蚀刻,但是该通孔蚀刻能够更早停止。该通孔蚀刻甚至可以继续进行到覆盖层419之内。现在参照图4E,不考虑通孔蚀刻深度,能够照常进行处理,以去除通孔抗蚀剂428。进一步的蚀刻能够在ILD425内形成沟槽P'、Q'和R'。初始通孔蚀刻能够被定时,使得沟槽蚀刻完成通孔蚀刻,该通孔蚀刻可以继续进行以在通孔A'和B'的底部穿过覆盖层419。图4F所示的已完成的M_{x+1}和V_x特征件能够通过沉积阻挡层/内衬和籽晶层,铜填充和退火,以及化学-机械平坦化,按照标准的双镶嵌金属化来形成。在实施例中,阻挡层能够是PVD Ta(N);内衬能够是CVD钨(W)、钛(Ti)、钴(Co)、氮化钛(TiN)、氮化钌(RuN)、钌(Ru)等;并且籽晶能够是PVD铜(Cu),或者与能够是锰(Mn)、铝(Al)、锡(Sn)、铟(In)或其他少量成分组成合金的铜。铜填充能够通过CVD或电镀来完成,并且可以包括用于填充亚光刻空腔的自底向上的技术。在实施例中,内衬CVD工艺能够沉积来自C₁₂H₁₀O₆(Co)₂(六羟基叔丁基乙炔合二钴)的钴、来自十二羟基三钌(Ru₃(CO)₁₂)的钌、或者来自六羟基钨的钨。

[0034] 上述方法能够被用来形成图3A和3B所示的BEOL电子熔断器,其中线路322被连接为阳极,而线路312被连接为阴极。通孔324具有能够根据编程电流来调大小的亚基本准则尺寸。特别地,返回去参照图4C,如果基本准则的通孔图形B只是与线路开口Q稍微不对齐,则所产生的亚基本准则通孔B'的截面将会仅比基本准则通孔的截面稍小,例如,在基本准则尺寸的70%至<100%的范围之内。但是通孔图形B能够更多地覆盖于硬掩模边缘之上,并且所设计的图形偏移能够被调整以形成具有任意亚光刻截面面积的电子熔断器链路,例如,基本准则尺寸的40%或50%。根据本发明,电子熔断器链路能够调整大小以与目标编程电流相应。例如,可能为优选的是使用最小编程电流来烧断特定的BEOL电子熔断器,以便避免对含有编程电流通路的或与编程电流通路相邻的材料加压。电子熔断器链路在这种情况下能够使用仅与线路开口稍微对齐的基本准则的通孔图形。

[0035] 图3A、B和C示出了在相邻的互连层(即,V_x、M_x和M_{x+1})内的亚光刻通孔连接线路,但是本发明并不限于此。图5A示出了亚基本准则通孔524能够将上覆的线路522连接至下垫板512。通孔524能够通过使通孔开口529相对于为了线路522而图形化的硬掩模偏移而形成。注意,通孔开口529能够一定程度地大于光刻的最小尺寸,只要开口529和522的相交部是亚基本准则。图5B示出了其中亚基本准则通孔534形成于除M₁外的层之间,例如,在M₃内的线路532与M₂内的线路522之间的另一种实施例。如图6所示,根据又一种实施例,亚光刻通孔624能够通过使通孔图形629偏移以叠置于线路图形622的端部之上而形成。由于使线路图形在其端部缩短,因而通过这样的“端部重叠”来形成的亚光刻通孔与通过相对于线路的边缘的等同偏移而形成的通孔相比可以在更低的电流下编程。正如所指出的,在小电流下的编程在某些器件的紧邻区域内能够是有利的。图7示出了其中阳极732和阴极712处于不相邻的层内并且通过包含正常通孔734、中间线路722和亚光刻通孔724的叠层来连接

的另外一种实施例。图8示出了其中阳极832和阴极812通过包含亚光刻通孔834、中间线路822和亚光刻通孔824的叠层来连接的另外一种实施例。

[0036] 其他别的实施例具有在同一互连层内(例如,在M2内)的阳极和阴极,该阳极与该阴极经由第三线路通过包含亚光刻通孔的通路来连接。为了平衡在双镶嵌的M_x和V_x特征件之间的晶界的存在性,当该第三线路在阳极和阴极上方的层内时,BEOL电子熔断器能够包含在阴极与第三线路之间的亚光刻通孔,并且当该第三线路在阳极和阴极下方的层内时,BEOL电子熔断器能够包含在第三线路与阳极之间的亚光刻通孔。

[0037] 基板300在此可以包含任何半导体,例如,Si、SiGe、SiGeC、SiC、Ge合金、GaAs、InAs、InP,并且其他III/V或II/VI化合物半导体也可以使用。除了这些所列出的半导体材料类型之外,本发明还预期了其中半导体基板为分层半导体的情形,例如,Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗(SGOI)。此外,基板300能够是单晶的、多晶的、非晶的,或者具有单晶部分、多晶部分及非晶部分中的至少两项的组合。

[0038] 任意适合的电介质材料都可以用于层x15和x25(其中“x”代表相应的附图编号)的电介质材料,并且用于x15的材料能够与用于x25的材料相同或不同。电介质材料能够具有小于3.9的介电常数,或者对于所谓的“低k值”电介质材料为2.5~3.0,或者对于所谓的“超低k值”材料甚至会更低,例如,约为2.2。电介质材料能够是任何现在已知的或以后将开发出的多孔或非多孔的电介质材料,例如,氧化硅(SiO),氮化硅(Si₃N₄),氢化碳氧化硅(hydrogenated silicon oxycarbide)(SiCOH),倍半硅氧烷,含有硅(Si)、碳(C)、氧(O)和/或氢(H)原子的掺碳氧化物(即,有机硅酸盐),热固性聚芳香醚,SiLK™(可从陶氏化学公司(Dow Chemical Corporation)购得的聚芳香醚),含有可从JSR公司购得的聚合物材料的旋涂硅碳,以及其他低介电常数的材料或者它们的层。

[0039] 电介质阻挡层或覆盖层能够被布置于每个电介质材料层之上。用于每个覆盖层x19或x29的材料被典型地选择为可耐蚀刻的并且可抵抗用于直接上覆的材料的清洗工艺的。覆盖层能够是相同的或不同的材料。用于覆盖层的典型材料包括任何现在已知的或以后研发出的电介质,例如,碳化硅(SiC),氮化硅(Si₃N₄)、二氧化硅(SiO₂)以及掺氮或掺氢的碳化硅(SiC(N,H))。

[0040] 任意适合的导电材料都可以用于导体x12、x22和x24,并且每种这样的导体能够是相同的材料或者彼此不同的材料。典型的导电材料包括铜(Cu)、铝(Al)、钨(W)、银(Ag)、金(Au)及合金。

[0041] 虽然本发明已经针对优选的或可替换的实施例进行了特别地示出和描述,但是本领域技术人员应当理解,在不脱离本发明的范围的情况下,更多的替代方案都是可能的并且都可以实现。因此,本文意指,本发明并不限于所描述和所示出的确切形式。

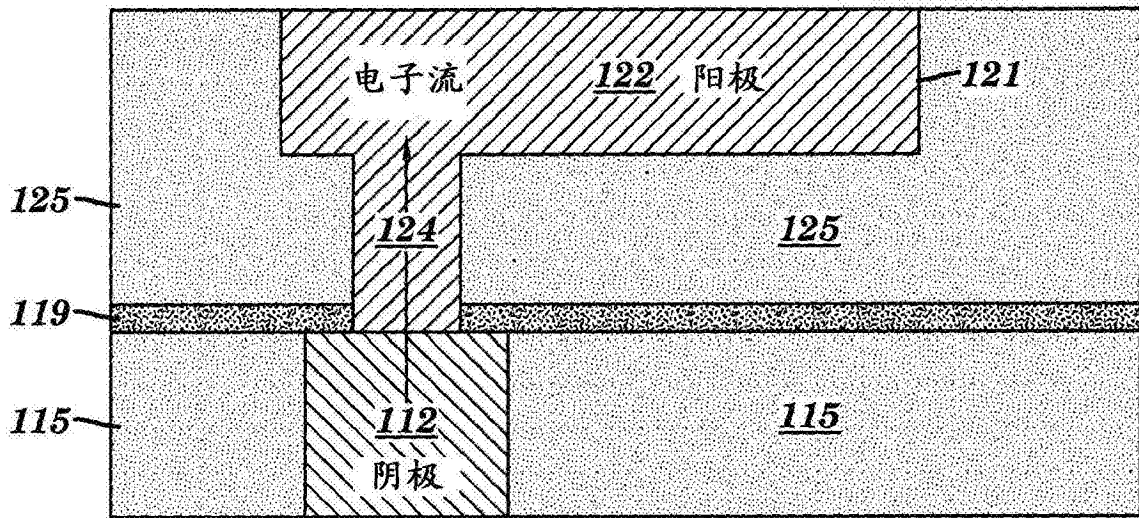


图1A

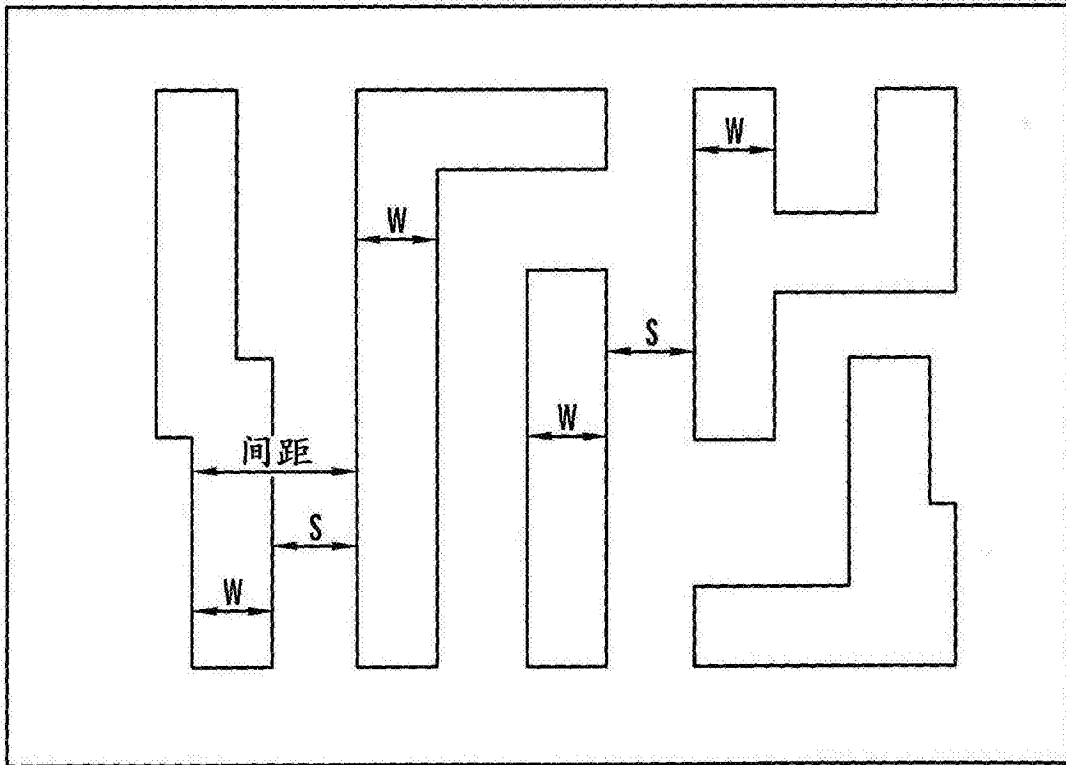


图1B

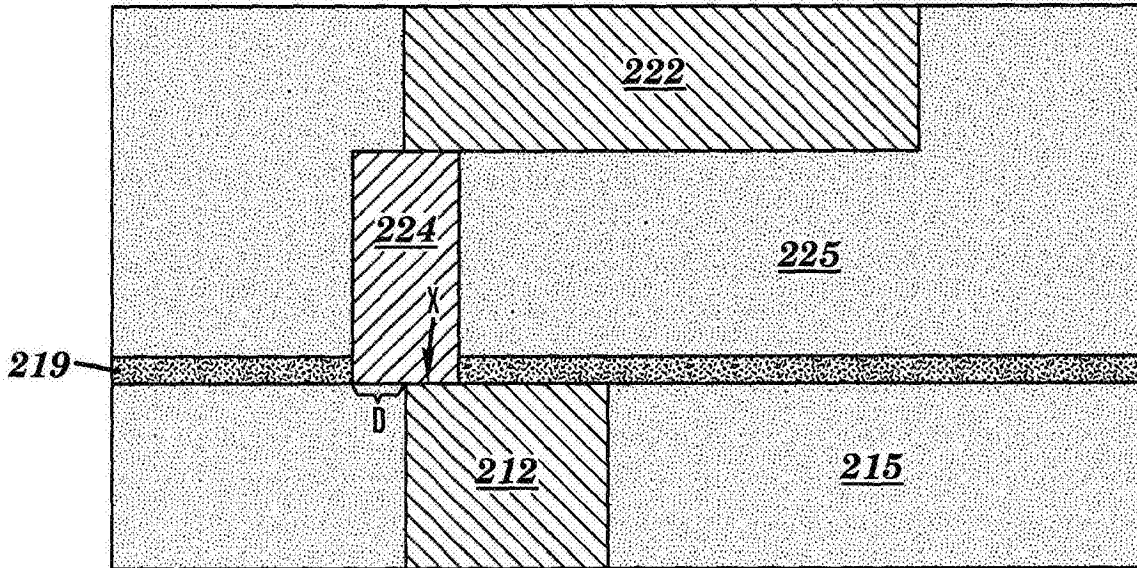


图2A现有技术

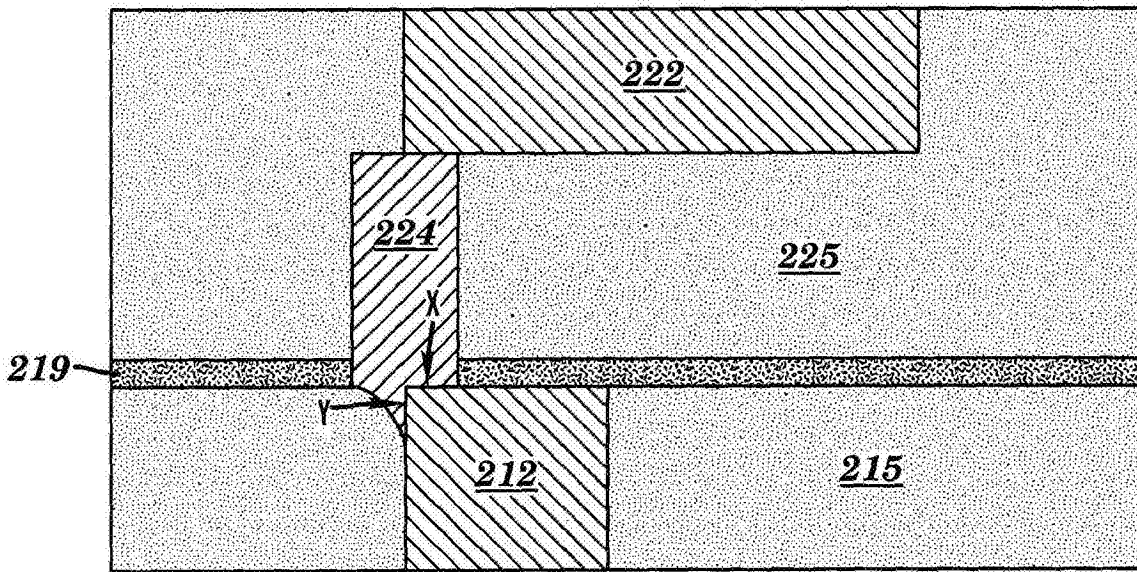


图2B

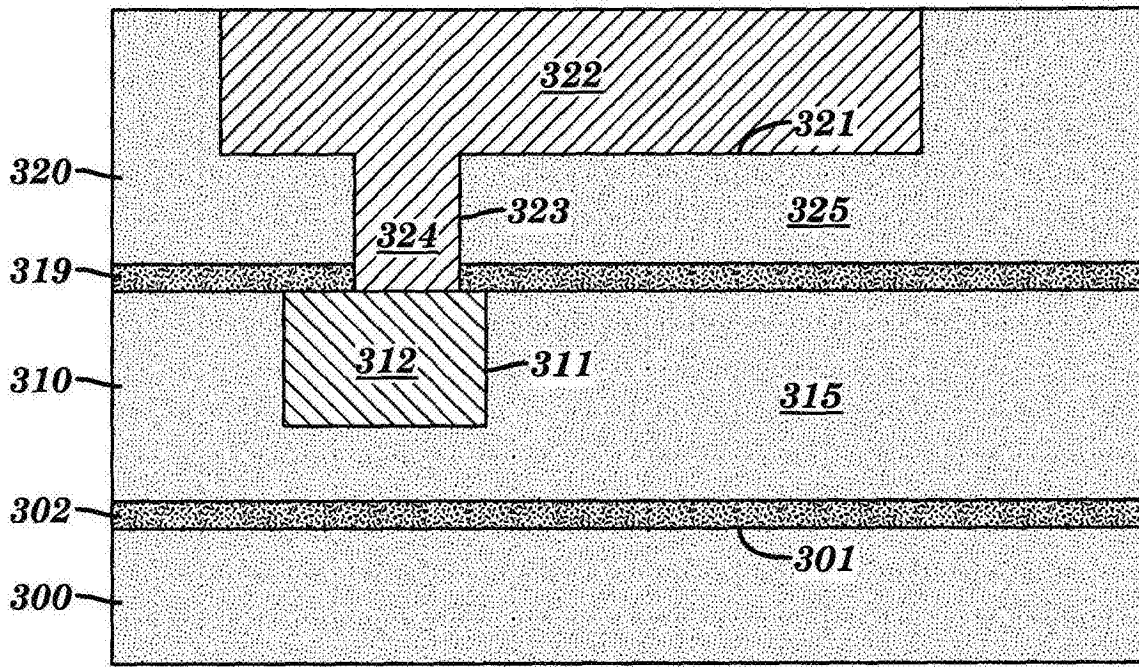


图3A

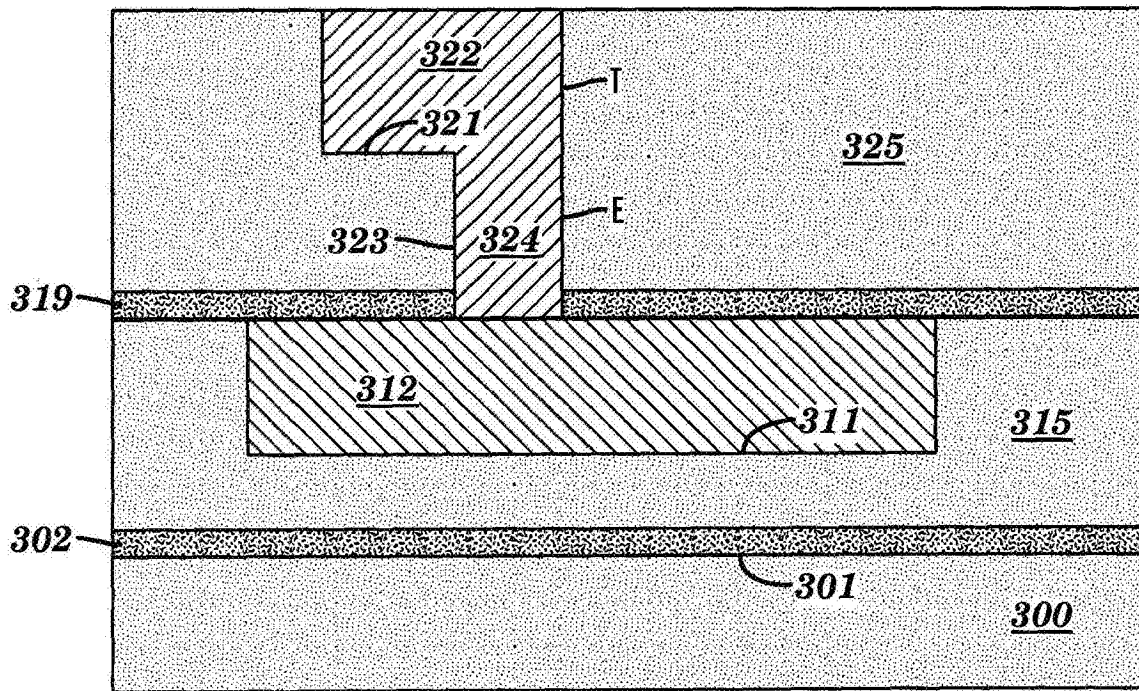


图3B

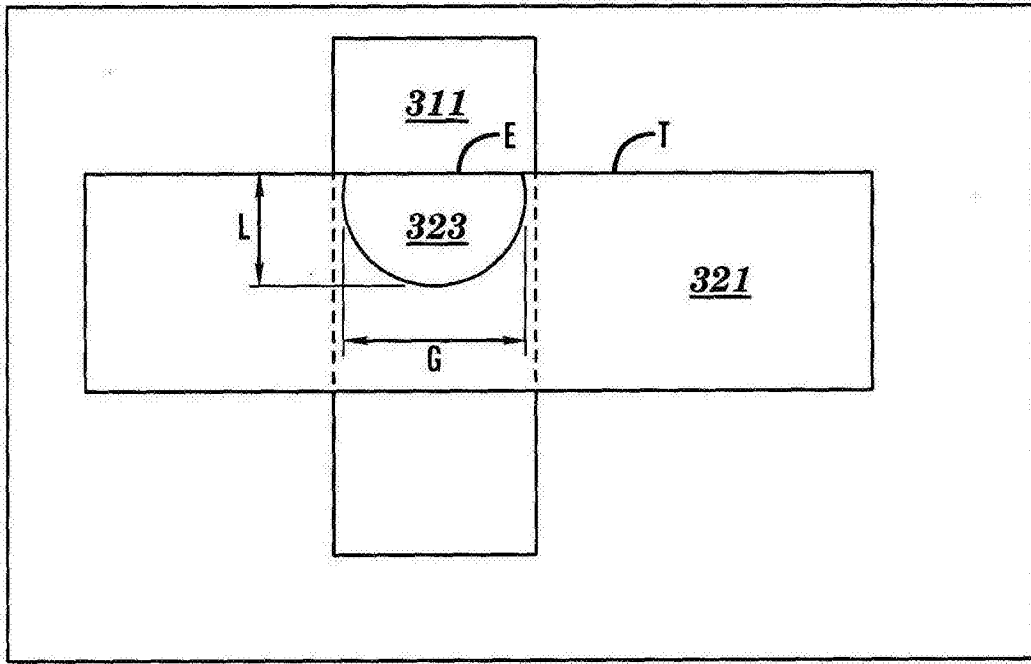


图3C

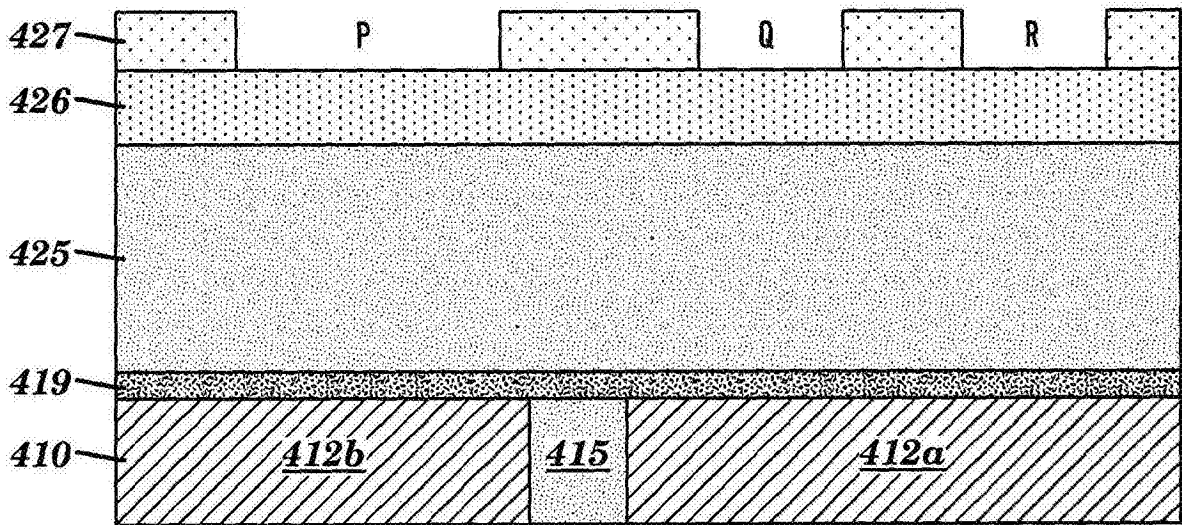


图4A

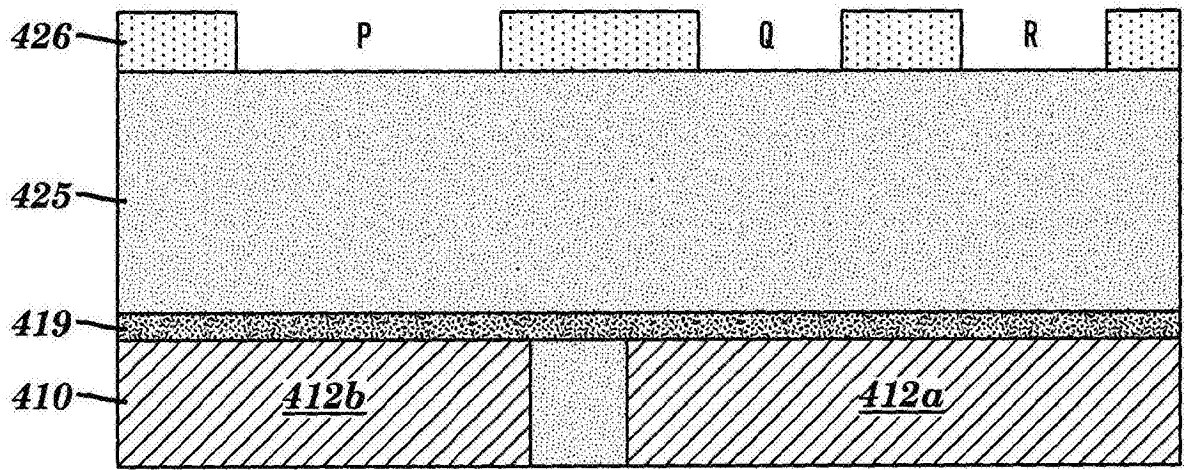


图4B

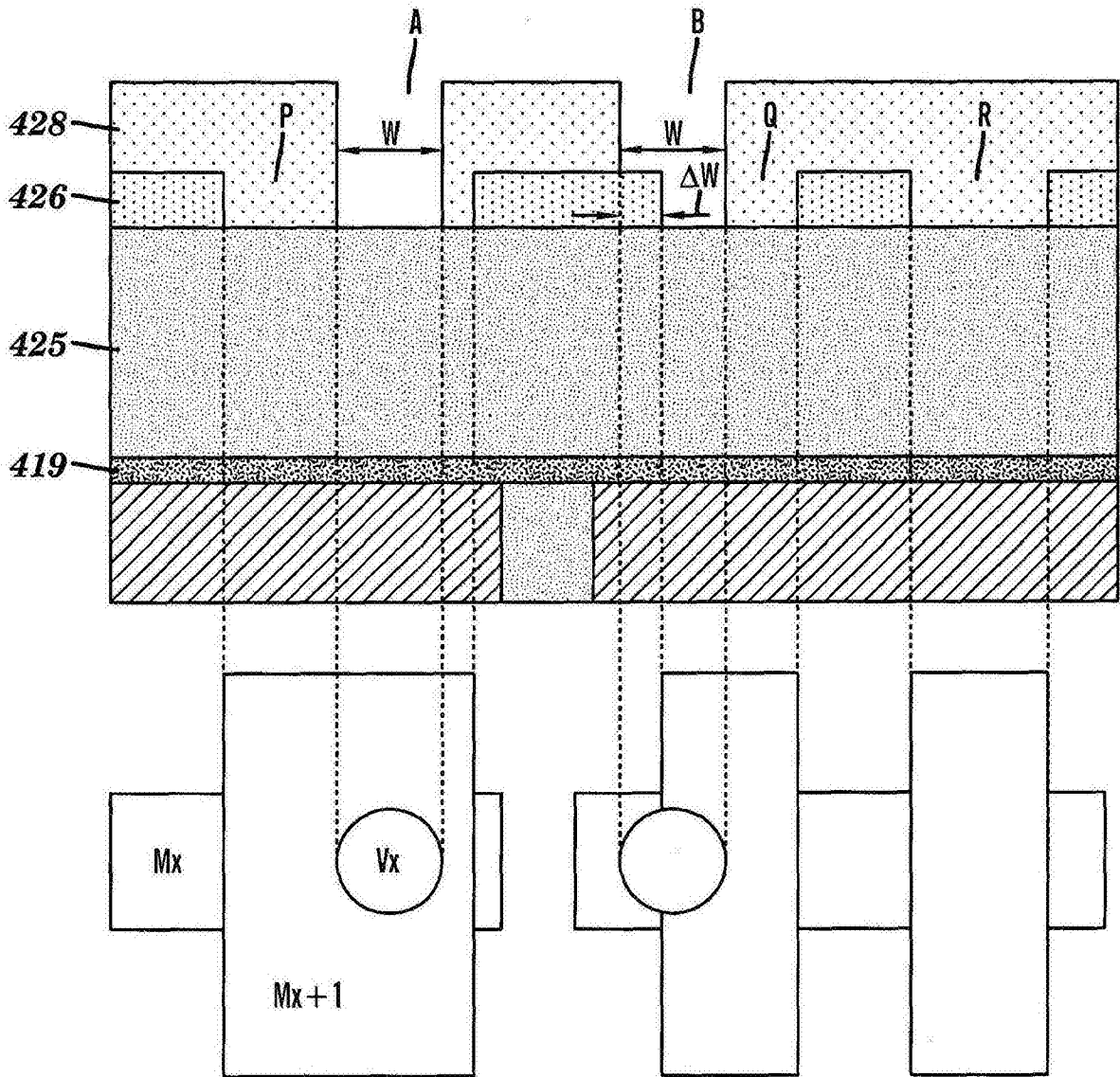


图4C

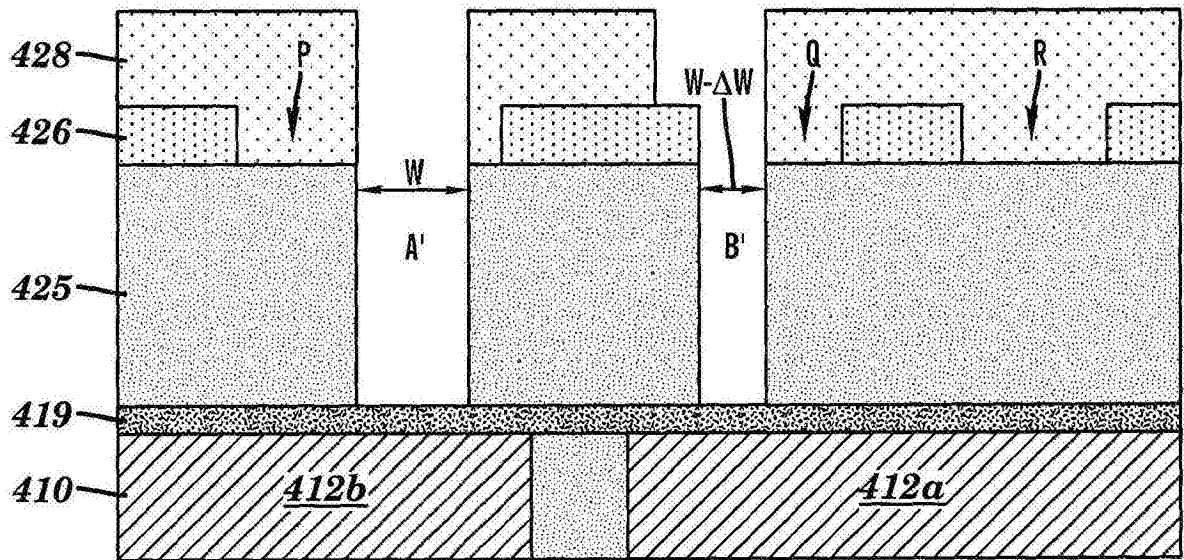


图4D

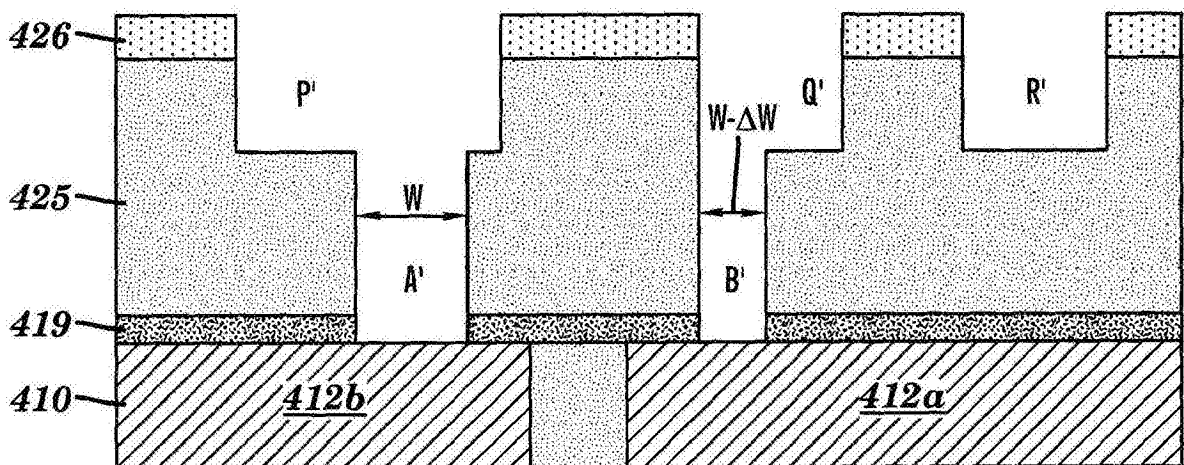


图4E

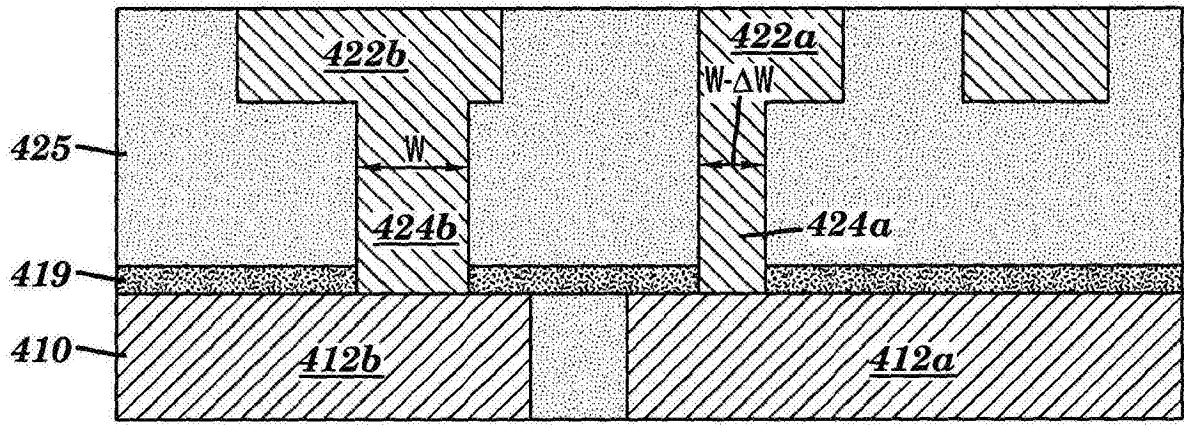


图4F

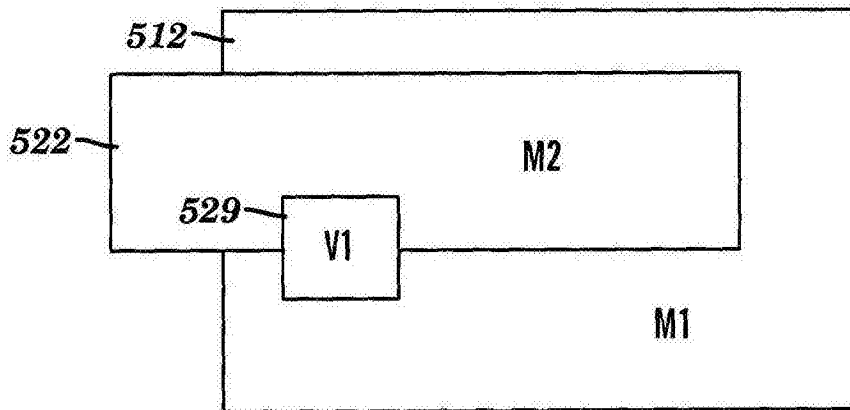
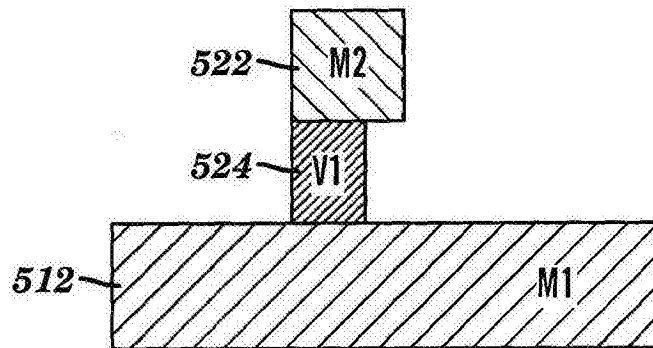


图5A

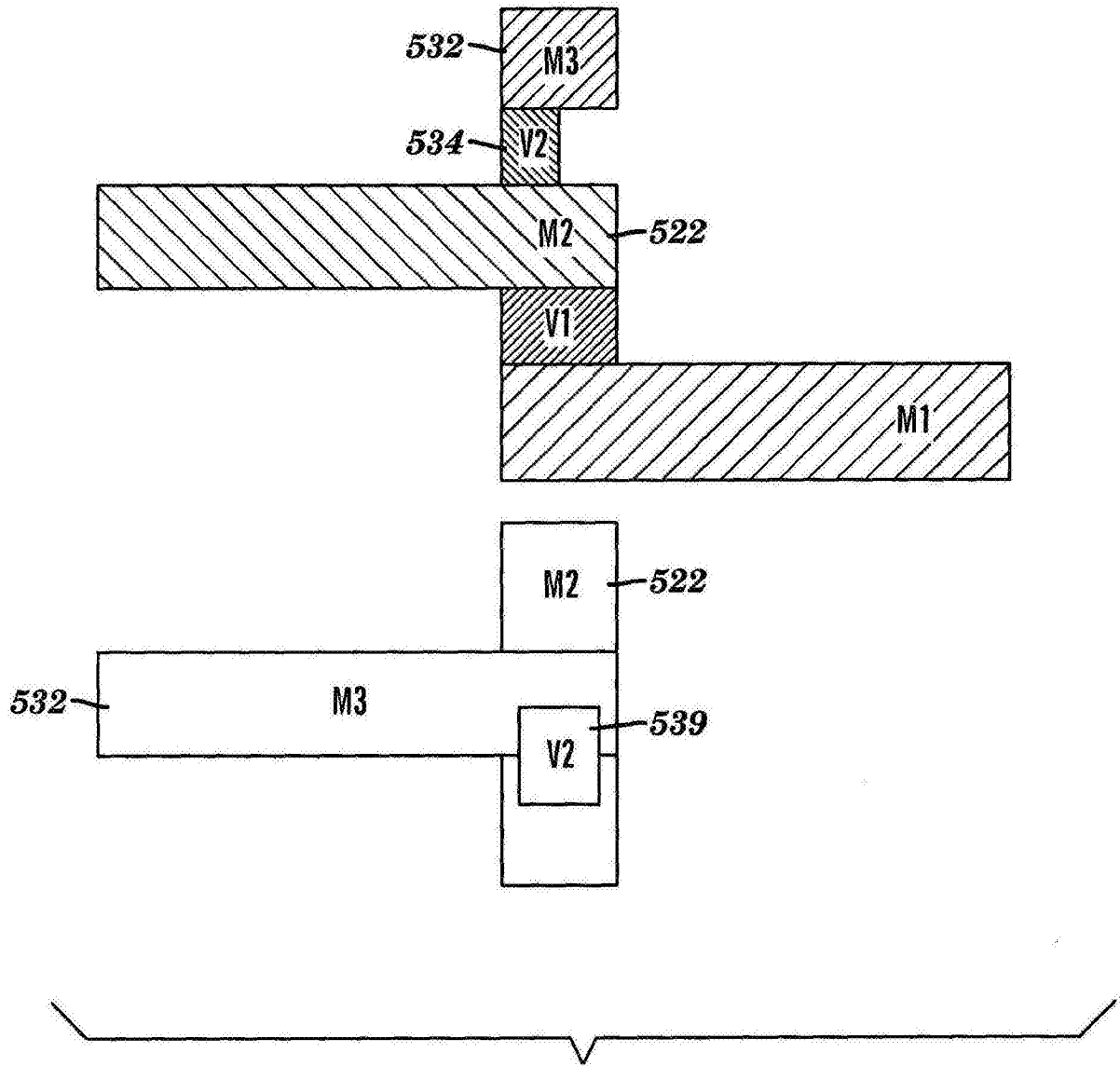


图5B

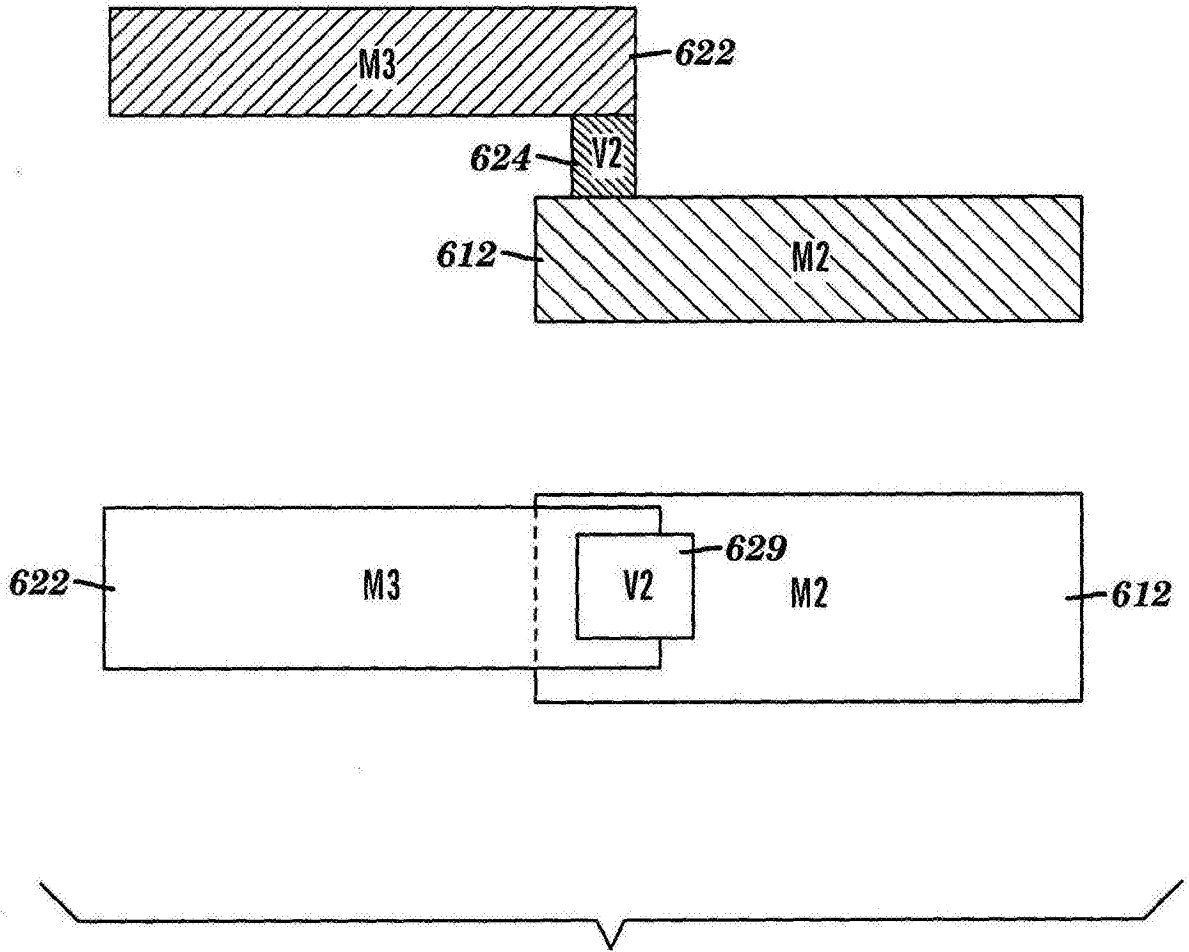


图6

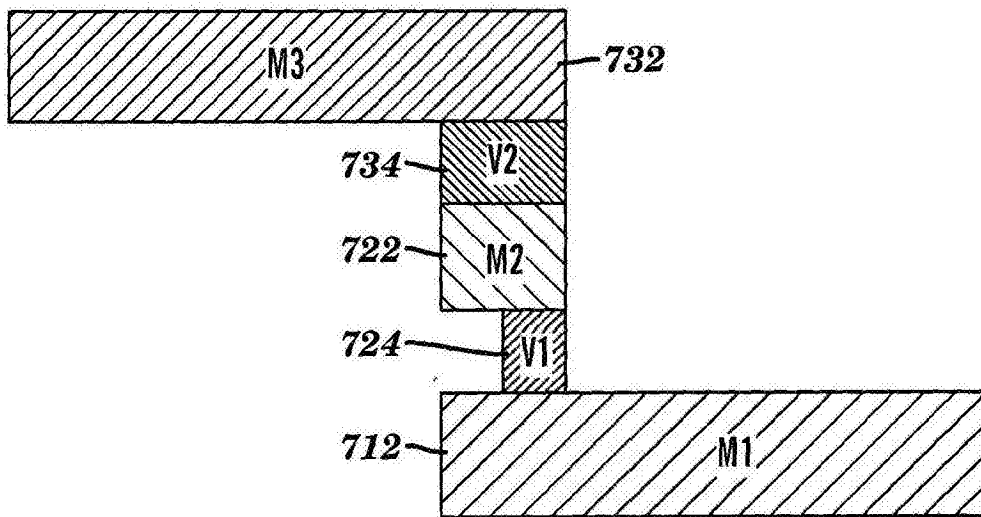


图7

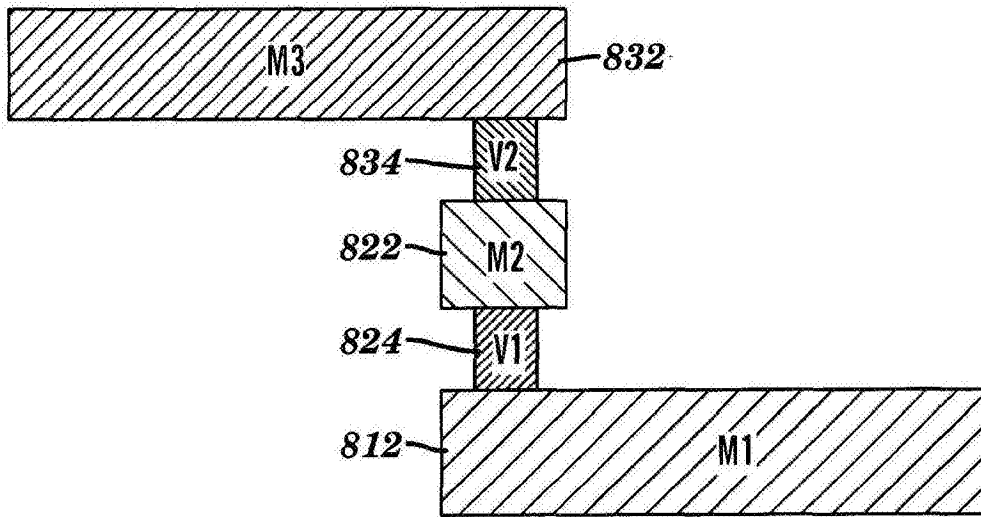


图8